

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01J 1/30 (2006.01) G09F 9/30 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년10월25일 10-0637742 2006년10월17일
---------------------------------------------------------------	-------------------------------------	------------------------------------------

(21) 출원번호 (22) 출원일자	10-2004-0063417 2004년08월12일	(65) 공개번호 (43) 공개일자	10-2005-0017594 2005년02월22일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장 JP-P-2003-00292408 2003년08월12일 일본(JP)

(73) 특허권자 캐논 가부시끼가이샤  
일본 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고

(72) 발명자 시미즈야스시  
일본국 도쿄도 오오따꾸 시모마루쵸 3쵸메 30방 2고 캐논 가부시끼가이샤 나이

(74) 대리인 신중훈  
임옥순

심사관 : 이정재

(54) 화상표시장치

요약

화상표시장치는, 전자방출소자를 지니는 전자원(1012)이 배열된 제 1기관(1011)과, 전자가 표시화상을 형성하는 제 2기관(1117)과, 상기 제 1기관과 상기 제 2기관사이에 배치되어, 절연성 기관과, 해당 절연성 기관을 피복하는 저항막을 구비한 스페이서(20)를 포함한다. 전자의 침입이 작게 되는 저항막의 심부 영역은, 저저항을 지니도록 설정된다. 이렇게 함으로써, 화상표시장치를 장시간 구동한 경우 전자조사에 노출됨으로써 스페이서의 저항막의 표면 근방에서 저항이 변화해도, 저항막 전체의 저항값이 저저항을 지닌 심부 영역에 의해서 소정의 저항값이 되도록 거의 유지되고, 그 결과, 스페이서 저항막의 저항값의 일탈, 전위분포의 변화에 기인한 전자궤도의 일탈 및 전위분포에 기인한 화상표시의 교란이 억제될 수 있다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 일 실시형태의 화상표시장치를 표시한 사시도

도 2는 본 발명의 일 실시형태인 페이스 플레이트의 형광체 배열을 예시한 평면도

도 3은 본 발명의 일시형태인 스페이서의 사시도

도 4A 및 도 4B는, 본 발명의 일 실시형태인 고저항막의 전자빔의 일탈량의 특성을 표시한 도면

도 5는 본 발명의 일 실시형태인 고저항막의 전자빔의 일탈량의 특성을 표시한 도면

도 6은 본 발명의 일 실시형태인 고저항막의 에칭방법의 설명도

도 7은 본 발명의 일 실시형태인 고저항막을 에칭했을 때의 전기특성을 표시한 도면

도 8은 본 발명의 일 실시형태인 고저항막이 저항분포를 지니는 때의 전기특성을 표시한 도면

도 9는 종래의 화상표시장치의 표시패널을 일부 과단시켜 표시한 사시도

<도면의 주요부분에 대한 부호의 설명>

20: 스페이서 25: 전극

101: 표시패널 1010: 흑색 유전체

1011: 기관 1012: 전자방출부

1013: 행방향 배선 1014: 열방향 배선

1015: 리어 플레이트 1016: 측벽

1117: 페이스 플레이트 1118: 형광막

1119: 메탈백

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 화상표시장치에 관한 것으로, 특히, 전자방출소자를 지닌 화상표시장치에 사용되는 스페이서에 관한 것이다.

전자방출소자를 이용하는 화상표시장치중, 깊이가 얇은 평면형 화상표시장치는 공간절약형이고 경량의 화상표시장치이므로, 해당 평면형 화상표시장치는, 브라운관형 표시장치의 대체품으로서 주목되고 있다. 도 9는, 평면형 화상표시장치의 표시패널부의 일례를 표시한 사시도이다. 도 9는 내부구조의 예시를 위해 패널을 일부 과단시킨 표시패널부를 표시한 것이다.

도면에 있어서, (3115)는 리어 플레이트, (3116)은 측벽, (3117)은 페이스 플레이트이고, 리어 플레이트(3115), 측벽(3116) 및 페이스 플레이트(3117)는, 표시패널의 내부를 진공으로 유지하기 위한 외위기(기밀용기)를 구성하고 있다.

리어 플레이트(3115)에는, 기관(3111)이 고정되어 있으나, 이 기관(3111)상에는, 냉음극소자(3112)가  $N \times M$ 개 형성되어 있다( $N$  및  $M$ 은 각각 2이상의 양의 정수이며, 목적으로 하는 표시화소수에 따라서 적절하게 설정된다). 또,  $N \times M$ 개의 냉음극소자(3112)는, 도 9에 표시한 바와 같이,  $M$ 본의 행방향 배선(3113)과  $N$ 본의 열방향 배선(3114)에 의해 배선되어 있다. 이들 기관(3111), 냉음극소자(3112), 행방향 배선(상부 배선)(3113) 및 열방향 배선(하부 배선)(3114)에 의해서 구성되는 부분을 멀티전자빔원이라 부른다. 또, 행방향 배선(3113)과 열방향 배선(3114)의 적어도 서로 교차하는 부분에는, 양 배선간에 절연층(도시생략)이 형성되어 있어, 전기적인 절연이 유지되고 있다.

페이스 플레이트(3117)의 하부면에는, 형광체로 이루어진 형광막(3118)이 형성되어 있고, 적(R), 녹(G), 청(B)의 3원색의 형광체(도시생략)가 각각 형광막(3118)으로서 도포되어 있다. 또, 형광막(3118)을 이루는 상기 각 색의 형광체사이에는, 흑색체(도시생략)가 형성되어 있고, 또한, 형광막(3118)의 리어 플레이트(3115)쪽의 면에는, 알루미늄(Al) 등으로 이루어진 메탈백(metal back)(3119)이 형성되어 있다.

(Dx1) ~ (Dxm) 및 (Dy1) ~ (Dym) 및 (Hv)는, 해당 표시패널과 도시하지 않은 전기회로를 전기적으로 접속하기 위해 설치된 기밀구조의 전기접속용 단자이다. (Dx1) ~ (Dxm)은 멀티전자빔원의 행방향 배선(3113)과, (Dy1) ~ (Dym)은 멀티전자빔원의 열방향 배선(3114)과, (Hv)는 메탈백(3119)과 각각 전기적으로 접속되어 있다.

또, 상기 기밀용기의 내부는,  $1.3 \times 10^{-4}$ Pa 정도의 진공으로 유지되어 있고, 화상표시장치의 표시면적이 커짐에 따라, 기밀용기의 내부와 그 외부의 기압차에 의한 리어 플레이트(3115) 및 페이스 플레이트(3117)의 변형 혹은 파괴를 방지하는 수단이 더욱 필요하게 된다. 리어 플레이트(3115) 및 페이스 플레이트(3117)를 두껍게 하는 방법은, 화상표시장치의 중량을 증가시키는 것 뿐만 아니라, 사선방향으로부터 화상표시장치를 보았을 때에 화상의 왜곡 및 시차를 생기게 한다. 이것에 대해서, 도 9에 있어서는 비교적 얇은 유리판으로 이루어져 해당 유리판을 대기압에 대해서 지지하기 위한 구조 지지부재(스페이서 혹은 리브라 부름)(3120)가 설치되어 있다. 이와 같이 해서, 멀티전자빔원이 형성된 기관(3111)과 형광막(3118)이 형성된 페이스 플레이트(3117)사이에는 통상 서브밀리미터 혹은 수 밀리미터의 범위내로 유지되어, 전술한 바와 같이 기밀용기의 내부는 고진공으로 유지되어 있다.

이상 설명한 표시패널을 이용한 화상표시장치는, 용기외부상의 단자(Dx1 ~ Dxm), (Dy1 ~ Dym)를 통해서 각 냉음극소자(3112)에 전압을 인가하면, 각 냉음극소자(3112)로부터 전자가 방출된다. 그것과 동시에, 메탈백(3119)에 용기외부상의 단자(Hv)를 통해서 수백 볼트 내지 수 킬로볼트의 범위내의 전압을 인가해서, 상기 방출된 전자를 가속시키고, 해당 가속된 전자는, 페이스 플레이트(3117)의 내면에 충돌시킨다. 이것에 의해 형광막(3118)을 이루는 각 색의 형광체가 여기되어서 발광하여, 화상이 표시된다.

그러나, 스페이서 근방의 위치에서는 화상이 왜곡되어 표시된다고 하는 문제가 있었다. 스페이서(3120) 근방의 위치로부터 방출된 전자의 일부가 스페이서(3120)와 충돌함으로써, 혹은 방출전자의 작용에 의해 이온화한 이온이 스페이서(3120)에 부착함으로써, 스페이서대전을 일으킬 가능성이 있다. 이 스페이서의 대전에 의해 냉음극소자(3112)로부터 방출된 전자의 궤도가 휘어, 그 전자는 형광체상에 정규의 위치와는 다른 장소에 도달하고, 따라서, 스페이서 근방의 위치의 화상이 왜곡되어 표시된다. 이 문제점을 해결하기 위한 방법이 미국특허 제 5,760,538호 공보에 개시되어 있다. 이 방법에 있어서는, 각 스페이서 표면에 저항막을 형성하고, 해당 저항막을 통해서 미소전류가 흐르도록 해서 스페이서의 대전을 제거한다. 이 대전원인의 상세는 명확하게 되어 있지는 않지만, 스페이서에 근접하는 전자방출소자로부터 방출된 반사전자와 스페이서 표면으로부터 방출된 2차전자가 그 원인으로 고려되고 있고, 이들 전자방출을 개선하는 방법이 일본국 공개특허 제 2000-311632호 공보에 개시되어 있다.

### 발명이 이루고자 하는 기술적 과제

화상표시장치의 표시패널에 있어서는, 스페이서 표면에 저항막을 형성해서 제전을 행해도, 장시간에 걸쳐 화상을 표시하면, 스페이서 근방의 위치의 화상이 교란된다고 하는 현상이 관찰된다.

본 발명의 목적은, 화상표시장치가 화상을 장시간 표시해도, 스페이서 근방의 위치에서 화상의 교란이 발생하지 않는 스페이서를 지니는 화상표시장치를 제공하는 것이다.

또한, 본 발명의 목적은, 스페이서가 전자조사에 폭로되어도 저항변화가 억제될 수 있는 스페이서를 지니는 화상표시장치를 제공하는 것이다.

본 발명은, 전자방출소자를 지니는 전자원이 배열된 제 1기관과, 상기 전자원으로부터 방출된 전자가 조사되는 피조사체가 배치된 제 2기관과, 상기 제 1기관과 상기 제 2기관사이에 배치되어, 절연성 기재(즉, 절연성 기관) 및 해당 절연성 기재를 피복하는, 두께 d를 지닌 저항막을 구비한 스페이서를 포함하고, 상기 제 1 및 제 2기관사이에 가속전압을 인가해서, 상기 전자원으로부터 방출되는 전자를 상기 피조사체에 조사시키는 화상표시장치에 있어서,

상기 가속전압하에 있어서의 상기 저항막의 전자침입깊이를  $\lambda$ , 그리고,  $(d-a\lambda) > 0$ (여기서,  $a$ 는 0.1 이상임)으로 한 때, 상기 스페이서의 상기 저항막은, 상기 절연성 기재의 표면으로부터  $(d-a\lambda)$ 의 두께까지의 시트저항  $Rs1(\Omega/\square)$ 과, 상기 저항막 표면으로부터  $a\lambda$ 의 두께까지의 시트저항  $Rs2(\Omega/\square)$ 를 지니고, 상기 저항  $Rs1$ 이 상기 저항  $Rs2$ 보다도 작은 것을 특징으로 하는 화상표시장치에 관한 것이다.

**발명의 구성 및 작용**

화상표시장치에 이용되는 스페이서 표면은, 화상표시시에 전자에 폭로되고 있다. 따라서, 절연성 기재의 표면을 저항막으로 피복한 스페이서를 이용해도, 장시간에 걸쳐서 화상을 표시하는 동안 스페이서가 경시변화해서 스페이서 근방의 표시 화상이 교란되게 된다. 가속전압 등 표시패널의 구동조건이나 패널의 구성에 의해서 표시화상의 교란의 정도에 다소의 차이는 있으나, 각종 검토를 행한 결과, 이 장시간의 표시에 의한 화상의 교란이라고 하는 변화는 저항막의 저항분포가 변화하는 것에 기인하는 것으로 본 발명자는 생각하게 되었다. 스페이서의 저항분포의 변화는 화상표시장치 작동시의 스페이서 근방의 전위분포 변화로 된다. 이 때문에 방출전자의 궤도가 변화해 버려, 표시화상이 교란되는 것으로 된다.

상기 관점에 의거해서 검토를 행한 결과, 본 발명자는, 리어 플레이트로부터 페이스 플레이트에 걸친 저항막의 저항이, 전자조사에 폭로되어도 저항의 변화가 충분히 적게 되어, 그 변화가 전자궤도에 영향을 주지 않는 바와 같은 스페이서의 구성을 발견하였다.

전자조사에 폭로되어 저항막의 저항이 변화하는 것으로 해도, 저항막에의 침입전자의 수가 적으면 이 변화는 억제된다. 침입전자의 수가 적은 막영역의 저항이 전체의 막저항을 규정하고 있으면, 저항막의 저항분포는, 저항막이 전자조사에 폭로되어도 거의 변화하지 않는다. 즉, 전자조사에 폭로되는 막표면 근방의 저항이 경시변화해도, 그것보다 심부에 위치한 막영역은 침입전자가 적어, 심부의 저항은 거의 변화하지 않으므로, 심부에 위치한 막영역의 저항이 표층보다도 저저항으로 되어 있으면, 고저항막의 저항분포는 이 저저항영역에 의해 거의 규정된다. 따라서, 스페이서의 리어 플레이트로부터 페이스 플레이트에 걸친 막저항의 장시간 표시에 의한 변화는 억제되어, 스페이서 근방의 화상의 교란도 억제되는 것으로 된다.

구체적으로는, 본 발명은, 전자방출소자를 지나는 전자원이 배열된 제 1기판과, 상기 전자원으로부터 방출된 전자가 조사되는 피조사체가 배치된 제 2기판과, 상기 제 1기판과 상기 제 2기판사이에 배치되어, 절연성 기재 및 해당 절연성 기재를 피복하는, 두께  $d$ 를 지닌 저항막을 구비한 스페이서를 포함하고, 상기 제 1 및 제 2기판사이에 가속전압을 인가해서, 상기 전자원으로부터 방출되는 전자를 상기 피조사체에 조사시키는 화상표시장치에 있어서,

상기 가속전압하에 있어서의 상기 저항막의 1차 전자의 침입깊이를  $\lambda$ , 그리고,  $(d-a\lambda) > 0$ (여기서,  $a$ 는 0.1 이상임)으로 한 때, 상기 스페이서의 상기 저항막은, 상기 절연성 기재의 표면으로부터  $(d-a\lambda)$ 의 두께까지의 시트저항  $Rs1(\Omega/\square)$ 과, 상기 저항막 표면으로부터  $a\lambda$ 의 두께까지의 시트저항  $Rs2(\Omega/\square)$ 를 지니고, 상기 저항  $Rs1$ 이 상기 저항  $Rs2$ 보다도 작은 것을 특징으로 하는 화상표시장치에 관한 것이다.

또한, 상기 본 발명에 있어서, 상기 시트저항  $Rs1$ 과 상기 시트저항  $Rs2$ 는,  $2 \leq Rs2/Rs1 \leq 100$  및  $10^7 \leq Rs1 \leq 10^{14}$ 의 관계를 만족하는 것이 바람직하다.

또한, 본 발명에 있어서, 상기  $a$ 는, 바람직하게는, 0.5이상, 더욱 바람직하게는, 1.0이하이다.

본 발명에 있어서, 상기 시트저항  $Rs1$ 과 상기 시트저항  $Rs2$ 는,  $10 \leq Rs2/Rs1 \leq 100$ 의 관계를 만족하는 것이 더욱 바람직하다.

또, 본 발명에 있어서, 상기 절연성 기재의 표면으로부터  $(d-a\lambda)$ 의 두께까지의 범위내의 상기 저항막의 저항 온도계수는, 3%이하인 것이 바람직하다.

또한, 본 발명에 있어서, 상기 가속전압의 범위는 4kV 내지 30kV의 범위내인 것이 바람직하다.

또, 본 발명에서의 1차 전자의 침입깊이는, 가속전압(Hv)에서 가속된 전자가 고체표면에 수직으로 해당 고체로 입사한 때의 해당 전자가 침입하는 상기 고체의 평균적 깊이에 상당하며, 이 1차 전자의 침입깊이는, 후술하는 실험적 방법에 의해 구하였다.

또한, 시트저항  $R_s$ 는,  $R_s = \rho/d$ ( $\rho$ 는 저항률,  $d$ 는 막두께임)이다. 일반적으로, 막의 저항값  $R$ 은  $R = \rho(L/(d' \times W)) = R_s(L/W)$ 로 표시된다(여기서,  $\rho$ 는 저항률,  $d'$ 는 막두께,  $L$ 은 막의 길이,  $W$ 는 막의 폭임).

본 발명에 의하면, 화상표시장치로 장시간 화상을 표시한 때의 스페이서 근방의 화상의 교란을 억제하는 것이 가능하다. 또, 사용환경에 의해서 제 1기판과 제 2기판에 온도차가 발생해도, 스페이서 근방의 화상의 교란을 억제할 수 있다고 하는 효과가 있다.

이하, 본 발명의 바람직한 실시형태에 대해 도면을 참조하면서 상세히 설명한다.

도 1은 본 발명에 의한 화상표시장치의 표시패널부를 표시한 사시도이다. 도 1에서는, 내부구조를 표시하기 위해 패널의 일부를 파단해서 표시하고 있다. 도 1에 있어서, (1011)은, 복수의 전자방출부를 탑재한 기판, (1012)는 전자방출부를 지닌 전자방출소자, (1013)은 전자방출소자를 구동하기 위한 행방향 배선, (1014)는 열방향 배선, (1015)는 리어 플레이트, (1016)은 측벽, (1117)은 페이스 플레이트이고, 이들 리어 플레이트(1015), 측벽(1016) 및 페이스 플레이트(1117)에 의해 표시패널의 내부를 진공으로 유지하기 위한 기밀용기를 형성하고 있다. 각 부재의 접합부에 충분한 강도와 기밀성을 유지시키기 위해, 해당 각 부재를 서로 그의 접합부에 밀봉부착할 필요가 있다. 이 밀봉부착은, 예를 들면, 프릿유리를 접합부에 도포하고, 대기중, 400°C 내지 500°C의 범위내의 온도에서, 10분이상 소성함으로써 달성하는 것이 가능하다. 상기 기밀용기의 내부는,  $10^{-4}$ Pa 정도의 진공으로 유지되므로, 대기압이나 불의 충격 등에 의한 기밀용기의 파괴를 방지할 목적으로 내대기압 구조체로서 스페이서(20)가 설치되어 있다. 또, (1118)은 페이스 플레이트(1117)내부에 설치된 발광재의 형광체, (1119)는 메탈백이다.

도 3에 스페이서(20)의 예를 표시한다. 스페이서(20)는, 세라믹이나 유리 등의 절연성 기재로 되는 절연성 기판의 표면상에 고저항막이 형성되어 있다. 스페이서(20)의 재질, 형상, 배치 및 배치분수는, 외위기의 형상 및 열팽창계수 등, 외위기에 작용하는 대기압, 열 등을 고려한 후 결정된다. 스페이서(20)의 형상에는 십(十)자형, L자형, 원주형, 혹은 전자선 통과부에 구멍을 지닌 것 등을 이용하는 것이 가능하다. 스페이서(20)의 형상은, 도 3에 표시한 평면형의 것으로 제한되지 않는다. 즉, 고저항막의 하지로서 사용되는 절연성 기재로서는, 절연성 기판외에, 십(十)자형, L자형, 원주형, 혹은 전자선 통과부에 구멍을 지닌 것 등을 이용하는 것이 가능하다.

절연성 스페이서 기판은 각각, 전자방출소자(1012)가 형성된 리어 플레이트(1015) 및 형광체가 형성된 페이스 플레이트(1117)와 거의 동일한 열팽창 특성을 지닌 재료로 이루어진 것이 바람직하다. 또, 장치 제작중의 열공정과 대기압을 지지할 필요로부터 유리, 세라믹 등 기계적 강도가 높고, 내열성이 높은 재료가 적합하다.

스페이서 기판은, 절연체이지만, 소다라임유리 정도의 저항치를 지녀도 된다. 기판의 표면형상은, 평활해도 되나, 요철구조가 형성되어 있는 쪽이 바람직하다. 본 발명의 실시예에서 이용한 기판은, 일본국 공개특허 제 2000-311608호 공보에 기재되어 있는 가열연신법에 의해서 형성된 요철형상을 지니지만, 요철구조를 형성하는 방법은 이것으로 한정되는 것은 아니다. 예를 들면, 샌드블라스트법에 의해서 형성되는 랜덤형상이나 일본국 공개특허 제 2000-311608호 공보에서 기재되어 있는 스트라이프형상, 또한 이들 두 형상을 조합해서 형성된 형상을 채용해도 된다.

요철의 작성방법으로서, 예를 들면, 일본국 공개특허 제 2000-311608호 공보에 기재되어 있는 가열연신법, 연삭법, 블라스트법, 에칭법, 리프트오프법 등을 적용할 수 있다. 또, 필요에 따라서 광학적인 패턴이나 기계적인 마스크를 이용해서 형상 제어를 행하는 것도 가능하다. 산화규소나 금속산화물을 바인더 매트릭스중에 분산시킨 미립자 분산형 막 등으로 고저항막과 기판표면과의 사이에 조면화(粗面化)층을 형성해도 된다.

고저항막으로서, 금속산화물, 금속질화물이나 탄화물을 이용할 수 있고, 산화주석, 산화크롬, 산화게르마늄, 질화알루미늄, 질화게르마늄, 또는 카본에, 필요에 따라서 금속 등의 첨가물을 넣어서 저항제어해서 이용하는 것이 가능하다. 그러나, 고저항막의 재료는 이들 재료로 한정되는 것은 아니고, 저항을 조절해서 안정화할 수 있는 재료라면 사용가능하다. 그중에서도, Au-SiO<sub>2</sub>, Pt-SiO<sub>2</sub>, Cr-SiO<sub>2</sub>, Cr-Al<sub>2</sub>O<sub>3</sub>, In<sub>2</sub>O<sub>3</sub>-Al<sub>2</sub>O<sub>3</sub>, W-Ge-O 등의 전이금속 혹은 귀금속과 세라믹과의 복합체, W-Ge-N, W-Al-N, Cr-Al-N, Ti-Al-N, Ta-Al-N, Cr-B-N, Cr-Si-N 등의 전이금속과 질화물과의 복합체, 카본, 질화카본 등이 더욱 바람직하다.

고저항막의 막두께 방향의 저항의 제어에 대해서는 각종 방법이 있다. 예를 들면, 질화알루미늄은 텅스텐을 첨가해서 저항조정을 행할 수 있으나, 첨가량을 0.1λ의 막두께의 전후에서 변화시킴으로써 본 발명의 구성을 실현할 수 있다. 첨가량을 연속적으로 변화시키고 있어도 된다.

또, 고저항막은 반드시 동일 화합물로 구성할 필요는 없고, 다른 화합물로 이루어진 다층막을 채용해도 된다. 또, 기관에 함유되는 이온을 막에 열확산, 막의 표면으로부터 막중에 확산, 대기중에서의 고온어닐링에 의한 막표면의 산화 등의 프로세스를 이용해서, 표면으로부터 기관계면까지 조성비가 연속적으로 변화하는 구성이어도 효과가 있다.

고저항막의 제작방법으로서는, 기존의 대전방지막의 제작프로세스를 적용가능하다. 예를 들면, 스퍼터링법, 진공증착법, CVD(Chemical Vapor Deposition)법, 인쇄법, 에어로졸법, 디핑법(침지법) 등을 적용가능하다.

이와 같이 해서 만들어진 스페이서(20)는, 리어 플레이트(1015)와 페이스 플레이트(1117)사이에서 적당한 간격과 수를 가지고 배치되어, 대기압을 견딘다.

페이스 플레이트(1117)의 하부면에는, 형광체(1118)가 형성되어 있다. 본 실시형태는 컬러표시장치이므로, 적, 청, 녹색의 3원색중 하나를 지닌 각 형광체(1118)가 도포되어 있다. 각 색의 형광체(1118)는, 예를 들면, 도 2와 같은 스트라이프형상으로 도포되고, 형광체(1118)의 스트라이프사이에는 흑색의 유전체(1010)가 설치되어 있다. 3원색의 도포법은, 스트라이프형상의 배열에 한정되는 것은 아니고, 그것 이외의 배열이어도 된다. 또, 모노크롬의 표시패널을 작성할 경우에는, 단색의 형광체를 이용하면 되고, 또, 흑색 유전재료는 반드시 필요한 것은 아니다.

또한, 형광체(1118)의 리어 플레이트(1015)쪽의 면에는, 메탈백(1119)을 설치하고 있다. 메탈백(1119)은 다음과 같이 형성한다. 즉, 형광막(1118)을 페이스 플레이트(1117)에 형성한 후, 형광체 표면을 평활화 처리하고, 그 위에 알루미늄을 진공증착함으로써 형성한다.

전술한 바와 같이, 리어 플레이트(1015)와 페이스 플레이트(1117)는, 서로 프리트유리에 의해 봉합되어서, 기밀용기를 형성한다. 충분히 진공배기한 후, 배기관을 밀봉함으로써, 표시패널이 완성된다.

용기외부상의 단자(Dx1 ~ Dxm), (Dy1 ~ Dyn)를 통해서 각 전자방출소자에 전압이 인가되면, 전자방출소자로부터 전자가 방출된다. 메탈백(1119)에는 용기외부상의 단자(Hv)를 통해서 수 킬로볼트 이상의 고전압이 인가된다. 방출된 전자는 이 전압에 의해 가속되어서 페이스 플레이트(1117)에 충돌한다. 이것에 의해 형광체(1118)가 여기되어서 발광하고, 화상이 표시된다.

이와 같이 해서 형성된 화상표시장치를 이용해서, 스페이서(20) 근방의 화상의 교란을 평가하였다. 여기서의 화상의 교란이란, 스페이서(20) 근방의 전자방출소자로부터의 전자빔이 형광체(1118)에 조사된 때의 휘점의, 스페이서(20)에 수직인 방향으로의 위치 변화를 의미한다. 빔위치의 변화의 크기는 패널의 기하학적인 구성에 의해서도 변하므로, 스페이서 근방의 위치의 변동은, 스페이서(20)에 수직인 방향의 소자 피치(L)에 대한 변화량에 의거한 일탈량을 규격화해서 평가하였다. 즉, 어느 가속전압을 표시패널에 인가해서 화상을 표시한 때, 스페이서(20)에 가장 가까운 발광휘점의 표시된 직후의 위치와, 3시간에 걸친 화상표시를 계속한 후의 위치와의 거리를 소자피치(L)로 규격화하였다. 이 규격화된 거리를 전자빔의 일탈량이라 하였다. 전자빔의 일탈량이 커질수록, 표시화상의 교란도 커진다. 이 휘점의 일탈에 대응하는 화질은, 주관적인 화질평가법에 의하였다. 그 결과, 사용자가 표시화상에 대해 열화를 느낄 수 없는 레벨로서의 일탈량은 약 0.1L이었다.

다음에, 본 발명의 고저항막의 특성에 대해서 설명한다.

도 4A 및 도 4B는, 막구성을 하층의 시트저항 Rs1에 대해서 상층의 시트저항 Rs2를,  $Rs2/Rs1 = 2$ 로 되도록 설정해서, 상층의 막두께를 달리한 고저항막을 형성한 스페이서(20)를 이용한 경우의, 3시간 표시하기 전후의 전자빔의 일탈량을 표시한 것이다. 하층은 막두께, 시트저항 모두 일정 조건으로 하고, 상층의 막두께를 변화시킴에 따라서, 상층에의 W첨가량을 미세조정함으로써, 저항비 Rs2/Rs1가 2로 되도록 하였다.

고저항막으로서는 W-GeN막을 스퍼터링법에 의해 형성하였다. Ge와 W의 타겟을 아르곤가스와 질소의 혼합분위기중에서 동시 스퍼터링 처리함으로써 질화막을 형성하였다. 막의 저항은, W타겟의 전력을 변화시킴으로써 상층과 하층의 저항비가 일정하게 되도록 제어하였다. 상층의 막두께는 1차 전자의 침입깊이  $\lambda$ 로 규격화하고 있다.

여기서 형성한 W-GeN막의 10kV의 가속전압에 대한 1차전자의 침입깊이  $\lambda$ 는, 후술하는 측정에 의하면, 0.7 $\mu$ m였다. 도 4A에서 명백한 바와 같이, Rs2층의 막두께가  $\lambda$ 이상이면, 전자빔의 일탈량은 약 0.1L이하로 되는 것을 표시하고 있다. 보다 바람직하게는, Rs2의 막두께는, 0.5 $\lambda$ 이상, 더욱더 바람직하게는, Rs2의 막두께는 1.0 $\lambda$ 이상이면 된다. 1.0 $\lambda$ 이상의 영역에서는, 특성은 거의 변화하지 않으므로, Rs2의 막두께는 1.0 $\lambda$ 이상이면 충분하다. 여기서는 W-GeN으로 이루어진 고저항막을 이용하였으나, 고저항막의 이 효과는 이 재료로 한정되는 것은 아니다. 도 4B는, Cr-AlN막에 대한 전자빔의 일탈량

과 Rs2층의 막두께와의 관계를 표시하고 있다. Cr-AlN막은, Al과 Cr의 타겟을 Ar 및 질소의 혼합분위기에서 스퍼터링함으로써 형성하고 있고, 10kV의 가속전압에서의 1차전자의 침입깊이  $\lambda$ 는, 1.5 $\mu\text{m}$ 이었다. 여기서도 W-GeN막과 마찬가지로 Rs2층의 막두께가 0.1 $\lambda$ 이상이면, 전자빔 일탈량은 0.1L이하로 된다. 보다 바람직하게는, 막두께는 0.5 $\lambda$ 이상이고, 막두께가 1.0  $\lambda$ 이상이면, 전자빔의 일탈량은 포화된다.

도 5는, W-GeN막의 Rs2층의 막형성조건을 변화시키지 않고, 즉, 막두께와 그의 저항은 일정하게 한 재료(여기서는, 0.1 $\lambda$ 에 상당하는 막두께), 하층의 시트저항 Rs1을 변화시킨 때의 전자빔의 일탈량을 표시한 것이다. 상층(저항 Rs2)과 하층(저항 Rs1)의 저항비(Rs2/Rs1)를 1로부터 약 100까지 변화시킨 바, 저항비가 커짐에 따라, 급격하게 전자빔의 일탈량은 작게 되었다. Rs2/Rs1이 2이상으로 되면 전자빔의 일탈량은 0.1라인이하로 되는 것을 알 수 있다. 저항비 Rs2/Rs1은 1 내지 100의 범위내인 것이 바람직하고, 또한, 저항비 Rs2/Rs1은, 2 내지 100의 범위내가 더욱 바람직하다. 특히, 막의 생산상 안정성을 얻을 수 있는 영역으로서는, 저항비 Rs2/Rs1은 10 내지 100의 범위내가 바람직하다. 여기서도, W-GeN막을 이용하였으나, 이 효과는 이 재료에 한정되는 것은 아니다.

또, 상기 설명한 효과는 반드시 2층의 구성에서 얻어지는 것은 아니다. 1차전자의 침입깊이를 기준으로 해서 0.1 $\lambda$ 의 깊이보다도 앞면쪽에 있는 막영역의 시트저항 Rs1과 스페이서 기판쪽에 있는 막영역의 시트저항 Rs2과의 비가, 2 내지 100의 범위내인 한, 상기 효과를 얻을 수 있으므로, 막구성은 2층의 구성으로 제한되는 것은 아니다. 저항이 막두께방향으로 연속적으로 변화하고 있어도, 혹은 막이 다층 구성을 취하고 있어도, 전술한 관계가 만족되고 있으면, 마찬가지로 효과를 얻을 수 있다.

전술한 W-GeN막을 스페이서 기판상에 형성한 때에 Ge타겟의 투입전력은, 일정하게 유지한 채, W타겟의 투입전력을 시간경과에 따라서 작게 되도록 변화시켜서 고저항막을 형성해도, 마찬가지로 효과를 얻을 수 있다. 이 때의 막두께방향의 저항분포는 이하와 같이 측정하였다.

먼저, 스페이서(20)를 적당한 크기로 절단하고, 메탈백(1119)에 의해 고저항막상에 금속전극을 형성하였다(도 6 참조). 이때의 전극간의 컨덕턴스를 측정후, 전극간 영역을 드라이에칭하였다. 다음에 에칭된 막두께를 측정해서, 전극간의 컨덕턴스를 측정하였다. 이 측정을 반복해서 에칭막두께에 대한 전극간의 컨덕턴스를 측정하였다. 이 결과를 도 7에 표시하였다. 도 7에 있어서, 예를 들면, 1.0E-12는 1.0 $\times 10^{-12}$ 를 표시한다.

저항이 연속적으로 변화해도, 그리고, 막이 다층구성으로 되어 있어도, 상술한 바와 같이, Rs1에 대한 Rs2의 비가 2 내지 100의 범위내에 있으면 마찬가지로 효과를 얻을 수 있고, 그 저항분포는 전술한 방법에 의해 측정하는 것이 가능하다.

또, 스페이서(20)의 고저항막의 저항치의 하한은 열폭주가 유발되지 않도록 결정되어 있다.

스페이서(20)의 저항온도계수가 양인 경우에는, 온도의 상승과 함께 저항값은 증가하므로, 스페이서(20)에서의 발열은 억제된다. 역으로 저항온도계수가 음인 경우에는, 스페이서 표면에서 소비되는 전력에 의한 온도상승으로 저항이 감소하고, 또 온도가 계속 상승하여, 과대한 전류가 흐르게 된다. 이것은, 소위 열폭주를 일으킨다. 엄밀하게는, 열폭주는 스페이서(20)와 리어 플레이트(1015)나 페이스 플레이트(1117)와의 열접촉 등에 의해 영향을 받지만, 본 발명자는 각종 구성이나 조건에서 실험을 행한 바, 고저항막 1 $\text{cm}^2$ 당 소비전력이 약 0.1W를 초과하지 않는 경우, 스페이서(20)에 흐르는 전류가 증가하면서 열폭주로 되는 것을 발견하였다. 1 $\text{cm}^2$ 당 소비전력이 0.1W를 초과하지 않는 저항값은, 10<sup>7</sup> $\Omega$ 이상인 것이 바람직하다.

또, 스페이서(20)에 피복된 고저항막은 표면에 대전하지 않고 전하를 신속하게 정전제전하는데 충분한 전류가 흐르는 것이 필요하며, 이 전류는 저항치에 의해서 지배된다. 저항막 표면의 대전량은 전자원으로부터의 방출전자와 고저항막의 2차전자방출률에 의존하나, 시트저항이 10<sup>14</sup> $\Omega/\square$ 이하이면, 해당 저항막은 거의 모든 사용조건에 대응할 수 있다. 또, 충분한 대전방지효과를 얻기 위해서는, 시트저항은, 10<sup>13</sup> $\Omega/\square$ 이하가 더욱 바람직하다.

본 발명에 관한 고저항막은, 그 전류성분의 다수를 1차 전자의 침입깊이  $\lambda$ 에 대해서, 절연성 기판으로부터 높이 (d-a $\lambda$ )의 영역이 담당하고 있으므로(d는 고저항막의 막두께), 절연성 기판으로부터 (d-a $\lambda$ )의 두께의 막영역의 시트저항 Rs1은, 10<sup>7</sup> $\Omega/\square$ 이상이며, 10<sup>14</sup> $\Omega/\square$ 이하인 것이 바람직하다.

또, 스페이서(20)의 고저항막의 저항온도계수는, 전자빔의 일탈량에도 영향을 받는다. 스페이서(20)를 배치한 화상표시장치가, 사용환경 등에 의해 페이스 플레이트(1117)와 리어 플레이트(1015)와의 온도차가 발생한 경우, 스페이서(20)의 고

저항막은 온도의존성을 지니므로, 온도차에 의해, 고저항막의 저항이 페이스 플레이트쪽과 리어 플레이트쪽에서 다르다고 하는 현상이 발생한다. 이 저항값은 전자궤도에 영향을 미치므로, 빔을 변화시켜 버린다. 본 발명의 고저항막에 있어서는, 페이스 플레이트(1117)로부터 리어 플레이트(1015)에 걸친 가속전압의 전위구배는, 절연성 기관으로부터  $(d-\alpha\lambda)$ 의 막두께의 위치의 영역이 지배적이므로, 이 영역의 저항온도계수가 중요해진다. 본 발명자는, 페이스 플레이트(1117)와 리어 플레이트(1015)와의 온도차 및 그 전자빔의 일탈량과 고저항막의 저항온도특성과의 관계를 검토한 결과, 이하의 사실을 실험적으로 얻을 수 있었다. 즉, 통상의 사용환경에서는 페이스 플레이트(1117)와 리어 플레이트(1015)와의 온도차는 거의 15℃이내로 수렴하고, 그 때의 빔의 변동량을 0.1L내로 수렴시키는 저항온도계수는 3%이내이다. 본 발명의 고저항막은, 절연성 기관 표면으로부터  $(d-\alpha\lambda)$ 의 두께의 막영역의 저항온도계수가, 3%이하인 것이 바람직하다.

또, 고저항막의 1차전자 침입깊이  $\lambda$ 는 다음과 같이 에너지분산형 X선 분석장치에 의해 측정된 값으로부터 구하였다. 먼저, 고저항막의 구성원소 이외의 원소를 포함하는 평활기관상에, 막두께를 알고 있는 고저항막을 형성하였다. 이 막표면에 여러가지 가속전압으로 전자빔을 조사한다. 전자총의 가속전압이 크면 전자는 막을 통과해서, 막이 형성되어 있는 기관(하지)까지 도달하고, 막구성원소의 특성 X선뿐만 아니라, 기관구성원소의 특성 X선도 발생한다. 가속전압을 저하시키면 기관구성원소의 특성 X선 시그널의 강도도 약해지게 된다. 에너지 분산형 X선분석장치에 의해, 기관구성원소의 시그널이 검출될 수 없게 되는 가속전압을 구하고, 기관 구성원소의 최소 여기전위를 뺀 전압치를 구하면, 막두께는 이 전압치에 대한 1차전자의 침입깊이  $\lambda$ 로 된다.

가능한 한 최소 여기전위가 낮은 원소를 함유하여, 1차전자의 침입깊이  $\lambda$ 의 측정정밀도를 높게 하는 것이 바람직하다.

또, 각 전압에 대한 1차전자의 침입깊이  $\lambda$ 는 다음과 같이 구할 수 있다. 고저항막으로서 막두께가 다른 W-GeN막을 열루미나기관상에 형성하였다. 각 기관에 대해서 막표면으로부터 전자를 조사하고, 하지에 함유되는 알루미늄 원소의 시그널이 검출될 수 없게 되는 가속전압을 구하였다. 각각의 가속전압으로부터, 알루미늄의 최소여기전위를 뺀 전압과 그 막두께, 즉, 1차전자의 침입깊이  $\lambda$ 를 플롯해서, 이하의 식에 대입한다.

$$\lambda = kE^n \text{ (E: 가속전압(1차전자의 입사에너지)으로부터 여기전압을 뺀 값; k 및 n은 정수임)}$$

실험결과에 의거해서 상기 식의 정수 k 및 n을 구함으로써, 그 재료의 가속전압에 대한 1차전자의 침입깊이  $\lambda$ 를 구할 수 있다.

전술한 방법은 미리 막두께가 다른 샘플을 준비해서 1차전자의 침입깊이  $\lambda$ 를 구하는 방법이나, 막두께가 다른 샘플이 아니어도, 막을 에칭함으로써 마찬가지로 1차전자의 침입깊이  $\lambda$ 를 구하는 것이 가능하다. 또, 기관과 막에 공통원소가 있기 때문에 해당 막이 측정에 적합하지 않은 경우에는, 기관 표면에 측정에 적합한 적당한 재료를 증착 등에 의해 코팅한 후, 유리판 등을 부착해서, 원래의 기관(스페이스 기관)을 에칭해서 제거하면, 마찬가지로 1차전자의 침입깊이  $\lambda$ 를 구하는 것이 가능하다.

다음에, 본 발명의 실시예에 대해서 설명한다.

### 실시예 1

도 1에 표시한 바와 같은 표시패널에 의해서 스페이스(20)의 특성을 평가하였다. 고압단자(Hv)에는 10kV의 전압을 인가하였다. 스페이스 기관으로서는, 도 3에 표시한 바와 같이, 높이 H = 3mm, 두께 D = 2mm, 길이 L = 40mm의 형상을 한 고변형점 유리를 이용하였다. 상기 유리의 표면에는 요철형상이 형성되어 있고, 그 요철형상의 피치는 30mm, 그 깊이는 10mm였다.

이와 같은 스페이스 기관에 이하의 표 1에 표시한 바와 같은 산화물 및 질화물을 형성해서 평가하였다. 막은 모두, Rs1과 Rs2를 변화시킨 2층 구성으로 되어 있었다. 형성조건은 다음과 같았다. 즉, 스퍼터링에 대해서는 가스압력 0.5 내지 3Pa에서 행하고 있었다. W-GeO막은, W와 GeO<sub>2</sub>를 타겟으로서 이용한 Ar + O<sub>2</sub>분위기에서의 동시 스퍼터링에 의해서 형성하였다. Pt-SiO막은, Pt와 SiO를 타겟으로서 이용한 Ar + O<sub>2</sub>분위기에서의 동시 스퍼터링에 의해서 형성하였다. Cr-AlN막은, Cr과 Al을 타겟으로서 이용한 Ar + O<sub>2</sub>분위기에서의 동시 스퍼터링에 의해서 형성하였다. 또, Al-SnO막은, Al첨가한 SnO<sub>2</sub>미립자를 유기용제에 분산시켜서, 기관을 침지한 후에, 대기중 400℃에서 어닐링해서 하층(시트저항 Rs1)으로 하였다. 이 위에 W-GeO막을 전술한 바와 마찬가지로 상층(시트저항 Rs2)으로서 형성하였다. C-N막은, C<sub>2</sub>H<sub>2</sub> + N<sub>2</sub>가스를 플라즈마에 의해 분해해서 기관상에 형성하였다. 이 때는 기관을 250℃에서 가열하였다. 또, 저항변화(시트저항의 변화)

를 건 때의 고저항막의 재료의 조성비의 변화가 작으므로, 1차전자의 침입깊이  $\lambda$ 의 변화는 작다(예를 들면, W/Ge비를 5배로 해도 1차 전자의 침입깊이  $\lambda$ 는 단지 5%증가하는데 불과함). 즉, 고저항막의 재료의 조성비를 변화시켜 시트저항을 변화시켜도 1차전자의 침입 깊이가  $\lambda$ 는 무시할 수 있는 범위의 변화밖에 없고, 저항조정을 위해 고저항막의 재료의 조성비는 적절하게 설정하는 것이 가능하다.

이들 막의 10kV에 있어서의 1차전자의 침입깊이가  $\lambda$ 는, 이하와 같았다. 표 1의 Rs2층의 두께는, 표면으로부터 0.1 $\lambda$ 의 깊이까지를 나타낸다.

재료 1차전자의 침입깊이( $\lambda$ )

W-GeO막 0.8 $\mu$ m

Pt-SiO막 0.7 $\mu$ m

Cr-AlN막 1.5 $\mu$ m

C-N막 1.8 $\mu$ m

[표 1]

재료	Rs1 ( $\Omega$ )	Rs1두께 ( $\mu$ m)	Rs2 ( $\Omega$ )	Rs2두께 ( $\mu$ m)	Rs2/Rs1	일탈량 (L)	형성방법
WGeO	5.00E+10	0.5	5.5E+11	0.08	11	0.06	스퍼터링
WGeO	4.00E+12	0.5	3.72E+14	0.08	93	0.03	스퍼터링
AlSnO	4.00E+07	0.05					침지
WGeO			8.8E+08	0.08	22	0.05	스퍼터링
Pt-SiO	7.00E+09	0.1	2.45E+11	0.07	35	0.04	스퍼터링
Pt-SiO	5.00E+11	0.5	4.35E+13	0.07	87	0.03	스퍼터링
Cr-AlN	5.00E+13	0.1	3.4E+15	0.15	68	0.04	스퍼터링
Cr-AlN	1.00E+14	0.5	9E+14	0.15	9	0.06	스퍼터링
C-N	3.00E+12	0.5	9.6E+13	0.18	32	0.02	CVD
비교예							
WGeO	5.00E+10	0.5					스퍼터링
Pt-SiO	5.00E+11	0.5					스퍼터링

상기와 같이, 실시예의 어느 것의 고저항막도, 전자빔 일탈량은 0.1L이하였다.

실시예 2

실시예 1과 마찬가지로 스페이서 기판에, 스퍼터링에 의해 W-GeN막을 형성하였다. W와 Ge의 타겟을 이용해서, Ar+N<sub>2</sub>분위기에서 동시 스퍼터링을 행하고, 저항의 변화는, W의 투입전력을 시간경과에 따라서 변화시킴으로써 제어하였다. 얻어진 막의 두께는, 0.6 $\mu$ m이고, 고저항막의 전체의 시트저항은, 8.3 $\times 10^{11}\Omega$ 이었다. 저항분포는, 상기 설명한 바와 같이 드라이에칭한 후 각 점의 도전율을 측정함으로써 구하였다. 도 8에 에칭에 의해 얻어진 표면층으로부터의 깊이에 대한 도전율을 표시한다. 이와 같은 분포를 지닌 W-GeN막에, 가속전압을 변화시켜(1차전자 침입깊이  $\lambda$ 를 변화시켜서), 실시예 1과 마찬가지로 빔의 일탈량을 평가하였다. 그 결과를 이하의 표 2에 표시한다.

[표 2]

가속전압 (kV)	1차전자의 침입깊이 ( $\mu$ m)	Rs1 ( $\Omega$ )	Rs2/Rs1	전자빔의 일탈량
13	1.0	8.5 $\times 10^{11}$	47	0.03L

19	2.0	$9.1 \times 10^{11}$	11	0.03L
24	3.0	$1.0 \times 10^{12}$	4	0.07L
29	4.0	$1.3 \times 10^{12}$	2	0.09L

어느 고저항막에 있어서도, 1차전자의 침입깊이로 규격화한 저항비가,  $2 < R_{s2}/R_{s1} < 100$ 인 경우, 전자빔의 일탈량은 0.1L이하였다.

$R_{s2}$ 층의 막두께는,  $0.1\lambda$ 이다. 10kV인 때의  $R_{s2}$ 의 막두께는, 10kV의  $\lambda(1\mu\text{m}) \times 0.1 = 0.1\mu\text{m}$ 로 된다.

실시에 3

실시에 1과 마찬가지로의 스페이서 기판에, W-GeN막을 스퍼터링에 의해 형성조건을 변화시켜 고저항막을 형성하였다. Ar+N<sub>2</sub>분위기의 압력은, 0.5 내지 3.0Pa, N<sub>2</sub>분압은 10 내지 60%의 범위에서 형성하였다. W-GeN막은 저항온도계수가 음이고, 그 실온 근방에서의 저항온도계수는, 6%이하였다. 또, 그 저항온도계수는, 형성조건에 따라 변화하였다. 표시패널을 페이스 플레이트쪽으로부터 러버히터로 가열함으로써, 페이스 플레이트(1117)와 리어 플레이트(1015)와의 온도차를 발생시켰다. 그 때의 온도차에 의한 전자빔의 일탈의 결과를 이하의 표 3에 표시한다. 가속전압은 10kV로 하였다.

**[표 3]**

샘플번호	저항온도계수	$R_{s1}(\Omega)$	$R_{s2}/R_{s1}$	온도차(°C)	전자빔의 일탈량
1	1.6%	$5 \times 10^7$	56	15	0.06L
2	2.5%	$8 \times 10^{12}$	23	15	0.08L
3	2.8%	$7 \times 10^{13}$	12	15	0.09L
비교예					
4	3.3%	$2 \times 10^{13}$	8	15	0.13L
5	4.7%	$3 \times 10^{13}$	14	15	0.20L

상기의 결과와 같이, 절연성 기판으로부터 ( $d=0.1\lambda$ )의 두께의 위치에서의 막의 저항온도계수가 3%이내에 있으면, 전자빔의 일탈량은 0.1L이내로 억제된다.

**발명의 효과**

이상, 본 발명에 의하면, 화상표시장치를 장시간 표시해도, 스페이서 근방에 화상의 교란이 발생하지 않는 것이 요구되는 화상표시장치에 이용하는 것이 가능하다.

**(57) 청구의 범위**

**청구항 1.**

전자방출소자를 지니는 전자원이 배열된 제 1기판과, 상기 전자원으로부터 방출된 전자가 조사되는 피조사체가 배치된 제 2기판과, 상기 제 1기판과 상기 제 2기판사이에 배치되고, 절연성 기재 및 해당 절연성 기재를 피복하는, 막두께  $d$ 를 지닌 저항막을 구비한 스페이서를 포함하고, 상기 제 1기판 및 제 2기판사이에 가속전압을 인가해서, 상기 전자원으로부터 방출되는 전자를 상기 피조사체에 조사시키는 화상표시장치에 있어서,

상기 가속전압하에 있어서의 상기 저항막의 전자침입깊이를  $\lambda$ , 그리고,  $(d-a\lambda) > 0$ (여기서,  $a$ 는 0.5 내지 1의 범위내에 있음)으로 했을 때, 상기 스페이서의 상기 저항막은, 상기 절연성 기재의 표면으로부터  $(d-a\lambda)$ 의 두께까지의 시트저항  $R_{s1}$  ( $\Omega/\square$ )과, 상기 저항막 표면으로부터  $a\lambda$ 의 두께까지의 시트저항  $R_{s2}$  ( $\Omega/\square$ )를 지니고, 상기 저항  $R_{s1}$ 과 상기 저항  $R_{s2}$ 는,  $2 \leq R_{s2}/R_{s1} \leq 100$  및  $10^7 \leq R_{s1} \leq 10^{14}$ 의 관계를 만족하는 것을 특징으로 하는 화상표시장치.

## 청구항 2.

삭제

## 청구항 3.

삭제

## 청구항 4.

삭제

## 청구항 5.

제 1항에 있어서, 상기 시트저항  $R_{s1}$ 과 상기 시트저항  $R_{s2}$ 는,  $10 \leq R_{s2}/R_{s1} \leq 100$ 의 관계를 만족하는 것을 특징으로 하는 화상표시장치.

## 청구항 6.

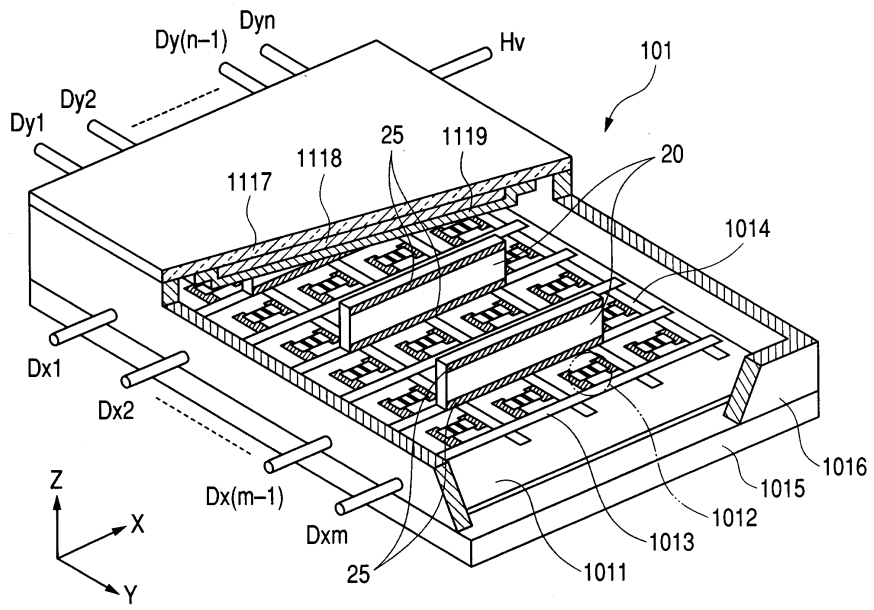
제 1항에 있어서, 상기 절연성 기재의 표면으로부터  $(d-a\lambda)$ 의 두께까지의 범위내의 상기 저항막의 저항 온도계수가, 3% 이하인 것을 특징으로 하는 화상표시장치.

## 청구항 7.

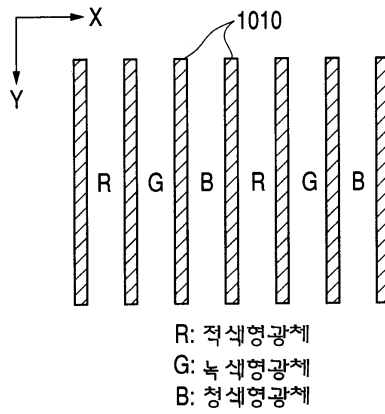
제 1항에 있어서, 상기 가속전압의 범위가 4kV 내지 30kV의 범위내인 것을 특징으로 하는 화상표시장치.

도면

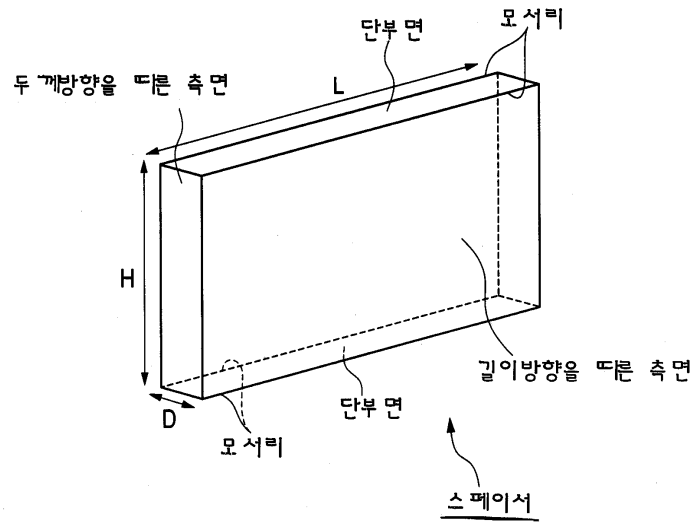
도면1



도면2



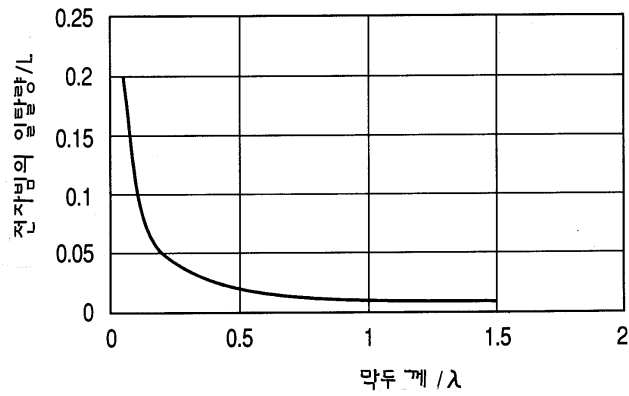
도면3



도면4

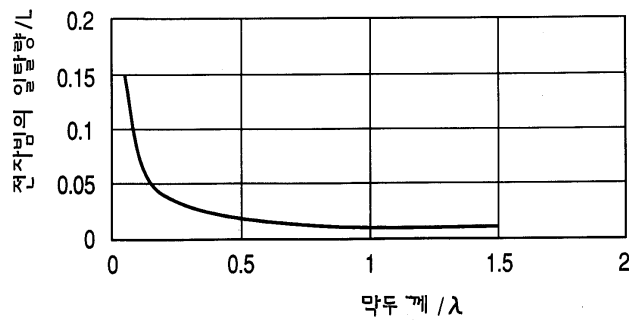
A

전자빔의 일탈량

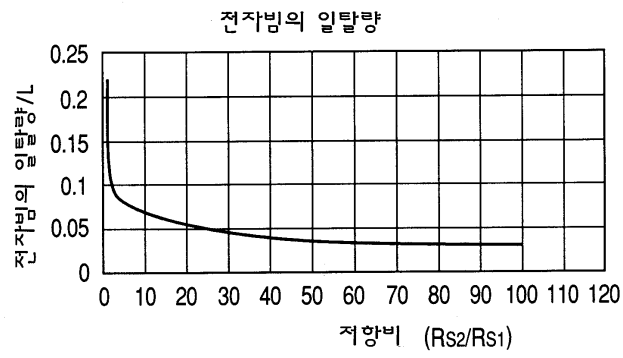


B

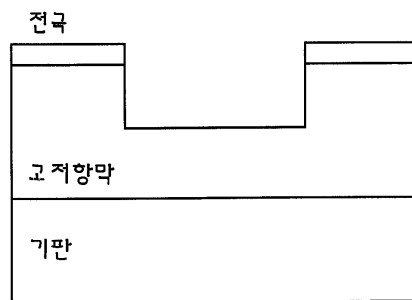
전자빔의 일탈량 (Cr-AlN)



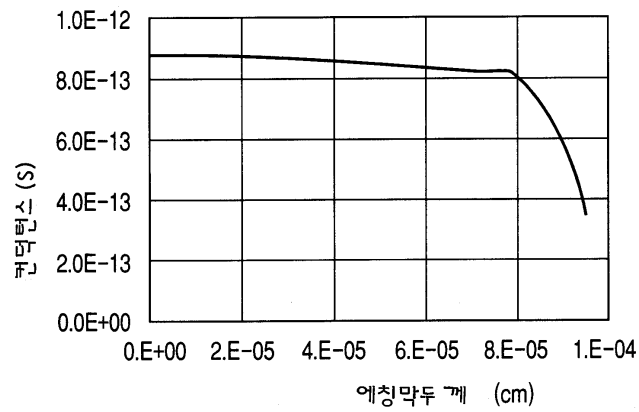
도면5



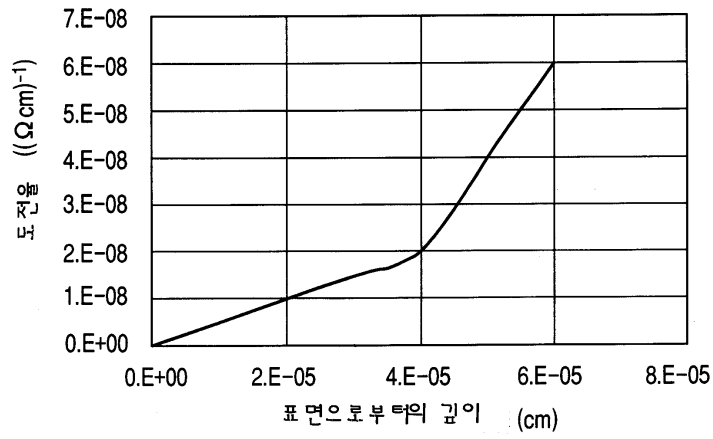
도면6



도면7



도면8



도면9

