

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96137015

※申請日期：96年10月02日

※IPC分類：H01L 25/00 (2006.01)

一、發明名稱：

H01G 4/12 (2006.01)

(中) 半導體裝置

H01L 25/07 (2006.01)

(英)

H01L 25/18 (2006.01)

二、申請人：(共 1 人)

1. 姓名：(中) 東芝股份有限公司

(英) KABUSHIKI KAISHA TOSHIBA

代表人：(中) 1. 西田厚聰

(英) 1. NISHIDA, ATSUTOSHI

地址：(中) 日本國東京都港區芝浦一丁目一番一號

(英) 1-1, Shibaura 1-chome, Minato-ku, Tokyo 105-8001, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓名：(中) 高木一考

(英) TAKAGI, KAZUTAKA

國籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2006/10/02 ; 2006-270511 ☒ 有主張優先權

發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：96137015

※申請日期：96年10月02日

※IPC分類：H01L 25/00 (2006.01)

一、發明名稱：

H01G 4/12 (2006.01)

(中) 半導體裝置

H01L 25/07 (2006.01)

(英)

H01L 25/18 (2006.01)

二、申請人：(共 1 人)

1. 姓名：(中) 東芝股份有限公司

(英) KABUSHIKI KAISHA TOSHIBA

代表人：(中) 1. 西田厚聰

(英) 1. NISHIDA, ATSUTOSHI

地址：(中) 日本國東京都港區芝浦一丁目一番一號

(英) 1-1, Shibaura 1-chome, Minato-ku, Tokyo 105-8001, Japan

國籍：(中英) 日本 JAPAN

三、發明人：(共 1 人)

1. 姓名：(中) 高木一考

(英) TAKAGI, KAZUTAKA

國籍：(中) 日本

(英) JAPAN

四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利 ☐ 主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2006/10/02 ; 2006-270511 ☒ 有主張優先權

九、發明說明

【發明所屬之技術領域】

本發明係關於例如場效電晶體（Field Effect Transistor，以下稱為 FET）等的半導體元件與電容器元件等被動元件，被載置・連接於基板上的半導體裝置。

【先前技術】

以往，係在例如印刷基板或金屬板上，載置・連接有 FET 等半導體元件、薄膜電容器等被動元件等的半導體裝置中，使用藉由設置於半導體元件內部的通孔（VIA：貫通孔），將半導體元件接地的構造。

在將形成有 GaAsFET 的 GaAs 基板薄層化，且具有將 GaAs 基板上的閘極、汲極或源極之任一期望的電極接地的構造之半導體裝置中，就具有：將 GaAs 基板從背面貫通以到達所期望之電極的基板貫通孔；形成於 GaAs 基板的背面且在 GaAs 基板貫通孔中與所期望之電極連接的金屬層；和黏附於金屬層上的介電體層及形成於介電體層上的接地電極層之半導體裝置來說，係有例如專利文獻 1 記載的內容。

專利文獻 1：日本特公昭 62-2466 號公報

另一方面，隨著反相器（inverter）電路或切換（switching）元件的高功能化，具有更進一步的高輸出、高耐壓化之需求。於是，近年來，使用帶隙（band gap）、絕緣破壞電場較大，且具有優良物性的 SiC（碳

化矽)基板，作為 FET 元件的基板。該 SiC 基板為具有金屬以上之熱傳導率的熱傳導性也優良的基板材料。

在微波帶的電源元件使用 SiC 基板時，隨著高輸出化，必須將產生的熱以良好效率散出。

然而，使用上述方法，在 SiC 基板設置通孔以進行接地時，會有通孔部分阻礙熱傳導，而無法有效地利用 SiC 所具有的熱傳導性之問題。

更且，為了在 SiC 基板形成通孔，會有需要圖案化、蝕刻等步驟，且通孔開口步驟較為複雜的問題。

本發明的目的在於提供一種在基板上載置・連接有半導體元件與整合電路部、偏壓電路部、電容器元件等周邊電路部的半導體裝置中，可在半導體基板中沒有設置通孔的情況下進行半導體元件的接地，且使半導體元件之散熱性良好的半導體裝置。

【發明內容】

申請專利範圍第 1 項之半導體裝置，其特徵為具備：載置於基板上的半導體元件；載置於基板上且與半導體元件連接的周邊電路部；設置於周邊電路部且接地的金屬層；和與金屬層及半導體元件連接的接地用電極。

【實施方式】

參照圖面，說明本發明之實施型態。以下之圖面的記載中，相同或類似的部分係附註相同或類似的元件符號。

然而，應留意圖面係為模式，與實際構成是不同的。此外，圖面彼此間當然也包含彼此的尺寸關係或比例不同的部分。

又，以下所示實施型態係例示用以將本發明之技術思想具體化的裝置或方法，本發明的技術思想並非將各構成零件的配置等特定為下述的構成。本發明的技術思想可在申請專利範圍中進行各種變形。

以下說明中，半導體元件係被形成於從 SiC 基板、GaN/SiC 基板、AlGaN/GaN/SiC 基板、鑽石基板、藍寶石基板（sapphire substrate）選擇的基板上。

尤其，例如，使用 AlGaN/GaN/SiC 基板時，半導體元件係構成為利用被誘起於異質接合界面之二維氣體（2DEG：Two Dimensional Electron Gas）中的高電子移動度之高電子移動度電晶體（HEMT：High Electron Mobility Transistor）。又，例如使用 GaN/SiC 基板時，半導體元件可構成為利用肖特基閘極（Schottky Gate）的金屬－半導體（MES：Metal semiconductor）FET。

[第 1 實施型態]

第 1 圖係表示本發明之第 1 實施型態之半導體裝置的模式平面圖，第 2 圖係本發明之第 1 實施型態之半導體裝置，表示沿著第 1 圖之 I-I 線的模式剖面構造圖。

如第 1 圖及第 2 圖所示，本發明之第 1 實施型態之半導體裝置具備：載置於基板 1 上的半導體元件 2；載置於

基板 1 上且與半導體元件 2 連接的周邊電路部 30、40；設置於周邊電路部 30 且接地的電極 30e、金屬層 30m；與金屬層 30m 和半導體元件 2 之源極電極 2s 連接的接地用電極 30s；和連接於半導體元件 2 之閘極電極 2g 的電極 30d。

就周邊電路部 30、40 來說，可假定例如含 FET 等主動元件的驅動器電路、由 LC 電路等所構成的整合電路、由帶狀（strip）線路等的傳送電路所構成的整合電路、由 LC 電路等所構成的偏壓電路、由 LC 電路等所構成的濾波器電路、感應器電路（inductor circuit）元件、電容器電路元件等。第 1 圖、第 2 圖中，係以模式圖示此種周邊電路部 30、40，關於詳細的構成，可依據各電路的具體構成加以顯示。

半導體元件 2 亦可為形成於從 SiC 基板、GaN/SiC 基板、AlGaN/GaN/SiC 基板、鑽石基板、藍寶石基板選擇之基板 2k 上的場效電晶體。

又，金屬層 30m 係形成於通孔 30v 內，而該通孔 30v 係貫通構成周邊電路部 30 的基板 30k。

此外，亦可具有相對於一個通孔 30v，連接複數接地用電極 30s 的構成。

如第 1 圖及第 2 圖所示，在分別形成有特定配線圖案的印刷基板或金屬板等的基板 1 上，載置例如形成於 SiC 基板上的 FET 等半導體元件 2、周邊電路部 30、40，且藉由銲劑 5 分別與電極 2e、30e、40e 連接。周邊電路部

30、40 係形成爲例如分別用電極 30e 與電極 30d 及接地用電極 30s、電極 40e 與電極 40d 夾著氧化鋁等的高介電體基板 30k、40k 之構造。

在周邊電路部 30 中，以貫通高介電體基板 30k 的方式形成有通孔 30v。通孔 30v 的內壁係形成有金屬層 30m，且與形成於周邊電路部 30 上面的接地用電極 30s 連接。

半導體元件 2 的閘極電極 2g 與周邊電路部 30 的電極 30d，源極電極 2s 與接地用電極 30s，汲極電極 2d 與周邊電路部 40 的電極 40d，係各自藉由引線 60 連接。

（製造方法）

此種半導體裝置係以下述方式形成。

（a）將預先成形時形成有通孔或在成形後使用雷射等形成有通孔之氧化鋁等的高介電體基板 30k 的通孔 30v 內部，藉由例如 Au 無電解電鍍等加以金屬化，而形成金屬層 30m。接著，在高介電體基板 30k 的上面，藉由例如 Au/Pd (Ni) / Ti 的蒸鍍，形成電極 30d 及與通孔 30v 電性連接的接地用電極 30s，且在下面形成電極 30e，而形成周邊電路部 30。

（b）同樣地，在高介電體基板 40k 的上下面，藉由蒸鍍形成金屬層 40e、電極 40d，而形成周邊電路部 40。

（c）接著，將以此方式形成的周邊電路部 30、40，連同形成有元件區域且被分離於晶片之 FET 等的半導體

元件 2 一起載置、連接於預先形成有特定配線圖案的印刷基板 1 上。

(d) 更且，藉由引線將半導體元件 2 的閘極電極 2g 與周邊電路部 30 的電極 30d 連接，藉由引線將源極電極 2s 與接地用電極 30s 連接，藉由引線將汲極電極 2d 與周邊電路部 40 的電極 40d 連接。

依此構成，不是在半導體元件 2 而是在周邊電路部 30 形成通孔而接地，因此，即便在半導體元件 2 使用 SiC 基板時，也不會有通孔阻礙熱傳導的情形，變成可接地。

根據本發明之第 1 實施型態，可提供一種在基板上載置、連接有半導體元件與周邊電路部的半導體裝置中，可在沒有於半導體基板中設置通孔的情況下，進行半導體元件的接地，且半導體元件之散熱性優良的半導體裝置。

〔第 2 實施型態〕

第 3 圖係表示本發明之第 2 實施型態之半導體裝置的模式平面圖，第 4 圖係本發明之第 2 實施型態的半導體裝置，表示沿著第 3 圖的 I-I 線之模式剖面構造圖。

本發明之第 2 實施型態的半導體裝置，係在取代上述第 1 實施型態之半導體裝置的周邊電路部 30、40、電極 30e、電極 40e、金屬層 30m、接地用電極 30s、通孔 30v、引線 60，而設有整合電路部 130、140、電極 130e、電極 140e、金屬層 130m、接地用電極 130s、通孔 130v、引線 160 的方面不同。

如第 3 圖及第 4 圖所示，本發明之第 2 實施型態的半導體裝置具備：載置於基板 1 上的半導體元件 2；載置於基板 1 上且與半導體元件 2 連接的整合電路部 130、140；設置於整合電路部 130 且接地的電極 130e、金屬層 130m；與電極 130e、金屬層 130m 及半導體元件 2 連接的接地用電極 130s；和連接於半導體元件 2 之閘極電極 2g 的電極 130d。

就整合電路部 130、140 而言，可假定例如含 FET 等主動元件的整合電路、由 LC 電路等所構成的整合電路、由帶狀（strip）線路等的傳送電路所構成的整合電路、由 LC 電路等所構成的濾波器電路。第 3 圖、第 4 圖中，係以模式圖示此種整合電路部 130、140，詳細的構成可依據各電路的具體構成加以顯示。

半導體元件 2 亦可為形成於從 SiC 基板、GaN/SiC 基板、AlGaN/GaN/SiC 基板、鑽石基板、藍寶石基板選擇的基板 2k 上的場效電晶體。

又，金屬層 130m 係被形成於貫通整合電路部 130 的通孔 130v 內。

此外，亦可具備對於一個上述通孔 130v，連接複數接地用電極 130s 的構成。

如第 3 圖及第 4 圖所示，在分別形成有特定配線圖案的印刷基板或金屬板等的基板 1 上，載置例如形成於 SiC 基板上的 FET 等的半導體元件 2、整合電路部 130、140，且藉由錫劑 5 分別與電極 2e、130e、140e 連接。整

合電路部 130、140 係形成爲例如分別用電極 130e 與接地用電極 130s 及電極 130d、電極 140e 與電極 140d 夾著氧化鋁等的高介電體基板 130k、140k 之構造。

在整合電路部 130 中，以貫通高介電體基板 130k 的方式形成有通孔 130v。通孔 130v 的內壁係形成有金屬層 130m，且與形成於整合電路部 130 上面的接地用電極 130s 連接。

而且，半導體元件 2 的閘極電極 2g 與整合電路部 130 的電極 130d，源極電極 2s 與接地用電極 130s，汲極電極 2d 與整合電路部 140 的電極 140d，係各自藉由引線 160 連接。

（製造方法）

此種半導體裝置係以下述方式形成。

（a）將預先成形時形成有通孔或在成形後使用雷射等形成有通孔之氧化鋁等的高介電體基板 130k 的通孔 130v 內部，藉由例如 Au 無電解電鍍等加以金屬化，而形成金屬層 130m。接著，在高介電體基板 130k 的上下面，藉由例如 Au/Pd(Ni)/Ti 的蒸鍍，形成電極 130e、130d 及與通孔 130v 對應的接地用電極 130s，而形成整合電路部 130。

（b）同樣地，在高介電體基板 140k 的上下面，藉由蒸鍍形成電極 140e、電極 140d，而形成周邊電路部 140。

(c) 接著，將以此方式形成的整合電路部 130、140，連同形成有元件區域且被分離於晶片之 FET 等的半導體元件 2 一起載置、連接於預先形成有特定配線圖案的印刷基板 1 上。

(d) 更且，將半導體元件 2 的閘極電極 2g 與整合電路部 130 的電極 130d 連接，將源極電極 2s 與接地用電極 130s 連接，將汲極電極 2d 與整合電路部 140 的電極 140d 連接。

依此構成，不是在半導體元件 2 而是在整合電路部 130 形成通孔而接地，因此，即便在半導體元件 2 使用 SiC 基板時，也不會有通孔阻礙熱傳導的情形，變成可接地。

根據本發明之第 2 實施型態，可提供一種在基板上載置、連接有半導體元件與整合電路部的半導體裝置中，可在沒有於半導體基板中設置通孔的情況下，進行半導體元件的接地，且半導體元件之散熱性優良的半導體裝置。

〔第 3 實施型態〕

第 5 圖係表示本發明之第 3 實施型態之半導體裝置的模式平面圖，第 6 圖係本發明之第 3 實施型態的半導體裝置，表示沿著第 5 圖的 I-I 線之模式剖面構造圖。

如第 5 圖及第 6 圖所示，本發明之第 3 實施型態的半導體裝置具備：載置於基板 1 上的半導體元件 2；載置於基板 1 上且與半導體元件 2 連接的偏壓電路部 230、

240；設置於偏壓電路部 230 且接地的電極 230e、金屬層 230m；與電極 230e、金屬層 230m 及半導體元件 2 連接的接地用電極 230s；和連接於半導體元件 2 之 2g 的電極 230d。

就偏壓電路部 230、240 而言，可假定例如含 FET 等主動元件的偏壓電路、由 LC 電路等所構成的偏壓電路、由帶狀線路等的傳送電路所構成的偏壓電路、由感應器電路元件所構成的偏壓電路等。第 5 圖、第 6 圖中，係以模式圖示此種偏壓電路部 230、240，詳細的構成可依據各電路的具體構成加以顯示。

半導體元件 2 亦可為形成於從 SiC 基板、GaN/SiC 基板、AlGaIn/GaN/SiC 基板、鑽石基板、藍寶石基板選擇之基板 2k 上的場效電晶體。

又，金屬層 230m 係被形成於貫通偏壓電路部 230 的通孔 230v 內。

此外，亦可具備相對於一個通孔 230v，連接複數接地用電極 230s 的構成。

再者，本發明之第 3 實施型態的半導體裝置中，亦可又具備在同一基板 1 上與第 2 實施型態同樣配置的整合電路部 130、140。

本發明之第 3 實施型態的半導體裝置亦可具備：載置於基板上的半導體元件；載置於基板上且與半導體元件連接的整合電路部及偏壓電路部；設置於整合電路部及偏壓電路部之任一者或兩者且接地的金屬層；和與金屬層及半

導體元件連接的接地用電極。

金屬層亦可具有形成於貫通整合電路部及偏壓電路部之任一者或兩者的通孔內之構成。

再者，亦可具有相對於一個通孔，連接複數接地用電極的構成。

如第 5 圖及第 6 圖所示，在分別形成有特定配線圖案的印刷基板或金屬板等的基板 1 上，載置例如形成於 SiC 基板上的 FET 等的半導體元件 2、偏壓電路部 230、240，且藉由銲劑 5 分別與電極 2e、230e、240e 連接。偏壓電路部 230、240 係成為例如分別用電極 230e 與電極 230d、電極 240e 與電極 240d 夾著氧化鋁等的高介電體基板 230k、240k 之構造。

在偏壓電路部 230 中，以貫通高介電體基板 230k 的方式形成有通孔 230v。通孔 230v 的內壁係形成有金屬層 230m，且與形成於偏壓電路部 230 上面的接地用電極 230s 連接。

半導體元件 2 的閘極電極 2g 與偏壓電路部 230 的電極 230d，源極電極 2s 與接地用電極 230s，汲極電極 2d 與偏壓電路部 240 的電極 240d，係各自藉由引線 260 連接。

（製造方法）

此種半導體裝置係以下述方式形成。

（a）將預先成形時形成有通孔或在成形後使用雷射

等形成有通孔之氧化鋁等的高介電體基板 230k 的通孔 230v 內部，藉由例如 Au 無電解電鍍等加以金屬化，而形成金屬層 230m。接著，在高介電體基板 230k 的上下面，藉由例如 Au/Pd(Ni)/Ti 的蒸鍍，形成電極 230e、230d 及與通孔 230v 對應的接地用電極 230s，而形成偏壓電路部 230。

(b) 同樣地，在高介電體基板 240k 的上下面，藉由蒸鍍形成電極 240e、240d，而形成偏壓電路部 240。

(c) 接著，將以此方式形成的偏壓電路部 230、240，連同形成有元件區域且被分離於晶片之 FET 等的半導體元件 2 一起載置、連接於預先形成有特定配線圖案的印刷基板 1 上。

(d) 更且，將半導體元件 2 的閘極電極 2g 與偏壓電路部 230 的電極 230d 連接，將源極電極 2s 與接地用電極 230s 連接，將汲極電極 2d 與偏壓電路部 240 的電極 240d 連接。

依此構成，不是在半導體元件 2 而是在偏壓電路部 230、240 形成通孔而接地，因此，即便在半導體元件 2 使用 SiC 基板時，也不會有通孔阻礙熱傳導的情形，變成可接地。

根據本發明之第 3 實施型態，可提供一種在基板上載置、連接有半導體元件與周邊電路部的半導體裝置中，可在沒有於半導體基板中設置通孔的情況下，進行半導體元件的接地，且半導體元件之散熱性優良的半導體裝置。

〔第 4 實施型態〕

第 7 圖係表示本發明之第 4 實施型態之半導體裝置的模式剖面圖，第 8 圖係本發明之第 4 實施型態之半導體裝置，表示沿著第 7 圖的 I-I 線之模式剖面構造圖。

如第 7 圖及第 8 圖所示，本發明之第 4 實施型態之半導體裝置具備：載置於基板 1 上的半導體元件 2；載置於基板 1 上且與半導體元件 2 連接的電容器元件 3、4；設置於電容器元件 3 且接地的電極 3e、金屬層 3m；與電極 3e、金屬層 3m 及半導體元件 2 連接的接地用電極 3s；和連接於半導體元件 2 之間極電極 2g 的電極 3d。

半導體元件 2 亦可為形成於從 SiC 基板、GaN/SiC 基板、AlGaN/GaN/SiC 基板、鑽石基板、藍寶石基板選擇的基板 2k 上的場效電晶體。

又，金屬層 3m 係形成於貫通電容器元件 3 的通孔 3v 內。

此外，如後所述，亦可對於一個上述通孔 3v，連接複數的接地用電極 3s。

如第 7 圖及第 8 圖所示，在分別形成有特定配線圖案的印刷基板或金屬板等的基板 1 上，載置例如形成於 SiC 基板上的 FET 等的半導體元件 2、薄膜電容器 3、4，且藉由銲劑 5 分別與電極 2e、3e、4e 連接。薄膜電容器 3、4 係形成為分別用電極 3e、3d、4e、4d 夾著氧化鋁等的高介電體基板 3k、4k 之構造。在薄膜電容器 3 中，以

貫通高介電體基板 3k 的方式形成有通孔 3v。在通孔 3v 的內壁形成有金屬層 3m，且與形成於薄膜電容器 3 上面的接地用電極 3s 連接。而且，半導體元件 2 的閘極電極 2g 與薄膜電容器 3 的電極 3d，源極電極 2s 與接地用電極 3s，汲極電極 2d 與薄膜電容器 4 的電極 4d，係各自藉由引線 6 連接。

（製造方法）

此種半導體裝置係以下述方式形成。

（a）將預先成形時形成有通孔或在成形後使用雷射等形成有通孔之氧化鋁等的高介電體基板 3k 的通孔 3v 內部，藉由例如 Au 無電解電鍍等加以金屬化，而形成金屬層 3m。接著，在高介電體基板 3k 的上下面，藉由例如 Au/Pd (Ni) / Ti 的蒸鍍，形成電極 3e、3d 及與通孔 3v 對應的接地用電極 3s，而形成薄膜電容器 3。

（b）同樣地，在高介電體基板 4k 的上下面，藉由蒸鍍形成電極 4e、4d，而形成薄膜電容器 4。

（c）接著，將以此方式形成的薄膜電容器 3、4，連同形成有元件區域且被分離於晶片之 FET 等的半導體元件 2 一起載置、連接於預先形成有特定配線圖案的印刷基板 1 上。

（d）更且，將半導體元件 2 的閘極電極 2g 與薄膜電容器的電極 3d 連接，將源極電極 2s 與接地用電極 3s 連接，將汲極電極 2d 與薄膜電容器 4 的電極 4d 連接。

依此構成，不是在半導體元件 2 而是在薄膜電容器 3 形成通孔而接地，因此，即便在半導體元件 2 使用 SiC 基板時，也不會有通孔阻礙熱傳導的情形，變成可接地。

第 9 圖係表示本發明之第 4 實施型態之半導體裝置的薄膜電容器的電極之模式平面圖。又，第 10 圖係表示本發明之第 4 實施型態之半導體裝置的薄膜電容器的電極之模式平面圖。

本發明的第 4 實施型態中，以分別與薄膜電容器 3 的通孔 3v 對應的方式形成有接地用電極 3s，然而未必是一對一的對應，也可像第 9 圖所示那樣，相對於薄膜電容器 33 的一個通孔 33v 形成兩個以上的接地用電極 33s，與各自的接地用電極 33s 和引線 36 連接。通孔 33v 的形成，因加工性、強度的關係，在設置間隔等方面具有某程度的限制，但依此，可使設計的自由性提升。

再者，如第 10 圖所示，亦可形成在薄膜電容器 43 的通孔 43v 間配置電極 43d 的一部分。藉此構成，可縮短連接半導體元件 42 之閘極電極 42g 與薄膜電容器 43 之接地用電極 43s 的引線 46，可降低寄生電阻及寄生感應器（parasitical inductor）。

根據本發明之第 4 實施型態，可提供一種在基板上載置・連接有半導體元件與電容器元件的半導體裝置中，可在沒有於半導體基板中設置通孔的情況下，進行半導體元件的接地，且半導體元件之散熱性優良的半導體裝置。

〔第 5 實施型態〕

第 11 圖係表示本發明之第 5 實施型態之半導體裝置的模式平面圖，第 12 圖係本發明之第 5 實施型態的半導體裝置，表示沿著第 11 圖之 I—I 線的模式剖面構造圖。

如第 11 圖及第 12 圖所示，本發明之第 5 實施型態的半導體裝置具備：載置於基板 11 上的半導體元件 12；載置於基板 11 上且與半導體元件 12 連接的電容器元件 13、14；設置於電容器元件 13 且接地的電極 13e、金屬層 13m；與電極 13e、金屬層 13m 及半導體元件 12 連接的接地用電極 13s；和連接於半導體元件 12 之閘極電極 12g 的電極 13d。

半導體元件 12 亦可為形成於從 SiC 基板、GaN/SiC 基板、AlGaN/GaN/SiC 基板、鑽石基板、藍寶石基板選擇之基板 12k 上的場效電晶體。

又，金屬層 13m 係被形成電容器元件 13 的側壁。

如第 11 圖及第 12 圖所示，例如形成於 SiC 基板上之 FET 等的半導體元件 12、薄膜電容器 13、14，係分別載置於形成有特定配線圖案的印刷基板或金屬板等的基板 11 上，且藉由銲劑 5 連接。薄膜電容器 13、14 係形成為用電極 13e、13d、14e、14d 夾著氧化鋁等的高介電體基板 13k、14k 之構造。在薄膜電容器 13 中，於高介電體基板 13k 的邊緣部分形成有斜面，從高介電體基板 13k 的側面至斜面形成有金屬層 13m，且與形成於薄膜電容器 13 上面的接地用電極 13s 連接。而且，半導體元件 12 的閘

極電極 12g 與薄膜電容器 13 的電極 13d，源極電極 12s 與接地用電極 13s，汲極電極 12d 與薄膜電容器 14 的電極 14d，係各自藉由引線 16 連接。

(製造方法)

此種半導體裝置係以下述方式形成。

(a) 在預先成形時或成形後形成有斜面之氧化鋁等的高介電體基板 13k 的上下面及側面、斜面，藉由例如 Au/Pd(Ni)/Ti 的蒸鍍，形成電極 13e、13d 及接地用電極 13s。此時，藉由從上面方向、側面方向的兩方向進行蒸鍍，在斜面部也形成良好的金屬層 13m。依此方式，形成薄膜電容器 13。

(b) 同樣地，在高介電體基板 14k 的上下面，藉由蒸鍍形成電極 14e、14d，而形成薄膜電容器 14。

(c) 接著，將以此方式形成的薄膜電容器 13、14，連同形成有元件區域且被分離於晶片之 FET 等的半導體元件 12 一起載置、連接於預先形成有特定配線圖案的印刷基板 11 上。

(d) 更且，將半導體元件 12 的閘極電極 12g 與薄膜電容器 13 的電極 13d 連接，將源極電極 12s 與接地用電極 13s 連接，將汲極電極 12d 與薄膜電容器 14 的電極 14d 連接。

依此構成，第 5 實施型態中，不是在半導體元件 12 而是在薄膜電容器 13 的側面設置金屬層而接地，因此，

即便在半導體元件 12 使用 SiC 基板時，也不會有通孔阻礙熱傳導的情形，而且，通孔的形成，因加工性、強度的關係，在設置間隔等方面具有某程度的限制，然而可在沒有形成此種通孔的情形下接地。

根據本發明之第 5 實施型態，可提供一種在基板上載置・連接有半導體元件與電容器元件的半導體裝置中，沒有在半導體基板中設置通孔，而可進行半導體元件的接地，且半導體元件的散熱性優良的半導體裝置。

〔其他實施型態〕

如上所述，本發明係依據第 1 至第 5 實施型態而記載者，然而，構成該揭示之一部分的論述及圖面並非用來限定本發明，同行者明顯可從該揭示採用各種替代實施型態、實施例及運用技術。

第 1 至第 4 實施型態的半導體裝置中，也可採用與第 5 實施型態同樣的構成。也就是說，可提供一種設置側壁接觸來取代通孔接觸，藉以在基板上載置・連接有半導體元件和整合電路部、偏壓電路部、電容器元件等的周邊電路部之半導體裝置中，可在半導體基板中沒有設置通孔的情況下，在側壁接觸中進行半導體元件的接地，且半導體元件之散熱性優良的半導體裝置。

第 1 至第 5 實施型態中，係以 SiC 基板為例，作為使用於半導體元件 2、12 的基板，但是並不限定於此，即便使用 GaN/SiC 基板、AlGaN/GaN/SiC 基板、鑽石基板

等散熱性良好的基板時，也可在良好的熱傳導不會被通孔的形成所阻礙的情形下進行接地。

爲矽、GaAs 基板的情況下，容易進行通孔形成用的加工，然而，適用於使用 SiC 基板或藍寶石基板等難以進行通孔形成用的加工之基板時也是有效的。

如上所述，本發明當然包含此處記載的各種實施型態等。因此，本發明的技術範圍係由上述的說明僅依據妥當的申請專利範圍之發明特定事項來決定。

根據本發明的實施型態，可提供一種在基板上載置・連接有半導體元件和整合電路部、偏壓電路部、電容器元件等的周邊電路部之半導體裝置中，可在沒有於半導體基板中設置通孔的情況下，進行半導體元件的接地，且半導體元件之散熱性優良的半導體裝置。

【圖式簡單說明】

第 1 圖係本發明之第 1 實施型態之半導體裝置的模式平面圖。

第 2 圖係本發明之第 1 實施型態的半導體裝置，係沿著第 1 圖的 I-I 線之模式剖面構造圖。

第 3 圖係本發明之第 2 實施型態之半導體裝置的模式平面圖。

第 4 圖係本發明之第 2 實施型態的半導體裝置，係沿著第 3 圖的 I-I 線之模式剖面構造圖。

第 5 圖係本發明之第 3 實施型態之半導體裝置的模式

平面圖。

第 6 圖係本發明之第 3 實施型態之半導體裝置，係沿著第 5 圖的 I—I 線之模式剖面構造圖。

第 7 圖係本發明之第 4 實施型態之半導體裝置的模式平面圖。

第 8 圖係本發明之第 4 實施型態之半導體裝置，係沿著第 7 圖的 I—I 線之模式剖面構造圖。

第 9 圖係表示本發明之第 4 實施型態之半導體裝置的薄膜電容器的電極之模式平面圖。

第 10 圖係表示本發明之第 4 實施型態之半導體裝置的薄膜電容器的電極之模式平面圖。

第 11 圖係本發明之第 5 實施型態之半導體裝置的模式平面圖。

第 12 圖係本發明之第 5 實施型態之半導體裝置，係沿著第 11 圖的 I—I 線之模式剖面構造圖。

【主要元件符號說明】

1：基板

2、12：半導體元件

30、40：周邊電路部

3、4、13、14：薄膜電容器

2e、30d、30e、40d、40e：電極

30m、130m、230m：金屬層

2s、12s：源極電極

2d、12d：汲極電極

30s、130s：接地用電極

2g、12g：閘極電極

30k、40k、130k、140k：高介電體基板

30v、130v：通孔

60、160：引線

130、140：整合電路部

230、240：偏壓電路部

五、中文發明摘要

發明之名稱：半導體裝置

本發明之課題為，提供一種在基板上載置・連接有半導體元件與整合電路部、偏壓電路部、電容器元件等周邊電路部的半導體裝置中，可在半導體基板中沒有設置通孔的情況下進行半導體元件的接地，且使半導體元件的散熱性良好的半導體裝置。

本發明之解決手段為，具備：載置於基板 1 上的半導體元件 2；載置於基板 1 上且與半導體元件 2 連接的周邊電路部 30、40；設置於周邊電路部 30 且接地的電極 30e、金屬層 30m；與金屬層 30m 及半導體元件 2 的源極電極 2s 連接的接地用電極 30s；和連接於半導體元件 2 之閘極電極 2g 的電極 30d。

六、英文發明摘要

發明之名稱：

十、申請專利範圍

1.一種半導體裝置，其特徵為具備：

載置於基板上的半導體元件；

載置於上述基板上且與上述半導體元件連接的周邊電路部；

設置於上述周邊電路部且接地的金屬層；和

與上述金屬層及上述半導體元件連接的接地用電極。

2.如申請專利範圍第 1 項之半導體裝置，其中，上述半導體元件係形成於從 SiC 基板、GaN/SiC 基板、AlGaIn/SiC 基板、鑽石基板、藍寶石基板選擇之基板上的場效電晶體。

3.如申請專利範圍第 1 項之半導體裝置，其中，上述金屬層係形成於貫通上述周邊電路部的通孔內。

4.如申請專利範圍第 3 項之半導體裝置，其中，對於一個上述通孔，連接複數的上述接地用電極。

5.如申請專利範圍第 1 項之半導體裝置，其中，上述金屬層係形成於上述周邊電路部的側壁。

6.如申請專利範圍第 1 項之半導體裝置，其中，上述周邊電路部係整合電路部。

7.如申請專利範圍第 1 項之半導體裝置，其中，上述周邊電路部係偏壓電路部。

8.如申請專利範圍第 1 項之半導體裝置，其中，上述周邊電路部係整合電路部及偏壓電路部。

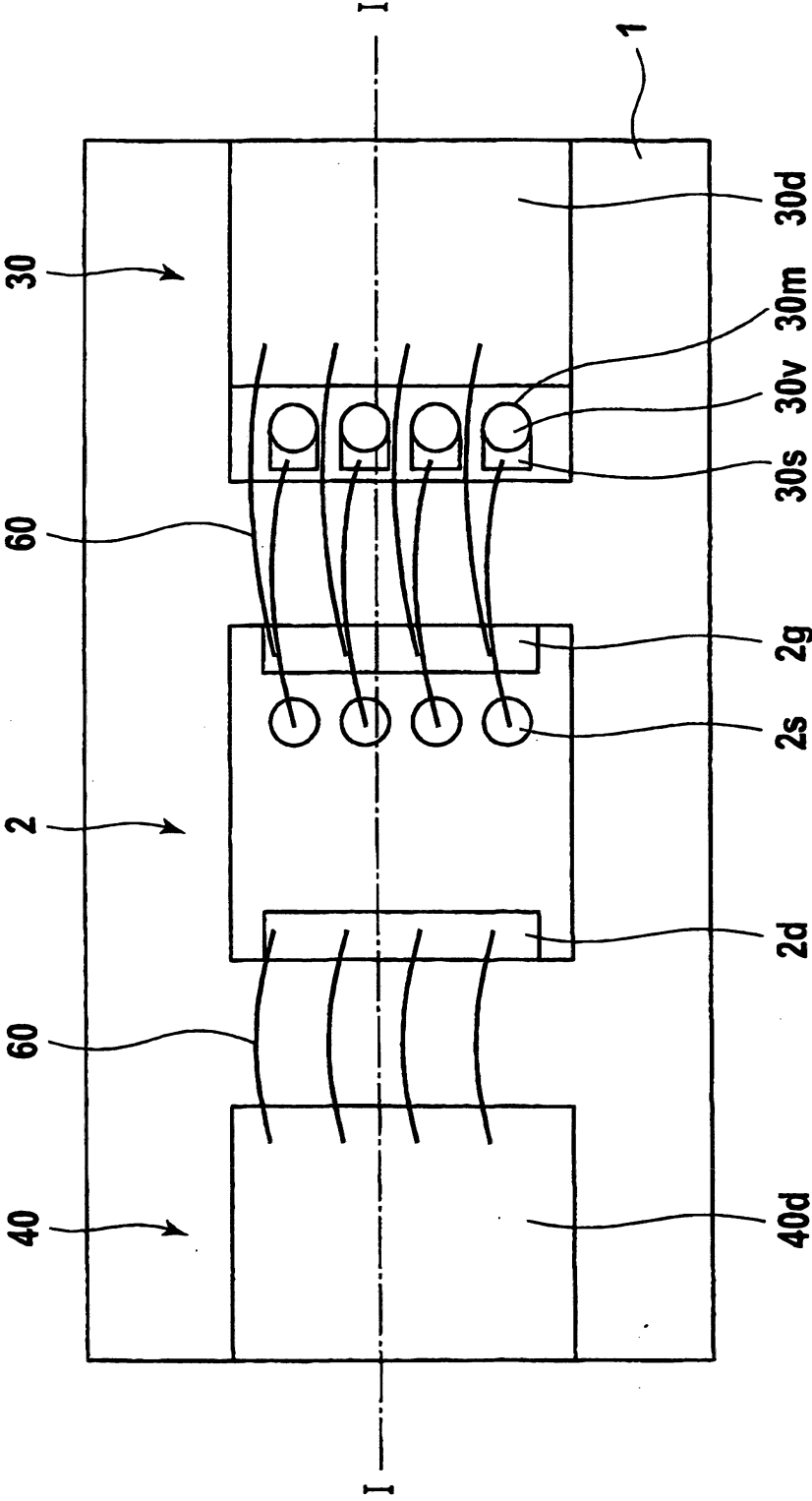
9.如申請專利範圍第 8 項之半導體裝置，其中，上述

金屬層係形成於貫通上述整合電路部及上述偏壓電路部之任一者或兩者的通孔內。

10.如申請專利範圍第 8 項之半導體裝置，其中，上述金屬層係形成於上述整合電路部及上述偏壓電路部之任一者或兩者的側壁。

11.如申請專利範圍第 1 項之半導體裝置，其中，上述周邊電路部係電容器元件。

第1圖



第2圖

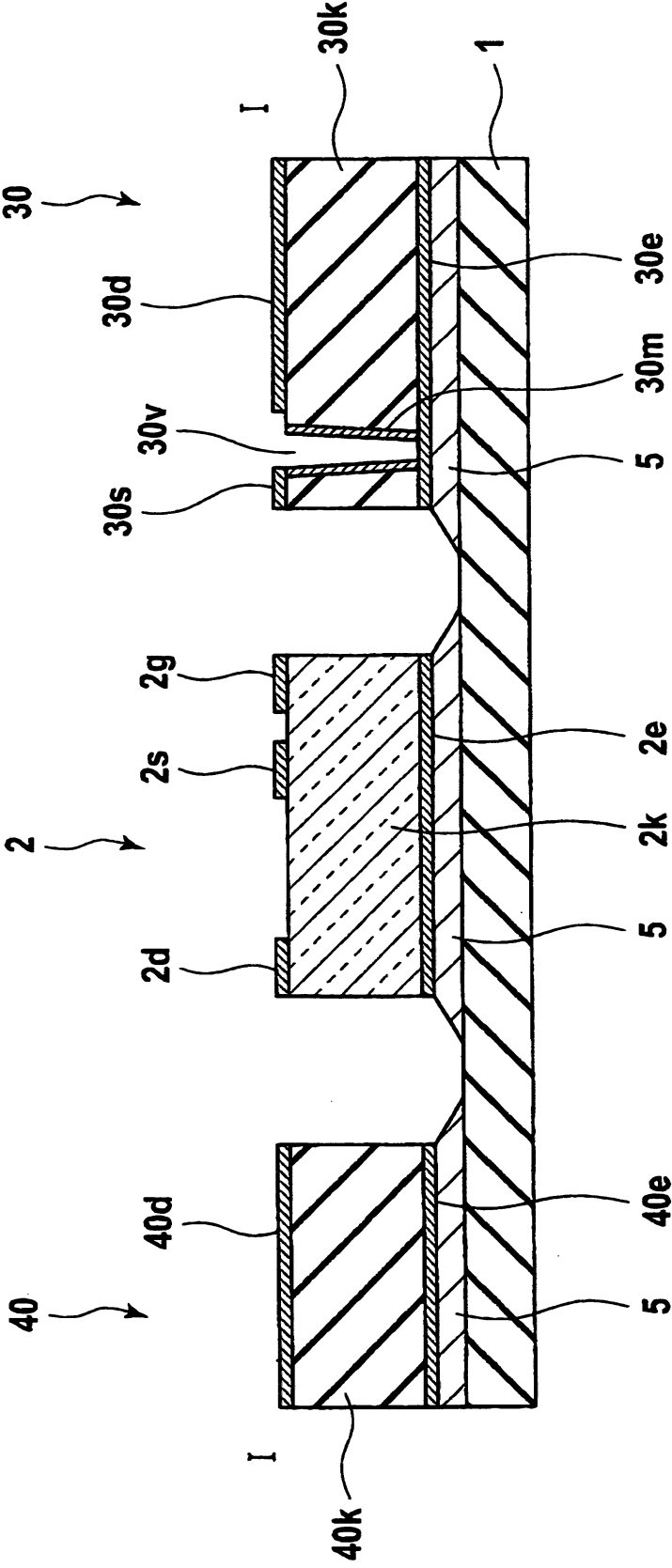
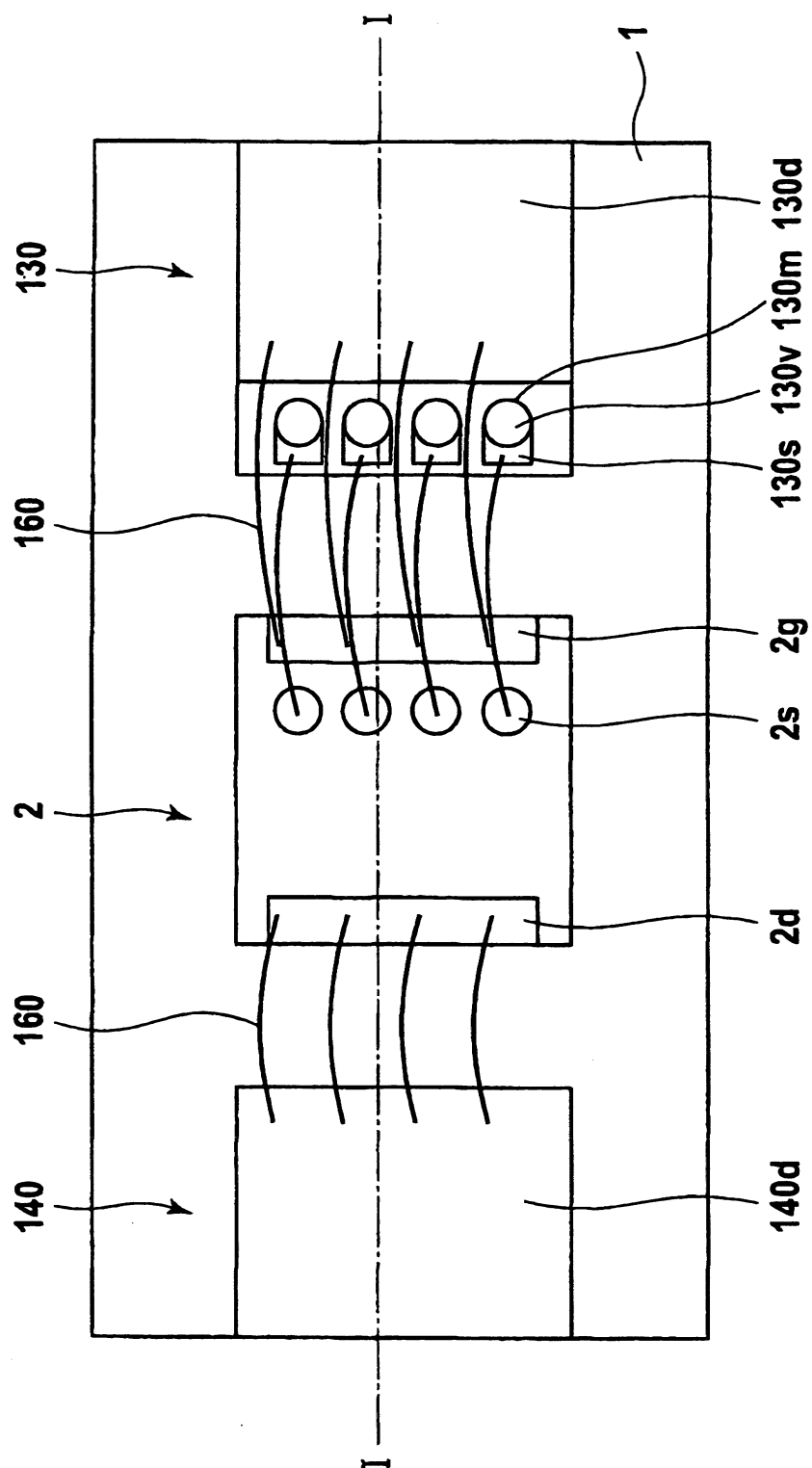
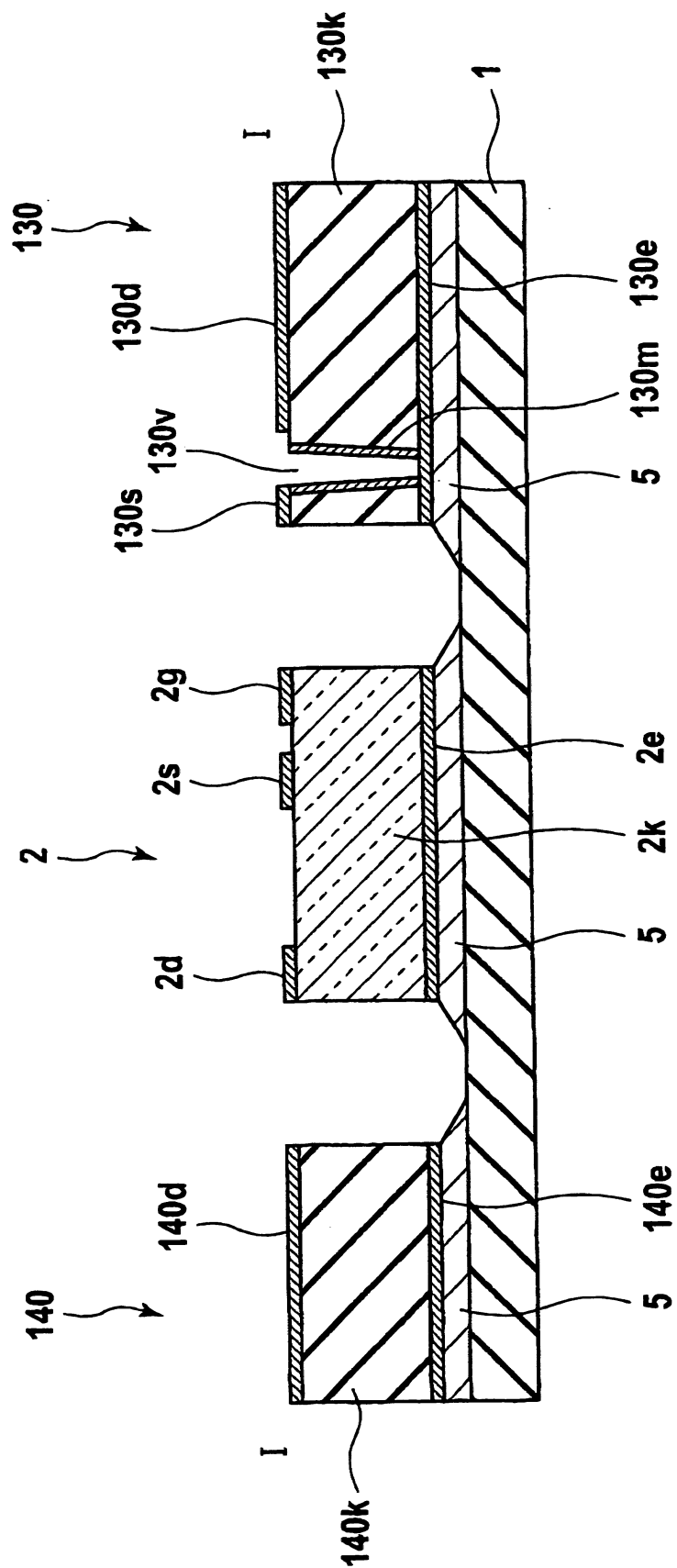


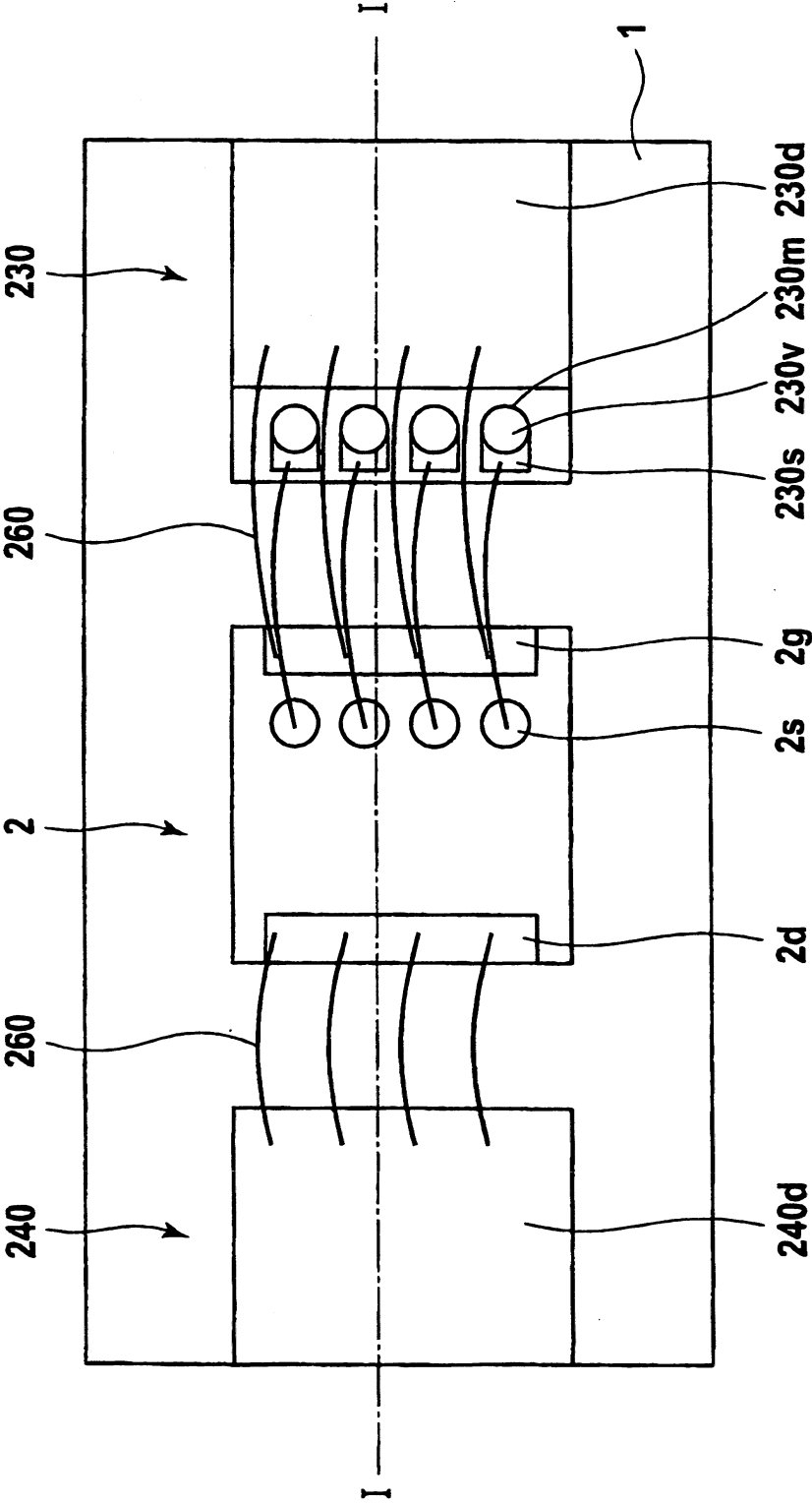
圖
3
第



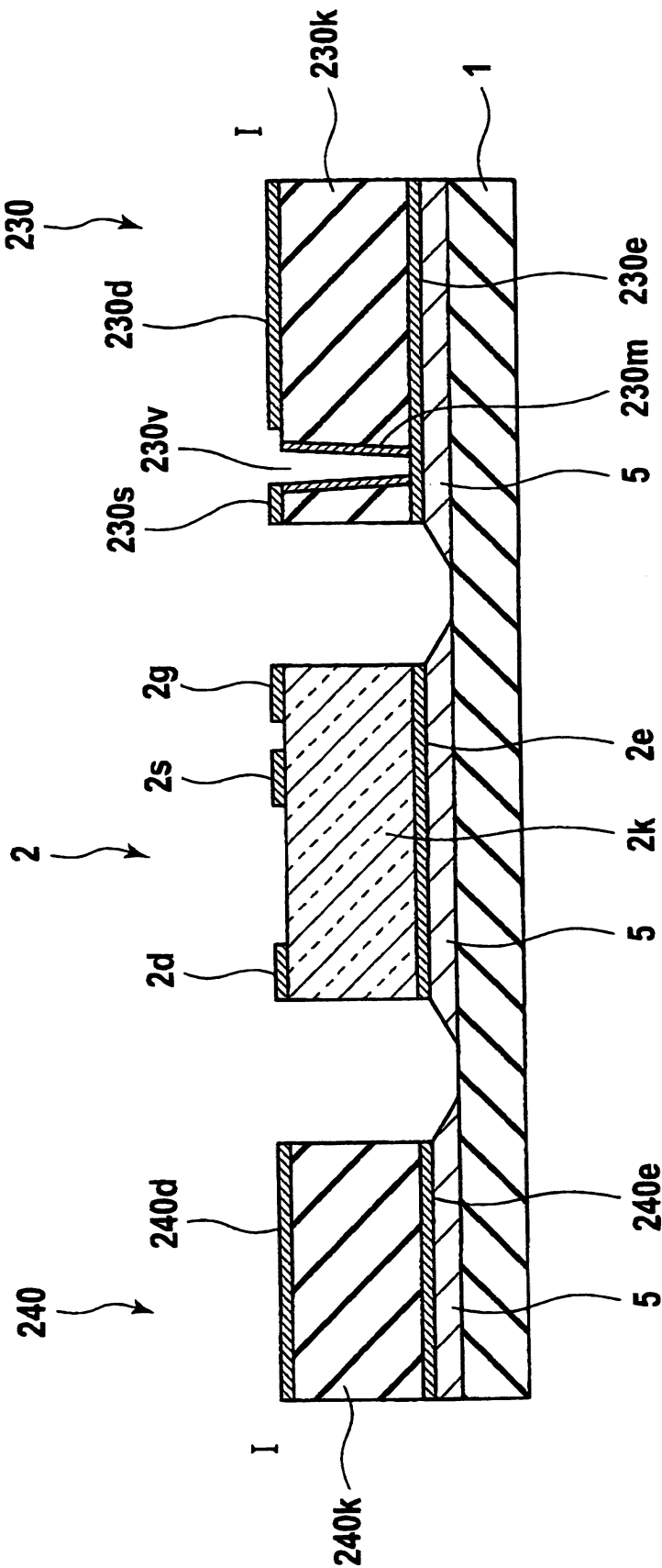
第4圖



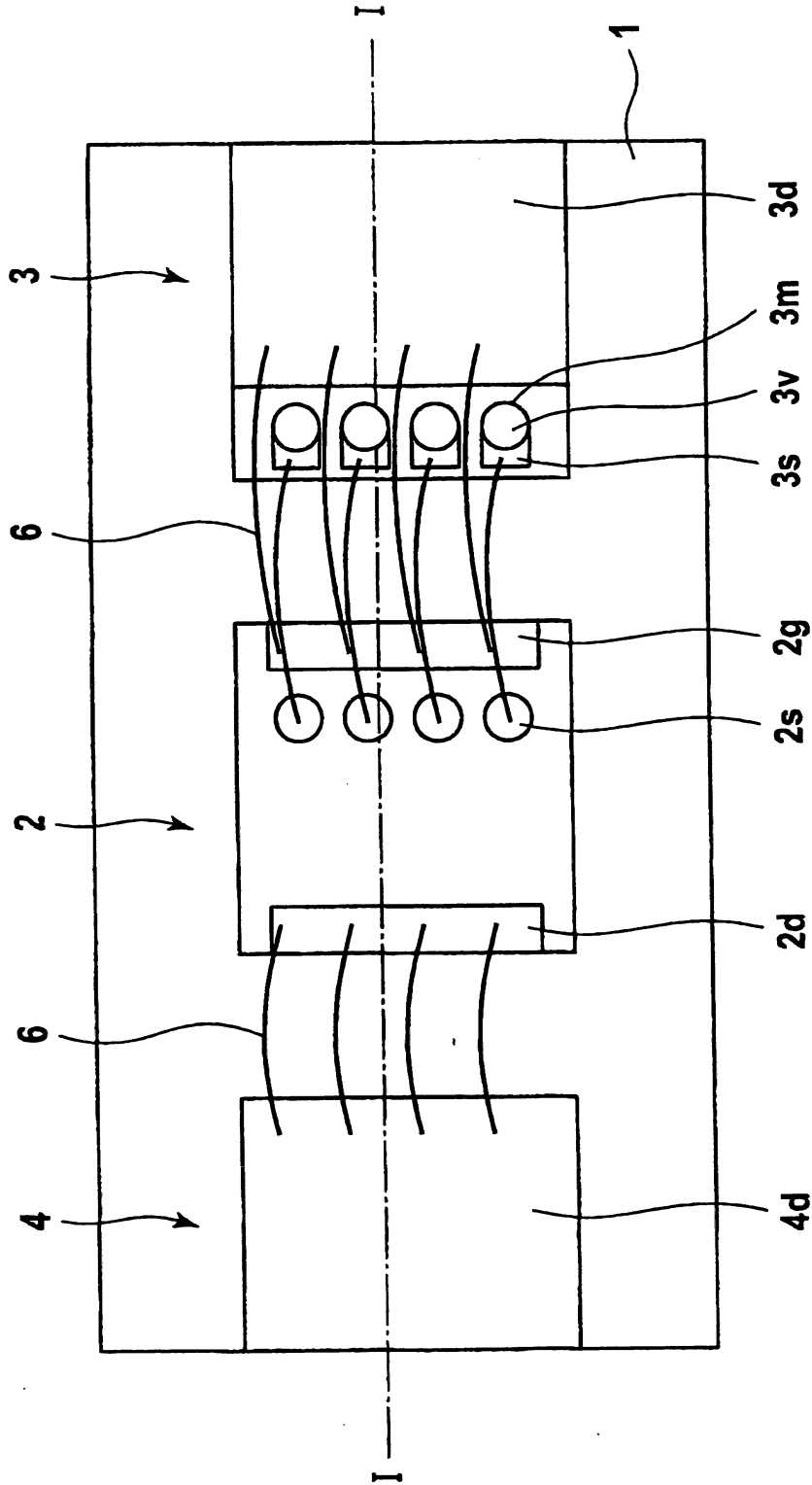
第5圖



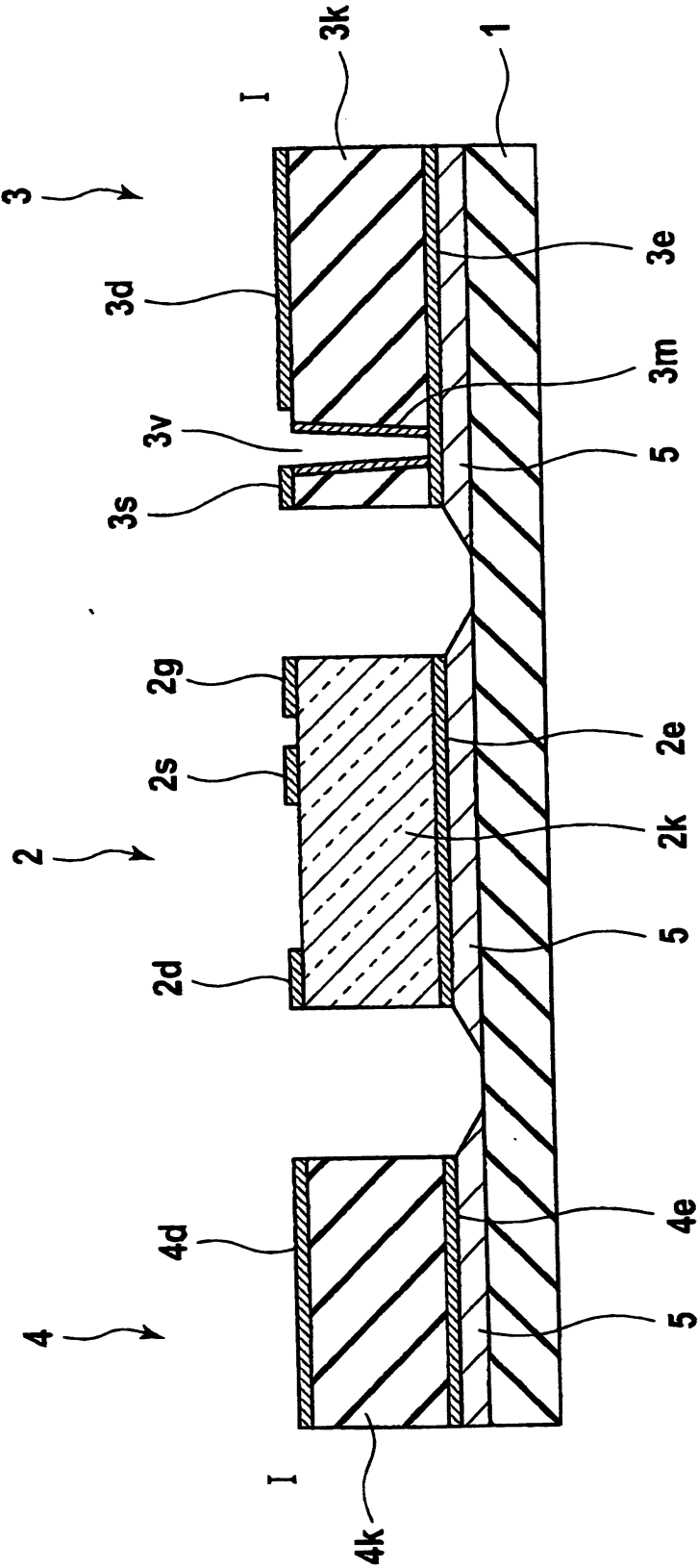
第6圖



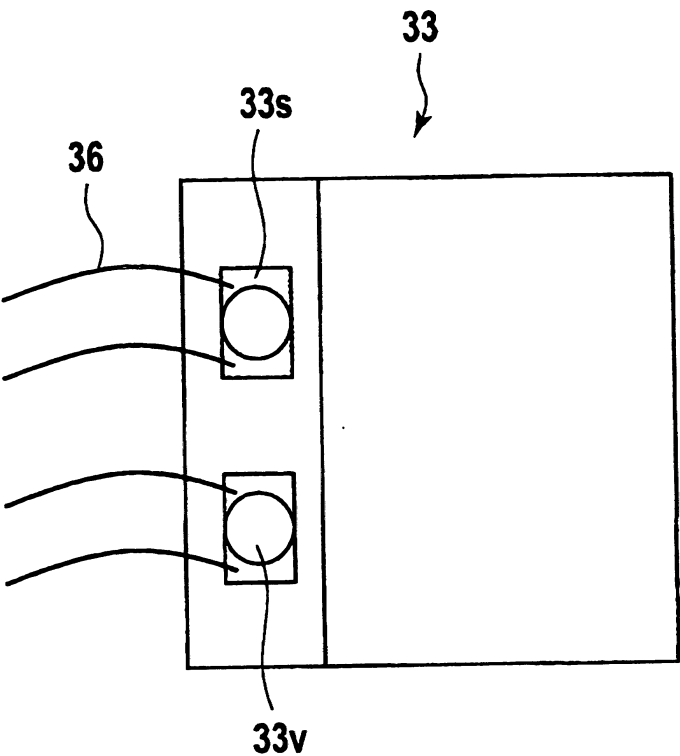
第7圖



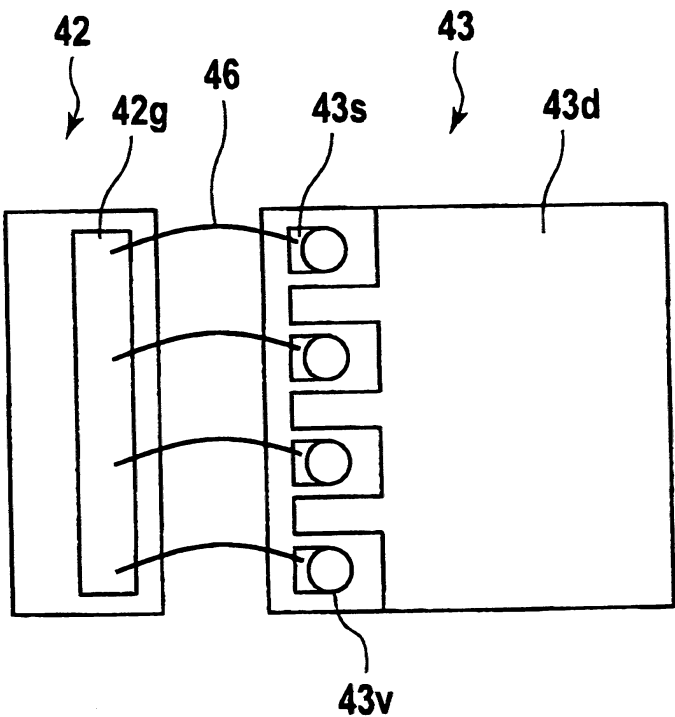
第8圖



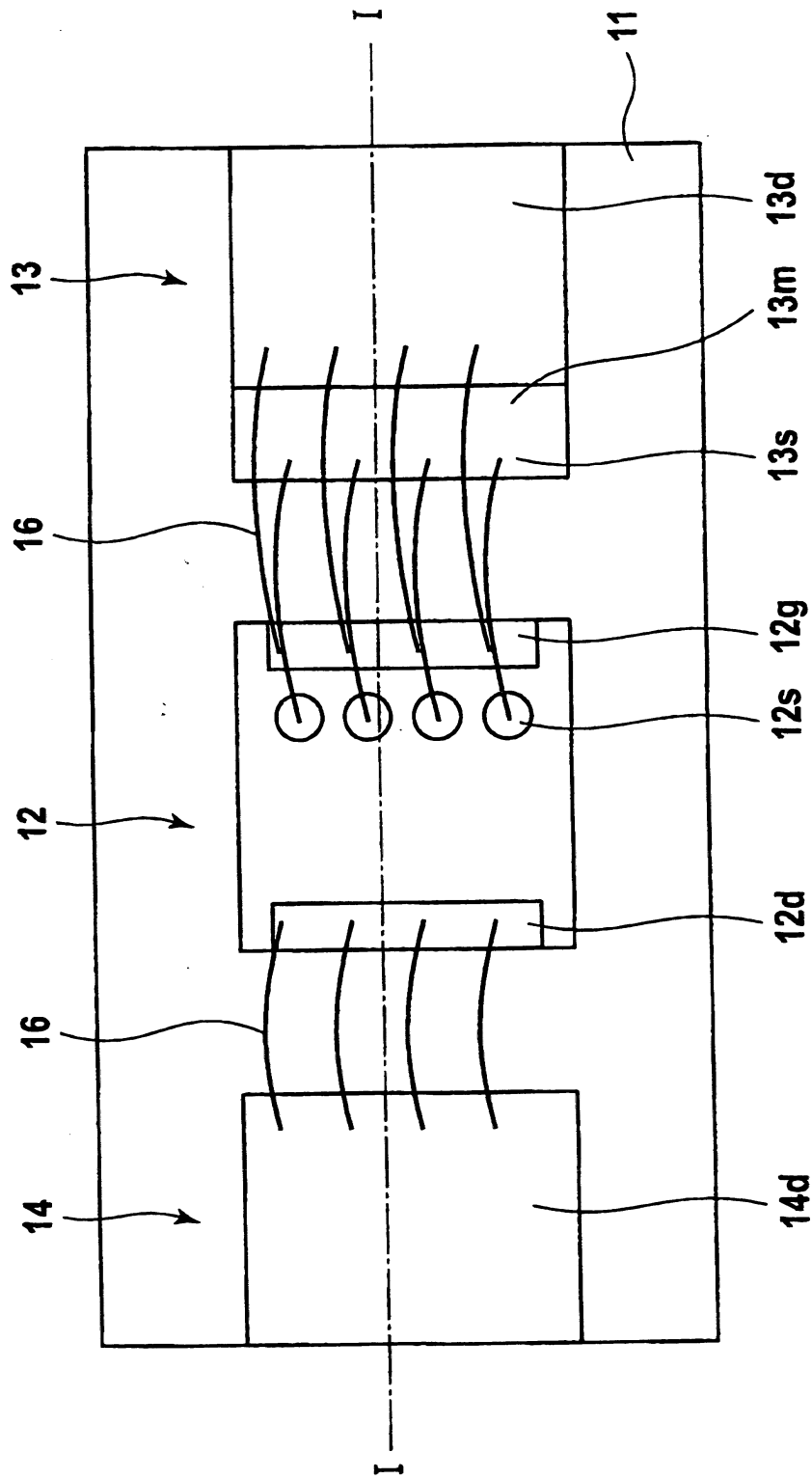
第9圖



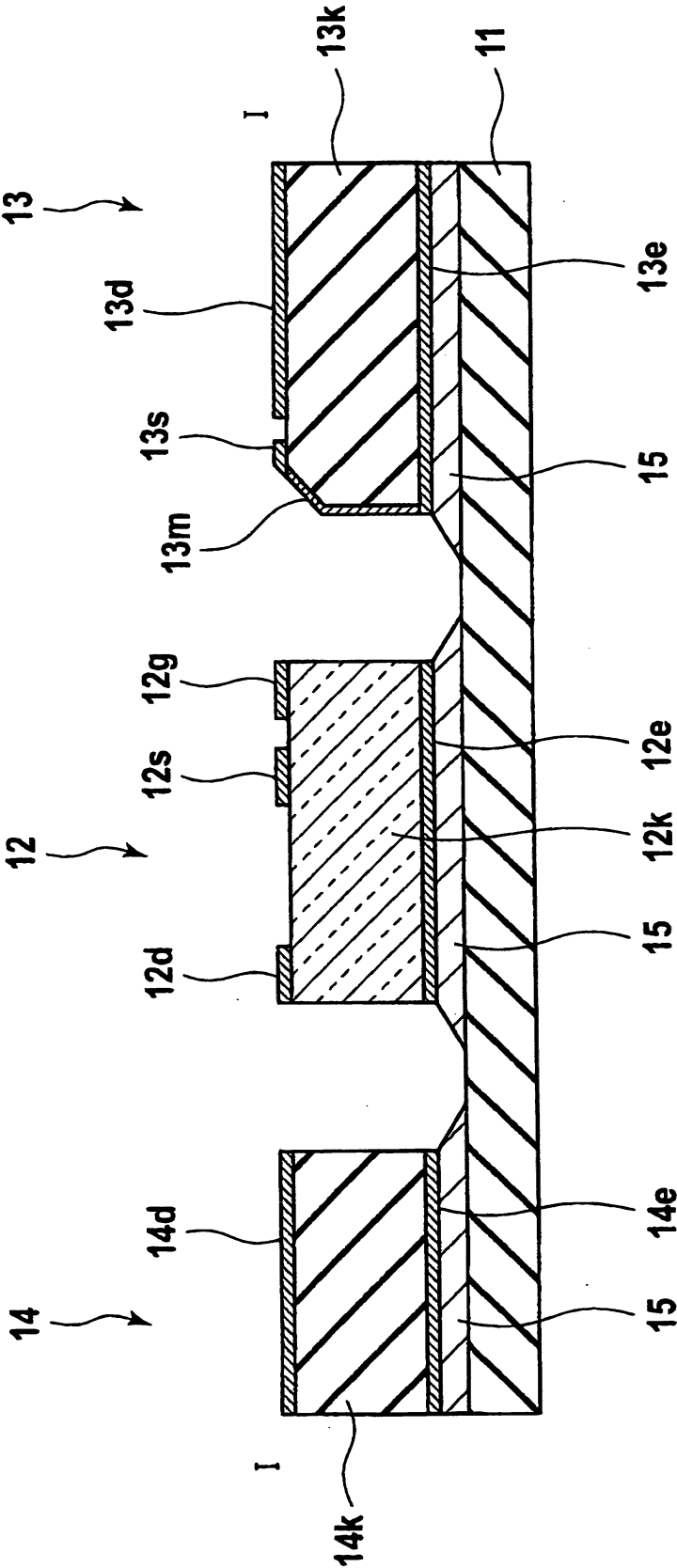
第10圖



第11圖



第12圖



七、指定代表圖：

(一)、本案指定代表圖為：第 (2) 圖

(二)、本代表圖之元件代表符號簡單說明：

1：基板

2：半導體元件

2d：汲極電極

2e、30e、40e、30d、40d：電極

2g：閘極電極

2k：基板

2s：源極電極

5：銲劑

30、40：周邊電路部

30k、40k：高介電體基板

30m：金屬層

30s：接地用電極

30v：通孔

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無