

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ H03K 19/00 G11C 11/40	(45) 공고일자 (11) 등록번호 (24) 등록일자	1999년02월 18일 특0157096 1998년07월28일
(21) 출원번호 (22) 출원일자 (30) 우선권주장	특1994-032390 1994년11월29일 93-297669 1993년11월29일 94-030470 1994년02월28일 94-030501 1994년02월28일	(65) 공개번호 (43) 공개일자 일본(JP) 일본(JP) 일본(JP)
(73) 특허권자 (72) 발명자 (74) 대리인	후지쓰 가부시키가이샤 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 다구치 마사오 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 히구치 츠요시 일본국 가나가와켄 가와사키시 나카하라쿠 가미코다나카 1015반지 후지쓰 가부시키가이샤 나이 이상섭, 나영환	

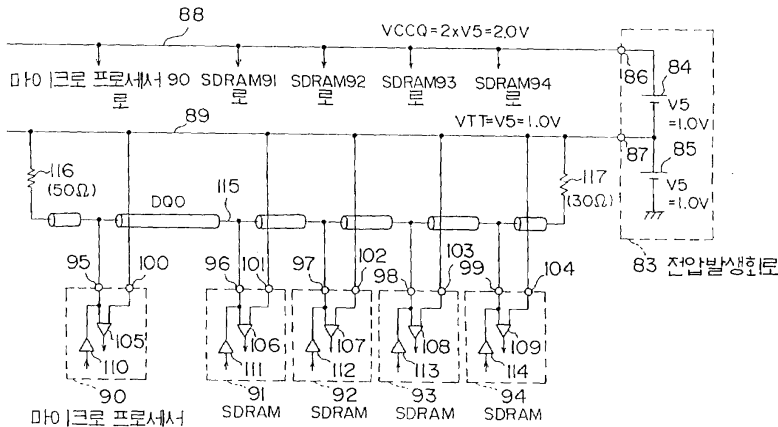
심사관 : 박정환

(54) 전자 장치, 반도체 집적 회로 및 종단 장치

요약

전자 시스템은 신호 입출력 기능을 각각 갖는 복수의 전자 회로, 상기 복수의 전자 회로가 접속된 버스, 상기 버스의 단부에 접속된 제1 종단 저항 및 제1 전압을 발생하는 제1 부분과 제2 전압을 발생하는 제2 부분을 갖는 종단 전압 회로를 구비한다. 상기 제1 전압과 제2 전압의 합은 상기 버스에 접속된 복수의 전자회로의 출력 회로에 전원 전압으로서 공급된다. 상기 제2 전압은 종단 전압으로서 제1 종단 저항에 공급된다.

대표도



명세서

[발명의 명칭]

전자 장치, 반도체 집적 회로 및 종단 장치

[도면의 간단한 설명]

제1도는 소진폭 신호를 전송하는 전자 시스템의 블러도.

제2도는 제1도에 도시된 전자 장치에 응용할 수 있는 인터페이스 회로 및 버스 시스템의 회로도.

제3도는 제1도에 도시된 전자 장치에 응용할 수 있는 다른 인터페이스 회로 및 다른 버스 시스템의 회로

도.

제4도는 본 발명의 제1 특징에 따른 전자 시스템의 회로도.

제5도는 본 발명의 제2 특징에 따른 전자 시스템의 회로도.

제6도는 본 발명의 제1 실시예의 필수 부분의 회로도.

제7도는 제6도에 도시된 마이크로프로세서의 일부의 회로도.

제8, 9도 및 제10도는 제7도에 도시된 회로의 동작 설명 회로도.

제11도는 제6도에 도시된 마이크로프로세서의 일부의 다른예의 회로도.

제12, 13도 및 제14도는 제11도에 도시된 회로의 동작 설명 회로도.

제15도는 본 발명의 제2 실시예의 필수 부분의 회로도.

제16도는 제15도에 도시된 마이크로프로세서의 일부의 회로도.

제17도는 제16도에 도시된 nMOS 트랜지스터의 정적 특성 그래프.

제18도는 본 발명의 제2 실시예의 일부의 회로도.

제19도는 본 발명의 제1 실시예의 일부의 회로도.

제19A도는 제15도에 도시된 전압 발생 회로의 회로도.

제20도는 본 발명의 제3 실시예의 필수 부분의 회로도.

제21도는 본 발명의 제4 실시예의 필수 부분의 회로도.

제22도는 본 발명의 제5 실시예의 필수 부분의 회로도.

제23도는 제22도에 도시된 종단 모듈의 회로도.

제24도는 본 발명의 제5 실시예에 따른 시스템의 필수 부분의 사시도.

제25도는 본 발명의 제5 실시예에 이용된 종단 전압 발생 회로의 회로도.

제26도는 본 발명의 제6 실시예의 필수 부분의 회로도.

제27도는 제26도에 도시된 종단 장치의 특성 그래프.

제28도는 본 발명의 제7 실시예의 필수 부분의 회로도.

제29도는 제28도에 도시된 종단 장치의 특성 그래프.

제30도는 본 발명의 제7 실시예에 이용된 종단 모듈의 회로도.

제31도는 본 발명의 제8 실시예의 필수 부분의 회로도.

제32도는 제31도에 도시된 바이어스 전압 발생 회로의 회로도.

제33도는 제32도에 도시된 연산 증폭기의 회로도.

제34도는 제32도에 도시된 다른 연산 증폭기의 회로도.

제35도는 본 발명의 제8 실시예에 이용된 종단 장치의 특성 그래프.

제36도는 본 발명의 제9 실시예의 필수 부분의 회로도.

제37도는 이전의 도면들에 도시된 입력 회로와는 다른 입력 회로의 회로도.

제38도는 제37도에 도시된 입력 회로의 특성 그래프.

제39도는 각각 제38도에 도시된 구조를 갖는 복수의 입력 회로를 갖는 다중 입력 반도체 집적 회로 장치의 입력 회로 유닛의 블록도.

제40도는 본 발명의 제10 실시예에 따른 입력 회로의 회로도.

제41도는 제40도에 도시된 입력 회로의 동작 설명 회로도.

제42도는 본 발명의 제11 실시예에 따른 입력 회로의 블록도.

제43도는 본 발명의 제12 실시예에 따른 입력 회로의 블록도.

제44도는 제40도에 도시된 입력 회로의 세부 구조의 블록도.

제45도는 제40도에 도시된 입력 회로의 세부 구조의 블록도.

제46도는 제45도에 도시된 내부 기준 전압 발생 회로의 회로도.

제47도는 제42도에 도시된 입력 회로의 세부 구조의 블록도.

제48도는 이전의 도면들에 도시된 입력 회로와는 다른 입력 회로의 회로도.

제49도는 제48도에 도시된 차동 증폭 회로에 소비되는 전류와 차동 증폭 회로에 공급되는 기준 전압 간의 관계를 나타내는 그래프.

- 제50도는 본 발명에 따른 입력 회로의 제1 특징의 블록도.
 제51도는 본 발명에 따른 입력 회로의 제2 특징의 블록도.
 제52도는 제51도에 도시된 구성의 세부 구조 회로도.
 제53도는 제51도에 도시된 전류 제어 회로의 출력과 기준 전압의 그래프.
 제54도는 본 발명에 따른 입력 회로의 제3 특징의 블록도.
 제55도는 본 발명에 따른 출력 회로의 회로도.
 제56도는 본 발명의 제13 실시예에 따른 입력 회로의 회로도.
 제57도는 제56도에 도시된 차동 증폭 회로에서 소비되는 전류와 기준 전압간의 관계를 나타내는 그래프.
 제58도는 본 발명의 제14 실시예에 따른 입력 회로의 회로도.
 제59도는 제58도에 도시된 차동 증폭 회로에서 소비되는 전류와 기준 전압간의 관계를 나타내는 그래프.
 제60도는 본 발명의 제15 실시예에 따른 입력 회로의 회로도.
 제61도는 제60도에 도시된 차동 증폭 회로에서 소비되는 전류와 기준 전압간의 관계를 나타내는 그래프.
 제62도는 제60도에 도시된 차동 증폭기에서 소비되는 전류와 이 차동 증폭기에 사용된 트랜지스터의 게이트 길이의 편차 간의 관계를 나타내는 그래프.
 제63도는 제48도에 도시된 차동 증폭기에서 소비되는 전류와 트랜지스터의 게이트 길이의 편차 간의 관계를 나타내는 그래프.
 제64도는 본 발명의 제16 실시예에 따른 입력 회로의 회로도.
 제65도는 제64도에 도시된 차동 증폭 회로에서 소비되는 전류와 기준 전압간의 관계를 나타내는 그래프.
 제65도는 본 발명의 제17 실시예에 따른 입력 회로의 회로도.
 제67도는 제66도에 도시된 차동 증폭기에서 소비되는 전류와 기준 전압 간의 관계를 나타내는 그래프.
 제68도는 제66도에 도시된 차동 증폭기에서 소비되는 전류와 이 차동 증폭기에 사용된 트랜지스터의 게이트 길이의 편차 간의 관계를 나타내는 그래프.
 제69도는 본 발명의 제18 실시예에 따른 입력 회로의 회로도.
 제70도는 제69도에 도시된 차동 증폭 회로에서 소비되는 전류와 기준 전압간의 관계를 나타내는 그래프.
 제71도는 본 발명의 제19 실시예에 따른 입력 회로의 회로도.
 제72도는 본 발명의 제20 실시예에 따른 입력 회로의 회로도.
 제73도는 본 발명의 제21 실시예에 따른 입력 회로의 회로도.
 제74도는 본 발명의 제22 실시예에 따른 입력 회로의 회로도.
 제75도는 본 발명의 제23 실시예에 따른 입력 회로의 회로도.
 제76도는 본 발명의 제24 실시예에 따른 입력 회로의 회로도.
 제77도는 본 발명의 제25 실시예에 따른 입력 회로의 회로도.
 제78도는 제77도에 도시된 출력 회로에 공급되는 입력 신호의 파형도.
 제79도는 주파수가 200MHz인 입력 신호의 파형도.
 제80도는 기준 전압이 1.65V일 때 nMOS 전류 미러형 차동 증폭 회로의 입력 회로의 시간 지연과 입력 신호의 진폭 간의 관계를 나타내는 그래프.
 제81도는 기준 전압이 1.0V일 때 nMOS 전류 미러형 차동 증폭 회로의 입력 회로의 시간 지연과 입력 신호의 진폭 간의 관계를 나타내는 그래프.
 제82도는 본 발명에 따른 전자 시스템의 제1 예의 블록도.
 제83도는 본 발명에 따른 전자 시스템의 제2 예의 블록도.
 제84도는 본 발명에 따른 전자 시스템의 제3 예의 블록도.
 제85도는 본 발명에 따른 전자 시스템의 제4 예의 블록도.

* 도면의 주요부분에 대한 부호의 설명

- | | |
|----------------|----------------------|
| 1 : 마이크로프로세서 | 3 : 버스 라인 |
| 11 : 본체 회로 | 16 : 종단 전압원 |
| 83 : 전압 발생 회로 | 44, 53 : 집적 회로 |
| 438 : 논리 판정 회로 | 442 : 내부 기준 전압 발생 회로 |
| 514 : 차동 증폭 회로 | 525 : 가변 저항 회로 |

528 : 전류 제어 회로

[발명의 상세한 설명]

본 발명은 일반적으로 신호 라인을 통해 원격 장치에 신호를 전송하는 전자 시스템에 관한 것으로, 좀더 상세하게는 상기 전자 시스템에 인가되는 전원 전압 보다 적은 진폭을 갖는 신호를 전송하는 전자 시스템에 관한 것이다. 또한, 본 발명은 전자 시스템에 사용되는 반도체 집적 회로 및 중단 장치에 관한 것이다.

최근, 소진폭 고속 신호 전송의 개발에 상당한 노력이 경주되고 있다. 이러한 전송에서는 전원 전압 보다 적은 진폭을 갖는 신호가 전송된다. 예컨대, GTL(Gunning Transceiver Logic:거닝 송수신기 로직)이 공지되어 있는데, 이 표준 GTL에 따르면 출력 회로는 개방 드레인형 구동기이고, 임피던스 정합 종단이 이용된다. 여기서는 다음과 같은 파라미터가 정의된다.

중단 전압 $V_{TT}=1.2V \pm 5\%$

기준 전압 $V_{REF}=0.8V$

고레벨 출력 전압 $V_{OH}=0.8V+400mV$

저레벨 출력 전압 $V_{OL}=0.8V-400mV$

고레벨 입력 전압 $V_{IH}=0.8V+500mV$

저레벨 입력 전압 $V_{IL}=0.8V-50mV$

소진폭 고레벨 전송은 다음과 같은 참고 문헌에 공지되어 있다.

1) Taguchi et al., COMPARING SMALL-AMPLITUDE INTERFACES TOWARD 100 MHz TIMES Nikkei Electronics, No. 591, pp. 269-290, 1993. 9. 27.

2) Taguchi et al., SMALL-AMPLITUDE INTERFACE CIRCUIT FOR HIGH-SPEED MEMORY BUS, Study Document of Institute of Electronics, Communication and Information Engineers, 1993. 11. 26.

제1도는 전원 전압보다 작은 진폭을 갖는 소진폭 신호가 버스 라인을 통해 상호 전송되는 전자 시스템을 갖는 시스템의 블록도이다. 제1도의 시스템은 마이크로프로세서(1), SDRAM(동기식 동적 램) 소자($2_1, 2_2, \dots, 2_n$)(여기서 n은 정수), 및 소진폭 신호가 전송되는 버스 라인(3)을 포함한다. 현재, 마이크로프로세서(1)와 DRAM 소자(2_1-2_n) 간의 신호 전송은 수십 메가 헤르츠로 실행된다. 그러나, 신호 전송은 100 MHz 또는 그 이상에서 실행될 것이 요구되고 있다.

제2도는 상기 언급된 전자 시스템에 이용된 종래의 인터페이스 및 버스 시스템의 회로도이다. 마이크로프로세서(5)는 신호 입/출력 단자(6), 기준 전압 입력 단자(7) 및 입력 회로(8)를 갖는다. 신호 입/출력 단자(6)는 신호(DQ)를 입력 및 출력하는데 사용된다. 기준 전압 입력 단자(7)는 기준 전압(V_{ref})을 입력한다. 입력 회로(8)는 차동 증폭 회로를 포함한다. 또한, 마이크로프로세서(5)는 전원 전압 VCC(예컨대, 3.3V)를 공급하는 VCC 공급 라인(9), 전원 전압 VSS(예컨대, 0.V)를 공급하는 VSS 전원 라인(10), 본체 회로(11) 및 푸시풀형 출력 회로(12)를 갖는다. 이 푸시풀형 출력 회로(12)는 풀업(pull-up) 소자로서 작용하는 증가형(enhancement type) p 채널 MOS 트랜지스터(13)와 풀다운(pull-down) 소자로서 작용하는 증가형 n 채널 MOS 트랜지스터(14)로 구성된다.

버스 라인(15)은 소진폭 신호를 전송한다. 중단 전압 공급원(16)은 중단 전압(V_{TT})(예컨대, 1.65V)을 발생시킨다. V_{TT} 전압 라인(17)은 여기에 연결된 부분에 중단 전압(V_{TT})을 공급한다. 그 중단 저항(예컨대, 50 Ω)이 제2도에 도시된 바와 같이 접속된다. SDRAM 소자(20)는 신호(DQ)를 입력 및 출력하기 위한 신호 입/출력 단자(21), 기준 전압(V_{ref})을 수신하는 기준 전압 입력 단자(22), 차동 증폭 회로를 입력 회로(23) 및 푸시풀형 출력 회로(24)를 갖는다.

제2도의 구성에서, 중단 전압 공급원(16)으로부터 발생된 중단 전압(V_{TT})은 기준 전압(V_{ref})으로서 마이크로프로세서(5)의 기준 전압 입력 단자(7)와 SDRAM(20)의 기준 전압 입력 단자(22)에 인가된다.

제2도의 인터페이스 회로와 버스 시스템에서, 신호(DQ)는 중심 전압이 기준 전압(V_{ref})(=0.65V)와 동일하게 세트되고, 진폭은 $\pm 400mV$ 범위 내에 있다. 예컨대, 마이크로프로세서(5)가 신호(DQ)를 DRAM 소자로 보낼 때 pMOS 트랜지스터(13)는 턴오프(부도통)되는 한편 nMOS 트랜지스터(14)는 턴온(도통)된다. 이 경우에 신호(DQ)는 저레벨(L)로 세트된다. pMOS 트랜지스터(13)가 턴오프되고 pMOS 트랜지스터가 턴오프될 때 신호(DQ)는 고레벨(H)로 스위칭된다. 출력 회로(12)가 저레벨을 출력할 때, 중단 전압 공급원(16)으로부터 부하로 전류가 흐른다. 출력 회로(12)가 고레벨을 출력할 때, 전류는 부하로부터 중단 전압 공급원(16)으로 흐른다.

일반적으로, 중단 전압 공급원(16)은 스위칭 조절 장치 또는 시리즈(series) 조절 장치로 형성된다. 그러나, 그러한 조절 장치는 전원으로 부터의 전류를 수신하지 않는 것으로 생각된다. 만일, 전류가 부하로부터 전압원으로 들어오게 된다면 중단 전압(V_{TT})이 변화하게 될 것이다.

상기한 점을 고려하여, 제3도에 도시된 바와 같은 버스 시스템이 사용될 수 있다. 이 버스 시스템은 전원 전압(VCC)을 발생시키는 전원 전압 발생 회로(25)를 포함한다. 이 회로(25)는 VCC 전원 라인(26)에 접속된다. 또한, VSS 전원 라인(27)이 제공된다. 또한, 이 시스템은 중단 저항(28-31)(예컨대, 100 Ω), 전압 분할 저항(32, 33), 및 마이크로프로세서(5)의 전원 전압 입력 단자(34, 35)를 포함한다. 저항(32, 33)은 전원 전압(VCC)을 분할하여 기준 전압(V_{ref})을 발생시킨다.

이 버스 시스템에서, 중단 저항(28, 29)으로 형성되는 중단부는 대략 50 Ω 으로 세트되고, 중단 저항(30,

31)으로 형성되는 종단부 또한 대략 50Ω으로 세트된다.

그러나, 제3도의 버스 시스템은 다음과 같은 문제점을 갖는다. 종단 저항(28, 29)과 종단 저항(30, 31)은 각각 VCC 라인(26)과 VSS 라인(27) 사이에서 직렬로 접속된다. 따라서, 어떠한 신호도 전송되지 않는 경우에도 종단 저항(28~31)에 전류가 흘러 전력 소비를 증가시킨다.

만일, 전압 분할 저항(32, 33)이 큰 저항값을 갖도록 설계된다면, 저항(32, 33)을 흐르는 전류는 감소될 수 있다. 그러나, 저항(32, 33)이 정확(또는 정밀)하지 않을 경우에는 기준 전압(V_{ref})이 종단 전압(V_T)과 동일하지 않게 될 것이다. 기준 전압(V_{ref})과 종단 전압(V_T)간의 차이는 입력 신호의 D.C. 오프셋 전압으로 작용하여 입력 신호의 고레벨 또는 저레벨 측에서의 동작 마진(operation margin)을 감소시킨다. 따라서, 극히 정확한 저항(32, 33)을 사용할 필요가 있다. 그러나, 이것은 생산비를 증가시킨다.

따라서, 본 발명의 목적은 상기 문제점이 제거된 전자 장치, 집적 회로 장치 및 종단 장치를 제공함에 있다.

본 발명의 좀더 구체적인 목적은 종단 전압이 감소된 전력 소비로 안정화 되고, 입력 신호에 대한 충분한 동작 마진이 오프셋 전압의 발생을 방지함으로써 성취될 수 있는 전자 장치, 집적 회로 장치 및 종단 장치를 제공함에 있다.

본 발명의 상기한 목적은 각각이 신호 입력 기능 및 출력 기능을 갖는 복수의 전자 회로와, 상기 복수의 전자 회로가 접속되는 버스와, 상기 버스의 단부에 접속된 제1 종단 저항과, 제1 전압을 발생하는 제1 부분과 제2 전압을 발생하는 제2 부분을 포함하고 상기 제1 전압과 제2 전압의 합이 전원 전압으로서 상기 버스에 접속된 상기 복수의 전자회로의 출력 회로에 공급되며 상기 제2 전압이 종단 전압으로서 상기 제1 종단 저항에 공급되는 종단 전압 회로를 구비하는 전자 시스템에 의해 달성될 수 있다.

본 발명의 상기 목적은 제1 p 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제1 풀업 소자 및 제1 n 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제1 풀다운 소자를 포함한 출력 회로와, 제2 p 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제2 풀업 소자 및 제2 n 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제2 풀다운 소자를 포함한 제1 인버터와, 제3 p 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제3 풀업 소자 및 제3 n 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제3 풀다운 소자를 포함한 제2 인버터를 구비하며, 상기 제1 및 제2 인버터에 공급된 전원 전압이 상기 출력 회로에 공급된 전원 전압과 동일하게 되는 전자 회로에 의해서 달성될 수 있다.

또한, 본 발명의 상기 목적은 제1 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀업 소자와 제2 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀다운 소자를 포함하는 출력 회로를 구비하며, 상기 제1 n 채널 절연 게이트형 전계 효과 트랜지스터가 상기 출력 회로로 부터의 저레벨 신호 출력에는 같거나 크고, 상기 제2 n 채널 절연 게이트형 전계 효과 트랜지스터의 임계 전압보다는 작은 임계 전압을 갖는 전자 회로에 의해 달성될 수 있다.

또한, 본 발명의 상기 목적은 공핍형의 제1 n 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제1 풀업 소자와 증가형의 제2 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀다운 소자를 포함하는 출력 회로를 구비하며, 상기 제1 n 채널 절연 게이트형 전계 효과 트랜지스터가 상기 출력 회로의 저레벨 신호 출력과 같거나 큰 임계 전압을 갖는 전자 회로에 의해서 달성된다.

본 발명의 상기 목적은, 각각이 신호 입출력 기능을 갖는 복수의 전자 회로와 상기 복수의 전자 회로가 접속되는 버스를 구비한 전자 시스템에 포함되며, 상기 버스의 단부에 접속된 종단 저항과 상기 종단 저항을 패키징하는 부재를 구비한 종단 장치에 의해서 달성된다.

본 발명의 상기 목적은 신호 입출력 기능을 가지며 푸시풀형 출력 회로를 포함하는 복수의 전자 회로와; 상기 복수의 전자 회로가 접속된 버스와; 상승 특성을 갖는 제1 비선형 소자 및 상승 특성을 갖는 제2 비선형 소자를 포함한 종단 장치를 구비하며, 상기 제1 비선형 소자가 종단 전압 라인과 상기 버스 사이에 순방향으로 접속되고 상기 제2 비선형 소자가 상기 종단 전압 라인을 통하여 공급된 종단 전압 보다 낮은 전압을 전송하는 전압 라인과 상기 버스 사이에서 순방향으로 접속되며 상기 버스를 통해 전송된 신호가 없는 경우 상기 버스에 전류가 흐르지 않는 전자 시스템에 의해 달성된다.

본 발명의 상기 목적은 상승 특성을 갖는 제1 비선형 소자와 상승 특성을 갖는 제2 비선형 소자를 구비하며, 상기 제1 비선형 소자가 종단 전압을 공급하는 종단 전압 라인과 버스 사이에 순방향으로 접속되고 상기 제2 비선형 소자가 상기 종단 전압보다 낮은 전압을 공급하는 전압 라인과 버스 사이에 순방향으로 접속되는 종단 장치에 의해 달성된다.

본 발명의 상기한 목적은 전자 장치에 의해 달성될 수 있는 바, 상기 전자 장치는 복수의 논리 판정 회로와 내부 기준 전압 발생 회로를 구비하는데, 상기 복수의 논리 판정 회로 각각은 제1 부하 소자와 절연 게이트형의 제1 n 채널 절연 게이트형 전계 효과 트랜지스터를 구비하며, 상기 제1 부하 소자는 전원 전압을 공급하는 전원 라인에 접속된 제1 단부를 갖고, 상기 절연 게이트형의 제1 n 채널 절연 게이트형 전계 효과 트랜지스터는 상기 제1 부하 소자의 제2 단부에 접속된 드레인과 제1 입력 보호 회로를 통해 내부 기준 전압이 제공되는 게이트와 전송 신호를 수신하는 소스를 갖고, 상기 복수의 논리 판정 회로의 출력 신호는 상기 드레인을 통해 출력되는 상기 전송 신호에 대한 논리 판정을 이룸으로써 얻어지며, 상기 내부 기준 전압 발생 회로는 제2 부하 소자와 절연 게이트형의 제2 n 채널 절연 게이트형 전계 효과 트랜지스터와 커패시터를 구비하는데, 상기 제2 부하 소자는 상기 전원 라인에 접속된 제1 단부를 갖고, 상기 제2 n 채널 전계 효과 트랜지스터는 상기 제2 부하소자의 제2 단부에 접속된 드레인과 상기 제2 n 채널 전계 효과 트랜지스터의 드레인 및 상기 제1 n 채널 전계 효과 트랜지스터의 게이트에 접속된 게이트와 기준 전압 입력 단자 및 제2 입력 보호 회로를 통하여 상기 논리 판정을 이루는데 사용되는 기준 전압을 수신하는 소스를 갖고, 상기 커패시터는 상기 제2 n 채널 전계 효과 트랜지스터의 게이트에 접속된 제1 단부와 상기 제2 입력 보호 회로에 접속된 제2 단부를 가지며, 상기 내부 기준 전압은 상기 제2 n 채널 전계 효과 트랜지스터의 게이트에서 얻어지고, 상기 복수의 논리 판정 회로와 내부 기준 전압 발생 회로

는 상기 전송 신호가 통과하는 버스에 접속된 상기 전자 회로의 내부 회로를 형성한다.

본 발명의 상기한 목적은 전자 장치에 의해 달성될 수 있는 바, 상기 전자 장치는 복수의 논리 판정 회로와 내부 기준 전압 발생 회로를 구비하는데, 상기 복수의 논리 판정 회로 각각은 제1 부하 소자와 절연 게이트형의 제1 n 채널 전계 효과 트랜지스터를 구비하며, 상기 제1 부하 소자는 전원 전압을 공급하는 전원 라인에 접속된 제1 단부를 갖고, 상기 절연 게이트형의 제1 n 채널 전계 효과 트랜지스터는 상기 제1 부하 소자의 제2 단부에 접속된 드레인과 제1 입력 보호 회로를 통해 내부 기준 전압이 제공되는 게이트와 전송 신호를 수신하는 소스를 갖고, 상기 복수의 논리 판정 회로의 출력 신호는 상기 드레인을 통해 출력되는 상기 전송 신호에 대한 논리 판정을 이룸으로써 얻어지며, 상기 내부 기준 전압 발생 회로는 제2 부하 소자와 절연 게이트형의 제2 n 채널 전계 효과 트랜지스터와 연산 증폭기를 구비하는데, 상기 제2 부하 소자는 상기 전원 라인에 접속된 제1 단부를 갖고, 상기 제2 n 채널 전계 효과 트랜지스터는 상기 제2 부하 소자의 제2 단부에 접속된 드레인과 상기 제2 n 채널 전계 효과 트랜지스터의 드레인 및 상기 제1 n 채널 전계 효과 트랜지스터의 게이트에 접속된 게이트와 기준 전압 입력 단자 및 제2 입력 보호 회로를 통하여 상기 논리 판정을 이루는데 사용되는 기준 전압을 수신하는 소스를 갖고, 상기 연산 증폭기는 상기 제2 n 채널 전계 효과 트랜지스터의 소스에 접속된 비반전 입력 단자와 상기 제1 n 채널 전계 효과 트랜지스터의 게이트 및 출력 단자에 접속된 반전 입력 단자를 가지며, 상기 내부 기준 전압은 상기 연산 증폭기의 출력 단자에서 얻어지고, 상기 복수의 논리 판정 회로와 내부 기준 전압 발생 회로는 상기 전송 신호가 통과하는 버스에 접속된다.

본 발명의 상기한 목적은 전자 회로에 의해 달성될 수 있는 바, 상기 전자 회로는 복수의 논리 판정 회로와 내부 기준 전압 발생 회로를 구비하는데, 상기 복수의 논리 판정 회로 각각은 제1 부하 소자와 절연 게이트형의 제1 n 채널 전계 효과 트랜지스터와 제1 가변 임피던스 소자를 구비하며, 상기 제1 부하 소자는 전원 전압을 공급하는 전원 라인에 접속된 제1 단부를 갖고, 상기 공핍형의 제1 n 채널 전계 효과 트랜지스터는 상기 제1 부하 소자의 제2 단에 접속된 드레인과 내부 기준 전압을 공급하는 게이트와 소스를 갖고, 상기 제1 가변 임피던스 소자는 상기 소스에 접속된 전류 입력 단자와 군 전위(group potential)로 세팅된 전류 출력 단자와 전송 신호 입력 단자 및 제1 입력 보호 회로를 통하여 전송 신호를 수신하는 제어 단자를 가지며, 상기 복수의 논리 판정 회로의 출력 신호는 상기 제1 n 채널 전계 효과 트랜지스터의 드레인을 통하여 출력되는 상기 전송 신호에 대한 논리 판정을 이룸으로써 얻어지고, 상기 내부 기준 전압 발생 회로는 제2 부하 소자와 절연 게이트형의 제2 n 채널 전계 효과 트랜지스터와 제2 가변 임피던스 소자를 구비하며, 상기 제2 부하 소자는 전원 라인에 접속된 제1 단부를 갖고, 상기 절연 게이트형의 제2 n 채널 전계 효과 트랜지스터는 상기 제2 부하 소자의 제2 단자에 접속된 드레인과 상기 제2 단자 및 상기 제1 n 채널 전계 효과 트랜지스터의 게이트에 접속된 게이트와 소스를 가지며, 상기 제2 가변 임피던스 소자는 상기 제2 n 채널 전계 효과 트랜지스터의 소스에 접속된 전류 입력 단자와 상기 군 전위로 세팅된 전류 출력 단자와 기준 전압 입력 단자 및 제2 입력 보호 회로를 통하여 기준 전압을 수신하는 제어 단자를 가지며, 상기 기준 전압은 상기 전송 신호의 논리 판정을 이루는데 사용되며, 상기 내부 기준 전압은 상기 제2 n 채널 전계 효과 트랜지스터의 게이트에서 얻어진다.

또한, 본 발명의 상기한 목적은 다음의 전자 장치에 의해 이루어지는데, 상기 전자 회로는 차동 증폭 회로와 입력 회로를 구비하며, 상기 차동 증폭 회로는 논리 판정이 이루어져야만 하는 입력 신호가 공급되며 이러한 논리 판정을 일기 위해 기준 전압이 사용되고, 상기 입력 회로는 소정 범위 내에서 상기 기준 전압의 변화에 대해 상기 차동 증폭 회로에 흐르는 전류가 변화되도록 상기 차동 증폭 회로를 제어하는 전류 제어 회로를 포함한다.

본 발명의 상기한 목적은 제1 전원 전압을 공급하는 제1 전원 라인에 접속된 전자 회로에 의해 이루어질 수 있는 바, 상기 전자 회로는 제1, 제2 및 제3 트랜지스터를 구비하는데, 상기 제1 트랜지스터는 상기 제1 전원 전압에 같거나 낮은 제2 전원 전압을 공급하는 제2 전원 라인에 접속된 소스와 상기 전자 회로의 출력 단자에 접속된 드레인과 상기 제2 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 제1 신호가 공급되는 게이트를 갖는 p 채널 절연 게이트 전계 효과 트랜지스터로 구성되고, 상기 제2 트랜지스터는 상기 제2 전원 라인에 접속된 드레인과 상기 출력 단자에 접속된 소스와 상기 제1 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 제2 신호가 공급되는 게이트를 갖는 n 채널 절연 게이트 전계 효과 트랜지스터로 구성되며, 제3 트랜지스터는 상기 출력 단자에 접속된 드레인과 접지된 소스와 상기 제1 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 제2 레벨 사이에서 스위칭 가능한 제3 신호가 공급되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된다.

본 발명의 상기한 목적은 다음의 전자 회로에 의해 이루어질 수 있는 바, 상기 전자 회로는 출력 제어 회로, 제1 인버터, 제2 인버터, 제1 트랜지스터, 제2 트랜지스터 및 제3 트랜지스터를 구비하는데, 상기 출력 제어 회로는 제1 전원 전압을 공급하는 제1 전원 라인에 접속된 전원 단자를 포함하며, 상기 제1 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 제1 신호와 제2 신호를 출력하고, 상기 제1 인버터는 상기 제1 전원 전압 이하의 제2 전원 전압을 공급하는 제2 전원 라인에 접속된 전원 단자와, 상기 제1 신호가 공급되는 입력 단자와, 상기 제2 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨과 접지 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 신호를 출력하는 출력 단자를 구비하며, 상기 제2 인버터는 상기 제1 전원 라인에 접속된 전원 단자와, 상기 제2 신호가 공급되는 입력 단자와, 상기 제1 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 신호를 출력하는 출력 단자를 구비하고, 상기 제1 트랜지스터는 상기 제2 전원 라인에 접속된 드레인과 상기 출력 단자에 접속된 소스와 상기 제1 인버터의 출력 단자에 접속된 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 구성되며, 상기 제2 트랜지스터는 상기 제2 전원 라인에 접속된 드레인과 상기 출력 단자에 접속된 소스와 상기 제1 신호가 공급되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 구성되고, 상기 제3 트랜지스터는 상기 출력 단자에 접속된 드레인과 접지된 소스와 상기 제2 인버터의 출력 단자에 접속된 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 구성된다.

본 발명의 기타 목적, 특징 및 이점은 첨부 도면을 참고로한 이하의 설명으로부터 보다 명백해질 것이다.

제4도는 본 발명의 제1 특징에 따른 전자 시스템의 회로도이다. 제4도의 전자 시스템은 전압(V1)을 발생

시키는 전압 발생 회로(38), 전압(V2)을 발생시키는 전압 발생 회로(39) 및 전압 출력 단자(40, 41)를 포함하는 전압 발생 회로(37)를 포함한다. 전압 발생 회로(38, 39)는 직렬로 접속된다. 회로(38, 39)에 의해 발생하는 전압(V1, V2)은 각각 전압 출력 단자(40, 41)에 공급된다.

전원 라인(42)은 전압 발생 회로(37)에 의해 발생된 전압(V1+V2)과 동등한 전원 전압을 전송한다. 중단 전압 라인(43)은 전압 발생 회로(37)에 의해 출력되는 전압(V2)과 동등한 중단 전압(VTT)을 전송한다. 집적 회로(44)는 신호 입/출력 단자(45)를 통해 신호의 입력 및 출력을 실행한다. 집적 회로(44)는 전원 전압(V1+V2)을 수신하는 전원 전압 입력 단자(46)와, 전압(V1+V2)을 전원 전압으로서 공급하는 전원 라인(47)을 갖는다. 또한, 집적 회로(44)는 푸시풀형 출력 회로(48)를 갖는다. 이 푸시풀 출력 회로(48)는 풀업 소자로서 작용하는 p 채널 절연 게이트형 전계 효과 트랜지스터(49)와 풀다운 소자로서 작용하는 n 채널 절연 게이트형 전계 효과 트랜지스터(50)를 포함한다.

또한, 제4도의 시스템은 전원 전압으로서 전압(V1+V2)이 출력 회로(48)에 인가되고 중단 전압(VTT)으로서 전압(V2)이 중단 저항(52)에 인가된다. 따라서, 전압(V2)과 동등한 중심 전압을 갖는 신호의 전송이 가능하다. 전압(V1과 V2)이 서로 동등하게 설정된 경우 중단 전압(VTT)은 전압(V1+V2)의 절반과 동등하게 설정될 수 있다.

트랜지스터(49)가 턴오프되고 트랜지스터(50)가 턴온된 경우 출력 회로(48)의 출력은 저레벨로 스위칭된다. 이 경우에 전압 발생 회로(39), 중단 전압 라인(43), 중단 저항(52), 버스 라인(51), n 채널 트랜지스터(50), 접지 및 전압 발생 회로(39)로 구성된 폐쇄 회로의 순서대로 전류(i_0)가 흐른다. 따라서, 전압 출력 단자(41)의 전압은 전압(V2)으로 유지된다.

트랜지스터(49)가 턴온되고 트랜지스터(50)가 턴오프된 경우 상기 출력 회로의 출력은 고레벨로 스위칭된다. 이 경우에 전류(i_1)는 전압 발생 회로(37), 전원 라인(42), 트랜지스터(49), 버스 라인(51), 중단 저항(52) 및 전압 발생 회로(38)로 구성된 폐쇄 회로의 순서대로 흐른다. 따라서, 전압 출력 단자(41)의 전압은 전압(V2)으로 유지된다.

본 발명의 제1 특징에 따른 상술한 바와 같은 전압 발생 회로(37)는 직렬 접속된 전압 발생 회로(38, 39)로 구성되기 때문에, 전압 출력 단자(41)는 전류가 전압 발생 회로(37)에 유입하는 경우에도 전압(V2)으로 유지될 수 있어서, 중단 전압(VTT)이 전압(V2)과 동등하게 되는 안정성은 증가될 것이다. 또한, 버스 라인(51)이 어떠한 신호도 전송하지 않는 경우 중단 저항(52)의 전류 흐름이 없으므로 전력 소비가 감소될 수 있다. 더욱이, 중단 전압(VTT)은 집적 회로(44, 53)에 관한 기준 전압(Vref)으로서 사용될 수 있다. 따라서, 기준 전압(Vref)과 중단 전압(VTT)을 일치시켜 오프셋 전압의 생성을 방지할 수 있어서 충분한 동작 마진을 얻을 수 있다.

제5도는 본 발명의 제2 특징을 기초로 한 전자 시스템의 회로도이다. 상기 시스템은 전압(V3)을 발생하는 전압 발생 회로(58)를 포함한다. 전원 전압으로서의 전압(V3)을 제공하기 위한 전원 라인(59)이 전압 발생 회로(58)에 접속되어 있다. 상기 시스템은 전압(V4)을 발생하는 전압 발생 회로(60)를 구비한다. 전압 발생 회로(60)는 전압(V3)을 수신하는 전원 전압 입력 단자(61)와 연산 증폭기(63)를 구비하며 전압(V3)을 분할하는 전압 분할 저항(64, 65)도 구비한다. 또한, 전압 발생 회로(6)는 전압(V4)이 출력되는 전압 출력 단자(66) 및 중단 전압(VTT)으로서 전압 발생 회로(60)에서 출력된 전압(V4)을 제공하기 위한 중단 전압 라인(67)을 구비한다.

전압 발생 회로(60)에서 전압(V3)은 저항(64, 65)에 의해 분할되고 이 분할 전압은 연산 증폭기(63)의 제1 입력 단자에 인가된다. 연산 증폭기의 출력은 제2 입력 단자에 게환된다. 따라서, 제2 입력 단자, 즉 전압 출력 단자(66)는 저항(64, 66)에 의해 분할된 분할 전압과 동일한 전압(V4)이 공급된다.

상기 시스템은 집적 회로(66)를 구비하는데, 상기 집적 회로는 신호가 입출력되는 신호 입력/출력 단자(69)와 전원 전압으로서 전압(V3)이 수신되는 전원 전압 입력 단자(70)와 전원 전압으로서 전압(V3)이 제공되는 전원 라인(71)과 푸시풀형 출력 회로(72)를 구비한다. 푸시풀형 출력 회로(72)는 풀업 소자로서 기능하는 p 채널 절연 게이트형 전계 효과 트랜지스터(73)와 풀다운 소자로서 기능하는 n 채널 절연 게이트형 전계 효과 트랜지스터(74)를 포함한다.

또한, 신호 전송 경로로서의 역할을 하는 버스 라인(75)과 이 버스 라인(75)을 중단하는 중단 저항(76)이 제공된다. 상기 시스템은 신호가 입출력되는 집적 회로(77)를 구비한다. 집적 회로(77)는 신호가 입력되는 신호 입력 단자(78)와, 전압 발생 회로(60)에 의해 출력된 전압(V4)을 기준 전압(Vref)으로서 공급하는 기준 전압 입력 단자(79)와, 입력 회로(80)를 구비한다.

저항(64, 65)의 값이 각각 R64와 R65로 지정되면 중단 전압(VTT)은 $V3 \times R65 / (R64 + R65)$ 로 나타낼 수 있으며 중단 전압(VTT)과 동등한 중심 전압을 갖는 소신폭 신호가 전송될 수 있다. R64=R65인 경우 중단 전압(VTT)은 V3/2로 설정될 수 있다.

트랜지스터(73)가 턴오프되고 트랜지스터(74)가 턴온된 경우 출력 회로(72)의 출력은 저레벨로 스위칭된다. 이 경우에 전류(i_3)는 연산 증폭기(63), 중단 전압 라인(67), 중단 저항(76), 버스 라인(75), 트랜지스터(74), 접지, 전압 발생 회로(58), 전원 라인(59, 62) 및 연산 증폭기(63)로 구성된 폐쇄 회로의 순서대로 흐른다.

트랜지스터(73)가 턴온되고 트랜지스터(74)가 턴오프된 경우 출력 회로(72)의 출력은 고레벨로 스위칭된다. 이 경우에 전류(i_4)는 전압 발생 회로(58), 전원 라인(59, 71), 트랜지스터(73), 버스 라인(75), 중단 저항(76), 중단 전압 라인(67), 연산 증폭기(63), 접지 및 전압 발생 회로(58)로 구성된 폐쇄 회로의 순서대로 흐른다.

상술한 바와 같이, 본 발명의 제2 특징은 중단 전압(VTT)과 동일한 전압(V4)이 연산 증폭기(63)에 의해 게환되도록 구조된다. 따라서, 전류가 전압 출력 단자(66)를 통해 입력되거나 출력되는 경우에도 중단 전압(VTT)이 전압(V4)과 동등하게 되는 안정성은 증가될 것이다.

또한, 버스 라인(75)을 통해 전송되는 신호가 없는 경우 종단 저항(76)에 전류가 흐르지 않으므로 전력 소비는 감소될 것이다. 더욱이, 종단 전압(VTT)이 집적 회로(68, 77)에 대한 기준 전압(Vref)으로서 사용될 수 있기 때문에 기준 전압(Vref)과 종단 전압(VTT)이 일치하여 오프셋 전압의 발생을 방지할 수 있으므로 충분한 동작 마진을 얻을 수 있다.

제6도 내지 제36도를 참고로 본 발명의 제1 실시예 내지 제9 실시예에 대해 설명된다.

먼저, 본 발명의 제1 실시예는 제6도 내지 제14도를 참고로 설명될 것이다.

제6도는 본 발명의 제1 실시예의 필수 부분에 대한 회로도이다. 제6도에 도시된 전자 시스템은 전압 발생 회로(84, 85)와 전압 출력 단자(86, 87)를 포함한 전압 발생 회로(83)를 구비한다. 전압 발생 회로(84, 85) 각각은 예컨대, 1.0V의 전압(V5)을 발생한다. 전압 발생 회로(84, 85)는 직렬 접속된다. 전원 전압(VCCQ)으로서 $2 \times V5 (=2.0V)$ 의 전압이 전압 출력 단자(86)를 통하여 출력되고, 종단 전압(VTT)으로서 $V5 (=1.0V)$ 의 전압이 출력된다.

제6도에 도시된 전자 시스템은 전압 발생 회로(83)에서 출력된 전원 전압(VCCQ(= $2 \times V5$))을 공급하는 VCCQ 전원 라인(88)과, 전압 발생 회로(83)에서 출력된 종단 전압(VTT(= $V5$))을 공급하는 종단 전압 라인(89)을 포함한다. 또한, 상기 전자 시스템은 마이크로프로세서(90)와 SDRAM 소자(91~94)를 포함하며, 상기 SDRAM 소자는 각기 8비트(DQ0~DQ7)의 데이터에 대한 입력/출력 동작을 수행한다. 인용 부호(95~99)는 데이터가 입출력되는 데이터 입력/출력 단자를 나타낸다. 인용 부호(100~104)는 기준 전압(Vref)이 수신되는 기준 전압 입력 단자를 나타낸다. 본 발명의 제1 실시예에서 종단 전압(VTT)이 기준 전압(Vref)으로서 마이크로프로세서(90)와 SDRAM(91~94)에 공급된다.

마이크로프로세서(90)는 입력 회로(105)와 푸시풀형 출력 회로(110)를 포함하며 상기 회로들은 데이터(DQ0)를 처리한다. SDRAM 소자(91~94)는 입력 회로(106~109)와 푸시풀형 출력 회로(111~114)를 포함하며 이러한 입출력 회로들은 데이터(DE0)를 처리한다. 버스 라인(115)은 데이터(DQ0)를 전송하기 위해 제공된다. 종단 저항(116, 117)은 버스 라인(115)의 양단에 접속된다. 예컨대, 종단 저항(116)은 50Ω의 저항값을 갖고 종단 저항(117)은 30Ω의 저항값을 갖는다. 마이크로프로세서(90)와 SDRAM 소자(91~94)의 입출력 회로는 동일 회로 구조를 갖고 마이크로프로세서(90)의 입출력 회로만이 제7도에 도시된다.

제7도에서 마이크로프로세서(90)는 전원 전압(VCC:예컨대 3.3V)이 인가되는 VCC 전원 단자(119), 전원 전압(VCCQ:예컨대 2.0V)이 인가되는 VCCQ 전원 단자(120) 및 접지 전압(VCC:0V)이 인가되는 VCC 전원 단자(121)를 포함한다. 마이크로프로세서(90)는 VSS 전원 단자(119)에 접속된 VCC 전원 라인(122), VCCQ 전원 단자(120)에 접속된 VCCQ 전원 라인(123) 및 VCC 전원 단자(121)에 접속된 VSS 전원 라인(124)을 갖는다.

마이크로프로세서(90)는 전원 전압(VCC)이 인가되는 본체 회로(125)를 구비한다. 기호/DATA(/)는 제7도의 기호와 등가)는 본체 회로(15)서 출력된 데이터를 나타내고, 기호 /Hz)는 출력 상태가 고임피던스 상태로 설정되어야만 하는 지의 여부를 결정하는 제어 신호를 나타낸다. 출력 제어 회로(126)는 전원 전압(VCC)이 공급되며 NOR 회로(127)와 인버터(128)와 NAND 회로(129)로 구성된다. 출력 구동 회로(선행 구동기:130)는 전원 전압(VCCQ)이 공급되며 증가형 p 채널 MOS 트랜지스터(133, 134)와 증가형 n 채널 MOS 트랜지스터(135, 136)로 구성된다. 출력 회로(110)는 풀업 소자로서 제공되는 증가형 pMOS 트랜지스터(137) 풀다운 소자로서 제공되는 증가형 nMOS 트랜지스터(138)로 구성된다.

pMOS 트랜지스터(133, 134, 137)가 형성되는 N-형 웰(N-type well)에 전원 전압(VSS)이 역바이어스 전압으로 공급되는 경우 전원 전압(VCC, VCCQ)이 전원의 온 또는 오프 기간에 각기 0V와 2V가 될 때 전류는 nMOS 트랜지스터(133, 134, 137)의 소스에서 N-형 웰로 흐른다. 상기 전류는 nMOS 트랜지스터(133, 134, 137)에 손상을 줄 것이다.

상기한 내용을 참고로 본 발명의 제1 실시예에서 전원 전압(VCCQ)은 nMOS 트랜지스터(133, 134, 137)가 형성되는 N-형 웰에 역바이어스 전압으로 인가된다. 전원 전압(VCC, VCCQ)이 전원의 온 또는 오프 기간에 각기 0V와 2V가 되는 경우에도 nMOS 트랜지스터(133, 134, 137)의 소스에서 nMOS 트랜지스터(133, 134, 137)가 형성되는 N-형 웰로의 전류 흐름은 없다. 그 결과, nMOS 트랜지스터(133, 134 및 137)가 손상받는 것을 방지할 수 있다.

제8도에서 제어 신호 /Hz가 저레벨인 경우 인버터(128)의 출력 레벨은 하이가 되고 NOR 회로(127)의 출력 레벨은 로우가 된다. 따라서, pMOS 트랜지스터(133)는 온 상태가 되고 pMOS 트랜지스터(135)는 오프 상태가 된다. 또한 인버터(131)의 출력 레벨은 하이가 되고 nMOS 트랜지스터(137)는 오프 상태가 된다. 또한, NAND 회로(129)의 출력 레벨은 하이가 되고 nMOS 트랜지스터(134)는 오프 상태가 된다. nMOS 트랜지스터(136)는 온상태가 되고 인버터(132)의 출력 레벨은 로우가 된다. nMOS 트랜지스터(138)는 오프 상태가 된다. 따라서, 상기 경우에 출력 회로(110)는 고임피던스 상태(Hi-Z)가 된다.

제9도에 도시된 바와 같이, 제어 신호 /Hz가 하이이고 데이터 /DATA가 하이인 경우 NOR 회로(127)의 출력 레벨은 로우가 된다. 따라서, pMOS 트랜지스터(133)는 온 상태가 되고 pMOS 트랜지스터(135)는 오프 상태가 된다. 인버터(131)의 출력 레벨은 하이가 되고, pMOS 트랜지스터(137)는 오프 상태가 된다. NAND 회로(129)의 출력 레벨은 로우가 되고 pMOS 트랜지스터(134)는 온 상태가 된다. nMOS 트랜지스터(136)는 오프 상태가 되고 인버터(132)의 출력 레벨은 하이가 된다. nMOS 트랜지스터(138)는 온상태가 된다. 따라서, 출력 회로에서 출력된 신호(DQ0)는 로우가 된다.

제10도에 도시된 바와 같이, 제어 신호 /Hz가 하이이고 데이터 /DATA가 로우인 경우 NOR 회로(127)의 출력 레벨은 하이가 된다. 따라서, pMOS 트랜지스터(133)는 오프 상태가 되고 nMOS 트랜지스터(135)는 온 상태가 된다. 인버터(131)의 출력 레벨은 로우가 되고, pMOS 트랜지스터(137)는 온 상태가 된다. NAND 회로(129)의 출력 레벨은 하이가 되고 pMOS 트랜지스터(134)는 오프 상태가 된다. nMOS 트랜지스터(131)는 온상태가 되고 인버터(132)의 출력 레벨은 로우가 된다. nMOS 트랜지스터(138)는 오프 상태가 된다. 따라서 상기 경우에 출력 회로(110)에서 출력된 신호(DQ0)는 하이가 된다.

본 발명의 제1 실시예에서 SDRAM 소자(91~94)는 동일 간격으로 버스 라인(115)에 접속되며 마이크로프로세서(90)와 DRAM 소자(91) 간에 버스 라인(115)만이 제공된다. 따라서, 버스 라인(115)의 특성 임피던스

가 Z0로 표시되는 경우 SDRAM 소자(91~94)가 동일 간격으로 접속되는 버스 라인(115)의 일부에 대한 유효 특성 임피던스는 SDRAM 소자(91~94)가 접속되지 않은 버스 라인(115)의 일부에 대한 유효 특성 임피던스보다 작다.

흔히, 버스 라인(115)의 특성 임피던스(Z0)는 $Z_0=(L/C)^{1/2}$ 로 표현되며, 여기서, L은 단위 길이 당의 결선 인덕턴스이고, C는 단위 길이 당의 결선 커패시턴스이다. 예컨대, 통상적으로 $L=250\text{nH/m}$ 이고, $C=100\text{pF}$ 이다. 이 경우에 $Z_0=(250 \times 10^{-9}/100 \times 10^{-12})^{1/2}=50\Omega$ 이다.

한편, SDRAM 소자(91~94)가 접속되는 곳의 경우에 이들의 부하 커패시턴스(특히, 입력/출력 단자 95~99의 커패시턴스)가 가산된다. 각각이 3.75pF의 커패시턴스를 갖는 SDRAM 소자(91~94)가 6.25mm의 동일 간격으로 버스 라인(115)에 접속되는 경우 160개의 SDRAM 소자가 1미터의 버스 라인에 접속된다. 미터당 커패시턴스를 CL로 표시하면 $CL=3.75\text{pF} \times 160\text{m}^{-1}=600\text{pF/m}$ 가 된다. 이 경우에 버스 라인(115)의 유효 특성 임피던스 ZL은 $Z_L=[L/(C+CL)]^{1/2}$ 로 표시되고 $18.9\Omega=[250 \times 10^{-9}/(100 \times 10^{-12}+600 \times 10^{-12})]$ 이 된다. 이 값의 유효 특성 임피던스는 부하가 없는 경우에 얻어진 특성 임피던스 $Z_0(=50\Omega)$ 보다 훨씬 작다.

임피던스 정합을 정확하게 이루어 신호의 반사를 방지하기 위해 종단 저항(116, 117)의 저항값은 유효 특성 임피던스 ZL, 즉 18.9Ω과 동일하게 설정되어야 한다. 그러나 종단 저항(116, 117)의 저항값이 18.9Ω인 경우 구동 측에서 바라본 부하 저항은 9.45Ω이다. 또한, 출력 회로(110~114)가 대략 20mA의 전류 구동 능력을 갖지 못한다면 입력 회로(105~109)는 안정하게 동작하지 못하여 충분한 진폭을 제공하지 못한다.

상기 내용을 참고로 본 발명의 제1 실시예에 따라, SDRAM 소자(91~94)가 집중되어 있는 주변의 종단 저항(117)의 저항값은 정확한 정합 상태에서 누락되어 있으며 유효 특성 임피던스 ZL 보다 크게 구성된다. 상기 저항값은 부하가 연결되지 않은 경우의 버스 라인(115)의 특성 임피던스 Z0, 특히 30Ω으로 제한된다.

한편, 마이크로프로세서(90)는 접속된 부하가 그리 많지 않다. 따라서, 종단 저항(116)의 값은 부하가 없는 경우에 얻어진 버스 라인(115)의 특성 임피던스와 동일하게 50Ω으로 설정된다. 그 결과 구동 측에서 바라본 부하 저항은 30Ω과 50Ω의 병렬 접속값인 18.7Ω이다. 이 경우에 부하 저항은 30Ω의 저항이 버스 라인(115)의 양쪽에 접속된 경우에 얻어진 부하 저항보다 크다(부하 저항이 15Ω이 됨). 따라서, 출력 회로(110~114)가 비교적 저전류 구동 용량을 갖는 경우에도 대신호 진폭을 얻을 수 있다.

본 발명의 제1 실시예에서 마이크로프로세서(90)와 SDRAM 소자(91~94)의 출력 회로(110~114)는 전원 전압(VCCQ)이 인가되는 CMOS형 푸시풀 회로로 형성된다. 또한, 종단 전압(VTT)은 $VCCQ/2$ 와 동일하므로 중심 전압이 종단 전압(VTT)과 동일하게 되는 방법으로 전송될 수 있다.

예컨대, 출력 회로(110)가 저레벨 출력 신호를 출력하는 경우 전류는 전압 발생 회로(85), 종단 전압 라인(89), 종단 저항(116, 117), 버스 라인(115), 출력 회로(110)(nMOS 트랜지스터 138), 접지 및 전압 발생 회로(85)로 구성된 폐회로의 순서대로 흐른다.

이와 달리, 출력 회로(110)가 고레벨 출력 신호를 출력하는 경우 전류는 전압 발생 회로(84), VCCQ 전원 라인(88), 출력 회로(110)(pMOS 트랜지스터 137), 버스 라인(115), 종단 저항(116, 117) 및 전압 발생 회로(84)로 구성된 폐회로의 순서대로 흐른다.

상술한 바와 같이, 본 발명의 제1 실시예에 따라, 전압 발생 회로(83)의 전압 발생 회로(84, 85)가 직렬 접속되어 있기 때문에, 전압 출력 단자(87)의 전압은 전류가 전압 출력 단자(87)를 통해 출력되거나 입력되는 경우에도 1.0V의 전압(V5)으로 유지된다. 따라서, 종단 전압(VTT)이 1.0V의 전압(V5)에 동일하게 되는 안정성을 증가시킬 수 있다.

또한, 버스 라인(115)를 통해 전송되는 신호가 없는 경우 종단 저항(116, 117)에서의 전류 흐름은 없다. 따라서, 전력 소비를 감소시킬 수 있다.

또한, 본 발명의 제1 실시예에 따라 종단 전압(VTT)은 마이크로프로세서(90)와 SDRAM 소자(91~94)에서 요구되는 기준 전압(Vref)으로 사용된다. 따라서, 기준 전압(Vref)과 종단 전압(VTT)의 일치가 이루어질 수 있고 오프셋 전압이 발생되지 않는다.

본 발명의 제1 실시예에 따라 전원 전압(VCCQ)은 출력 구동 회로(130)에 필요한 전원 전압으로 제공되어 출력 회로(110~114)를 구동시킨다. 따라서, 풀업 소자로서 제공되는 pMOS 트랜지스터에 풀다운 소자로서 제공되는 pMOS 트랜지스터의 구동이 가능하다.

마이크로프로세서(90)의 출력 제어 회로(126), 출력 구동 회로(130) 및 출력 회로(110)는 제11도에 도시된 바와 같이 구성될 수 있다. 제11도에 도시된 회로는 SDRAM 소자(91~94)에도 적용시킬 수 있다.

제11도에서 출력 제어 회로(126)는 NAND 회로(141), 인버터(142) 및 NOR 회로(143)로 구성된다. 출력 구동 회로(130)는 전원 전압(VCC)이 인가되는 CMOS형 인버터이다. CMOS 인버터는 증가형 pMOS 트랜지스터(145)와 증가형 pMOS 트랜지스터(146)로 구성된다. 출력 회로(110)는 풀업 소자의 기능을 하는 공핍형 pMOS 트랜지스터(147)와 풀다운 소자의 기능을 하는 증가형 pMOS 트랜지스터(148)로 구성된다. 출력 회로(110)는 풀업 소자의 구동 능력을 개선시킬 것이다.

상기 경우에서 데이터 신호(DQ0)의 저레벨이 공핍형 pMOS 트랜지스터(147)를 차단시킬 수 있도록 V_{OL} 에 동일하게 설정되는 때에 pMOS 트랜지스터(147)의 임계 전압(V_{THD})을 $-V_{OLa} \leq V_{THD}$ 로 설정시킬 필요가 있다. 예컨대, 종단 전압(VTT)이 1.0V인 곳의 경우에서 데이터 신호(DQ0)가 $\pm 0.25\text{V}$ (구동 전류는 10mA)의 범위 내인 때에 $V_{OL}=1-0.25=0.75\text{V}$ 가 된다. 이 경우에 임계 전압(V_{THD})은 -0.75V 와 같거나 이상이다.

제12도에 도시된 바와 같이, 제어 신호 /Hz가 고레벨인 경우 인버터(142)의 출력 레벨은 로우이고, NAND

회로(141)의 출력 레벨은 하이이다. pMOS 트랜지스터(145)는 오프 상태이고 nMOS 트랜지스터(146)는 온 상태이다. 인버터(144)의 출력 레벨은 로우이고 nMOS 트랜지스터(147)는 오프 상태이다. 또한, NOR 회로(143)의 출력 레벨은 로우이고, nMOS 트랜지스터(148)는 오프 상태이다. 이 경우에 출력 회로(110)는 고 임피던스 상태이다.

제13도에 도시된 바와 같이, 제어 신호 /Hz가 로우이고 데이터(/DATA)가 고레벨인 경우 NAND 회로(141)의 출력 레벨은 로우이고, pMOS 트랜지스터(145)는 온 상태이다. nMOS 트랜지스터(146)가 오프 상태이고 인버터(144)의 출력 레벨이 하이이며 nMOS 트랜지스터(147)는 온 상태이다. 또한, NOR 회로(143)의 출력 레벨은 로우이고, nMOS 트랜지스터(148)는 오프 상태이다. 이 경우에 출력 회로(110)에서 출력된 신호(DQ0)는 고레벨이다.

제14도에 도시된 바와 같이, 제어 신호 /Hz가 저레벨이고, 데이터(/DATA)가 저레벨이며, NAND회로(141)의 출력 레벨은 하이이고, pMOS 트랜지스터(145)는 오프 상태이다. nMOS 트랜지스터(146)가 온 상태이고, 인버터(144)의 출력 레벨은 로우이다. nMOS 트랜지스터(147)는 오프 상태이다. 또한, NOR 회로(143)의 출력 레벨은 하이이고 nMOS 트랜지스터(148)는 온 상태이다. 이 경우에 출력 회로(110)에서 출력된 신호(DQ0)는 저레벨이다.

nMOS 트랜지스터(147)는 증가형 nMOS 트랜지스터에 의해 대체될 수 있다. 이 경우에 증가형 nMOS 트랜지스터의 임계 전압은 nMOS 트랜지스터(148)의 임계 전압보다 낮지 않다면 구동 능력의 증가 이점은 임계 전압의 감소에 의해 취소될 것이다.

제15도 내지 제19도를 참고로 본 발명의 제2 실시예에 따른 전자 시스템에 대해 설명될 것이다.

제15도는 본 발명의 제2 실시예에 따른 전자 시스템의 필수 부분의 회로도이다. 제15도에 도시된 전자 시스템은 제6도에 도시된 전압 발생 회로(83)에 의해 발생된 전압과는 다른 전압을 발생하는 전압 발생 회로(150)를 구비한다. 전압 발생 회로(150)는 각각이 전압 V6(예컨대, 1.65V)를 발생시키는 전압 발생 회로(151, 152) 및 전압 출력 단자(153, 154)를 구비한다. 특히, 전압 발생 회로(151, 152)는 직렬 접속된다. 전압 $2 \times V6 (=3.3V)$ 는 전원 전압(VCCQ)으로서 전압 출력 단자(153)에 출력되고 종단 전압(VTT)으로서 전압 출력 단자(154)에 출력된다.

제15도에 도시된 버스 라인(115)은 분기 파트(155~159), 즉 스텝(stub)을 갖는다. 저항(160~164)은 버스 라인(115)상의 분기점과 스텝(155~159) 사이에 접속된다.

본 발명의 제2 실시예에서 VCCQ 전원 라인(88)을 통해 공급된 전원 전압(VCCQ)은 VCC 전원 단자 및 마이크로프로세서(90)와 SDRAM 소자(91~94)의 VCCQ 전원 단자에 공급된다. 마이크로프로세서(90)와 SDRAM 소자(91~94)의 VCC 전원 단자는 외부의 VCCQ 전원 단자에 접속된다. 제16도는 마이크로프로세서(90)에 대한 이러한 접속을 도시한다.

본 발명의 제2 실시예에 따라 마이크로프로세서(90)에 대한 일례로서 제16도에 도시된 바와 같이, 본체 회로(125)와 출력 제어 회로(126) 뿐만 아니라 출력 구동 회로(130)와 출력 회로(110)도 3.3V의 전원 전압(VCCQ)에 의해 구동된다. 이 경우에, nMOS 트랜지스터(138)의 게이트는 3.3V의 전원 전압(VCCQ)이 공급되어서 nMOS 트랜지스터(138)의 내부 저항은 감소하고 출력단에 과도 전류가 흐른다.

상기 내용을 참고로 본 발명의 제2 실시예에 따라 저항(16)은 버스 라인(115)상의 분기점과 스텝(155) 사이에 접속되어 출력 회로(110)의 적절한 내부 저항값을 선택하고 종단 저항(116, 117)에 관한 구동 전류의 변화를 방지한다. 마찬가지로, 저항(161~164)은 버스 라인(115)상의 분기점과 스텝(156~159) 사이에 접속된다.

제17도와 제18도는 저항(160~164)의 저항값의 결정 방법을 도시한다. 특히 제17도는 마이크로프로세서(90)의 출력 회로(110)에서의 nMOS 트랜지스터(138)에 대한 정적 특성 그래프이고, 제18도는 제15도에 도시된 구조의 일부분을 나타낸다. 본 발명의 제2 실시예에서 nMOS 트랜지스터(138)는 제17도에 도시된 정적 특성을 갖도록 구성된다. nMOS 트랜지스터(138)가 3.3V의 전압(VCCQ)으로 턴온되는 곳의 경우에서 게이트-소스 전압(V_{GS})은 3.3V와 동일한 반면 드레인-소스 전압(V_{DS})은 0.2V와 동일하다.

nMOS 트랜지스터(138)에 대한 구동 전류가 10mA이고 종단 저항(16, 117)의 저항값이 50 Ω 인 경우 부하 저항값은 25 Ω 이고, 종단 저항(116, 117) 양단에서 전개하는 전압 강하는 제18도에 도시된 바와 같이 0.25V이다. 따라서, 버스 라인(115)의 전압은 1.4V가 되어 저항(160)의 저항값이 $120\Omega (= (1.4 - 0.2) / 10 \times 10^{-3})$ 으로 결정됨을 나타낸다. 저항(161~164)의 저항값은 저항(160)과 동일한 방법으로 선택된다.

상술한 바와 같이, 버스 라인(115)과 스텝(155~159) 사이에 저항(160~164)을 제공함으로써 버스 라인(115)에 대한 스텝(155~159)에서 야기된 신호 반사의 영향을 최소화시키는 것이 가능하다.

상기의 경우에는 스텝(155~159)의 특성 임피던스는 다음과 같이 결정될 수 있다. 먼저, 저항(160~164)의 저항값은 출력 회로의 구동 능력을 고려하여 120 Ω 으로 설정된다. 버스 라인(115)의 특성 임피던스가 50 Ω 이기 때문에 분기 노드에서 버스 라인(115)을 볼 때 병렬 접속된 50 Ω 의 두 저항이 나타난다. 즉, 25 Ω 의 특성 임피던스가 부하로 결정된다.

이와 달리, 저항(160~164)이 각기 120 Ω 의 저항값이 갖는 경우 스텝(155~160)에서 버스 라인(115)을 볼 때 145 Ω 의 임피던스(=125 Ω +25 Ω)가 보여질 것이다. 따라서, 스텝(155~160)의 특성 임피던스는 대략 145 Ω 으로 설정된다. $\pm 5\%$ 의 범위 내에서 변화되는 경우에도 문제가 없음이 시뮬레이션을 통해 확인되었다. 각 스텝에 대한 상기 값의 정적 특성이 선택된 경우 신호는 버스 라인(115)에서 스텝(155~159)으로 입력되고 입력/출력 단자(95~99)는 종단을 갖지 않는다. 따라서, 이력 신호는 전체 반사(100% 반사)된다. 그러나, 반사된 신호가 저항(160~164)에 전송된 때에 임피던스 정합이 이루어지기 때문에 반사는 발생되지 않는다. 즉, 신호는 버스 라인(115)에 도달한 후에 종단 저항(116, 117)에 의해 흡수된다. 따라서, 공진 현상은 스텝(155~159)위에 발생하지 않으므로 우수한 신호 전송이 실행될 수 있다.

본 발명의 제1 실시예에서의 경우처럼 2.0V의 전압(VCCQ)으로 nMOS 트랜지스터(138)를 턴온시킨 경우 계

이트-소스 전압(V_{GS})은 2.0V는 반면 드레인-소스 전압(V_{DS})은 0.75V이다. pMOS 트랜지스터(138)에 대한 구동 전류가 10mA이기 때문에 종단 전압(116, 117)의 저항값이 50 Ω 이고 부하 저항은 25 Ω 이며, 종단 저항(116, 117) 양단에서 전개하는 전압 강하는 제19도에 도시된 바와 같이 0.25V가 된다. 이 경우에, 저항(160)은 필요치 않다. 즉, 전원 전압(VCCQ)이 감소할 경우 저항(160~164)은 더 이상 필요없게 되고 파트의 수는 감소될 것이다. 그러나 스텝(155~159)에 야기된 공진은 임피던스 정합에 의해서 제거되지 않는다. 따라서, 스텝(155~159)의 길이를 가능한한 많이 감소시키는 것이 필요하다.

본 발명의 제2 실시예에서 마이크로프로세서(90)와 SDRAM 소자(91~94)의 출력 회로(110~114)는 전원 전압(VCCQ)이 공급된 CMOS형 푸시풀 회로로 형성된다. 또한, 종단 전압(VTT)은 VCCQ/2로 설정된다. 따라서, 종단 전압(VTT)과 동일한 중심 전압을 갖는 소진폭 신호의 전송이 가능하다.

출력 회로(110)가 저레벨을 제공하는 경우 전류는 전압 발생 회로(152), 종단 전압 라인(89), 종단 저항(116, 117), 버스 라인(115), 출력 회로(110)(nMOS 트랜지스터 138), 접지 및 전압 발생 회로(152)로 구성된 폐회로의 순서대로 흐른다. 출력 회로(110)가 고레벨을 제공하는 경우 전류는 전압 발생 회로(151), VCCQ 전원 라인(88), 출력 회로(110)(pMOS 트랜지스터 137), 버스 라인(115), 종단 저항(116, 117) 및 전압 발생 회로(151)로 구성된 폐회로의 순서대로 흐른다.

본 발명의 제2 실시예에 따라 상술한 바와 같이, 전압 발생 회로(151, 152)가 트 직렬로 접속되어 있기 때문에, 전압 출력 단자의 전압(V_6)은 전류가 전압 출력 단자(154)의 밖으로 흐르거나 또는 그 안에서 흐르는 경우에도 1.65V로 유지될 수 있다. 따라서, $VTT-V_6=1.65V$ 의 안정도를 이룰 수 있다.

또한, 버스 라인(115)을 통해 전송된 신호가 없는 경우 종단 저항(116, 117)의 전류 흐름은 없다. 따라서, 전력 소비를 감소시킬 수 있다.

본 발명의 제2 실시예에 따라 종단 전압(VTT)은 마이크로프로세서(90)와 SDRAM 소자(91~94)에서 요구되는 기준 전압(V_{ref})으로서 사용된다. 따라서, 기준 전압(V_{ref})과 종단 전압(VTT)의 일치가 이루어져 오프셋 전압이 발생되지 않는다. 그러므로 충분한 동작 마진을 얻을 수 있다.

또한, 본 발명의 제2 실시예에 따라 저항(160~164)은 버스 라인(115) 상의 분기점에 제공된다. 그러므로, 회로내의 과도한 전류 흐름을 방지할 뿐만 아니라 스텝(155~159)이 요구되는 곳에서 상기 스텝에서 발생된 반사 신호에 포함된 고주파 성분을 저항(160~164)으로 차단시킬 수 있다. 그 결과, 전송된 신호 파형을 변형시키기는 어렵다. 이러한 관점에서 본 발명의 제2 실시예는 SDRAM 소자(91~94)가 모듈(SIMM) 상에 장착되고 상기 모듈의 컨택터가 버스 라인(115)에 접속되는 시스템에 적합하다. 반면에, 본 발명의 제1 실시예의 구조는 스텝(155~159)이 필요없기 때문에 SDRAM 소자(91~95)가 버스 라인(115)에 직접 접속된다.

제19a도는 제15도에 도시된 전압 발생 회로(150)의 실제의 회로도이다. 제19a도에 도시된 회로는 스위칭 조절 장치이다. 제19a도에 도시된 전압 발생 회로(150)는 pMOS 트랜지스터(Q1), nMOS 트랜지스터(Q2), 다이오드(D1, D2), 인덕터(L), 커패시터(C1, C2) 및 제어 회로(150A)를 구비한다. 제어 회로(150A)는 2개의 CMOS 인버터를 갖는 구동기(DRV) 및 비교기(COMP)를 구비한다.

트랜지스터(Q1, Q2)는 스위칭 조절 장치로서의 기능을 한다. 다이오드(D1, D2)는 인덕터의 역기전력을 통과시킨다. 인덕터(L)와 커패시터(C1, C2)는 평활 회로를 형성한다. 출력 단자(154)의 전압은 기준 전압(V_{REF} : 본예에서 $V_{REF}=VCC/2=1.65$

V)에 비교되고 비교기(COMP)의 출력 신호는 트랜지스터(Q1, Q2)를 구동한다. 부하 전류가 없을 경우 비교기 출력은 트랜지스터(Q1, Q2)를 동일 충격 계수로 턴온 및 턴오프시킨다. 이 상태에서 회로는 발진 상태이다. 제어 회로(150A)는 미합중국의 Siliconics 사이에서 제조된 Si9145에 의해 형성될 수 있다.

제6도에 도시된 전압 발생 회로(83)는 상술한 방법으로 구성될 수 있다.

제20도를 참고로 본 발명의 제3 실시예에 따른 전자 시스템에 대해 설명된다.

제20도는 본 발명의 제3 실시예에 따른 전자 시스템의 필수 부분에 대한 회로도이다. 제20도에 도시된 구조에서 저항(161~164)은 버스 라인(115)과 스텝(156~159) 사이에 접속되는 한편, 마이크로프로세서(90)와 버스 라인(115) 사이에 의도적으로 접속된 저항은 없다. 본 발명의 제3 실시예의 다른 부분은 본 발명의 제2 실시예와 동일하다.

SDRAM 소자(91~94)가 SIMM상에 장착되는 경우 버스 라인(115)과 스텝(155~159)의 제공이 용이하다. 그러나, 다수의 경우에 마이크로프로세서(90)는 PGA(Pin Grid Array)상에 장착되며 다수의 핀을 갖는다. 따라서, 다수의 경우에 제15도에 도시된 저항(160)을 제공하기 위한 이용 가능한 공간이 없는 경우가 발생할 것이다.

상술한 내용을 참고로 본 발명의 제3 실시예에 따라 저항(161~164)은 버스 라인(115)과 스텝(156~159) 사이에 접속되는 한편, 제15도에 도시된 저항(160)은 버스 라인(115)과 프로세서(90) 사이에 제공되지 않는다. 저항(160)이 사용되지 않는 경우에도 마이크로프로세서(90)는 다수의 경우에서 버스 라인(115)의 단부에 접속될 것이다. 상기 단부는 신호 파형의 변형을 감소시키는 기능의 종단 저항(116)으로 폐쇄된다.

또한, 상기 경우에서 마이크로프로세서(90)의 출력 회로(110)가 작은 구동 능력을 갖도록 설계되고 내부 저항이 대략 100 Ω 정도로 높다면 회로내의 과도 전류 흐름은 없다. pMOS 트랜지스터(137)와 nMOS 트랜지스터(138)의 크기를 조정하거나 출력 회로(110)에 근접한, 예컨대 칩 상의 또는 패키지 내의 위치에 출력 회로(110)의 출력단에 직렬로 저항을 제공함으로써 출력 회로(110)의 내부 저항이 대략 100 Ω 으로 감소된다.

pMOS 트랜지스터(137)와 nMOS 트랜지스터(137)의 크기가 조정된 경우 pMOS 트랜지스터(137)의 게이트 폭은 예컨대, 500 μm 로 설정되고 게이트 길이는 예컨대, 1 μm 로 설정된다. 또한, nMOS 트랜지스터(138)의

게이트 폭은 예컨대, 200 μm 로 설정되고 게이트 길이는 예컨대, 1 μm 로 설정된다.

저항이 출력 회로(110)의 출력단에 직렬로 접속된 경우, pMOS 트랜지스터(137)의 게이트 폭과 길이는 예컨대, 각기 1,000 μm 와 1 μm 로 설정된다. 또한, nMOS 트랜지스터(138)의 게이트 폭과 길이는 예컨대, 각기 400 μm 와 1 μm 로 설정된다.

출력 회로(110)에 직렬 접속된 저항이 부온도 계수를 갖는 경우 출력 회로(110)의 트랜지스터의 내부 저항의 온도 계수를 삭감시키는 기능을 하는 장점을 갖는다. 예컨대, 통상 더미스터(thermistor)라고 불리는 비정질-시스템 반도체 재료의 직렬 접속 저항을 취하는 것이 가능하다. 보다 간편한 방법으로 직렬 접속된 저항을 반도체 기판에 형성된 확산층에 의해 형성시키는 방법이 있다. p형 확산층은 n형 확산층보다 큰 온도 계수를 갖는다. 이러한 확산층은 상기 목적에 적합하다. 상기 재료는 온도가 증가할 때 저항이 감소되는 성질을 갖는다. 따라서, 이러한 현상을 제거하여 온도가 증가할 때 트랜지스터의 구동 능력이 감소된다.

제21도를 참고로 본 발명의 제4 실시예에 따른 전자 시스템에 대해 설명될 것이다.

제21도는 본 발명의 제4 실시예에 따른 전자 시스템의 필수 부분에 대한 회로도이다. 제21도에 도시된 구조에서 온도 센서(165)가 제공되어 상기 온도 센서에 의해 감지된 온도를 기초로 전압 발생 회로(151, 152)에 의해 발생된 전압(V6)을 제어한다. 본 발명의 제4 실시예의 나머지 부분은 본 발명의 제3 실시예와 동일하다.

다음 경우의 마이크로프로세서(90)의 출력 회로(110)의 구동 능력에 대한 온도 의존성을 주목할 필요가 있다. 즉, 저항(161~164)은 버스 라인(115)과 스텝(156~159) 사이에 접속되며 버스 라인(115)과 마이크로프로세서(90)에 접속된 저항은 없다. 또한, 마이크로프로세서(90)의 출력 회로(100)의 트랜지스터는 작은 구동 능력을 갖는다. MOS 트랜지스터는 부의 구동 전류 온도 계수를 가지며 동작 온도가 증가할 때 구동 능력이 감소된다는 점에 주의해야 한다.

상술한 내용을 참고로 동작 온도에 무관하게 버스 라인(115)의 일정 신호 진폭을 유지하기 위해 전압 발생 회로(151, 152)의 출력 전압(V6)을 정의 온도 계수를 갖도록 하는 것이 바람직하다. 예컨대, 전압(V6)의 적정값은 25 $^{\circ}\text{C}$ 에서 1.3V이고 100 $^{\circ}\text{C}$ 에서는 1.65V이다.

입력/출력 회로만에 대한 전원 전압이 온도에 의존하고 본체 회로에 대한 전원 전압이 일정 레벨로 유지되도록 시스템을 설계하는 것이 가능하다. 또한, 입력/출력 회로 및 본체 회로 모두의 전원 전압이 온도에 의존하도록 설계하는 것도 가능하다. 어떠한 저항이 버스 라인(115)에 접속되는 지에 상관없이 상술한 온도 보상이 적용될 수 있다.

본 발명의 제5 실시예에 따른 전자 시스템에 대한 설명이 제22도내지 제25도를 참고로 이루어진다.

제22도는 본 발명의 제5 실시예에 따른 전자 시스템의 필수 부분에 대한 회로도이다. 제22도에 도시된 구조에서 제6도의 전압 발생 회로(83)는 종단 전압 발생 회로(165)로 대체된다. 이에 따라서, 종단 전압 발생 회로(166)에 2.0V의 전원 전압(VCCQ)을 공급하기 위해 VCCQ 전원 라인(167)이 제공되고 상기 종단 전압 발생 회로에 0V의 전원 전압(VSSQ)을 공급하기 위해 VSSQ 전원 라인(168)이 제공된다.

본 발명의 제5 실시예에서 VCCQ 전원 라인(167)의 전원 전압(VCCQ)은 마이크로프로세서(90)와 SDRAM 소자(91~94)에 공급된다. 본 발명의 제5 실시예 회로의 다른 부분은 제6도에 도시된 제1 실시예와 동일하다.

종단 전압 발생 회로(166)는 동일 저항값을 갖는 전압 분할 저항(172, 173)과 연산 증폭기(171)를 구비한다. 저항(172, 173)의 전압 네트워크는 전원 전압(VCCQ)으로부터 $VCCQ/2(=0.1V)$ 를 얻고 분할 전압(VCCQ/2)은 연산 증폭기(171)의 순방향 위상(비반전) 입력 단자에 인가된다. 연산 증폭기(171)의 출력은 연산 증폭기(171)의 역방향 위상(반전) 입력 단자에 케환된다. 이에 의해, VCCQ/2와 동일한 종단 전압(VTT)이 연산 증폭기(171)의 출력 단자에서 얻어진다.

종단 전압 발생 회로(166), 전압 분할 저항(172, 173), 데이터(DQ0)용 버스 라인(115)에 대한 종단 저항(117) 및 데이터(DQ1~DQ7)용 버스 라인에 대한 단자 저항이 한 칩에 통합된다. 한 칩에 제공된 이러한 소자는 SDRAM 소자(91~94)와 동일한 치수로 종단 모듈(종단 소자)로서 패키징된다.

단자 모듈 본체(175), 각기 데이터(DQ1~DQ7)용으로 제공된 단자 저항(176~181) 및 외부 단자(182~200)를 구비한 단자 모듈(174)이 제23도에 도시되어 있다. 이러한 외부 단자(182~200)는 SDRAM 소자(91~94) 각각의 대응 외부 단자의 동일 위치에 위치된다.

제24도에 도시된 바와 같이, SDRAM 소자(91~94)와 종단 모듈(174)은 하나의 본체를 이루기 위해 스택(Stack)되며 메모리 스택(201)으로서 취급된다. 이 메모리 스택(201)은 회로 기판(202)에 장착된다. 본 발명의 제5 실시예에서, VCCQ 전원 라인(167)에서 SDRAM 소자(91~94)까지의 전원 전압(VCCQ)의 공급은 메모리 스택(201)에서 시행된다.

제24도에서는 수직 부기판(203, 204), 각기 데이터(DQ1, DQ7)를 전송하는 버스 라인(205, 206) 및 컨넥터(207, 208, 209)가 제공된다.

제24도에 도시된 구조는 조립 비용을 감소시키고 버스 라인을 단축시켜서 고속 신호 전송이 실행될 수 있다. 또한, 종단 전압(VTT)이 SDRAM(91~94)의 부근에 발생되기 때문에 잡음에 의한 기준 전압(Vref)의 변동이 방지된다.

또한, 종단 전압 발생 회로(166)와는 별도로 종단 저항(116, 117, 176~181)만을 구비한 종단 모듈을 형성하는 것도 가능하다.

제25도는 본 발명의 제5 실시예에 사용된 종단 전압 발생 회로(166)의 회로도이다. 상기 회로(166)는 VCCQ 전원 라인(211), VSSQ 전원 라인(212) 및 차동 증폭 회로(213, 214)를 구비한다. 차동 증폭 회로(213)는 부하로서의 기능을 하는 전류-미러 회로를 형성하는 증가형 pMOS 트랜지스터(215, 216)를 구비한다. 종단 전압 발생 회로(166)는 구동 트랜지스터로서의 기능을 하는 증가형 nMOS 트랜지스터(217, 218)

와 저항으로서의 기능을 하는 증가형 nMOS 트랜지스터(219)를 포함한다.

차동 증폭 회로(214)는 저항으로서의 기능을 하는 증가형 pMOS 트랜지스터(220)와, 구동 트랜지스터로서의 기능을 하는 증가형 pMOS 트랜지스터(221, 22)와, 부하로서의 기능을 하는 nMOS 트랜지스터(223, 224)를 구비한다. 또한 제25도에 도시된 중단 전압 발생 회로(166)는 출력 회로(225)를 포함하며, 상기 출력 회로는 풀업 소자로서의 기능을 하는 증가형 pMOS 트랜지스터(226)와 풀다운 소자로서의 기능을 하는 증가형 nMOS 트랜지스터(227)로 구성된다.

이와 같이 형성된 중단 전압 발생 회로(166)는 전원 전압(VCCQ)의 변화에 대해 고정 전압으로 조정된 중단 전압(VTT)을 발생시킬 수 있다.

본 발명의 제5 실시예에서 마이크로프로세서(90)과 SDRAM 소자(91~94)의 출력 회로(110~114)는 2.0V의 전원 전압(VCCQ)과 중단 전압(VTT=VCCQ/2=1.0V)으로 동작하는 푸시풀형 CMOS로 형성된다. 따라서, 중단 전압(VTT)과 동일한 중심 전압을 갖는 신호의 전송이 가능하다.

출력 회로(110)의 출력 레벨이 로우인 경우, 중단 전압 발생 회로(166), 중단 전압 라인(89), 중단 저항(116, 117), 버스 라인(115), 출력 회로(110)(nMOS 트랜지스터 138), 접지, 전원 전압(VCCQ)을 발생하는 전원 전압 발생 회로(편의를 위해 도시되지 않음), VCCQ 전원 라인(167) 및 중단 전압 발생 회로(166)로 구성된 폐회로의 순서대로 전류가 흐른다.

출력 회로(110)가 고레벨 출력 신호를 출력하는 경우, VCCQ 전원 라인(167), 출력 회로(110)(pMOS 트랜지스터 137), 버스 라인(115), 중단 저항(116, 117), 중단 전압 발생 회로(166), VSSQ 전원 라인(168), 전원 전압(VCCQ)을 발생하는 전원 전압 발생 회로(편의를 위해 도시하지 않음) 및 VCCQ 전원 라인(167)으로 구성된 폐회로의 상기 순서대로 전류가 흐른다.

상술한 바와 같이, 본 발명의 제5 실시예에 따라 연산 증폭기(171)의 출력 전압, 즉 중단 전압(VTT), 이 연산 증폭기(171)에 의해 제한되도록 중단 전압 발생 회로(166)가 제어되어서 전류가 중단 전압 발생 회로(166)에서 중단 전압 라인(89)으로 또는 중단 전압 라인(89)에서 중단 전압 발생 회로(166)로 흐르는 경우에도 중단 전압(VTT)을 1.0V의 전압(VCCQ/2)으로 유지할 수 있다.

또한, 버스 라인(115)을 통하여 전송된 신호가 없는 경우 중단 저항(116, 117)에 전류가 흐르지 않으므로 전력 소비가 감소될 것이다.

또한, 본 발명의 제5 실시예의 입력/출력 회로는 제1 실시예와 동일한 방법으로 구성되고, 출력 회로(110~114)와 출력 구동 회로는 본체 회로를 구동하기 위해 사용된 3.3V의 전원 전압(VCC) 보다 작은 2.0V의 전원 전압(VCCQ)으로 구동되므로 전력 소비를 감소시킬 수 있다.

또한, 본 발명의 제5 실시예에 따라 중단 전압(VTT)은 마이크로프로세서(90)와 SDRAM 소자(91~94)에 요구된 기준 전압(Vref)으로서 사용된다. 따라서, 기준 전압(Vref)과 중단 전압(VTT)의 일치가 이루어져 오프셋 전압이 발생되지 않는다.

따라서, 충분한 동작 마진이 얻어진다.

또한, 본 발명의 제5 실시예에 따라 전원 전압(VCCQ)은 출력 구동 회로에 필요한 전원 전압으로 공급되어 출력 회로(110~114)를 구동한다. 따라서, 풀업 소자의 기능을 하는 pMOS 트랜지스터와 풀다운 소자의 기능을 하는 nMOS 트랜지스터를 균형 상태로 구동하는 것이 가능하다.

본 발명의 제6 실시예에 따른 전자 시스템에 대한 설명이 제26도 및 제27도를 참고로 이루어진다.

제26도는 본 발명의 제6 실시예에 따른 전자 시스템의 필수 부분에 대한 회로도이다. 제26도에서 3.3V의 전원 전압(VCC)을 공급하는 VCC 전원 라인(228)과 1.2V의 전원 전압(VCCQ)을 공급하는 VCCQ 전원 라인(229)이 제공된다. 제26도에 도시된 시스템은 신호가 입력 및 출력되는 신호 입력/출력 단자(231), 전원 전압(VCC)을 수신하는 VCC 전원 단자(232) 및 1.2V의 전원 전압(VCCQ)을 수신하는 VCCQ 전원 라인(233)을 포함한 마이크로프로세서(230)를 구비한다. 상기 시스템은 전원 전압(VCC)을 내부 회로에 공급하는 VCC 전원 라인(234), 전원 전압(VCCQ)을 내부 회로에 공급하는 VCCQ 전원 라인(235) 및 푸시풀형 출력 회로(236)를 추가로 구비한다. 상기 푸시풀형 출력 회로(236)는 풀업 소자의 기능을 하는 pMOS 트랜지스터(237)와 풀다운 소자의 기능을 하는 nMOS 트랜지스터(238)를 포함한다.

상기 시스템은 신호를 전송하는 버스 라인(240)과 중단 유닛(241)을 구비하며, 상기 중단 유닛(241)은 각각이 0.65V의 순방향 전압을 갖는 다이오드(242, 243)와 각각이 15Ω의 저항값을 갖는 저항(244, 245)을 포함한다. 다이오드(242, 243)의 순방향 전압의 곱은 1.3V이다. 따라서, 버스 라인(240)을 통하여 전송된 신호가 없는 경우 중단 유닛(241)에 전류가 흐르지 않는다.

제26도에 도시된 시스템은 SDRAM 소자(246)를 구비하며, 상기 SDRAM 소자는 신호가 입력 및 출력되는 신호 입력/출력 단자(247), 0.65V의 기준 전압(Vref)을 수신하는 기준 전압 입력 단자(248), 전원 전압(VCC)을 수신하는 VCC 전원 단자(249) 및 입력 회로(250)를 포함한다.

제27도는 제25도에 도시된 중단 유닛(241)의 특성 그래프이다. 상기 그래프의 수평축은 버스 라인(240)의 전압을 나타내며 상기 수평축의 (+)측은 pMOS 트랜지스터(237)가 턴온되고 nMOS 트랜지스터(238)가 턴오프 되는 경우 VCCQ 전원 라인(235)에서 pMOS 트랜지스터(237), 버스 라인(240), 저항(245), 다이오드(243) 및 접지의 순으로 흐르는 전류(i_5)의 크기를 나타낸다. 수직축의 (-)측은 VCCQ 전원 라인(229)에서 다이오드(242), 저항(244), 버스 라인(240), nMOS 트랜지스터(238) 및 접지순으로 흐르는 전류(i_6)의 크기를 나타낸다.

본 발명의 제6 실시예에서 pMOS 트랜지스터(237)가 턴온되고 nMOS 트랜지스터(238)가 턴오프 되는 경우 전류(i_5)는 pMOS 트랜지스터(237)를 통하여 VCCQ 전원 라인(235)에서 버스 라인(240)으로 흐르며, 이에 따라서 버스 라인(240)의 전압은 증가되기 시작한다. 그리고 나서, 버스 라인(240)의 전압이 0.65V의 다이

오드 순방향 전압을 초과하는 경우 다이오드(243)가 턴온되어 전류(i_5)는 저항(245)과 다이오드(243)에 흐른다. 그리고나서, 버스 라인(240)의 전압은 $0.65V$ (다이오드(243)의 순방향 전압) $+15\Omega$ (저항(245)의 저항값) $\times 0.01mA$ (pMOS 트랜지스터(237)의 구동 전류)에 해당하는 $0.8V$ 까지 상승한다.

pMOS 트랜지스터(237)가 턴오프되고 nMOS 트랜지스터(238)가 턴온될 경우 전류가 nMOS 트랜지스터(238)를 통해 버스 라인(240)으로부터 접지로 흘러 버스 라인(240)의 전압이 감소된다. 다음, 버스 라인(240)의 전압이 $0.65V$ 의 다이오드(242) 순방향 전압 보다 낮아질 경우 다이오드(242)는 턴온되고 다이오드(242)와 저항(244)에서 전류(i_6)가 흐르기 시작한다. 이때, 버스 라인(240)의 전압은 $1.2V-0.65V$ (다이오드(242)의 순방향 전압) $\times 0.01mA$ (nMOS 트랜지스터(238)의 구동 전류)인 $0.4V$ 로 감소한다.

상기 언급된 바와 같이, 본 발명의 제6 실시예에 따르면, 출력 레벨이 출력 회로(236)로부터 출력되는 경우에는 VCCQ 전원 라인(229)으로 전혀 전류가 흐르지 않기 때문에, 종단 전압(VTT)이 $1.2V$ 의 전원 전압(VCCQ)과 동일하게 되어 안정성이 보장될 수 있다.

신호가 출력 회로(236)에 입력되거나 출력 회로(236)로부터 출력될 때에는 다이오드(242, 243)는 부도통 상태로 된다. 따라서, 다이오드(242) 또는 다이오드(243)가 도통상태로 스위칭될때까지 전송된 신호는 반사될 것이다. 그러나, 상기 반사는 매우 작고 사실상 신호 전송에는 거의 영향을 미치지 않는다.

또한, 본 발명의 제6 실시예에 따르면 버스 라인(240)을 통해 신호가 전송되지 않는한 종단 유닛(241)에는 전혀 전류가 흐르지 않기 때문에 전력 소비가 감소될 수 있다.

아울러, 본 발명의 제6 실시예의 입/출력 회로는 본 발명의 제1 실시예의 입/출력 회로와 동일하게 구성되고, 출력 구동 회로 및 출력 회로(110~114)는 본체 회로를 구동하는 $3.3V$ 의 전원 전압(VCC) 보다 낮은 $1.2V$ 의 전원 전압(VCCQ)에 의해 구동된다. 이러한 점에서 또한 전력 소비가 감소될 수 있다.

본 발명의 제6 실시예에서 종단 유닛(241)은 신호의 입력 또는 출력 시에 출력 회로(236) 측에서 볼 때 개방된다. 따라서, 버스 라인(240)의 전압은 급속히 변경되고, 그 후 종료가 증가된다. 결과적으로 다수의 부하가 버스 라인(240)에 접속되고 버스 라인(240)의 유효 임피던스가 작은 경우에는 저항(244, 245)의 임피던스 정합을 이루기 위해 감소된 저항값을 갖도록 설계되더라도 충분한 진폭을 얻을 수 있게 된다.

이제, 본 발명의 제7 실시예에 따른 전자 시스템을 제28~30도를 참고로 설명한다. 제7 실시예에서, 종단 유닛(252)은 종단 유닛(241)과 다른 구성을 갖는다. 본 발명의 제7 실시예의 다른 부분은 제26도에 도시된 본 발명의 제6 실시예의 부분과 동일하다.

종단 유닛(252)은 제26도에 도시된 다이오드(242)와 저항(244) 대신에 VCCQ 전원 라인(229)과 버스 라인(240) 사이에 제공된 다이오드 접속 증가형 pMOS 트랜지스터(253)와, 제26도에 도시된 다이오드(243)와 저항(245) 대신에 버스 라인(240)과 접지 사이에 제공되는 다이오드 접속 nMOS 트랜지스터(254)를 갖는다.

다이오드 접속 nMOS 트랜지스터(253, 254)의 각각의 드레인과 소스 양단에 인가되는 전압(V)과 이들 각각의 드레인과 소스 사이에 흐르는 전류간의 관계는 다음과 같다;

$$I = \beta(V - V_{TH})^2 / 2$$

여기서, β 는 이득 상수이다.

전송된 신호의 고레벨 및 저레벨 전압이 각각 $0.8V$ 와 $0.4V$ 로 설정될 경우 nMOS 트랜지스터(253, 254) 각각의 드레인과 소스 양단에 인가되는 전압(V)은 $0.8V$ 로 된다. 따라서, pMOS 트랜지스터(237)와 nMOS 트랜지스터(238)의 구동 전류가 $10mA$ 일 경우, β 는 $10 \times 10^{-3} = \beta(0.8 - 0.65^2)$ 로부터 0.44 가 되는데, 여기서 β 는 $\beta = \mu C_{ox}W/L$ 로 표시될 수 있으며, 여기서 μ 는 유효 이동도로서 대략 $400cm^2/vs$ 로 되고 C_{ox} 는 단위 영역당 게이트 커패시턴스이다.

따라서, 게이트 산화 필름이 $10nm$ 이고 nMOS 트랜지스터(253, 254) 각각에서 $W/L=3300$ 일 경우 제29도에 도시된 바와 같은 종단 유닛(252)의 특성이 얻어질 수 있다. 제29도에서 수평축은 버스 라인(240)의 전압을 나타내고, 수직축의 정(+)의 축은 VCCQ 전원 라인(235)으로부터 pMOS 트랜지스터(237)와 버스 라인(240)을 통해 nMOS 트랜지스터(254)로 흐르는 전류(i_7)의 크기를 나타낸다. 수직축의 부(-)의 축은 VCCQ 전원 라인(229)으로부터 nMOS 트랜지스터(253)와 버스 라인(240)을 통해 nMOS 트랜지스터(238)로 흐르는 전류(i_8)의 크기를 나타낸다.

본 발명의 제7 실시예에서, pMOS 트랜지스터(237)가 턴온되고 nMOS 트랜지스터(238)가 턴오프될 경우 VCCQ 전원 라인(235)으로부터 버스 라인(240)으로 전류(i_7)가 흘러 버스 라인(240)의 전압이 증가된다. 그 다음, 버스 라인(240)의 전압이 $0.65V$ 인 nMOS 트랜지스터(254)의 임계 전압(V_{TH})을 초과할 경우 nMOS 트랜지스터(254)는 턴온되고, 따라서 전류(i_7)는 nMOS 트랜지스터(254)로 흐르기 시작한다. 그 후, 버스 라인(240)의 전압은(nMOS 트랜지스터(254)의 온(ON)저항) $\times 0.01mA$ (pMOS 트랜지스터(237)의 전류 구동 능력)과 동일한 $0.8V$ 로 증가된다.

pMOS 트랜지스터(237)가 턴오프되고 nMOS 트랜지스터(238)가 턴온될 경우 버스 라인(240)으로부터 nMOS 트랜지스터(238)를 통해 접지로 전류(i_8)가 흘러 버스 라인(240)의 전압이 감소한다. 그 다음, 버스 라인(240)의 전압이 $0.65V$ 인 nMOS 트랜지스터(253)의 임계전압(V_{TH}) 보다 더 낮을 경우 nMOS 트랜지스터(238)는 턴온되어 전류(i_8)가 nMOS 트랜지스터(238)에서 흐르기 시작한다. 그 후, 버스 라인(240)의 전압은 $1.2V-(nMOS 트랜지스터(238)의 온 저항)\times 0.01mA$ (nMOS 트랜지스터(238)의 전류 구동 능력)과 동일한 $0.4V$

로 감소한다.

상기한 바와 같이, 본 발명의 제7 실시예에 따르면 출력 회로(236)에 의해 고레벨 출력이 출력되더라도 VCCQ 전원 라인(229)으로 전혀 전류가 흐르지 않기 때문에 종단 전압(VTT)=VCCQ=1.2V로 되는 안정성이 보장될 수 있다.

출력 회로(236)로 부터의 신호가 입력 또는 출력될때에 nMOS 트랜지스터(253, 254)는 부도통 상태로 된다. 따라서, nMOS 트랜지스터(253) 또는 nMOS 트랜지스터(254)가 도통 상태로 스위칭될때까지 전송된 신호의 반사가 일어날 수 있다. 그러나, 상기 반사는 매우 작아서 신호 전송에는 거의 영향을 미치지 않는다.

또한, 본 발명의 제7 실시예에 따르면 버스 라인(240)을 통해 신호가 전송되지 않는 한 종단 유닛(252)에는 전혀 전류가 흐르지 않기 때문에 전력 소비가 감소될 수 있다.

또한, 출력 회로는 본체 회로를 구동하기 위한 3.3V의 전원 전압(VCC)보다 낮은 1.2V의 전원 전압(VCCQ)에 의해 구동된다. 이러한 점에서 또한, 전력 소비가 감소될 수 있다.

본 발명의 제7 실시예에서, 종단 유닛(252)은 신호의 입력 또는 출력 시 출력 회로(236) 측에서 볼 때 개방된다. 따라서, 버스 라인(240)의 전압은 급속하게 변경되고 그 후 종료가 증가된다. 결과적으로 다수의 부하가 버스 라인(240)에 접속되고 버스 라인(240)의 유효 임피던스가 작을 경우에는 충분한 진폭을 얻을 수 있다.

더욱이, nMOS 트랜지스터(235, 254)의 내부 저항이 다이오드의 내부 저항보다 클 경우 제26도에 도시된 저항(244, 245)은 제거될 수 있다. 따라서, 단순한 구성의 회로가 제공될 수 있다.

종단 유닛(252)이 8 비트 데이터를 입력 및 출력시킬 수 있는 DRAM장치에 접속되는 버스를 종료시키는 유닛으로 사용되는 경우에, 제30도에 도시된 바와 같이, 각 부분은 종단 모듈을 형성하도록 적절히 집적될 수 있다. 제30도에는 종단 모듈 본체(255)와, 기준 전압(Vref)을 발생시키는 저항(256, 257)이 제공된다.

이제, 본 발명의 제8 실시예에 따른 전자 시스템을 제31~35도를 참고로 설명한다.

제31도는 본 발명의 제8 실시예에 따른 전자 시스템의 필수 부분의 회로도이다. 제31도에 도시된 전자 시스템은 제26도에 도시된 종단 유닛(241)과 다른 구조를 갖는 종단 유닛(259)을 갖는다. 이 종단 유닛(259)은 제26도에 도시된 다이오드(242)와 저항(244) 대신에 VCCQ 전원 라인(229)과 버스 라인(240) 사이에 접속되는 증가형 nMOS 트랜지스터(260)와, 다이오드(243)와 저항(245) 대신에 버스 라인(240)과 접지 사이에 제공되는 증가형 pMOS 트랜지스터(261)를 포함한다. 트랜지스터(260, 261)는 각각 소스플로워 회로를 형성한다. 즉, 종단 유닛(259)은 nMOS 트랜지스터(260)와 pMOS 트랜지스터(261)로 형성되는 상보형 소스 플로워 회로로 형성된다.

또한, 본 발명의 제8 실시예의 전자 시스템은 종단 유닛(259)에 바이어스 전압(VN, VP)을 공급하기 위해 바이어스 전압 발생 회로(262)를 구비한다. 본 발명의 제8 실시예의 다른 부분은 제6 실시예의 대응 부분과 동일하다.

바이어스 전압(VN, VP), nMOS 트랜지스터(260)의 임계 전압(V_{TH-n}) 및 pMOS 트랜지스터(261)의 임계 전압(V_{TH-p})간의 관계는 다음과 같다:

$$V_N - V_P \geq V_{TH-N} + |V_{TH-P}|$$

즉, 버스 라인(240)을 통해 신호가 전혀 전송되지 않을 경우에 nMOS 트랜지스터(260)와 pMOS 트랜지스터(261)는 부도통 상태로 세트된다.

상기 바이어스 전압 발생 회로(262)는 제32도에 도시된 바와 같이 발생된다. 제32도에서는 전원 전압(VCC)이 공급되는 VCC 전원 라인(264)과, 전원 전압(VSS)이 공급되는 VSS 전원 라인(265)이 제공된다. 상기 회로(262) 또한 nMOS 트랜지스터(260)에 공급될 바이어스 전압(VN)을 발생시키는 연산 증폭기(266)와, pMOS 트랜지스터(261)에 공급될 바이어스 전압(VP)을 발생시키는 연산 증폭기(267)를 포함한다. 또한, 연산 증폭기(266), 입력 회로(제31도) 및 연산 증폭기(267)에 각각 기준 전압(Vref 266), 기준 전압(Vref) 및 기준 전압(Vref 267)을 제공하기 위해 저항(268~271)이 사용된다.

연산 증폭기(266)는 제33도에 도시된 바와 같이 구성된다. 연산 증폭기(266)는 차동 증폭 회로(272, 273)를 포함한다. 차동 증폭 회로(272)는 부하로서 작용하는 전류 미러 회로를 형성하는 증가형 pMOS 트랜지스터(274, 275)를 포함한다. 연산 증폭기(266)는 또한 구동 트랜지스터로서 작용하는 증가형 nMOS 트랜지스터(266, 277)와, 저항으로서 작용하는 증가형 nMOS 트랜지스터(278)를 포함한다.

차동 증폭 회로(273)는 저항으로서 작용하는 증가형 pMOS 트랜지스터(279), 구동 트랜지스터로서 작용하는 증가형 pMOS 트랜지스터(280, 281) 및 부하로서 작용하는 증가형 nMOS 트랜지스터(282, 283)를 포함한다. 연산 증폭기(266)는 출력 회로(284)를 포함하며, 이 출력 회로(284)는 풀업 소자로서 작용하는 증가형 pMOS 트랜지스터(285)와 풀다운 소자로서 작용하는 증가형 nMOS 트랜지스터(286)를 갖는다.

이와 같이 형성된 연산 증폭기(266)는 전원 전압(VCC)의 변화에 무관한 일정한 바이어스 전압(VN)을 제공할 수 있다.

연산 증폭기(267)는 제34도에 도시된 바와 같이 구성된다. 연산 증폭기(267)는 차동 증폭 회로(287, 288)를 포함한다. 차동 증폭 회로(287)는 부하로서 기능하는 전류 미러 회로를 형성하는 증가형 pMOS 트랜지스터(289, 290)를 포함하고, 또한 구동 트랜지스터로서 기능하는 증가형 nMOS 트랜지스터(291, 292)와

저항으로서 기능하는 증가형 nMOS 트랜지스터(293)를 포함한다.

자동 증폭 회로(288)는 저항으로서 기능하는 증가형 pMOS 트랜지스터(294), 구동 트랜지스터로서 기능하는 증가형 pMOS 트랜지스터(295, 296), 및 부하로서 기능하는 증가형 nMOS 트랜지스터(297, 298)를 포함한다. 또한, 연산 증폭기(267)는 풀업 소자로서 기능하는 증가형 pMOS 트랜지스터(300)와 풀다운 소자로서 기능하는 증가형 nMOS 트랜지스터(301)로 형성되는 출력 회로(299)를 포함한다.

이와 같이 형성된 연산 증폭기(267)는 전원 전압(VCC)의 변화에 무관한 일정한 바이어스 전압(VP)을 제공할 수 있다.

제35도는 종단 유닛(259)의 특성 그래프인데, 여기서 수직축은 버스 라인(240)의 전압을 나타내고 수직축의 정(+)의 축은 전류(i_9)의 크기를 나타내며, 이 전류(i_9)는 pMOS 트랜지스터(237)가 턴온되고 nMOS 트랜지스터(238)가 턴오프될 경우 pMOS 트랜지스터(237)와 버스 라인(240)을 통해 VCCQ 전원 라인(235)으로부터 pMOS 트랜지스터(261)로 흐른다. 상기 그래프의 수직축의 부(-)의 축은 전류(i_{10})의 크기를 나타내고, 이 전류(i_{10})는 pMOS 트랜지스터(237)가 오프되고 nMOS 트랜지스터(238)가 온일 경우 nMOS 트랜지스터(260)와 버스 라인(240)을 통해 VCCQ 전원 라인(229)으로부터 pMOS 트랜지스터(238)로 흐른다.

본 발명의 제8 실시예에 따르면 전류(i_9)는 pMOS 트랜지스터(237)가 턴온되고 nMOS 트랜지스터(238)가 턴오프될 경우 pMOS 트랜지스터(237)를 통해 VCCQ 전원 라인(235)로부터 버스 라인(240)으로 흐른다. 따라서, 버스 라인(240)의 전압이 증가된다. 버스 라인(240)의 전압이 전원($V_p - V_{TH-p}$) 보다 클 때 pMOS 트랜지스터(261)가 턴온되어 pMOS 트랜지스터(261)에서 전류가 흐르고, 버스(240)의 전압이 예컨대 0.8V인 고레벨 전압으로 증가된다.

pMOS 트랜지스터(237)가 턴오프되고 nMOS 트랜지스터(238)가 턴온되는 경우 전류(i_{10})는 nMOS 트랜지스터(238)를 통해 버스 라인(240)으로부터 접지로 흘러 버스 라인(240)의 전압이 감소된다. 그 후, 버스 라인(240)의 전압이 $V_N - V_{TH-N}$ 보다 작아질 경우 nMOS 트랜지스터(260)가 턴온되어 전류가 nMOS 트랜지스터(260)에서 흐르고 버스 라인(240)의 전압이 예컨대, 0.4V인 저레벨 전압으로 감소된다.

상기와 같이 본 발명의 제8 실시예에 따르면, 출력 회로(236)에 고레벨 출력이 출력되더라도 VCCQ 전원 라인(229)으로 전혀 전류가 흐르지 않기 때문에 종단 전압 $V_{TT} = V_{CCQ} = 1.2V$ 의 안정성이 보장될 수 있다.

출력 회로(236)로 부터의 신호가 입력 또는 출력 될 때에 nMOS 트랜지스터(260, 261)는 부도통 상태로 된다. 따라서, nMOS 트랜지스터(260) 또는 pMOS 트랜지스터(261)가 도통 상태로 스위칭 될 때까지는 전송된 신호의 반사가 발생할 수 있다. 그러나, 상기 반사는 매우 작아 신호 전송에 거의 영향을 미치지 않는다.

또한, 본 발명의 제8 실시예에 따르면, 버스 라인(240)을 통해 신호가 전송되지 않는 한 전송 유닛(259)에는 전혀 전류가 흐르지 않기 때문에 전력 소비가 감소될 수 있다.

각각 nMOS 트랜지스터(260)와 pMOS 트랜지스터(261)에 공급될 바이어스 전압(V_N , V_P)은 저항에 의한 전압 분할로 발생하는 것이 아니라 자동 증폭 회로를 포함하는 바이어스 전압 발생 회로(262)에 의해 발생된다. 이와 같은 구조 때문에, 소스측으로부터 전류가 유도될 때 게이트와 소스 사이의 기생 커패시턴스로 인한 게이트 전압의 변경이 방지될 수 있다.

이제, 본 발명에 따라 제9 실시예에 전자 시스템을 제36도를 참고로 설명한다. 제36도에 도시된 시스템은 마이크로프로세서의 입력 회로(303)와, 3.3V인 전원 전압(VCC)이 공급되는 VCC 전원 라인(304)을 포함하고, 또한 마이크로프로세서의 출력 회로(305)를 포함한다. 출력 회로(305)는 1.2V의 전원 전압(VCCQ)이 공급되는 VCCQ 전원 라인(306), 풀업 소자로서 기능하는 공핍형(depletion type) pMOS 트랜지스터(307, 및 풀다운 소자로 기능하는 증가형 nMOS 트랜지스터(308)로 형성된다.

또한, 제36도에 도시된 시스템은 SDRAM 소자의 입력 회로(309)를 포함한다. 이 입력 회로(309)는 부하로서 기능하는 증가형 pMOS 트랜지스터(310, 311)과, 전류 미러 회로를 형성하는 증가형 nMOS 트랜지스터(312, 313)를 포함한다. 또한, 이 입력 회로(309)는 신호파형의 모양을 형성시키는 인버터(314), 증가형 pMOS 트랜지스터(315), 및 증가형 nMOS 트랜지스터(316)를 포함한다.

제36도에 도시된 시스템은 출력 회로(317)를 포함하고, 이 출력 회로(317)는 풀업 소자로 기능하는 공핍형 nMOS 트랜지스터(318)와, 풀다운 소자로 기능하는 증가형 nMOS 트랜지스터(319)를 갖는다. 제36도에 도시된 바와 같이, VCCQ 전원 라인(320), 신호 전송로로서 작용하는 버스 라인(321), 버스 라인(321)을 종료시키는 종단 유닛(322, 323), 각각 0.65V의 순방향 전압을 갖는 다이오드(324~327), 및 각각 15 Ω 의 저항값을 갖는 저항(328~331)이 제공된다.

제36도에 도시된 시스템은 기준 전압(V_{ref})을 발생시키는 기준 전압 발생 회로(332)를 포함한다. 이 회로(332)는 각각 순방향 전압 0.65V를 갖는 다이오드(333, 334)와 저항(335, 336)을 포함한다.

본 발명의 제9 실시예에 따르면 전류(i_{ref})는 nMOS 트랜지스터(313), 저항(336) 및 다이오드(334)를 통해 pMOS 트랜지스터(311)로부터 접지로 흐른다. 따라서, 노드(337)의 전압, 즉 기준 전압(V_{ref})은 다이오드(334)의 순방향 전압인 0.65V로 세트된다. 결과로서, 버스 라인(321)을 통해 신호가 전송되지 않을 경우 전류(i_{in})는 nMOS 트랜지스터(321), 버스 라인(312), 저항(329, 331) 및 다이오드(325, 327)를 통해 pMOS 트랜지스터(310)으로부터 접지로 흐른다. 따라서, 버스 라인(321)의 전압은 기준 전압(V_{ref})의 경우와 같이 0.65V로 세트된다.

출력 회로(305)에서 pMOS 트랜지스터(307)가 턴오프되고 nMOS 트랜지스터(308)가 턴온될 경우 전류는 VCCQ 전원 라인(320), 다이오드(324, 326), 저항(328, 330), 버스 라인(321), nMOS 트랜지스터(308) 및 접지에서 흐른다. 따라서, 버스 라인(321)의 전압은 예컨대 0.4V로 감소된다. 따라서 nMOS 트랜지스터(312)의 드레인은 저레벨로 되고, 인버터(314)의 출력은 고레벨로 된다.

출력 회로(305)에서 nMOS 트랜지스터(307)가 턴온되고 nMOS 트랜지스터(308)가 턴오프되는 경우 전류는

VCCQ 전원 라인(306), nMOS 트랜지스터(307), 버스 라인(321), 저항(329, 311), 다이오드(325, 327) 및 접지에서 흐른다. 따라서, 버스 라인(321)의 전압은 예컨대 0.8V로 증가된다. 따라서, nMOS 트랜지스터(312)의 드레인은 고레벨로 되고, 인버터(314)의 출력은 저레벨로 된다.

본 발명의 제9 실시예에서, 기준 전압 $V_{ref}=0.65V$ 이기 때문에 저레벨 신호가 버스 라인(321)을 통해 전송될 때 버스 라인(321)이 0.4V로 감소되는데 필요한 시간은 고레벨 신호가 버스 라인(321)을 통해 전송될 때 버스 라인(321)이 0.8V로 증가되는데 걸리는 시간 보다 더 길어질 수 있다. 그러나, 이것은 출력 회로의 풀다운 소자로서 이용되는 nMOS 트랜지스터(308, 319)의 구동 능력을 증가시킴으로써 방지될 수 있다.

본 발명의 제9 실시예에 따르면, 출력 회로(305, 317)가 고레벨 신호를 출력하더라도 VCCQ 전원 라인(320)에는 전류가 흐를 수 없다. 따라서, 종단 전압(VTT)이 1.2V인 VCCQ로 되는 안정성이 보장될 수 있다.

신호가 출력 회로(305, 317)로 입력되거나 출력 회로(305, 317)로부터 출력되는 때에 다이오드(324~327)는 부도통상태로 된다. 따라서, 다이오드(324, 325) 또는 다이오드(326, 327)가 도통 상태로 스위칭 될 때까지 전송된 신호의 반사가 일어날 수 있다. 그러나 상기 반사는 매우 작아 신호 전송에 거의 영향을 미치지 않는다.

본 발명의 제9 실시예에 따르면, 출력 회로(305, 317)가 입력 회로(303, 309)와 본체 회로를 구동하는 3.3V의 전원 전압보다 낮은 1.2V의 전원 전압(VCCQ)에 의해 구동되기 때문에 전력 소비가 감소될 수 있다.

이제, 버스 라인에 접속되는 장치의 입력 회로에서의 개량 사항을 기술하도록 하겠다.

제37도는 pMOS 트랜지스터(416, 417), nMOS 트랜지스터(418, 419) 및 인버터(420)를 포함하는 입력 회로의 회로도이다. pMOS 트랜지스터(416, 417)는 각각 제36도에 도시된 pMOS 트랜지스터(310, 311)에 대응하고, nMOS 트랜지스터(418, 419)는 각각 제36도에 도시된 nMOS 트랜지스터(312, 313)에 대응한다. 신호 파형의 모양을 형성시키는 인버터(420)는 제36도에 도시된 인버터(314)에 대응한다. nMOS 트랜지스터(418, 419)는 전류 미러 회로를 형성한다. 전송 신호(D_{IN})는 nMOS 트랜지스터(418)의 소스에 공급되고, 기준 전압(V_{ref})은 nMOS 트랜지스터(419)의 소스에 공급된다. 인버터(420)는 nMOS 트랜지스터(418)의 드레인(노드(421))에 접속되고 노드(421)에서 얻어지는 신호의 파형의 모양을 형성시킨다.

제38도는 $V_{IN}-V_{REF}$ 의 차(즉, nMOS 트랜지스터(418)의 소스에 입력되는 종단 신호(D_{IN})와 nMOS 트랜지스터(419)의 소스에 인가되는 기준 전압(V_{ref})간의 차)와 nMOS 트랜지스터(418)의 드레인 전압간의 관계를 나타내는 그래프이다. 즉, nMOS 트랜지스터(418, 419)는 전류 미러 회로를 형성하기 때문에, nMOS 트랜지스터(418)의 드레인 전압은 nMOS 트랜지스터(419)의 드레인 전압(노드(422)의 전압)과 동일하게 되므로서 $V_{IN}=V_{REF}$ 일 때 $V_{REF}+V_{TH}+\Delta V_{TH}$ 와 동일하게 된다. 여기서 V_{TH} 는 nMOS 트랜지스터(418, 419)의 임계 전압을 나타내고, ΔV_{TH} 는 nMOS 트랜지스터(418, 419)의 부임계 전류(sub-threshold current)를 고려하여 임계 전압(V_{TH})을 보정하는 전압을 나타낸다.

$V_{IN} < V_{REF}$, 즉 $V_{IN}-V_{REF} < 0$ 일 때 nMOS 트랜지스터(418)의 게이트-소스 전압은 감소되는 한편, 그것의 내부 저항은 감소된다. 따라서, nMOS 트랜지스터(418)의 드레인 전류는 증가되고, 그것의 드레인 전압은 $V_{REF}+V_{TH}+\Delta V_{TH}$ 보다 커진다.

$V_{IN} > V_{REF}$, 즉 $V_{IN}-V_{REF} > 0$ 일 때 nMOS 트랜지스터(418)의 게이트-소스 전압은 증가되는 한편, 그것의 내부 저항은 감소된다. 따라서, nMOS 트랜지스터(418)의 드레인 전류는 증가되고, 그것의 드레인 전압은 $V_{REF}+V_{TH}+\Delta V_{TH}$ 보다 낮아진다.

nMOS 트랜지스터(419)의 게이트-소스 전압은 예컨대, 1V로 세트되고 nMOS 트랜지스터(418)의 드레인 전압은 1.65V인 VCC/2에서 진동하도록 세트된다. 또한, nMOS 트랜지스터(418)는 소위 펜트우드(pentode) 동작 범위, 즉 큰 상호 컨덕턴스가 유효한 범위에서 동작하도록 세트된다. 상기 구성에 의해 고이득, 고대역폭의 특성이 얻어질 수 있다.

제37도에 도시된 입력 회로는 각각의 비트에 대해 제공된다. 일반적으로, 반도체 집적 회로 장치의 외부 단자의 수에 대한 제한으로 인해 입력 회로에 각각의 기준 전압 입력 단자를 제공하는 것은 불가능하다.

따라서, 제39도에 도시된 바와 같이, 기준 전압(V_{ref})에 대한 단일 기준 전압 입력 단자가 복수의 입력 회로에 공통으로 제공된다. 제39도에서 $D_{IN(1)}$, $D_{IN(2)}$, ..., $D_{IN(n)}$ 은 입력 단자(423₁, 423₂, ..., 423_n)와 입력 보호 회로(425₁, 425₂, ..., 425_n)를 통해 수신하여 출력 신호의 파형 모양을 형성시키는 인버터(430₁, 430₂, ..., 430_n)를 통해 출력 신호($D_{OUT(1)}$, $D_{OUT(2)}$, $D_{OUT(n)}$)를 공급하는 입력 회로(429₁, 429₂, ..., 429_n)에 각각 공급된다. 출력 보호 회로(425₁, 425₂, ..., 425_n)는 정전 방전으로부터 회로를 보호하는 작용을 한다.

그러나, 제39도에 도시된 구조에서는 기준 전압 입력 단자(424)가 입력 회로(429₁, 429₂, ..., 429_n)에 공통으로 사용되기 때문에 기준 전압 입력 단자(424)에 흐르는 dc 바이어스 전류에 의해 발생하는 입력 보호 회로(426)의 내부 저항(428) 양단에서의 전압 강하로 인해 기준 전압(V_{REF})에서 큰 오프셋이 일어날 수 있다.

단일 nMOS 트랜지스터(419)의 dc 바이어스 전류가 i_{DC} 로 표시되고 $n=8$ 이라고 가정하면, $8 \times i_{DC}$ 의 크기를 갖는 전류가 입력 보호 회로(426)에 흐른다. 입력 회로 회로(426)가 내부 저항(428)을 R_{426} 으로 표시하면, 입력 보호 회로(426)의 내부 저항(428) 양단에서의 전압 강하(ΔV_{428})는 $8 \times i_{DC} \times R_{426}$ 이 된다. 예컨대, 8 비트가 입력되고($N=8$), $i_{DC}=0.1mA$, 그리고 $R_{28}=500\Omega$ 일 때, 입력 보호 회로(426)의 내부 저항(428) 양단에서

의 전압 강하(ΔV_{428})는 $8 \times 0.1 \times 10^{-3} \times 500 = 0.4V$ 가 된다.

상기 언급된 표준 GTL에서, 기준 전압 입력 단자(424)에 인가되는 기준 전압(V_{REF})은 0.8V이다. 그러므로, 입력 보호 회로(426)의 나머지 단자의 전압(내부 기준 전압)은 $1.2V (= 0.8 + 0.4)$ 이다. 그러나, 표준 GTL에서 정의되는 고레벨 입력 전압(V_{IH})은 $0.8V \times 50mV$ 이고, 저레벨 입력 전압(V_{IL})은 $0.8V - 50mA$ 이다.

제40도는 상기 사항을 고려하여 입력 회로를 개선시킨 본 발명의 제10 실시예에 따른 입력 회로의 회로도이다. 제40도에 도시된 입력 회로는 전송 신호 입력 단자($431_1, 431_2, \dots, 431_n$), 기준 전압 입력 단자(432), 입력 보호 회로($433_1, 433_2, \dots, 433_n$ 및 434), 및 내부 저항($435_1, 435_2, \dots, 435_n$ 및 436)을 포함한다. 입력 회로(437)는 전송 신호($D_{IN(1)}, D_{IN(2)}, \dots, D_{IN(n)}$)에 대한 논리를 결정하는 논리 판정 회로($438_1, 438_2, \dots, 438_n$)를 포함한다. 이 논리 판정 회로(438_1)는 전원 전압(VCC)이 공급되는 전원 라인(439), 부하 소자, 및 입력 트랜지스터로 작용하는 n 채널 절연 게이트형 전계 효과 트랜지스터(441)를 포함한다. 또한, 입력 회로(437)는 논리 판정 회로($438_1, 438_2, \dots, 438_n$)의 n 채널 절연 게이트형 전계 효과 트랜지스터의 게이트에 공급되는 내부 기준 전압(V_1)을 발생시키는 내부 기준 전압 발생 회로(442)를 포함한다.

이 내부 기준 전압 발생 회로(442)를 전원 전압(VCC)이 공급되는 전원 라인(443), 부하 소자(444), 및 논리 판정 회로($438_1, 438_2, \dots, 438_n$)의 각각의 트랜지스터와 협동하여 전류 미러 회로를 형성하는 n 채널 절연 게이트형 전계 효과 트랜지스터(445)를 포함한다. 또한, 커패시터(446)는 트랜지스터(441)의 게이트와 입력 보호 회로(434)의 내부 단부 사이에 제공된다.

또한, 논리 판정 회로($438_1, 438_2, \dots, 438_n$)의 트랜지스터(441)의 드레인에서 얻어진 신호의 파형의 모양을 형성시키는 인버터($447_1, 447_2, \dots, 447_n$)가 제공된다. 전송 신호 입력 단자($431_1, 431_2, \dots, 431_n$)는 입력 보호 회로($433_1, 433_2, \dots, 433_n$)를 통해 트랜지스터(441)의 소스에 접속된다. 기준 전압 입력 단자(432)는 내부 기준 전압 발생 회로(442)의 트랜지스터(445)의 소스에 접속된다.

전송 신호(D_{IN})를 수신하는 n 채널 절연 게이트형 전계 효과 트랜지스터(441)는 큰 상호 컨덕턴스(gm)와 높은 차단 주파수(cut off frequency)를 갖는다. 이 트랜지스터(441)는 제37도에 도시된 입력 회로의 nMOS 트랜지스터(418)와 동일한 방식으로 펜트우드 동작 범위에서 동작될 수 있다. 또한, 단일 내부 기준 전압 발생 회로(442)는 논리 판정 회로($438_1, 438_2, \dots, 438_n$)에 공통으로 제공된다. 따라서, 논리 판정 회로($438_1, 438_2, \dots, 438_n$)에서 흐르는 dc 바이어스 전류는 내부 기준 전압 발생 회로(442)에서 흐르는 dc 바이어스 전류와 동일하다.

따라서, 입력 보호 회로($433_1, 433_2, \dots, 433_n$)의 내부 저항($435_1, 435_2, \dots, 435_n$ 및 436)이 서로 동일한 경우 입력 보호 회로(434)의 내부 저항(436) 양단의 전압 강하(ΔV_{REF})는 dc 바이어스 전류가 흐르는 내부 저항($435_1, 435_2, \dots, 435_n$) 각각의 양단의 전압 강하($\Delta V_{IN1}, \Delta V_{IN2}, \dots, \Delta V_{IN}^n$)와 동일하게 된다.

즉, 본 발명의 제10 실시예에 따르면, 입력 보호 회로(434)의 내부 저항(436) 양단에서의 전압 강하는 전송 신호($D_{IN(1)}, D_{IN(2)}, \dots, D_{IN(n)}$)의 전압이 논리 판정 기준 전압(V_{REF})인 0.8V로 될 때 입력 보호 회로($433_1, 433_2, \dots, 433_n$)의 내부 저항($435_1, 435_2, \dots, 435_n$) 양단에서의 전압 강하가 동일하게 된다. 따라서, 논리 판정 회로($438_1, 438_2, \dots, 438_n$)와 내부 기준 전압 발생 회로(442) 사이의 dc 균형을 유지할 수 있게 된다.

또한, 본 발명의 제10 실시예에 따르면, 논리 판정 회로(418)에 인가되는 전송 신호($D_{IN(1)}$)가 고레벨에서 저레벨로 스위칭될 경우 트랜지스터(441)에 흐르는 전류가 증가된다. 이 경우에 제41도에 도시된 바와 같이, 상기 전류의 증가분의 ac 성분(미세 성분)이 n 채널 절연 게이트형 전계 효과 트랜지스터(441)의 게이트와 소스 사이의 기생 커패시턴스를 통해 인가된다.

또한, 상기에 있어서 트랜지스터(441)의 드레인 전압은 감소되는 한편, 트랜지스터(441)의 드레인과 게이트 사이의 기생 커패시턴스는 미러 효과로 인해 사실상 증가된다. 따라서, 트랜지스터(441)의 게이트로부터 드레인으로 전류가 흘러 트랜지스터(441)의 게이트로 흐르는 전류(i_{AC})는 트랜지스터(441)의 소스로 흐르는 전류(i_{AC})보다 커지게 된다.

커패시터(446)가 트랜지스터(445)의 게이트와 입력 보호 회로(434)의 출력 단자 사이에 제공되지 않는다면 내부 기준 전압 발생 회로(442)의 트랜지스터(445)의 게이트 전압은 전송 신호($D_{IN(1)}, D_{IN(2)}, \dots, D_{IN(n)}$)가 동시에 고레벨로부터 저레벨로 변할 때 크게 감소된다. 그러한 변화를 허락한다면, 내부 기준 전압 발생 회로(442)의 다이오드 접속 트랜지스터(445)는 차단되고, 트랜지스터(445)의 게이트 전압, 즉 내부 기준 전압(V_1)은 저레벨로 유지된다. 전송 신호 입력 단자($431_1, 431_2, \dots, 431_n$) 중 어느 것인가에 노이즈가 중첩되면 이 노이즈는 고레벨 신호로서 잘못 결정되게 된다.

그러나, 트랜지스터(445)의 게이트와 입력 보호 회로(434)의 출력 단부 사이에 커패시터(446)가 제공되므로 이 커패시터(446)를 통해 트랜지스터(445)의 게이트에서 흐르는 전류(i_{AC})가 공급될 수 있다. 따라서, 과도기적으로 발생하는 ac 오프셋을 억제할 수 있게 된다.

상기와 같이, 제40도에 도시된 구조는 dc 오프셋의 균형을 유지하고 ac 오프셋을 억제하면서 펜트우드 동작 범위에서 동작할 수 있다. 따라서, 고이득 고대역폭 특성이 고속의 매우 작은 신호 전송에서 얻어질 수 있다. 제40도의 구조는 상기 언급된 표준 GTL을 만족시킬 수 있다.

제42도는 본 발명의 제11 실시예의 회로도로서 상기 언급된 입력 회로의 또다른 개량이다. 제42도에 도시된 내부 기준 전압 발생 회로(448)는 제40도에 도시된 회로(442)와 다른 구조를 갖는다. 제42도에 도시된

구조의 다른 부분은 제40도에 도시된 구조의 대응 부분과 동일하다. 내부 기준 전압 발생 회로(448)는 전압 플로워 회로를 형성하는 연산 증폭기(450)를 포함한다.

본 발명의 제10 실시예의 경우에서와 같이 전송 신호(D_{IN})를 수신하는 n 채널 절연 게이트형 전계 효과 트랜지스터(441)는 큰 상호 컨덕턴스(gm)와 높은 차단 주파수를 갖는다. 이 트랜지스터(441)는 제37도에 도시된 입력 회로의 nMOS 트랜지스터(418)와 동일한 방법으로 펜트우드 동작 범위에서 동작될 수 있다. 또한, 단일 내부 기준 전압 발생 회로(448)는 논리 판정 회로(438₁, 438₂, ..., 438_n)를 위해 공통으로 제공된다. 따라서, 논리 판정 회로(438₁, 438₂, ..., 438_n)를 흐르는 dc 바이어스 전류는 내부 기준 전압 발생 회로(448)를 흐르는 dc 바이어스 전류와 동일하다.

따라서, 입력 보호 회로(433₁, 433₂, ..., 433_n)의 내부 저항(435₁, 435₂, ..., 435_n)이 서로 동일할 경우, 입력 보호 회로(434)의 내부 저항(436) 양단에서의 전압 강하(ΔV_{REF})는 dc 바이어스 전류가 흐르는 내부 저항(435₁, 435₂, ..., 435_n) 각각의 양단에서의 전압 강하(ΔV_{IN1} , ΔV_{IN2} , ..., ΔV_{INn})와 동일하게 된다. 본 발명의 제11 실시예에서 내부 기준 전압(V_1)은 $V_{REF} + V_{REF}$ 가 된다.

즉, 본 발명의 제11 실시예에 따르면, 입력 보호 회로(434)의 내부 저항(436) 양단에서의 전압 강하는 전송 신호($D_{IN(1)}$, $D_{IN(2)}$, ..., $D_{IN(n)}$)의 전압이 논리 판정 기준 전압(V_{REF})인 0.8V로 될 때 입력 보호 회로(433₁, 433₂, ..., 433_n)의 내부 저항(435₁, 435₂, ..., 435_n) 양단에서의 전압 강하와 동일하게 된다. 따라서, 논리 판정 회로(438₁, 438₂, ..., 438_n)와 내부 기준 전압 발생 회로(448)간의 dc 균형을 유지할 수 있다.

연산 증폭기(450)는 그것의 비반전 입력 단자의 전압이 입력 단자의 전압과 같아지도록 궤환 제어된다. 따라서, 연산 증폭기(450)의 출력 단자의 전압, 즉 내부 기준 전압(V_1)은 항상 $V_{REF} + \Delta V_{REF}$ 로 되도록 제어된다. 따라서, 전송 신호($D_{IN(1)}$, $D_{IN(2)}$, ..., $D_{IN(n)}$)가 동시에 고레벨에서 저레벨로 스위칭 하더라도 트랜지스터(441)의 게이트를 흐르는 전류는 내부 기준 전압(V_1)의 감소 없이 연산 증폭기(450)에 의해 공급된다. 따라서, 제40도에 도시된 구조와 동일한 방식으로 과도기적으로 발생하는 ac 오프셋이 억제될 수 있다. 또한, 제42도에 도시된 회로는 동시 스위칭 노이즈에 영향을 받지 않는다.

상기 언급된 바와 같이, 제42도에 도시된 구조는 dc 오프셋의 균형을 유지하고 dc 오프셋을 억제하면서 펜트우드 동작 범위에서 동작할 수 있다. 따라서, 고이득 고대역폭 특성이 고속의 매우 작은 신호 전송에서 얻어질 수 있다. 제42도에 도시된 구조는 상기 언급된 표준 GTL를 만족시킬 수 있다.

제40도에 도시된 구조에서는 전송 신호($D_{IN(1)}$, $D_{IN(2)}$, ..., $D_{IN(n)}$)가 동시에 고레벨에서 저레벨로 변화할 때 ac 성분 전류가 입력 보호 회로(434)에서 흐르기 때문에 각각의 상이한 시스템에 대해 ac 오프셋이 허용될 수 있는 가를 연구해 볼 필요가 있다. 한편, 제42도에 도시된 구조에서는 전송 신호($D_{IN(1)}$, $D_{IN(2)}$, ..., $D_{IN(n)}$)가 동시에 고레벨에서 저레벨로 변화하더라도 이러한 변화로 인한 전류가 입력 보호 회로(434)에 흐르지 않는다. 따라서, 각각의 상이한 시스템에 대해 ac 오프셋이 허용될 수 있는 것인가의 여부를 연구할 필요는 없다. 이러한 관점에서, 제42도에 도시된 구조는 제40도에 도시된 구조보다 더 단순해진다.

제43도는 상기 입력 회로의 또 다른 개량인 본 발명의 제12 실시예의 회로도이다. 제43도에 도시된 회로는 각각 동일한 구조를 갖는 입력 회로(452₁, 452₂, ..., 452_n)를 포함한다. 예컨대, 입력 회로(452₁)는 전송 신호($D_{IN(1)}$)에 대한 논리를 결정하는 논리 판정 회로(453)와, 이 논리 판정 회로(453)에 공급될 내부 기준 전압(V_1)을 발생시키기 위한 내부 기준 전압 발생 회로(454)를 갖는다.

상기 회로(453, 454)에는 전원 전압(VCC)이 공급되는 전원 라인(455), 부하 소자(456, 457) 및 전류 미러 회로를 형성하는 n 채널 절연 게이트형 전계 효과 트랜지스터(458, 459)가 제공된다. 또한, 가변 임피던스 소자(460, 461), 전류 입력 단자(460A, 461A), 전류 출력 단자(460B, 461B) 및 상기 소자(460, 461)의 임피던스 값을 제어하는 제어 단자(460C, 461C)가 제공된다.

전송 신호 입력 단자(431₁, 431₂, ..., 431_n)는 각각 입력 보호 회로(433₁, 433₂, ..., 433_n)를 통해 입력 회로(452₁, 452₂, ..., 452_n)의 가변 임피던스 소자(460)의 제어 단자(460C)에 접속된다. 기준 전압 입력 단자(432)는 입력 보호 회로(434)를 통해 입력 회로(452₁, 452₂, ..., 452_n)의 가변 임피던스 소자(461)의 제어 단자(461C)에 접속된다. 각 입력 신호의 파형 모양을 형성시키는 인버터(447₁, 447₂, ..., 447_n)는 입력 회로(452₁, 452₂, ..., 452_n)의 트랜지스터(458)의 드레인에서 얻어지는 신호를 수신한다.

입력 회로(452₁, 452₂, ..., 452_n)의 논리 판정 회로(453)의 dc 바이어스 전류는 입력 보호 회로(433₁, 433₂, ..., 433_n)에서 흐르지 않고, 내부 저항(435₁, 435₂, ..., 435_n)의 양단에서는 전혀 전압 강하가 발생하지 않는다. 이것은 전송 신호 입력 단자(431₁, 431₂, ..., 431_n)가 입력 보호 회로(433₁, 433₂, ..., 433_n)를 통해 입력 회로(452₁, 452₂, ..., 452_n)의 가변 임피던스 소자(460)의 제어 단자에 접속되기 때문이다.

기준 전압 입력 단자(432)는 입력 보호 회로(434)를 통해 내부 기준 전압 발생 회로(454)의 가변 임피던스 소자(461)의 제어 단자(461C)에 접속된다. 따라서, 내부 기준 회로(454)의 dc 바이어스 전류는 입력 보호 회로(434)에 흐르지 않고, 입력 보호 회로(434)의 내부 저항(436) 양단에서는 내부 기준 전압 발생 회로(454)의 dc 바이어스 전류로 인해 전혀 전압 강하가 발생하지 않는다. 따라서, dc 바이어스 전류에 의해 발생하는 오프셋은 입력 회로(452₁, 452₂, ..., 452_n)의 내부 기준 전압 발생 회로(454)에 의해 발생되는 내부 기준 전압(V_1)상에 중첩되지 않는다.

또한, 고려된 본 발명의 실시예에 따르면, 논리 판정 회로(453)는 각각의 내부 기준 전압 발생 회로(45

4)를 구비한다. 따라서, 내부 기준 전압(V_1)은 전송 신호($D_{IN(1)}, D_{IN(2)}, \dots, D_{IN(n)}$)가 동시에 고레벨에서 저레벨로 변화하더라도 감소되지 않는다. 또한, 제40도에 도시된 제1 구조와 동일한 방식으로 과도적으로 발생하는 ac 오프셋을 억제할 수 있다. 또한, 제43도에 도시된 회로는 동시 스위칭 노이즈에 영향을 받지 않는다.

상기와 같이, 제43도에 도시된 구조는 dc 오프셋의 균형을 유지하고 ac 오프셋을 억제하면서 펜트우드 동작 범위에서 동작할 수 있다. 따라서 고이득 고대역폭 특성이 고속의 매우 작은 신호 전송에서 얻어질 수 있다. 제43도에 도시된 구조는 상기 언급된 표준 GTL를 만족시킬 수 있다.

이제, 제44도를 참고로 본 발명의 제10 실시예를 설명한다. 제44도에서 제40도에 도시된 것과 동일한 부분은 동일한 참조 부호를 부가한다.

제40도에 도시된 부하 소자(440, 444)는 각각 증가형 pMOS 트랜지스터(465, 466)로 형성된다. 또한, n 채널 절연 게이트형 전계 효과 트랜지스터(441, 445)는 각각 증가형 nMOS 트랜지스터(467, 468)로 형성된다. pMOS 트랜지스터(465, 466)의 게이트는 접지되어 저항으로 이용된다. pMOS 트랜지스터(465, 466)의 게이트에 이들 pMOS 트랜지스터 펜트우드 동작 범위에서 동작하게 하고 일정 전류원으로 동작하게 하는 바이어스 전압이 공급되는 경우 이들 트랜지스터가 저항으로 사용될 때 사용된 대역폭에 비해 대역폭이 증가될 수 있다.

이제, 제45도를 참고로 제42도에 도시된 본 발명의 제11 실시예를 설명한다. 제45도에서, 제42, 44도에 도시된 것과 동일한 부분은 동일한 참조 부호를 부가한다.

제42도에 도시된 부하 소자(440, 444)는 각각 증가형 pMOS 트랜지스터(465, 466)로 형성된다. 또한, n 채널 절연 게이트형 전계 효과 트랜지스터(441, 445)는 각각 증가형 nMOS 트랜지스터(467, 468)로 형성된다.

제45도에 도시된 연산 증폭기(450)는 제46도에 도시된 바와 같이 구성된다. 연산 증폭기(450)는 증가형 pMOS 트랜지스터(469~472), 증가형 nMOS 트랜지스터(473~476), 비반전 입력 단자(477), 반전 입력 단자(478), 및 출력 단자(479)로 구성된다. 본 발명의 제10 실시예에서와 같이 pMOS 트랜지스터(465, 466)의 게이트는 접지되어 저항으로 사용된다. 그러나, pMOS 트랜지스터(465, 466)의 게이트에 이들 pMOS 트랜지스터가 펜트우드 동작 범위에서 동작하게 하고 일정 전류원으로 동작하게 하는 바이어스 전압을 공급한다면 이들 트랜지스터가 저항으로서 사용될 때 사용되는 대역폭에 비해 그 대역폭이 증가될 수 있다.

이제, 제47도를 참고로 제43도에 도시된 본 발명의 제12 실시예를 설명한다. 제47도에서 제43도에 도시된 것과 동일한 부분은 동일한 참조 부호를 부가한다.

제43도에 도시된 부하 소자(46, 457)는 각각 증가형 pMOS 트랜지스터(480, 481)로 형성된다. 가변 임피던스 소자(460, 461)는 각각 증가형 pMOS 트랜지스터(482, 483)로 형성된다. 증가형 nMOS 트랜지스터(484, 485)는 각각 n 채널 절연 게이트형 전계 효과 트랜지스터(458, 459)로 사용된다. 가변 임피던스 소자(460, 461)는 증가형 pMOS 트랜지스터 보다는 증가형 nMOS 트랜지스터로 형성될 수 있다. 그러나, 기준 전압이 0.8V 정도로 낮을 때에는 고이득 고대역폭 특성을 얻기 위해 0V와 같거나 0V 보다 낮은 임계 전압을 갖는 공핍형 nMOS 트랜지스터를 적절히 사용할 수 있다.

제48도는 제37도에 도시된 입력 회로와 다른 종래의 입력 회로의 회로도이다. 이 입력 회로는 외부 회로로부터 버스 라인을 통해 전송된 전송 신호(Sin)를 수신하는 신호 입력 단자(501)와, 전송 신호(Sin)에 대한 논리를 판정하기 위한 기준 전압(V_{ref})을 수신하는 기준 전압 입력 단자(502)를 갖는다. 또한, 이 입력 회로는 예컨대 3.3V의 전원 전압을 공급하는 VCC 전원 라인(504)을 갖는 차동 증폭 회로(503)를 포함한다. 이 차동 증폭 회로(503)는 부하로서 기능하는 전류 미러 회로를 형성하는 증가형 pMOS 트랜지스터(505, 506)를 포함한다. 또한, 회로(503)는 구동 트랜지스터로서 기능하는 증가형 nMOS 트랜지스터(507, 508)를 포함한다. 전송 신호(Sin)는 nMOS 트랜지스터(507)의 게이트에 공급되고, 기준 전압(V_{ref})은 nMOS 트랜지스터(508)의 게이트에 인가된다. 또한, 저항으로서 기능하는 증가형 pMOS 트랜지스터(509), 차동 증폭 회로의 출력 단자로서 이용되는 노드(501) 회로(503)의 출력 신호의 파형 모양을 형성시키는 인버터(511)가 제공된다. 인버터(511)는 입력 회로의 출력 신호(Sout)를 제공한다.

전송 신호(Sin)의 레벨이 고레벨일 경우 nMOS 트랜지스터(507)는 온되고, nMOS 트랜지스터(508)는 오프된다. 따라서, 노드(510)의 전압은 저레벨로 되고, 출력 신호(Sout)는 고레벨로 된다. 전송 신호(Sin)의 레벨이 저레벨일 경우 nMOS 트랜지스터(507)는 오프되고, nMOS 트랜지스터(508)는 온된다. 따라서, 노드(510)의 전압이 고레벨로 되고, 출력 신호(Sout)는 저레벨로 된다.

제49도는 기준 전압(V_{ref})과 차동 증폭 회로(503)를 흐르는(소비되는) 전류, 즉 nMOS 트랜지스터(509)를 흐르는 전류 사이의 관계를 나타내는 그래프이다. 기준 전압(V_{ref})이 예컨대 0.1V가 되도록 차동 증폭 회로(503)가 설계되는 경우에 회로(503)가 1.5V인 기준 전압으로 사용된다면 nMOS 트랜지스터(507, 508)의 게이트-소스 바이어스 전압이 증가되어 연산 증폭기 회로(503)에서 소비되는 전류(I_a)가 증가된다는 것을 제49도로부터 알 수 있다. 1.0V의 기준 전압(V_{ref})이 소진폭 신호를 전송하는데 필요하다. 중심 전압이 1.0V로 세트되는 경우 기준 전압(V_{ref})은 $\pm 0.4V$ 범위 내의 진폭을 갖는 소진폭 신호(Sin)를 전송하는데 필요로 된다. 1.5V의 기준 전압(V_{ref})은 표준 LVTTTL(저전압 TTL)에 기초하여 소진폭 신호(Sin)를 전송하거나 1.5V의 중심 전압을 갖는 CCT(중심탭 종단)에 기초하여 소진폭 신호(Sin)를 전송하는데 필요로 된다.

종래에는 서로 다른 기준 전압(V_{ref})을 필요로 하는 서로 다른 표준에 기초로 소진폭 회로(Sin)를 처리할 수 있는 신호 입력 회로는 없었다. 즉, 입력 회로는 특정 기준 전압에 특별히 적절하도록 설계되었다.

그러나, 서로 상이한 기준 전압(V_{ref})을 갖는 소진폭 신호(Sin)를 처리할 수 있는 입력 회로를 제공하는 것이 매우 편리하다. 이러한 관점에서, 제48도에 도시된 출력 회로는 연산 증폭기 회로(503)에서 소비되는 전류(I_a)가 기준 전압(V_{ref})의 변화에 따라 크게 변화된다는 점에서 문제점을 갖는다. 이러한 문제점은 200 이상의 입력 회로를 갖는 LSI 논리 회로에서 심각하게 된다. 예컨대, 입력 회로는 하나의 차동 증폭기에서 500 μA 의 전류가 소비되도록 설계된 것으로 가정한다. 만일, 하나의 연산 증폭기 회로에서 소비

되는 전류가 1mA로 증가된다면 200개의 입력 회로에서 소비되는 전류는 100mA만큼 증가된다.

상기한 점을 고려하여 LSI 장치에 서로 다른 레벨의 기준 전압(Vref)을 기초로 소진폭 신호(Sin)를 처리하더라도 전류 소비가 많지 않은 연산 증폭기 회로를 갖는 입력 회로를 제공한다면 기준 전압(Vref)을 자유롭게 세팅시킬 수 있게 되어 LSI 장치를 보다 넓게 응용할 수 있게 될 것이다. 또한, LSI 장치에 서로 다른 레벨의 기준 전압(Vref)에 기초하여 소진폭 신호(Sin)를 처리하더라도 구동 능력을 증가시킬 필요가 없는 출력 회로를 제공한다면, 또한 기준 전압(Vref)을 자유롭게 세팅시킬 수 있게 되어 LSI 장치를 보다 넓게 응용할 수 있게 될 것이다.

제50도는 입력 회로에 관한 본 발명의 제1 특징에 대한 블록도이다. 상기 입력 회로는 버스에 접속된 반도체 회로, 반도체 소자등에 제공될 수 있다. 상기 입력 회로는 차동 증폭 회로(514)와 전류 제어 회로(515)를 구비한다. 차동 증폭 회로(514)에 의해 논리 판정되는 입력 신호(Sin)가 입력 단자(512)에 인가된다. 기준 전압(Vref)은 입력 신호(Sin)에 대한 논리 판정에 사용되며 기준 전압 입력 단자(513)에 인가된다. 전류 제어 회로(515)는 차동 증폭 회로(514)에 흐르는 전류를 제어하여 상기 전류의 변동이 소정 범위 내의 기준 전압(Vref) 변화에 응답하여 억제된다. 따라서, 소정 범위 내의 기준 전압(Vref) 변화에 의해 야기된 차동 증폭 회로(514)에 소비될 전류의 증가를 방지할 수 있다. 이에 따라, 소정 범위 내의 다른 레벨의 기준 전압(Vref)을 사용하는 다른 표준을 기초로 입력 신호(Sin)를 처리할 수 있다. 또한 차동 증폭 회로(514)에 소비된 전류의 변화를 억제하며 제조 공정에서의 확산에 의해 트랜지스터가 다른 게이트 길이를 갖는 경우에도 제조 효율을 개선할 수 있다.

제51도는 입력 회로에 관한 한 본 발명의 제2 특징에 대한 블록도이다. 상기 입력 회로는 입력 신호(Sin)가 인가되는 신호 입력 단자(517)와 기준 전압(Vref)이 인가되는 기준 전압 입력 단자를 구비한다. 상기 입력 회로를 VCC 전원 라인(520)과 각가이 제1 단부(521A, 522A)와 제2 단부(521B, 522B)를 갖는 부하(521, 522)를 포함한 차동 증폭 회로(519)를 구비한다.

또한, 구동 트랜지스터로서의 기능을 하는 n 채널 절연 게이트형 전계 효과 트랜지스터(523, 524)가 제공된다. 입력 신호(Sin)는 트랜지스터(523)의 게이트에 인가되고, 기준 전압(Vref)은 트랜지스터(524)에 인가된다. 입력 회로는 제1 단부(525A)와 제2 단부(525B)를 갖는 가변 저항 회로(525)와, 차동 증폭 회로(519)의 출력 단자로서 기능하는 노드(526)와, 입력 회로의 출력 신호(Sout)를 출력시키는 파형 형성 인버터(527)를 구비한다.

또한, 입력 회로는 전류 제어 회로(528)를 구비하며, 상기 전류 제어 회로는 가변 저항 회로(525)를 제어하여 기준 전압(Vref)의 비교적 큰 경우에 비교적 큰 저항값을 갖게 한다. 전류 제어 회로(528)는 가변 저항 회로(525)를 제어하여서 기준 전압(Vref)이 비교적 작은 경우에 큰 저항값을 갖게 한다. 이러한 방법에서 전류 제어 회로(528)는 가변 저항 회로(525)에 흐르는 전류(Ia)를 제어한다. 전송된 입력 신호(Sin)가 고레벨인 경우 트랜지스터(523)는 온 상태가 되고 트랜지스터(524)는 오프된다.

따라서, 노드(526)는 저레벨이고 출력 신호(Sout)는 고레벨이다. 입력 신호(Sin)가 저레벨인 경우 트랜지스터(523, 524)는 각기 온상태와 오프 상태가 된다. 따라서, 노드(526)의 레벨은 저레벨이고 출력 신호(Sout)는 고레벨이다.

전류 제어 회로(528)는 상술된 바와같이 가변 저항 회로(525)에 흐르는 전류(Ia)를 제어한다. 따라서 차동 증폭 회로(519)에서 소비된 전류(Ia)의 과도한 변동을 방지하고 다른 값의 기준 전압(Vref)을 기초로 다른 레벨의 입력 신호(Sin)를 처리하는 것이 가능하다.

제52도에 도시된 바와 같이, 부하(521, 522)는 각기 P 채널 절연 게이트 전계 효과 트랜지스터(549, 550)로 형성될 수 있다. 가변 저항 회로(525)는 n 채널 절연 게이트 전계 효과 트랜지스터(515)로 형성될 수 있다. 이 경우에, 전류 제어 회로(528)가 제53도에 도시된 바와 같은 입력/출력 특성(기준 전압(Vref)과 전류 제어 회로(528)의 출력(Vx)간의 관계)을 갖는다면, 차동 증폭 회로(519)에 소비된 전류(Ia)를 1.0V~1.5V의 기준 전압 범위 내의 일정 레벨로 유지하는 것이 가능하다.

또한, 전류 제어 회로(528)는 차동 증폭 회로(519)에 소비된 전류의 변동을 억제시킬 수 있으며, 제조 공정에서의 확산에 의해 트랜지스터가 다른 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

제54도는 본 발명에 따른 입력 회로의 제3 특징에 대한 블록도이다. 제54도에 도시된 입력 회로는 전송된 입력 신호(Sin)가 인가되는 신호 입력 상기 입력 신호(Sin)에 대한 논리 판정을 이루기 위해 사용된 기준 전압을 수신하는 기준 전압 입력 단자(531)를 구비한다. 상기 입력 회로는 VCC 전원 라인(533)을 포함한 차동 증폭 회로(532)와 제1 단부(534A)와 제2 단부를 갖는 가변 저항 회로(534B)를 구비한다.

또한, 구동 트랜지스터로서 기능하는 P 채널 절연 게이트 전계 효과 트랜지스터(549, 536)가 제공된다. 입력 신호(Sin)는 트랜지스터(535)의 게이트에 인가되고 기준 전압(Vref)은 트랜지스터(536)에 인가된다. 상기 입력 회로는 각기 제1 단부(537A, 538A) 및 제2 단부(537B, 538B)를 갖는 부하(537, 538)와, 차동 증폭 회로(532)의 출력 단자에 대응하는 노드(539)와 입력 회로의 출력 신호(Sout)가 출력되는 파형 형성 인버터(540)를 추가로 구비한다.

전류 제어 회로(541)는 가변 저항 회로(534)를 제어하여 기준 전압(Vref)이 소정 범위내에서 비교적 높은 경우에 비교적 작은 저항값을 갖게 한다. 전류 제어 회로(541)는 가변 저항 회로(534)를 제어하여 기준 전압(Vref)이 소정 범위 내에서 비교적 작은 경우에 비교적 큰 저항값을 갖게 한다. 이러한 방법으로 가변 저항 회로(534)에 흐르는 전류(Ia)가 제어된다.

입력 신호(Sin)가 고레벨인 경우 트랜지스터(535, 536)는 각기 오프 상태와 온상태가 된다. 따라서, 노드(539)의 레벨은 저레벨이고 출력 신호(Sout)는 고레벨이다. 입력 신호(Sin)가 저레벨인 경우 트랜지스터(535, 536)는 각기 온상태와 오프 상태가 된다. 따라서, 노드(539)는 고레벨이며, 출력 신호(Sout)는 저레벨이다. 전류 제어 회로(541)는 상술한 바와 같이, 가변 저항 회로(534)에 흐르는 전류(Ia)를 제어한다. 그러나, 차동 증폭 회로(532)에 소비된 전류(Ia)의 과도한 변동을 방지할 수 있으며 소정 범위 내에서 다른 값의 기준 전압(Vref)을 기초로 다른 레벨의 입력 신호(Sin)를 처리할 수 있다. 또한, 전류 제어 회로(541)는 차동 증폭 회로(532)에 소비된 전류의 변동을 억제시키며 제조 공정에서의 확산에 의해

트랜지스터가 다른 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

제55도는 본 발명에 따른 출력 회로의 제1 특징에 대한 회로도이다. 제55도에 도시된 출력 회로는 버스에 접속된 반도체 회로, 반도체 소자 등에 제공될 수 있다. 상기 출력 회로는 전원 전압(VCC)을 본체 회로(도시되지 않음)에 공급하는 VCC 전원 라인(542)을 포함한다. VCCQ 전원 라인(543)은 상기 전원 전압(VCC) 이하의 전원 전압(VCCQ)을 공급한다. 상기 출력 회로는 P 채널 절연 게이트 전계 효과 트랜지스터(544)와 n 채널 절연 게이트 전계 효과 트랜지스터(545, 546)와 출력 단자(547)를 포함한다.

트랜지스터(544)의 소스는 VCCQ 전원 라인(543)에 접속되며 드레인은 출력 단자(547)에 접속된다. 트랜지스터(544)의 게이트는 전원 전압(VCCQ)과 동일한 논리-고레벨과 접지 전위 0V와 동일한 논리 저레벨을 갖는 신호(S1)가 인가된다. 트랜지스터(545)의 드레인은 VCCQ 전원 라인(543)에 접속되고 소스는 출력 단자(547)에 접속된다. 트랜지스터(545)의 게이트는 전원 전압(VCC)과 동일한 논리 고레벨과 0V의 접지 전위와 동일한 논리 저레벨을 갖는 신호(S2)가 공급된다. 트랜지스터(546)의 게이트는 전원 전압(VCC)과 동일한 논리 고레벨과 0V의 접지 전압과 동일한 논리 저레벨을 갖는 신호(S3)가 공급된다.

신호(S1, S2, S3)가 각기 저레벨, 고레벨 및 저레벨인 경우 트랜지스터(544, 545, 546)는 각기 온 상태, 및 오프 상태가 된다. 따라서, 출력 신호(Dout)는 고레벨이다. 신호(S1, S2, S3)가 각기 고레벨, 저레벨 및 고레벨인 경우 트랜지스터(544, 545, 546)는 각각 오프 상태, 오프 상태 및 온 상태가 된다. 따라서, 출력 신호(Dout)는 저레벨이다. 신호(S1, S2, S3)가 고레벨, 저레벨 및 저레벨인 경우 트랜지스터(544, 545, 546)는 모두 오프상태가 된다. 따라서, 출력 단자(547)는 고임피던스 상태에 놓인다. 출력 신호(Dout)의 수신지는 VCCQ/2인 종단전압(VTT)으로 종료하며, 이러한 수신지의 입력 신호의 제1 단 회로의 차동 증폭 회로용 기준 전압(Vref)은 VCCQ/2가 된다.

전원 전압(VCCQ)이 전원 전압(VCC)과 같거나 근접할 경우 출력 단자에서의 풀업 동작은 트랜지스터(544)에 의해 능동적으로 수행된다. 이것은 트랜지스터(545)가 소스-팔로워 동작(source-follower operation)을 수행하며 전원 전압(VCC)에 근접한 출력 신호(Dout)에 대한 임계 전압 정도의 전압 손실 때문에 충분한 구동 능력을 제공하지 못하기 때문이다. 그러나 전원 전압(VCCQ)이 대략 1.0V로 설정되는 경우 대략 1.0V 정도로 낮은 전압이 트랜지스터(544)의 게이트와 소스 양단에 인가된다. 따라서, 1.0V 또는 이 값의 근사 전압이 풀업 동작 시에 인가되어 충분한 구동 능력을 나타내지 못한다.

트랜지스터(545)는 풀업 동작 시에 게이트를 통하여 전원 전압(VCC)이 공급되어 충분한 구동능력을 제공할 수 있다. 따라서 트랜지스터(545)는 풀업 동작을 능동적으로 실행한다.

상술한 바와 같이, 제55도에 도시된 출력 회로는 전원 전압(VCCQ)이 소정 범위 내에서 변화되거나 다른 값의 기준 전압(Vref)을 기초로 다른 레벨의 출력 신호(Dout)가 출력되는 곳의 경우에서도 구동능력을 증가시키지 못한다. 즉, 제54도에 도시된 출력 회로는 소정 범위 내에서 다른 레벨의 기준 전압(Vref)을 기초로 다른 레벨을 가질 수 있는 출력 신호(Dout)를 제공할 수 있다.

또한, 제55도에 도시된 출력 회로는 다음 장점을 갖는다. 트랜지스터(544, 545)의 임계 전압과 동작 온도 변화가 증가될 경우 트랜지스터(544)의 온 저항은 감소되는 반면 트랜지스터(545)의 온 저항은 증가된다. 트랜지스터(545, 545)의 임계 전압이 감소되는 경우 트랜지스터(544)의 온 저항은 증가되는 반면 트랜지스터(545)의 온 저항은 감소된다. 상술한 방법에서, 동작 온도가 변화되는 경우에도 출력 신호(Dout)의 고정 진폭을 유지하는 것이 가능하다.

제56도와 제57도를 참고로 제51도에 도시된 상술 구조를 기초로한 본 발명의 제13 실시예에 따른 입력 회로가 설명된다. 기본적으로 제15도에 도시된 입력 회로는 한 버스 라인과 대응한다. 제56도에 도시된 전류 제어 회로(553)는 제541도에 도시된 전류 제어 회로(528)에 대응하며 제56도에 도시된 입력 회로의 나머지 부분은 제51도에 도시된 대응 부분과 동일하다.

전류 제어 회로(553)는 VCC 전원 라인(504)에 접속된 소스와 기준 전압 입력 단자(502)에 접속된 게이트를 갖는 증가형 pMOS 트랜지스터(554)를 구비한다. 가변 저항 소자 기능을 하는 트랜지스터(554)는 기준 전압(Vref)에 의해 제어된다. 고정 저항(555)은 일단이 트랜지스터(554)의 드레인에 접속되고 다른 단부는 접지되어 있다. 트랜지스터(554)의 드레인이 저항(555)에 접속되는 접속 노드(556)는 nMOS 트랜지스터(509)의 게이트에 접속된다.

기준 전압(Vref)이 소정 범위 내에서 비교적 높은 경우 pMOS 트랜지스터(554)의 온 저항은 비교적 크고 노드(556)의 전압은 비교적 작다. 따라서 nMOS 트랜지스터(509)의 온 저항은 비교적 크다. 기준 전압(Vref)이 비교적 큰 경우 pMOS 트랜지스터(554)의 온 저항은 비교적 작고 노드(556)의 전압은 비교적 크다. 따라서, nMOS 트랜지스터(509)는 온 저항은 비교적 작다.

제57도에 도시된 바와 같이 시뮬레이션 결과는 기준 전압(Vref)과 제56도에 도시된 차동 증폭 회로(503)에 소비된 전류(Ia)간의 관계를 나타낸다. 차동 증폭 회로(503)에서 소비된 전류(Ia)는 대략 일정 레벨로 고정되는 반면 기준 전압(Vref)은 0.9V~1.2V 범위로 제공된다는 것을 제57도의 그래프에서 알 수 있다.

기준 전압(Vref)이 0.8V 이하인 경우 차동 증폭 회로(503)에서 소비된 전류(Ia)는 급격히 감소된다. 이것은 소신호 신호(Sin)의 전압이 nMOS 트랜지스터(507, 508)의 임계 전압에 근접하게 되기 때문이다.

제56도에 도시된 구조에 따라 차동 증폭 회로(503)에서 소비된 전류(Ia)는 기준 전압(Vref)이 0.9V~1.2V 인한 거의 일정 레벨로 고정될 수 있다. 따라서, 다른 레벨의 기준 전압(Vref)을 기초로 다른 레벨의 소신호 신호(Sin)를 0.9V~1.2V의 기준 전압 범위 내에서 처리하는 것이 가능하게 된다. 그 결과, 제56도에 도시된 입력 회로는 편리하게 개선된다. 또한 차동 증폭 회로(503)에서 소비된 전류의 변동을 억제 가능하며 제조 공정에서의 확산에 의해 트랜지스터가 상이한 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

전류 제어 회로(553)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다.

제58도는 본 발명의 제14 실시예에 따른 입력 회로의 회로도이다. 제58도에서 제56도에 도시된 것과 동일 부분은 동일 인용 부호가 부여되어 있다. 제58도에 도시된 입력 회로는 제56도에 도시된 전류 제어 회로

(553)와는 다른 구조를 갖는 전류 제어 회로(557)를 구비한다. 제58도에 도시된 입력 회로의 나머지 부분은 제56도에 도시된 입력 회로의 대응 부분과 동일하다.

전류 제어 회로(557)는 제56도에 도시된 저항(555)을 대체하는 인헨스먼트형 nMOS 트랜지스터(558)를 구비한다. 전류 제어 회로(557)의 나머지 부분은 제56도에 도시된 전류 제어 회로(553)의 대응 부분과 동일하다. nMOS 트랜지스터(558)의 게이트는 드레인에 접속되고 이 드레인은 pMOS 트랜지스터(554)의 드레인에 접속된다. nMOS 트랜지스터(558)의 소TM는 접지된다.

제59도는 차동 증폭 회로(503)에서 소비된 전류(I_a)와 기준 전압(V_{ref}) 간의 관계를 나타낸다. 차동 증폭 회로(503)에서 소비된 전류(I_a)를 제56도에 도시된 회로에서 얻은 범위보다 더 넓은 범위인 0.9V~1.4V의 기준 전압(V_{ref})범위내에서 거의 일정하게 유지하는 것이 가능하다.

제58도에 도시된 회로에 따라 다른 레벨의 기준 전압(V_{ref})을 기초로 다른 레벨의 소진폭 신호(Sin)를 0.9V~1.4V의 기준 전압(V_{ref})을 범위 내에서 처리하는 것이 가능하다. 또한 차동 증폭 회로(503)에서 소비된 전류의 변동을 억제할 수 있으며 제조 공정에서의 확산에 의해 트랜지스터가 상이한 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

전류 제어 회로(557)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다.

제60도 내지 제63도를 참고로 본 발명의 제15실시예에 따른 입력 회로에 대해 설명될 것이다. 제60도에 도시된 입력 회로는 기본적으로 한 버스 라인에 관계한다. 제60도에 도시된 입력 회로는 제58도에 도시된 전류 제어 회로(557)와는 다른 구조를 갖는 전류 제어 회로(560)를 구비한다. 제60도에 도시된 입력 회로의 나머지 부분은 제58도에 도시된 대응 부분과 동일하다.

전류 제어 회로(560)는 증가형 nMOS 트랜지스터(561)를 구비한다. 노드(556)와 nMOS 트랜지스터(538)의 드레인은 nMOS 트랜지스터(561)의 드레인과 소스를 통하여 서로 접속된다. 전류 제어 회로(560)의 나머지 부분은 제58도에 도시된 전류 제어 회로(557)의 대응 부분과 동일하다. nMOS 트랜지스터(561)의 게이트는 기준 전압 입력 단자(502)에 접속되므로 기준 전압(V_{ref})에 의해 제어된 저항 소자로 기능한다.

전류 제어 회로(560)에서 기준 전압(V_{ref})이 비교적 높은 경우 pMOS 트랜지스터(554)의 온 저항은 비교적 작고 nMOS 트랜지스터(561)의 온 저항은 비교적 크다.

제16도는 차동 증폭 회로(503)에서 소비된 전류(I_a)와 기준 전압(V_{ref})간의 관계에 대한 그래프이다. 차동 증폭 회로(503)에서 소비된 전류(I_a)를 제15도에 도시된 회로에서 얻어진 것보다 더 넓은 0.9V~1.6V의 기준 전압(V_{ref}) 범위 내의 일정 레벨로 유지하는 것이 가능하다.

제60도에 도시된 회로에 따라 다른 레벨의 기준 전압(V_{ref})을 기초로 다른 레벨의 소진폭 신호 0.9V~1.6V의 기준 전압(V_{ref}) 범위내로 처리하는 것이 가능하다. 그 결과 제60도에 도시된 입력 회로는 편리하게 개선된다. 또한 차동 증폭 회로(503)에서 소비된 전류의 변동을 억제시킬 수 있으며 제조 공정에서의 확산에 의해 트랜지스터가 상이한 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

제62도는 트랜지스터 게이트 길이의 편차와 제60도에 도시된 회로에 사용된 차동 증폭 회로(503)에서 소비된 전류(I_a)간의 관계를 나타낸다. 제63도는 트랜지스터의 게이트 길이의 편차와 제48도에 도시된 회로의 차동 증폭 회로(53)에서 소비된 전류(I_a)간의 관계를 나타낸다.

전류 제어 회로(560)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다.

제64도와 제65도를 참고로 본 발명의 제16실시예에 따른 입력 회로에 대해 설명된다. 제64도에 도시된 입력 회로는 기본적으로 한 버스 라인에 관계하고 제60도에 도시된 차동 증폭 회로(503)와는 다른 구조를 갖는 차동 증폭 회로를 구비한다. 제64도에 도시된 입력 회로의 나머지 부분은 제60도에 도시된 입력 회로의 대응 부분과 동일하다.

차동 증폭 회로(563)는 증가형 nMOS 트랜지스터(564)를 구비한다. 차동 증폭 회로(563)의 나머지 부분은 제60도에 도시된 차동 증폭 회로(503)의 대응 부분과 동일하다. nMOS 트랜지스터(564)의 드레인은 nMOS 트랜지스터(507)의 소스에 접속되고 이 소스는 접지된다. nMOS 트랜지스터(564)의 게이트는 기준 전압 입력 단자(502)에 접속된다.

기준 전압(V_{ref})이 비교적 큰 경우 nMOS 트랜지스터(564)의 온 저항은 비교적 작다. 따라서 차동 증폭 회로(563)에서 소비된 전류(I_a)는 비교적 크다. 즉, 제64도에 도시된 회로 동작은 제60도에 도시된 회로 동작과는 다르다.

제65도는 기준 전압(V_{ref})과 차동 증폭 회로(503)에서 소비된 전류(I_a)간의 관계에 대한 그래프이다. 차동 증폭 회로(503)에서 소비된 전류(I_a)는 제60도에 도시된 회로에서 얻어진 범위보다 넓은 0.9V~1.7V의 기준 전압(V_{ref}) 범위 내에서 거의 일정 레벨로 유지되는 것이 가능하다.

제64도에 도시된 회로에 따라 전류 제어 회로(560)와 nMOS 트랜지스터(564)가 제공되며 따라서 다른 레벨의 기준 전압(V_{ref})을 기초로 다른 레벨의 소진폭 신호(Sin)를 0.9V~1.7V의 기준 전압(V_{ref}) 범위내에서 처리하는 것이 가능하다. 그 결과 제65도에 도시된 입력 회로는 편리하게 개선된다. 또한, 차동 증폭 회로(503)에서 소비된 전류의 변동을 억제시킬 수 있으며 제조 공정에서의 확산에 의해 트랜지스터가 다른 게이트를 갖는 경우에도 제조 효율을 개선할 수 있다.

전류 제어 회로(560)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다.

제66도 내지 제68도를 참고로 본 발명의 제17실시예에 따른 입력 회로에 대해 설명된다. 제66도에 도시된 입력 회로는 기본적으로 한 버스 라인에 대응한다. 제66도에 도시된 입력 회로는 제56도에 도시된 전류 제어 회로(553)와는 다른 구조를 갖는 전류 제어 회로(566)를 구비한다. 제66도에 도시된 입력 회로의 다른 부분은 제56도에 도시된 입력 회로의 대응 부분과 동일하다.

전류 제어 회로(566)는 차동 증폭 회로(503)에서 소비된 전류(I_a)를 모니터링하는 모니터 회로(567)를 포

함한다. 모니터 회로(567)는 저항(568)과 인핸 스먼트형 nMOS, 트랜지스터(569, 570)를 포함한다. 트랜지스터(569, 570) 각각은 nMOS 트랜지스터(507, 508) 게이트 폭의 1/10 게이트 폭을 갖는다. 기준 전압(Vref)은 nMOS 트랜지스터(569, 570)의 게이트에 인가된다. 또한, 모니터 회로(567)는 nMOS 트랜지스터(509)의 1/10 게이트 폭을 갖는 증가형 nMOS 트랜지스터(571)를 포함한다.

전류 제어 회로(566)는 궤환 제어 회로를 형성하는 차동 증폭 회로(572)를 포함한다. 회로(572)는 저항 소자로서 기능하는 증가형 pMOS 트랜지스터(573)를 포함한다. pMOS 트랜지스터(573)의 게이트는 1V의 일정 전압을 수신한다. 차동 증폭 회로(572)는 구동 트랜지스터로서 기능하는 증가형 pMOS 트랜지스터(574, 575)를 포함한다. pMOS 트랜지스터(574)의 게이트는 1V의 일정 전압을 수신한다. 차동 증폭 회로(572)는 부하로서 기능하는 전류 미러 회로를 형성하는 증가형 nMOS 트랜지스터(577, 578)를 포함한다. 노드(579)는 차동 증폭 회로(572)의 출력 단자를 형성한다. 노드(579)는 모니터 회로(567)의 nMOS 트랜지스터(571)의 게이트와 차동 증폭 회로(503)의 nMOS 트랜(509)의 게이트에 접속된다. 노드(579) 또한 다른 입력 회로(편의를 위해서 도시되지 않음)의 차동 증폭 회로(503)에 대응하는 차동 증폭 회로(편의를 위해서 도시되지 않음)의 nMOS 트랜지스터(509)에 대응하는 nMOS 트랜지스터(편의를 위해서 도시되지 않음)에 접속된다.

전류 제어 회로(566)의 노드(576)는 궤환 제어되어서 노드(576)의 전압이 소정 범위의 기준 전압(Vref)내에서 차동 증폭 회로(572)에 의해 1V로 고정된다. 모니터 회로(567)에 흐르는 전류는 거의 일정 레벨로 유지된다. 따라서, 차동 증폭 회로(503)에서 소비된 전류(Ia) 또한 거의 일정 레벨로 유지된다.

시뮬레이션 결과에 따른 기준 전압(Vref)과 차동 증폭 회로(503)에서 소비된 전류(Ia)간의 관계가 제67도에 도시된다. 차동 증폭 회로(503)에서 소비된 전류(Ia)는 기준 전압(Vref)이 0.9V~1.7V인 경우 거의 일정 레벨로 유지될 수 있다는 것을 제67도에서 알 수 있다.

제66도에 도시된 회로에 따라 다른 레벨의 기준 전압(Vref)을 기초로 다른 레벨의 소진폭 신호(Sin)를 0.9V~1.7V의 기준 전압 범위내에서 처리하는 것이 가능하다. 또한, 차동 증폭 회로(503)에서 소비된 전류(Ia)의 변동을 억제하는 것이 가능하며 제조 공정에서의 확산에 의해 트랜지스터가 상이한 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

제68도는 트랜지스터의 게이트 길이 편차와 차동 증폭 회로(503)에 소비된 전류(Ia) 간의 관계를 나타낸다.

전류 제어 회로(566)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다. 일반적인 반도체 소자에서 적어도 20개 이상의 입력 회로가 제공된다. 따라서, 전류 제어 회로(566)에 소비된 전류는 무시할 수 있다.

제69도와 제70도를 참고로 본 발명의 제18실시에 따른 입력 회로가 설명된다. 제69도에 도시된 입력 회로는 기본적으로 한 버스 라인에 대응한다. 제69도에 도시된 입력 회로는 제66도에 도시된 전류 제어 회로(566)와는 다른 구조를 갖는 전류 제어 회로(581)를 포함한다. 제69도에 도시된 입력 회로의 다른 부분은 제66도에 도시된 입력 회로의 대응 부분과 동일하다.

전류 제어 회로(581)은 제66도에 도시된 모니터 회로(567)와는 다른 구조를 갖는 모니터 회로(582)를 갖는다. 제69도에 도시된 전류 제어 회로(581)의 다른 부분은 제66도에 도시된 전류 제어 회로(567)의 대응 부분과 동일하다. 전류 모니터 회로(582)는 제66도에 도시된 저항(568) 대신에 사용된 증가형 pMOS 트랜지스터(583, 584)를 구비한다. pMOS 트랜지스터(583, 584) 각각의 게이트 폭은 pMOS 트랜지스터(505, 506) 각각의 게이트 폭의 1/10 이다. pMOS 트랜지스터(583, 584)는 전류 미러 회로를 형성한다. pMOS 트랜지스터(583)의 드레인은 VCC 전원 라인(504)에 접속되고 게이트는 상기 드레인에 접속된다.

또한, pMOS 트랜지스터(583)의 드레인은 nMOS 트랜지스터(570)의 드레인에 접속된다. pMOS 트랜지스터(584)의 소스는 VCC 전원 라인(504)에 접속되고 게이트는 pMOS 트랜지스터(583)의 게이트에 접속된다. pMOS 트랜지스터(584)의 드레인은 nMOS 트랜지스터(569)의 게이트에 접속된다. pMOS 트랜지스터(584)의 드레인과 nMOS 트랜지스터(569)의 드레인이 서로 접속되는 접속 노드(585)는 pMOS 트랜지스터(574)의 게이트에 접속된다. 미러 회로(582)의 다른 부분은 제66도에 도시된 미러 회로(567)의 대응 부분과 동일하다.

pMOS 트랜지스터(575)의 게이트는 1.65V의 일정 전압이 공급된다. 이 방법은 제66도에 도시된 회로에서 사용된 것과는 다른 방법이다. 노드(585)의 전압은 소정 범위의 기준 전압(Vref) 내에서 차동 증폭 회로(572)에 의해 1.65V로 유지되도록 궤환 제어된다. 따라서, 모니터 회로(582)에 흐르는 전류는 거의 일정 레벨로 유지되고 차동 증폭 회로(503)에서 소비된 전류 또한 거의 일정 레벨로 유지된다.

제70도는 시뮬레이션 결과로 얻은 기준 전압(Vref)과 차동 증폭 회로(503)에서 소비된 전류(Ia)간의 관계 그래프이다. 차동 증폭 회로(503)에서 소비된 전류는 거의 일정 레벨인 반면 기준 전압(Vref)은 0.9V~1.7V라는 것을 제70도에서 알 수 있다.

또한 제69도에 도시된 회로에 사용된 차동 증폭 회로(503)에서 소비된 전류(Ia)의 변동은 제66도에 도시된 회로에 사용된 차동 증폭 회로(503)에서 소비된 전류(Ia)의 변동보다 작다. 이것은 제69도에 도시된 회로가 pMOS 트랜지스터(505, 506)와 nMOS 트랜지스터(507, 508, 509)의 게이트 폭을 동일 비율로 감소시켜서 얻은 pMOS 트랜지스터(583, 584)와 nMOS 트랜지스터(569, 570, 571)를 사용하고 제66도에 도시된 구조와 동일한 구조를 갖기 때문이다.

제69도에 도시된 회로에 따라 다른 레벨의 기준 전압(Vref)을 기초로 다른 레벨의 소진폭 신호(Sin)를 0.9V~1.7V의 기준 전압(Vref) 범위내에서 처리하는 것이 가능하다. 그 결과 제69도에 도시된 입력 회로는 편리하게 개선된다. 또한, 차동 증폭 회로(503)에서 소비된 전류(Ia)의 변동을 억제시킬 수 있으며 제조 공정에서의 확산에 의해 트랜지스터가 상이한 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

전류 제어 회로(581)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다. 일반적인 반

도체 소자에서 적어도 20개 이상의 입력 회로가 제공된다. 따라서, 전류 제어 회로(581)에서 소비된 전류는 무시할 수 있다.

제71도를 참고로 본 발명의 제19실시예에 따른 입력 회로에 대해 설명된다. 제71도에 도시된 입력 회로는 기본적으로 한 버스 라인에 대응한다.

제71도에 도시된 입력 회로는 외부 회로로부터 버스 라인을 통하여 전송된 입력 신호(Sin)가 신호 입력 단자(590)와 상기 입력 신호(Sin)에 대한 논리 판정을 이루기 위해 사용된 기준 전압(Vref)을 수신하는 기준 전압 입력 단자(591)를 갖는다. 제71도에 도시된 입력 회로는 예컨대 3.3V의 전원 전압을 공급하는 VCC 전원라인(593)을 갖는 차동 증폭 회로와 증가형 pMOS 트랜지스터(594)를 구비한다. 또한, 입력 회로는 각기 구동 트랜지스터로서 기능하는 증가형 pMOS 트랜지스터(595, 596)를 구비한다. 소진폭신호(Sin)가 nMOS 트랜지스터(595)의 게이트에 인가되고, 기준 전압(Vref)이 pMOS 트랜지스터(596)의 게이트에 인가된다. 입력 회로는 부하로서 기능하는 전류 미러 회로를 형성하는 증가형 pMOS 트랜지스터(597, 598)와, 차동 증폭 회로(592)의 출력 단자에 대응하는 노드(599)와, 입력 회로의 출력 신호(Sin)를 제공하는 파형 형성 인버터(600)를 구비한다.

또한, 차동 증폭 회로(592)에 소비된 전류(Ia)를 제어하는 전류 제어 회로(601)와, VCC 전원 라인(593)에 한 단부가 접속된 저항(602)이 제공된다. 전류 제어 회로(601)는 인해스먼트형 nMOS 트랜지스터(603)를 구비한다.

트랜지스터(603)의 드레인은 저항(602)의 다른 단부에 접속되고 게이트는 기준 전압 입력 단자(591)에 접속된다. 트랜지스터(603)의 소스는 접지된다. 이러한 접속으로 pMOS 트랜지스터(603)는 기준 전압(Vref)에 의해 제어된 가변 저항 소자로서 기능한다. nMOS 트랜지스터(603)의 드레인과 저항(602)이 서로 접속되는 노드(104)는 pMOS 트랜지스터(594)의 게이트에 접속된다.

전송된 신호(Sin)가 고레벨인 경우 nMOS 트랜지스터(595)는 오픈되고 nMOS 트랜지스터(596)는 온된다. 따라서 노드(599)의 전위는 저레벨이고 출력 신호(Sout)는 고레벨이다. 전송 신호(Sin)가 저레벨인 경우 nMOS 트랜지스터(595)는 온되고 nMOS 트랜지스터(596)는 오픈된다. 따라서, 노드(599)의 전위는 고레벨이 되고 출력 신호(Sout)는 저레벨이 된다.

기준 전압(Vref)이 소정 범위 내에서 비교적 높은 nMOS 트랜지스터(603)의 온 저항은 비교적 크다. 이 경우에 노드(104)의 전압은 비교적 감소되고 pMOS 트랜지스터(594)의 온 저항은 비교적 작다. 기준 전압(Vref)이 비교적 낮은 경우 nMOS 트랜지스터(603)는 비교적 큰 온 저항을 갖는다. 따라서, 노드(604)의 전압이 비교적 증가되고 nMOS 트랜지스터(594)는 증가된 온 저항을 갖는다.

제71도에 도시된 회로에 따라 차동 증폭 회로(592)에서 소비된 전류(Ia)를 소정 범위의 기준 전압(Vref) 내에서 일정 레벨로 유지시킬 수 있으며, 다른 레벨의 기준 전압(Vref)을 기초로 다른 레벨의 소진폭 신호(Sin)를 소정 범위의 기준 전압(Vref) 내에서 처리 가능하다. 그 결과, 제71도에 도시된 입력 회로는 편리하게 개선된다. 또한, 차동 증폭 회로(592)에서 소비된 전류(Ia)의 변동을 전류 제어 회로(601)에 의해 억제 가능하며 제조 공정에서의 확산에 의해 트랜지스터가 상이한 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

전류 제어 회로(601)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할 가능하다.

제72도를 참고로 본 발명의 제20실시예에 따른 입력 회로에 대해 설명된다. 제72도에 도시된 입력 회로는 기본적으로 한 버스 라인에 대응한다. 상기 입력 회로는 제71도에 도시된 전류 제어 회로(601)와는 다른 구조를 갖는 전류 제어 회로(606)를 구비한다. 제72도에 도시된 입력 회로의 다른 부분은 제71도에 도시된 입력 회로의 대응 부분과 동일하다.

전류 제어 회로(606)는 제71도에 도시된 저항(602) 대신 증가형 pMOS 트랜지스터(607)를 사용한다. 전류 제어 회로(606)의 다른 부분은 제71도에 도시된 전류 제어 회로(601)의 대응 부분과 동일하다. pMOS 트랜지스터(607)의 소스는 VCC 전원 라인(593)에 접속되고 게이트는 드레인과 접속되며 상기 드레인은 nMOS 트랜지스터(603)의 드레인에 접속된다. 제71도에 도시된 저항(602)이 nMOS 트랜지스터(607)로 대체되었기 때문에 차동 증폭 회로(592)에서 소비된 전류(Ia)가 일정 레벨로 유지될 수 있는 기준 전압(Vref)의 범위는 제71도에 도시된 회로에 사용된 기준 전압(Vref) 범위보다 더 넓다.

제72도에 도시된 회로에 따라 차동 증폭 회로(592)에서 소비된 전류(Ia)를 소정 범위의 기준 전압(Vref)으로 유지시키는 것이 가능하다. 따라서, 다른 레벨의 기준 전압(Vref)을 기초로 다른 레벨의 소진폭 신호(Sin)를 소정 범위의 기준 전압(Vref)에서 처리하는 것이 가능하다. 그 결과, 제72도에 도시된 입력 회로는 편리하게 개선된다. 또한, 차동 증폭 회로(592)에서 소비된 전류(Ia)의 변동을 전류 제어 회로(606)에 의해 억제 가능하며, 제조 공정에서의 확산에 의해 트랜지스터가 상이한 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

전류 제어 회로(606)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다.

제73도를 참고로 본 발명의 제21실시예에 따른 입력 회로에 대해 설명된다. 제73도에 도시된 입력 회로는 기본적으로 한 버스 라인에 대응한다. 상기 입력 회로는 제72도에 도시된 전류 제어 회로(606)와는 다른 구조를 갖는 전류 제어 회로(609)를 구비한다.

전류 제어 회로(609)는 증가형 pMOS 트랜지스터(610)를 포함한다. pMOS 트랜지스터(607)의 드레인과 노드(604)는 pMOS 트랜지스터(610)의 드레인과 소스를 통해 서로 접속된다. 전류 제어 회로(609)의 다른 부분은 제72도에 도시된 전류 제어 회로(606)의 대응 부분과 동일하다. pMOS 트랜지스터(610)의 게이트는 기준 전압 입력 단자(591)에 접속되어서 저항(610)은 기준 전압(Vref)에 의해 제어된 가변 저항 소자로서 기능할 수 있다.

기준 전압(Vref)이 비교적 높은 경우 nMOS 트랜지스터(603)는 비교적 작은 온 저항을 갖고 pMOS 트랜지스터(610)는 비교적 큰 온 저항을 갖는다. 기준 전압(Vref)이 비교적 낮은 경우 nMOS 트랜지스터(603)는 비

교적 큰 온 저항을 갖고 pMOS 트랜지스터(610)는 비교적 작은 온 저항을 갖는다.

전류 제어 회로(609)는 pMOS 트랜지스터(610)를 구비한다. 전류 제어 회로(609)는 제72도에 도시된 전류 제어 회로(606)와는 다르다. 따라서, 차동 증폭 회로(592)에서 소비된 전류(I_a)가 거의 일정 레벨로 유지될 수 있는 기준 전압(V_{ref})의 범위는 제72도에 도시된 회로에 사용된 기준 전압 보다 넓다. 따라서, 다른 값의 기준 전압(V_{ref})을 기초로 다른 전압의 소진폭 신호(Sin)를 소정 범위의 기준 전압(V_{ref}) 내에서 처리하는 것이 가능하다. 그 결과, 제73도에 도시된 입력 회로는 편리하게 개선된다. 또한 차동 증폭 회로(592)에서 소비된 전류(I_a)의 변동을 전류 제어 회로(609)에 의해 억제 가능하며 제조 공정에서의 확산에 의해 트랜지스터가 다른 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

전류 제어 회로(609)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다.

제74도를 참고로 본 발명의 제22실시예에 따른 입력 회로가 설명된다. 제74도에 도시된 상기 입력 회로는 기본적으로 한 버스 라인에 대응한다. 상기 입력 회로는 제73도에 도시된 차동 증폭 회로와는 다른 구조를 갖는 차동 증폭 회로(612)를 구비한다. 제74도에 도시된 입력 회로의 다른 부분은 제73도에 도시된 입력 회로의 대응 부분과 동일하다.

차동 증폭 회로(612)는 증가형 pMOS 트랜지스터(613)를 포함한다. 차동 증폭 회로(612)의 다른 부분은 제73도에 도시된 차동 증폭 회로의 대응 부분과 동일하다. pMOS 트랜지스터(613)의 소스는 VCC 전원 라인(613)에 접속되고 드레인은 pMOS 트랜지스터(595, 596)의 소스에 접속된다. pMOS 트랜지스터(613)의 게이트는 기준 전압 입력 단자(591)에 접속된다.

pMOS 트랜지스터(613)의 게이트가 기준 전압 입력 단자(591)에 접속되기 때문에 기준 전압(V_{ref})이 비교적 높은 경우 pMOS 트랜지스터(613)는 증가된 온 저항을 갖는다. 따라서, 차동 증폭 회로(612)에서 소비된 전류(I_a)는 비교적 감소된다.

제74도에 도시된 입력 회로는 제73도에 도시된 회로와는 다른 pMOS 트랜지스터(613)를 갖는다. 따라서, 차동 증폭 회로(612)에서 소비된 전류(I_a)가 거의 일정 레벨로 유지될 수 있는 기준 전압(V_{ref})의 범위는 제73도에 도시된 회로에 사용된 기준 전압(V_{ref})의 범위보다 넓다. 그러므로, 다른 값의 기준 전압(V_{ref})을 기초로 다른 전압의 소진폭 신호(Sin)를 소정의 기준 전압(V_{ref}) 내에서 처리하는 것이 가능하다. 그 결과, 제74도에 도시된 입력 회로는 편리하게 개선된다. 또한, 차동 증폭 회로(592)에서 소비된 전류(I_a)의 변동을 전류 제어 회로(609)와 pMOS 트랜지스터(613)로 억제할 수 있으며, 제조 공정에서의 확산에 의해 트랜지스터가 상이한 게이트 길이를 갖는 경우에도 제조 효율을 개선시킬 수 있다.

전류 제어 회로(609)는 제1단의 차동 증폭 회로에 의해 복수의 입력 회로로 분할될 수 있다.

제75도를 참고로 본 발명의 제23실시예에 따른 입력 회로가 설명된다. 제75도에 도시된 입력 회로는 기본적으로 한 버스 라인에 대응한다. 상기 입력 회로는 제71도에 도시된 전류 제어 회로(601)와는 다른 구조의 전류 제어 회로(615)를 포함한다. 제75도에 도시된 상기 입력 회로의 다른 부분은 제71도에 도시된 입력 회로의 대응 부분과 동일하다.

전류 제어 회로(615)는 차동 증폭 회로(592)에서 소비된 전류(I_a)를 모니터링하는 모니터 회로(616)를 포함한다. 모니터 회로(616)는 예컨대 60K Ω 의 저항값을 갖는 저항(617)을 구비한다. 모니터 회로(616)는 각각이 pMOS 트랜지스터(595, 596)의 1/10 게이트 폭을 갖는 증가형 pMOS 트랜지스터(618, 619)를 구비한다. 기준 전압(V_{ref})은 pMOS 트랜지스터(618, 619)의 게이트에 인가된다. 모니터 회로(616)는 pMOS 트랜지스터(594)의 게이트 폭의 1/10인 게이트 폭을 갖는 증가형 pMOS 트랜지스터를 포함한다.

제75도에 도시된 입력 회로는 궤환 제어 회로를 형성하는 차동 증폭 회로(621)를 포함한다. 차동 증폭 회로(621)는 부하로서 기능하는 전류 미러 회로를 형성하는 증가형 pMOS 트랜지스터(622, 623)를 구비한다. 차동 증폭 회로(621)는 증가형 nMOS 트랜지스터(624, 625)도 구비한다. nMOS 트랜지스터(624)의 게이트는 모니터 회로(616)의 노드(626)의 전압이 공급되고 nMOS 트랜지스터(625)의 게이트는 2.2V의 일정 전압이 공급된다. 또한, 저항 소자로서 기능하는 증가형 nMOS 트랜지스터(627)와, 차동 증폭 회로(621)의 출력 단자를 형성하는 노드(628)가 포함된다. 노드(628)는 모니터 회로(626)의 pMOS 트랜지스터(620)의 게이트와 차동 증폭 회로(592)의 pMOS 트랜지스터(594)의 게이트에 접속된다. 또한 노드(628)는 다른 입력 회로의 차동 증폭 회로(592)에 대응하는 차동 증폭 회로(편의를 위해 도시되지 않음)의 pMOS 트랜지스터(594)에 대응하는 pMOS 트랜지스터(편의를 위해 도시되지 않음)에 접속된다.

노드(626)는 차동 증폭 회로(621)에 의해 기준 전압(V_{ref})의 특정 범위내의 2.2V 전압에서 유지되도록 궤환 제어된다. 따라서, 모니터 회로(616)에서 흐르는 전류는 거의 일정한 레벨에서 유지되므로 차동 증폭 회로(592)에서 소비되는 전류(I_a) 또한 거의 일정한 레벨에서 유지된다.

제75도에 도시된 회로에 따르면, 차동 증폭 회로(592)에서 소비되는 전류(I_a)가 거의 일정한 레벨에서 유지될 수 있어 기준 전압(V_{ref})의 특정 범위 내에서 서로 다른 기준 전압(V_{ref}) 값에 기초하여 서로 다른 소진폭 신호(Sin) 전압을 처리할 수 있다. 결과적으로, 제75도에 도시된 입력 회로는 편리하게 개선된다. 또한, 전류 제어 회로(615)에 의해 차동 증폭 회로(592)에서 소비되는 전류(I_a)의 변화를 억제할 수 있어 제조 공정에서 트랜지스터가 확산에 의해 서로 다른 게이트 길이를 갖더라도 제조 효율이 개선될 수 있다.

전류 제어 회로(615)는 복수의 입력 회로의 제1단 차동 증폭 회로에 의해 공유될 수 있다. 일반적인 반도체 장치에서는 적어도 20개 이상의 입력 회로가 제공된다. 따라서, 전류 제어 회로(581)에서 소비되는 전류는 비교적 무시될 수 있다.

이제, 제76도를 참고로 본 발명의 제24실시예에 따른 입력 회로를 설명한다. 기본적으로, 제76도에 도시된 입력 회로는 하나의 버스 라인에 대응한다. 이 입력 회로는 제75도에 도시된 전류 제어 회로(615)와 다른 구조를 갖는 전류 제어 회로(630)를 갖는다. 제76도에 도시된 입력 회로의 다른 부분은 제75도에 도시된 입력 회로의 대응 부분과 동일하다.

전류 제어 회로(630)는 제75도에 도시된 모니터 회로(616)와 다른 구조를 갖는 모니터 회로(631)를 포함

한다. 제어 회로(630)의 나머지 부분은 제75도에 도시된 제어 회로의 대응 부분과 동일하다. 모니터 회로(631)는 제75도에 도시된 저항(617)대신에 각각 nMOS 트랜지스터(597, 598)의 각각의 게이트 폭의 1/10에 해당하는 게이트 폭을 갖는 증가형 nMOS 트랜지스터(632, 633)를 포함한다. nMOS 트랜지스터(632, 633)는 전류 미러 회로를 형성한다. nMOS 트랜지스터(632)의 게이트는 pMOS 트랜지스터(619)의 드레인에 접속되는 nMOS 트랜지스터(632)의 드레인에 접속된다. nMOS 트랜지스터(632)의 소스는 접지된다. nMOS 트랜지스터(633)의 게이트는 nMOS 트랜지스터(632)의 게이트에 접속되고, 드레인은 pMOS 트랜지스터(618)의 드레인에 접속된다. nMOS 트랜지스터(633)의 소스는 접지된다. pMOS 트랜지스터(618)와 nMOS 트랜지스터(633)의 드레인이 함께 접속되는 접속 노드(634)는 pMOS 트랜지스터(624)의 게이트에 접속된다. 모니터 회로(631)의 나머지 부분은 제75도에 도시된 모니터 회로의 대응 부분과 동일하다. 1.65V의 일정한 전압이 pMOS 트랜지스터(625)에 인가된다. 노드(134)의 전압은 차동 증폭 회로(621)에 의해 특정 범위의 기준 전압내인 1.65V에서 유지되도록 제한 제어된다. 따라서, 모니터 회로(631)에 흐르는 전류는 거의 일정한 레벨에서 유지되므로써 차동 증폭 회로(592)에서 소비되는 전류(Ia)도 거의 일정한 레벨에서 유지된다.

제76도에 도시된 회로에서 사용되는 차동 증폭 회로(592)에서 소비되는 전류(Ia)의 변화는 제65도에 도시된 회로에서 사용되는 회로(592)에서 소비되는 전류(Ia)의 변화보다 작다. 이것은 pMOS 트랜지스터(594, 595, 596)와 nMOS 트랜지스터(507, 597, 598)의 게이트 폭을 동일한 비율로 감소시킴으로써 얻어지는 pMOS 트랜지스터(620, 618, 619)와 nMOS 트랜지스터(632, 633)를 이용하고, 제75도에 도시된 차동 증폭 회로(592)와 동일한 회로 구성을 갖기 때문이다.

제76도에 도시된 입력 회로에 따르면, 차동 증폭 회로(592)에서 소비되는 전류(Ia)를 거의 일정한 레벨로 유지할 수 있음으로써 특정 범위의 기준 전압(Vref) 내에서 서로 다른 기준 전압 값에 기초하여 서로 다른 전압의 소진폭 신호(Sin)를 처리할 수 있다. 결과적으로, 제76도에 도시된 입력 회로는 개선된 것이다. 또한, 전류 제어 회로(630)에 의해 차동 증폭 회로(592)에서 소비되는 전류(Ia)의 변화를 억제할 수 있어 제조 공정에서 트랜지스터가 확산에 의해 서로 다른 게이트 길이를 갖더라도 제조 효율이 개선될 수 있다.

전류 제어 회로(630)는 복수의 입력 회로의 제1단 차동 증폭 회로에 의해 공유될 수 있다. 일반적인 반도체 장치에서는 적어도 20개 이상의 입력 회로가 제공된다. 따라서, 전류 제어 회로(630)에서 소비되는 전류는 비교적 무시될 수 있다.

이제 제77~81도를 참고로 본 발명의 제25실시예에 따른 출력 회로를 설명한다. 기본적으로, 제77도에 도시된 출력 회로는 하나의 버스 라인에 대응한다. 출력 회로는 예컨대 3.3V의 전원 전압(VCC)을 공급하는 VCC 버스 라인(636)과, 예컨대 1.6V 범위 내의 전원 전압(VCCQ)을 공급하는 VCCQ 전원 라인(637)에 접속된다.

제77도에 도시된 출력 회로와 VCCQ 전원 라인(636)과 접지에 접속되는 출력 제어 회로(638)를 포함한다. 출력 데이터에 따라서, 출력 제어 회로(638)는 고논리 레벨이 전원 전압(VCC)에 세트되고 저논리 레벨이 접지 전압(0V)에 세트되는 신호(S4, S5)를 출력한다.

제77도에 도시된 출력 회로와 VCCQ 전원 라인(637)에 접속된 출력 회로 유닛(639)을 포함한다. 이 출력 회로 유닛(639)은 신호(S4)를 수신하는 입력 단자를 포함하고 출력 단자로 전원 전압(VCCQ)인 고논리 레벨과 접지 전압인 저논리 레벨을 출력하는 CMOS 인버터에 의해 형성된다. 출력 회로(639)는 VCC 전원 라인(636)에 접속된 CMOS 인버터(641)를 포함한다. 이 CMOS 인버터(641)는 신호(S5)를 수신하고, 출력 단자로 전원 전압(VCCQ)인 고논리 레벨과 접지 전압인 저논리 레벨을 출력한다.

또한, 풀업 소자로서 작용하는 증가형 pMOS 트랜지스터(642), 풀다운 소자로서 작용하는 증가형 nMOS 트랜지스터(643), 풀다운 소자로서 작용하는 증가형 nMOS 트랜지스터(644), 및 출력 단자(645)가 제공된다. pMOS 트랜지스터(642)의 소스는 VCCQ 전원 라인(637)에 접속되고, 드레인은 출력 단자(645)에 접속된다. pMOS 트랜지스터(642)의 게이트는 CMOS 인버터(640)의 출력 단자에 접속된다. nMOS 트랜지스터(643)의 드레인은 VCCQ 전원 라인(637)에 접속되고 소스는 출력 단자(645)에 접속된다. nMOS 트랜지스터(643)의 게이트는 신호(S4)를 수신한다. nMOS 트랜지스터(644)의 드레인은 출력 단자(645)에 접속되고 소스는 접지된다. nMOS 트랜지스터(644)의 게이트는 CMOS 인버터(641)의 출력 단자에 접속된다.

신호(S4)가 고레벨이고 신호(S5)가 고레벨일 경우 트랜지스터(642, 643, 644)는 각각 온, 온 및 오프된다. 따라서, 출력 신호(Dout)는 고레벨로 된다. 신호(S4)가 저레벨이고 신호(S5)가 저레벨일 경우, 트랜지스터(642, 643, 644)는 각각 오프, 오프 및 온된다. 따라서, 출력 신호(Dout)는 저레벨로 된다. 신호(S4)가 저레벨이고 신호(S5)가 고레벨일 경우 트랜지스터(642, 643, 644)는 각각 오프, 오프 및 오프로 된다. 따라서, 출력 회로는 고임피던스 상태로 스위칭된다. 따라서, 출력 신호의 수신지는 VCCQ/2(예컨대, 0.8~1.65V)인 중단 전압(VTT)에서 종료되고, 이 수신지의 입력 신호의 제1단 회로의 차동 증폭 회로용 기준 전압(Vref)은 VCCQ/2로 된다.

전원 전압(VCCQ)이 3.3V 이거나 3.3V에 근접하는 경우 출력 단자에서의 풀업 동작은 트랜지스터(542)에 의해 실행된다. 이것은 트랜지스터(543)가 소스 풀로워 동작을 실행하고, 전원 전압(VCC)에 근접한 출력 신호(Dout)에 대해 그것의 임계 전압과 동일한 전압 손실로 인해 충분한 구동 능력을 갖지 못하기 때문이다. 즉, 상기 경우에 nMOS 트랜지스터(643)는 출력 신호(Dout)를 저레벨로부터 고레벨로 스위칭하는 초기 상태에서만 구동 능력을 갖고, 출력 레벨이 상승함으로써 구동 능력을 상실한다.

그러나, 전원 전압(VCCQ)이 대략 1.0V로 세트되는 경우 대략 1.0V만큼 낮은 전압이 pMOS 트랜지스터(642)의 게이트와 소스 양단에 인가된다. 따라서, 풀업 동작시 1.0V 또는 이에 근접한 전압만이 공급되어 충분한 구동 능력이 발휘되지 않는다. 따라서, pMOS 트랜지스터(642)는 충분한 구동 능력을 갖지 않는다. pMOS 트랜지스터(642)의 임계 전압이 예컨대 -1V에 세트되는 경우 pMOS 트랜지스터(642)는 턴온 될 수 없다.

한편, nMOS 트랜지스터(643)는 3.3V의 전원 전압이 공급되기 때문에 풀업 동작시 충분한 구동 능력을 갖

는다. 따라서, nMOS 트랜지스터(643)는 풀업 동작을 실행한다.

즉, 출력 회로(639)는 풀업 소자로서 VCCQ 와 동일한 고레벨을 수신하는 pMOS 트랜지스터(642)와 풀다운 소자로서 VCC와 동일한 고레벨을 수신하는 nMOS 트랜지스터(643)를 구비한다. 따라서, 출력 회로(639)의 구동 능력은 출력 회로가 특정 범위 내의 전원 전압(VCCQ)을 변화시킴으로써 서로 다른 값의 기준 전압(Vref)에 기초하여 서로 다른 전압을 갖는 소진폭 신호(Dout)를 출력하게 한다. 하더라도 크게 변화하지 않는다.

출력 신호(Dout)의 수신지는 본 발명의 제13, 14, 15, 16, 17 또는 제18실시예에 따른 입력 회로를 구비한다. 기준 전압(Vref)의 하부 한계는 제57, 59, 61, 65, 67 또는 70도에 도시된 바와 같이 0.8V로 된다. 이것은 nMOS 트랜지스터(507, 508)의 임계 전압이 0.6V로 세트되고 기준 전압(Vref)이 0.8V일 경우 소진폭 신호(Sin)의 전압이 nMOS 트랜지스터(507, 508)의 임계 전압에 근접되고 차동 증폭기(503 또는 563)가 동작 불가능한 범위로 시프트되기 때문이다. 이 기준 전압(Vref)은 더욱 감소될 수 있고, nMOS 트랜지스터(507, 508)의 임계 전압을 0.6V보다 낮은 값으로 세트하거나 공핍형의 nMOS 트랜지스터(507, 508)를 사용함으로써 소진폭 신호(Sin)의 진폭으로 실질적으로 감소될 수 있다.

제78도에 도시된 파형을 갖는 입력 신호(Sin)가 입력 회로에 입력되는 경우, 입력 회로(Sin)의 회전율은 $\Delta t / (2 \times \text{진폭})$ 로 정의될 수 있다. 입력 신호(Sin)가 200MHz의 주파수를 갖는 경우 그 파형은 제79도에 도시된 바와 같이 될 것이고 그 회전율은 1.25ns/V가 된다.

제80, 81도는 구동 트랜지스터가 nMOS 형이고 부하가 pMOS 트랜지스터의 전류 미러 회로인 nMOS 전류 미러형 차동 증폭 회로를 포함하는 입력 신호에서 발생하는 지연 시간과 입력 신호(Sin)의 진폭 사이의 관계를 나타내는 그래프이다. 입력 회로에서 발생하는 지연 시간은 입력 신호(Sin)의 진폭이 0.2V 이거나 0.2V 보다 크지 않다면 1~2ns/V의 회전율에서 입력 신호(Sin)의 진폭에 의존한다는 것을 제80, 81도로부터 알 수 있다.

0.2V보다 낮은 입력 신호(Sin)의 진폭을 세트하기 위해서는 버스 라인 상의 반사에 의해 발생하는 파형의 변형을 고려하여 출력 회로가 0.3V의 진폭을 갖는 출력 신호를 제공할 필요가 있다. 이것은 신호 반사 계수가 1/3인 경우에 해당한다. 이 경우에 버스 라인의 특성 임피던스는 버스 라인중 어느 하나에 제공되는 종단 저항의 절반에 해당한다. 예컨대, 종단 저항이 50Ω인 경우 출력 회로(639)측에서 볼때의 부하는 25Ω으로 된다. 0.3V의 진폭을 갖는 신호를 공급하기 위해서는 버스 라인에 $\pm 12\text{mA}$ 의 전류를 흐르게 할 필요가 있다.

일반적으로, nMOS 트랜지스터(644)의 내부 저항은 트랜지스터(644)의 크기로 인해 10Ω의 최소 저항을 갖도록 설계된다. 버스 라인에 $\pm 12\text{mA}$ 의 전류를 흘리기 위해서는 nMOS 트랜지스터(644)의 드레인 및 소스 양단에 0.2V의 전압이 걸려야 한다. 따라서, 전원 전압(VCCQ)의 최소 레벨은 $0.84\text{V} (= 0.12 + 0.3) \times 20$ 이다. 전원 전압(VCCQ)이 상기 레벨보다 낮은 경우 입력 회로의 특성은 떨어지게 된다. 따라서, 전원 전압(VCCQ)은 0.84V로 되거나 0.84V보다 더 커져야 한다. 이 경우에, 기준 전압(Vref)은 적절하게 0.42V로 된다. 이 경우에 입력 회로와 차동 증폭 회로의 구동 트랜지스터는 공핍형 nMOS 트랜지스터에 의해 형성된다.

제77도에 도시된 회로에 따르면, 출력 회로가 전원 전압(VCCQ)을 특정 범위내에서 변화시킴으로써 서로 다른 값의 기준 전압(Vref)에 기초하여 서로 다른 전압을 갖는 소진폭 신호(Dout)를 출력하게 되더라도 출력 회로(639)의 구동 능력이 크게 변하지 않는 출력 회로(639)가 제공된다. 따라서, 특정 범위 내의 서로 다른 기준 전압(Vref)값에 기초하여 서로 다른 레벨을 가질 수 있는 소진폭 신호(Dout)를 처리할 수 있다. 결과적으로, 제77도에 도시된 출력 회로는 개선된 것이다.

동작 온도가 상승할 경우 pMOS 트랜지스터(642)와 nMOS 트랜지스터(643)의 임계 전압은 상대적으로 작아지게 된다. 또한, pMOS 트랜지스터(642)의 온(ON) 저항은 커지게 되고, nMOS 트랜지스터(643)의 온 저항은 작아지게 된다. 동작 온도가 낮아질 경우 pMOS 트랜지스터(642)와 nMOS 트랜지스터(643)의 임계 온도는 상대적으로 커지게 된다. 또한, pMOS 트랜지스터(642)의 온 저항은 작아지게 되고, nMOS 트랜지스터(643)의 온 저항은 커지게 된다. 따라서, 출력 신호(Dout)의 진폭은 동작 온도의 변화에 무관하게 일정 레벨에서 유지될 수 있다.

제82도는 본 발명에 따른 전체 전자 시스템의 예의 블록도이다. 제82도에 도시된 시스템은 마이크로프로세서(647), DMA(직접 메모리 액세스) 제어기(148), 및 주변 제어기(649)를 포함한다. 이들 소자는 논리 IC 장치이다. 또한, 이 시스템은 예컨대 DRAM(동적 RAM), SDRAM, SRAM(정적 RAM), VRAM(비디오 RAM), ROM 등과 같은 메모리(650)를 포함한다. 이 장치(647~650)는 복수의 버스 라인을 갖는 버스(651)에 접속된다. 이 버스(651)는 예컨대 1.2V의 종단 전압(VTT)을 공급하는 저항(652~653)에 의해 종료된다.

상기 언급된 입력 및 출력 회로는 장치(647~650)의 각각에 제공될 수 있다. 버스는 데이터 신호는 물론 어드레스 신호, 클럭 신호 및 제어 신호와 같은 다른 신호도 전송한다. 상기 언급된 입력 및 출력 회로는 이들 신호의 전송에 제공될 수 있다.

제83도는 IC 칩 본체(655), 메모리부 또는 논리부(656) 및 버스 인터페이스(657, 658)를 포함하는 IC 칩의 블록도이다. 상기한 입력 및 출력 회로는 상기 버스 인터페이스 회로(657, 658)에 제공될 수 있다.

제84도는 MCM 기판(659), 메모리 칩(660), 논리 칩(661, 662), 및 버스 인터페이스 칩(663)을 포함하는 다중 캐리어 모듈(MCM)의 블록도이다. 상기한 입력 및 출력 회로는 상기 버스 인터페이스 칩(663)에 제공될 수 있다.

제85도는 인쇄 회로 기판(665), 메모리 회로 또는 논리 회로(666), 버스 인터페이스 회로(667) 및 접속기(668)를 포함하는 인쇄 회로 기판 모듈의 블록도이다. 상기한 입력 및 출력 회로는 버스 인터페이스 회로(663)에 제공될 수 있다.

본 발명은 GTL, NTL(nMOS 송수신기 로직), LVTTTL(저전압 TTL), T-LVTTTL(종단 LVTTTL) 및 CTT(중심 탭 종단) 표준과 같은 각종 표준에 응용될 수 있다.

본 발명은 상기 특정된 실시예에 한정되지 않고 본 발명의 정신으로부터 벗어남 없이 변화 및 변경될 수 있다.

(57) 청구의 범위

청구항 1

전자 시스템에 있어서, 각각이 신호입출력 기능을 갖는 복수의 전자 회로(53)와, 복수의 전자 회로가 접속되는 버스(51)와, 버스의 단부에 접속된 제1 종단 저항(52)과, 제1 전압을 발생하는 제1 부분(38)과 제2 전압을 발생하는 제2 부분(39)을 포함하며, 상기 제1 전압과 제2 전압의 합이 상기 버스에 접속된 복수의 전자 회로의 출력 회로에 전원 전압으로서 공급되는 상기 제2 전압이 상기 제1 종단 저항에 종단 전압으로서 공급되는 종단 전압 회로(37)를 구비하는 것을 특징으로 하는 전자 시스템.(제4, 5, 6, 15, 20, 21, 22도)

청구항 2

제1항에 있어서, 상기 종단 전압 회로의 제1 부분과 제2 부분이 직렬 접속되는 것을 특징으로 하는 전자 시스템.

청구항 3

제1항에 있어서, 상기 제2 부분은 상기 제1 전압에서 유도된 분할 전압을 수신하는 제1 입력 단자와, 제2 입력 단자와, 상기 제2 입력 단자에 접속된 출력 단자를 포함하는 연산 증폭기(63)를 구비하는 것을 특징으로 하는 전자 시스템.

청구항 4

제1항에 있어서, 분기점에 접속된 제2 저항(160~164)을 추가로 구비하고, 상기 복수의 전자 회로는 상기 제2 저항을 통하여 상기 버스의 상기 분기점에 접속되는 것을 특징으로 하는 전자 시스템.(제15도)

청구항 5

제4항에 있어서, 상기 제2 저항은 출력 회로를 구동하기 위한 구동 전류를 발생시키며, 상기 구동 전류를 상기 제2 저항이 제거되어 상기 출력 회로에 공급된 전원 전압이 증가되는 경우에 얻어진 전류와 동일한 것을 특징으로 하는 전자 시스템.

청구항 6

제1항에 있어서, 적어도 하나의 전자 회로를 상기 버스에 접속시키는 제2 저항을 구비하며, 나머지 전자 회로는 상기 버스에 직접 접속되는 것을 특징으로 하는 전자 시스템.(제20, 21도)

청구항 7

제6항에 있어서, 상기 버스에 직접 접속된 상기 나머지 전자 회로의 출력 회로를 구동하기 위한 구동 전류는 상기 버스에서 본 제1 구동 전류 값을 갖고, 상기 제2 저항을 통해 상기 버스에 접속된 상기 적어도 하나의 전자 회로의 출력 회로를 구동하기 위한 구동 전류는 제2 구동 전류값을 가지며, 상기 제1 구동 전류값은 상기 제2 구동 전류값과 동일하거나 또는 거의 동일한 것을 특징으로 하는 전자 시스템.

청구항 8

제1항에 있어서, 제2 저항과 이 제2 저항을 통해 상기 버스에 접속된 상기 복수의 전자 회로 중 한 전자 회로를 접속시키는 와이어(155~159)의 특성 임피던스 값은 상기 제2 저항의 저항값과 같거나 작고 상기 버스의 특성 임피던스값의 절반인 것을 특징으로 하는 전자 시스템.(제15도)

청구항 9

제1항에 있어서, 상기 버스에 직접 접속된 상기 복수의 전자 회로중 적어도 한 전자 회로는 상기 복수의 전자 회로중 적어도 한 전자 회로의 출력 회로에 인접 배치된 제2 저항을 통하여 출력 신호를 제공하는 것을 특징으로 하는 전자 시스템.

청구항 10

제9항에 있어서, 상기 제2 저항은 부온도 계수를 갖는 것을 특징으로 하는 전자 시스템.

청구항 11

제9항에 있어서, 상기 제2 저항은 상기 복수의 전자 회로중 적어도 한 전자 회로의 패키지 내에 배치되는 것을 특징으로 하는 전자 시스템.(제23, 24도)

청구항 12

제1항에 있어서, 상기 제1 부분에 의해 생성된 상기 제1 전압은 상기 복수의 전자 회로중 일부 또는 전부의 출력 회로의 동작 온도에 좌우되며 정온도 계수를 갖는 것을 특징으로 하는 전자 시스템.

청구항 13

제12항에 있어서, 상기 제2 부분에 의해 생성된 상기 제2 전압은 상기 복수의 전자 회로중 일부 또는 전부의 출력 회로의 동작 온도에 좌우되며 정온도 계수를 갖는 것을 특징으로 하는 전자 시스템.

청구항 14

제1항에 있어서, 상기 복수의 전자 회로중 적어도 한 전자 회로에 제공된 온도 센서(165)를 추가로 구비하며, 상기 제1 부분은 상기 온도 센서에 의해 감지된 온도에 응답하여 변화되도록 제1 전압을 발생시키며 정온도 계수를 갖는 것을 특징으로 하는 전자시스템.(제21도)

청구항 15

제14항에 있어서, 상기 제2 부분은 상기 온도 센서에 의해 감지된 온도에 응답하여 변화되도록 제2 전압을 발생시키며 정온도 계수를 갖는 것을 특징으로 하는 전자 시스템.

청구항 16

제1항에 있어서, 복수의 전자 회로중 적어도 한 전자 회로는 제2 저항을 통하여 상기 버스에 접속되며, 상기 제1 부분에 의해 발생된 제1 전압은 상기 버스에 직접 접속된 전자 회로의 일부 또는 전부의 온도에 좌우되며 정온도 계수를 갖는 것을 특징으로 하는 전자 시스템.

청구항 17

제16항에 있어서, 상기 제1 부분에 의해 발생된 상기 제2 전압은 상기 버스에 직접 접속된 전자 회로의 일부 또는 전부의 온도에 좌우되며 다른 정온도 계수를 갖는 것을 특징으로 하는 전자 시스템.

청구항 18

제1항에 있어서, 상기 버스에 직접 접속된 상기 복수의 전자 회로중 적어도 한 전자 회로에 제공된 온도 센서를 추가로 구비하며, 상기 제1 부분은 상기 온도 센서에 의해 감지된 온도에 응답하여 변화되도록 제1 전압을 발생시키며 정온도 계수를 갖는 것을 특징으로 하는 전자 시스템.

청구항 19

제18항에 있어서, 상기 제2 부분은 상기 온도 센서에 의해 감지된 온도에 응답하여 변화되도록 제2 전압을 발생시키며 다른 정온도 계수를 갖는 것을 특징으로 하는 전자 시스템.

청구항 20

제1항에 있어서, 상기 복수의 전자 회로의 각 출력 회로는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 트랜지스터의 풀업 소자(137)와, n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제2 트랜지스터의 풀다운 소자(138)를 구비하며, 상기 출력 회로 각각에 직렬로 접속된 상기 제1 및 제2 트랜지스터의 접속부는 상기 출력 회로를 상기 버스에 접속하기 위해 상기 출력 회로의 출력 단자에 접속되는 것을 특징으로 하는 전자 시스템.(제10도)

청구항 21

제20항에 있어서, 상기 제1 트랜지스터를 구동하는 제1 상보형 인버터와, 상기 제2 트랜지스터를 구동하는 제2 상보형 인버터를 추가로 구비하며, 상기 제1 인버터와 제2 인버터에는 상기 제1 전압과 제2 전압의 합과 동일한 전원 전압이 공급되는 것을 특징으로 하는 전자 시스템.

청구항 22

제1항에 있어서, 상기 복수의 전자회로의 각 출력 회로는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 트랜지스터의 풀업 소자(137)와, n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제2 트랜지스터의 풀다운 소자(138)를 구비하며, 상기 제1 트랜지스터의 임계 전압은 상기 각 출력 회로에서 출력된 저레벨 출력 신호 보다 높고 상기 제2 트랜지스터의 임계 전압보다는 낮으며, 상기 출력 회로 각각에 직렬로 접속된 상기 제1 및 제2 트랜지스터의 접속부는 상기 출력 회로를 상기 버스에 접속하기 위해 상기 출력 회로의 출력 단자에 접속되는 것을 특징으로 하는 전자 시스템.

청구항 23

제1항에 있어서, 상기 복수의 전자 회로의 각 출력 회로는 공핍형의 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 트랜지스터의 풀업 소자(137)와, 증가형의 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제2 트랜지스터의 풀다운 소자(138)를 구비하며, 상기 제1 트랜지스터의 임계 전압은 상기 각 출력 회로에서 출력된 저신호 레벨과 같거나 높으며, 상기 출력 회로 각각에 직렬로 접속된 상기 제1 및 제2 트랜지스터의 접속부는 상기 출력 회로를 상기 버스에 접속하기 위해 상기 출력 회로의 출력 단자에 접속되는 것을 특징으로 하는 전자 시스템.

청구항 24

제1항에 있어서, 상기 제1 중단 저항을 갖는 패키지화된 중단 장치를 추가로 구비하는 것을 특징으로 하는 전자 시스템.(제23, 24도)

청구항 25

제1항에 있어서, 상기 제1 중단 저항을 포함하는 패키지화된 중단 장치를 추가로 구비하고, 상기 복수의 전자 회로중 적어도 한 전자 회로와 상기 패키지화된 중단 장치는 스택 형태로 회로 기판상에 배치되는 것을 특징으로 하는 전자 시스템.(제23, 24도)

청구항 26

제24항에 있어서, 상기 패키지화된 중단 장치는 중단 전압이 상기 복수의 전자 회로에 사용된 기준 전압

으로서 출력되는 기준 전압 출력 단자를 구비하는 것을 특징으로 하는 전자 시스템.(제23, 24도)

청구항 27

제3항에 있어서, 상기 제1 종단 저항과 상기 종단 전압 회로의 제2 부분을 포함하는 패키지가화된 종단 장치를 추가로 구비하는 것을 특징으로 하는 전자 시스템.(제23, 24도)

청구항 28

제3항에 있어서, 상기 제1 종단 저항과 상기 종단 전압 회로의 제2 부분을 포함하는 패키지가화된 종단 장치를 추가로 구비하며, 상기 복수의 전자 회로중 적어도 한 전자 회로와 상기 패키지가화된 종단 장치는 스택 형태로 회로 기판 상에 배치되는 것을 특징으로 하는 전자 시스템.(제23, 24도)

청구항 29

제27항에 있어서, 상기 패키지가화된 종단 장치는 상기 제2 전압이 상기 복수의 전자 회로에서 사용된 기준 전압으로서 출력되는 기준 전압 출력 단자를 구비하는 것을 특징으로 하는 전자 시스템.(제23, 24도)

청구항 30

제3항에 있어서, 상기 연산 증폭기는, 전원 전압으로서 상기 제1 전압이 공급되며, 제1 및 제2 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 구동 트랜지스터를 구비하는 제1 차동 증폭 회로(213)와, 전원 전압으로서 상기 제1 전압이 공급되며 제1 및 제2 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 구동 트랜지스터를 구비하는 제2 차동 증폭 회로(214)와, 전원 전압으로서 상기 제1 전압이 공급되며, 제3 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성되고 상기 제1 차동 증폭 회로에 의해 구동되는 풀업 소자와 제3 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성되고 상기 제2 차동 증폭 회로에 의해 구동되는 풀다운 소자를 구비하는 출력 회로(225)를 구비하며, 제1 p 채널 절연 게이트형 전계 효과 트랜지스터의 게이트와 제1 n 채널 절연 게이트형 전계 효과 트랜지스터의 게이트가 함께 접속되는 접속 노드는 상기 제1 입력 단자에 접속되고, 제2 p 채널 절연 게이트형 전계 효과 트랜지스터의 게이트와 제2 n 채널 절연 게이트형 전계 효과 트랜지스터의 게이트가 함께 접속되는 접속 노드는 상기 제2 입력 단자에 접속되며, 상기 연산 증폭기의 상기 출력 회로의 출력 단자는 상기 연산 증폭기의 출력 단자를 형성하는 것을 특징으로 하는 전자 시스템.(제25도)

청구항 31

제1항에 있어서, 제1 종단 저항중 한 저항은 상기 버스의 유효 특성 임피던스 보다는 크고 상기 버스에 부하가 접속되지 않은 경우에 얻는 버스의 특성 임피던스 보다는 작은 저항값을 갖는 것을 특징으로 하는 전자 시스템.

청구항 32

전자 회로에 있어서, 제1 전원 전압을 공급하는 제1 전원 공급 라인에 접속되는 본체 회로(125)와, 제1 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀업 소자 및 제1 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀다운 소자를 구비하는 출력 회로(110)와, 제2 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제2 풀업 소자 및 제2 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제2 풀다운 소자를 구비하는 제1 인버터(126)와, 제3 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제3 풀업 소자 및 제3 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제3 풀다운 소자를 구비하는 제2 인버터(130)와, 상기 제1 전원 전압 보다 낮은 제2 전원 전압을 공급하는 제2 전원 라인과, 상기 제2 전원 전압 보다 낮은 제3 전원 전압을 공급하는 제3 전원 라인을 포함하고, 상기 제1 풀업 소자와 제1 풀다운 소자는 상기 제2 전원 라인과 회로 전원 라인 사이에 직렬로 접속되고 그 접속 노드는 상기 출력 회로를 버스에 접속하기 위해 상기 출력 회로의 출력 단자에 접속되며, 상기 제2 풀업 소자와 제2 풀다운 소자는 상기 제2 전원 라인과 상기 제3 전원 라인 사이에 직렬 접속되며, 상기 제3 풀업 소자와 제3 풀다운 소자는 상기 제2 전원 라인과 상기 제3 전원 라인 사이에 직렬 접속되고, 상기 제2 전원 전압은 백 바이어스 전압으로서 상기 제2 및 제3 풀업 소자에 공급되며, 상기 제1 인버터는 상기 제1 풀업 소자를 구동하고, 상기 제2 인버터는 상기 제1 풀다운 소자를 구동하는 것을 특징으로 하는 전자 회로.(제7도)

청구항 33

제32항에 있어서, 상기 출력 회로에 공급된 전원 전압은 상기 제2 및 제3 p 채널 절연 게이트형 전계 효과 트랜지스터에 역 바이어스 전압으로서 공급되는 것을 특징으로 하는 전자 회로.

청구항 34

전자 회로에 있어서, 제1 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀업 소자(147) 및 제2 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀다운 소자(148)를 포함하는 출력 회로를 구비하고, 상기 제1 n 채널 절연 게이트형 전계 효과 트랜지스터는 상기 출력 회로에서 출력된 저레벨 신호와 같거나 크고 상기 제2 n 채널 절연 게이트형 전계 효과 트랜지스터의 임계 전압 보다는 작은 임계 전압을 가지며, 상기 출력 회로에 직렬로 접속된 상기 제1 및 제2 트랜지스터의 접속부는 상기 출력 회로를 상기 버스에 접속하기 위해 상기 출력 회로의 출력 단자에 접속되는 것을 특징으로 하는 전자 회로.(제11도)

청구항 35

공평형의 제1 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀업 소자(147)와 증가형의 제2 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 풀다운 소자(148)를 포함하는 출력 회로(110)를 구비하고, 상기 제1 n 채널 절연 게이트형 전계 효과 트랜지스터는 상기 출력 회로에서 출력된 저레벨 신호와 같거나 큰 임계 전압을 가지며, 상기 출력 회로에 직렬로 접속된 상기 제1 및 제2 트랜지스터의 접

속부는 상기 출력 회로를 상기 버스에 접속하기 위해 상기 출력 회로의 출력 단자에 접속되는 것을 특징으로 하는 전자 회로.(제11도)

청구항 36

각각 신호 입출력 기능을 갖는 복수의 전자 회로와 상기 복수의 전자회로가 버스를 포함하는 전자 시스템에 접속된 종단 장치에 있어서, 상기 버스의 단부에 접속된 종단 저항과, 상기 종단 저항을 패키징하는 패키지 부재(175)를 구비하는 것을 특징으로 하는 종단 장치.(제23도)

청구항 37

제36항에 있어서, 상기 패키지 부재에 의해 패키징되며 제1 전압을 발생하는 제1 부분과 제2 전압을 발생하는 제2 부분을 포함하는 종단 전압 회로를 추가로 구비하며, 상기 제1 전압과 제2 전압의 합은 상기 버스에 접속된 상기 복수의 전자 회로의 출력 회로에 전원 전압으로서 공급되고, 상기 제2 전압은 상기 제1 종단 저항에 종단 전압으로서 공급되는 것을 특징으로 하는 종단 장치.(제23도)

청구항 38

제37항에 있어서, 상기 제2 전압이 상기 복수의 전자 회로에 사용된 기준 전압으로서 출력되는 기준 전압 출력 단자를 추가로 구비하는 것을 특징으로 하는 종단 장치.

청구항 39

제37항에 있어서, 상기 복수의 전자 회로중 적어도 한 전자 회로와 상기 종단 저항이 스택 형태로 배치되는 것을 특징으로 하는 종단 장치.

청구항 40

전자 시스템에 있어서, 신호 입출력 기능을 가지며 푸시풀형 출력 회로를 포함하는 복수의 전자 회로와, 상기 복수의 전자 회로가 접속된 버스(240)와, 상승 특성을 갖는 제1 비선형 소자(242) 및 제2 비선형 소자(243)를 포함하는 종단 장치(241)를 구비하고, 상기 제1 비선형 소자는 상기 버스와 종단 전압 라인 사이에 순방향으로 접속되고, 상기 제2 비선형 소자는 상기 종단 전압 라인을 통해 공급된 종단 전압 보다 낮은 전압을 전송하는 전압 라인과 상기 버스 사이에 순방향으로 접속되며, 상기 버스를 통해 전송된 신호가 없는 경우 상기 버스에 전류가 흐르지 않는 것을 특징으로 하는 전자 시스템.(제26도)

청구항 41

전자 시스템에 있어서, 푸시풀형 출력 회로와 신호 입력 및 출력 기능을 갖는 복수개의 전자 회로와, 상기 복수개의 전자 회로가 접속된 버스(240)와, 제1 비선형 소자(242)와 제2 비선형 소자(243)를 갖는 종단 장치(241)를 포함하고, 상기 제1 비선형 소자는 순방향으로 상기 버스와 종단 전압 라인 사이에 접속되고, 상기 제2 비선형 소자는 상기 종단 전압 라인을 통하여 공급된 종단 전압 보다 낮은 전압을 전송하는 전압 라인과 버스 사이에 순방향으로 접속되며, 상기 제1 및 제2 비선형 소자는 다이오드이고, 상기 제1 및 제2 비선형 소자의 순방향 임계 전압의 합은 상기 전압 라인을 통해 전송되는 상기 전압과 상기 종단 전압 사이의 차 보다 크며, 상기 종단 전압 보다 낮은 것을 특징으로 하는 전자 시스템.(제26도)

청구항 42

전자 시스템에 있어서, 푸시풀형 출력 회로와 신호 입력 및 출력 기능을 갖는 복수개의 전자 회로와, 상기 복수개의 전자 회로가 접속된 버스(240)와, 제1 비선형 소자(242)와 제2 비선형 소자(243)를 갖는 종단 장치(241)를 포함하고, 상기 제1 비선형 소자는 순방향으로 상기 버스와 종단 전압 라인 사이에 접속되며, 상기 제2 비선형 소자는 상기 종단 전압 라인을 통하여 공급된 종단 전압 보다 낮은 전압을 전송하는 전압 라인과 버스 사이에 순방향으로 접속되고, 신호가 상기 버스를 통하여 전송되지 않는 경우에는 상기 버스에서의 전류 흐름이 발생하지 않고, 상기 제1 및 제2 비선형 소자는 직렬 접속된 다이오드와 저항을 가진 직렬 회로를 포함하는 것을 특징으로 하는 전자 시스템.(제26도)

청구항 43

제41항에 있어서, 상기 제1 및 제2 비선형 소자는 다이오드 접속형의 절연 게이트형 전계 효과 트랜지스터인 것을 특징으로 하는 전자 시스템.

청구항 44

전자 시스템에 있어서, 푸시풀형 출력 회로와 신호 입력 및 출력 기능을 갖는 복수개의 전자 회로와, 상기 복수개의 전자 회로가 접속된 버스(240)와, 제1 비선형 소자(253)와 제2 비선형 소자(254)를 갖는 종단 장치(252)를 포함하고, 상기 제1 비선형 소자는 순방향으로 상기 버스와 종단 전압 라인 사이에 접속되며, 상기 제2 비선형 소자는 상기 종단 전압 라인을 통하여 공급된 종단 전압 보다 낮은 전압을 전송하는 전압 라인과 버스 사이에 순방향으로 접속되고, 신호가 상기 버스를 통하여 전송되지 않는 경우에는 상기 버스에서의 전류 흐름이 발생하지 않고, 상기 제1 비선형 소자는 상기 종단 전압을 수신하는 드레인 과 상기 버스에 접속된 소스와 제1 바이어스 전압이 공급되는 게이트를 갖는 n채널 절연 게이트형 전계 효과 트랜지스터를 구비하고, 상기 제2 비선형 소자는 상기 버스에 접속된 소스와 상기 종단 전압 보다 낮은 전압이 공급되는 상기 전압 라인에 접속된 드레인과 상기 제2 바이어스 전압이 공급되는 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터를 구비하는 것을 특징으로 하는 전자 시스템.(제28도)

청구항 45

제44항에 있어서, 상기 제1 바이어스 전압에서 상기 제2 바이어스 전압을 뺀 값은 n채널 절연 게이트형 전계 효과 트랜지스터의 임계 전압과 p 채널 절연 게이트형 전계 효과 트랜지스터의 임계 전압의 절대값

의 합보다 작은 것을 특징으로 하는 전자 시스템.

청구항 46

제44항에 있어서, 제1 연산 증폭기를 구비하여 상기 제1 바이어스 전압을 발생하는 제1 바이어스 전압 발생 회로(266)와, 제2 연산 증폭기를 구비하여 상기 제2 바이어스 전압을 발생하는 제2 바이어스 전압 발생 회로(267)를 추가로 구비하는 것을 특징으로 하는 전자 시스템.(제32도)

청구항 47

제46항에 있어서, 상기 제1 연산 증폭기는, 제1 및 제2 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 구동 트랜지스터를 포함하는 제1 차동 증폭 회로(272)와, 제1 및 제2 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 구동 트랜지스터를 포함한 제2 차동 증폭 회로(273)와, 제3 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성되고, 상기 제1 차동 증폭 회로에 의해 구동되는 풀업 소자와, 제3 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성되고 상기 제2 차동 증폭 회로에 의해 구동되는 풀다운 소자를 포함하는 제1 출력 회로(274)를 구비하며, 상기 제1 연산 증폭기는 제1 p 채널 절연 게이트형 전계 효과 트랜지스터의 게이트 및 제1 n 채널 절연 게이트형 전계 효과 트랜지스터의 게이트가 함께 접속된 제1 접속 노드에 대응하는 제1 입력 단자와, 제2 p 채널 절연 게이트형 전계 효과 트랜지스터의 게이트 및 제2 n 채널 절연 게이트형 전계 효과 트랜지스터의 게이트가 함께 접속된 제2 접속 노드에 대응하는 제2 입력 단자와, 상기 제1 출력 회로의 출력 단자에 대응하는 출력 단자를 갖는데, 상기 제1 연산 증폭기의 출력 단자는 상기 제1 입력 단자에 접속되고 상기 제2 입력 단자는 기준 전압이 공급되며, 상기 제1 바이어스 전압은 상기 제1 연산 증폭기의 출력 단자에서 얻어지고, 상기 제2 바이어스 전압 발생 회로는, 제4 및 제5 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 구동 트랜지스터를 포함하는 제3 차동 증폭 회로(287)와, 제4 및 제5 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 구동 트랜지스터를 포함하는 제4 차동 증폭 회로(288)와, 제6 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성되고 상기 제3 차동 증폭 회로에 의해 구동되는 풀업 소자 및 제6 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성되고 상기 제4 차동 증폭 회로에 의해 구동되는 풀다운 소자를 포함하는 제2 출력 회로(299)를 구비하며, 상기 제2 연산 증폭기는 제4 p 채널 절연 게이트형 전계 효과 트랜지스터 및 제4 n 채널 절연 게이트형 전계 효과 트랜지스터의 게이트가 함께 접속된 제3 접속 노드에 대응하는 제1 입력 단자와, 제5 p 채널 절연 게이트형 전계 효과 트랜지스터 및 제5 n 채널 절연 게이트형 전계 효과 트랜지스터가 함께 접속된 제4 접속 노드에 대응하는 제2 입력 단자와, 상기 제2 출력 회로의 출력 단자에 대응하는 출력 단자를 갖는데, 상기 제2 연산 증폭기의 출력 단자는 상기 제1 입력 단자에 접속되고, 상기 제2 입력 단자는 기준 전압이 공급되며, 상기 제2 바이어스 전압은 상기 제1 연산 증폭기의 출력 단자에서 얻어지는 것을 특징으로 하는 전자 시스템.(제33, 34도)

청구항 48

전자 시스템에 있어서, 푸시풀형 출력 회로 및 신호 입력 및 출력 기능을 갖는 복수개의 전자 회로와, 상기 복수개의 전자 회로가 접속된 버스와, 제1 비선형 소자 및 제2 비선형 소자를 갖는 중단 장치를 포함하고, 상기 제1 비선형 소자는 순방향으로 상기 버스와 중단 전압 라인 사이에 접속되며, 상기 제2 비선형 소자는 상기 중단 전압 라인을 통하여 공급된 중단 전압 보다 낮은 전압을 전송하는 전압 라인과 버스 사이에 순방향으로 접속되고, 신호가 상기 버스를 통하여 전송되지 않는 경우에는 상기 버스에서의 전류 흐름이 발생하지 않고, 상기 중단 장치는 상기 제1 및 제2 비선형 소자를 포함하는 직접 회로 및 중단 전압 라인에 접속된 중단 전압 발생 회로(246)를 구비하는 것을 특징으로 하는 전자 시스템.(제26, 28도)

청구항 49

전자 시스템에 있어서, 푸시풀형 출력 회로와 신호 입력 및 출력 기능을 갖는 복수개의 전자 회로와, 상기 복수개의 전자 회로가 접속된 버스(240)와, 제1 비선형 소자(253) 및 제2 비선형 소자(254)를 갖는 중단 장치(252)를 포함하고, 상기 제1 비선형 소자는 순방향으로 상기 버스와 중단 전압 라인 사이에 접속되며, 상기 제2 비선형 소자는 상기 중단 전압 라인을 통하여 공급된 중단 전압 보다 낮은 전압을 전송하는 전압 라인과 버스 사이에 순방향으로 접속되고, 신호가 상기 버스를 통하여 전송되지 않는 경우에는 상기 버스에서의 전류 흐름이 발생하지 않으며, 상기 중단 장치는 제1 및 제2 비선형 소자를 포함하는 직접 회로와, 상기 기준 전압이 출력되는 기준 전압 출력 단자(248)를 구비하는 것을 특징으로 하는 전자 시스템.(제26, 28도)

청구항 50

전자 시스템에 있어서, 푸시풀형 출력 회로와 신호 입력 및 출력 기능을 갖는 복수개의 전자 회로와, 상기 복수개의 전자 회로가 접속된 버스(240)와, 제1 비선형 소자(253) 및 제2 비선형 소자(254)를 갖는 중단 장치(252)를 포함하고, 상기 제1 비선형 소자는 순방향으로 상기 버스와 중단 전압 라인 사이에 접속되며, 상기 제2 비선형 소자는 상기 중단 전압 라인을 통하여 공급된 중단 전압 보다 낮은 전압을 전송하는 전압 라인과 버스 사이에 순방향으로 접속되고, 신호가 상기 버스를 통하여 전송되지 않는 경우에는 상기 버스에서의 전류 흐름이 발생하지 않으며, 상기 중단 장치와 복수의 전자 회로는 스택 형태로 회로 기판(202)에 배치되는 것을 특징으로 하는 전자 시스템.

청구항 51

전자 시스템에 있어서, 푸시풀형 출력 회로와 신호 입력 및 출력 기능을 갖는 복수개의 전자 회로와, 상기 복수개의 전자 회로가 접속된 버스(240)와, 제1 비선형 소자(253) 및 제2 비선형 소자(254)를 갖는 중단 장치(252)를 포함하고, 상기 제1 비선형 소자는 순방향으로 상기 버스와 중단 전압 라인 사이에 접속되며, 상기 제2 비선형 소자는 상기 중단 전압 라인을 통하여 공급되는 중단 전압 보다 낮은 전압을 전송하는 전압 라인과 버스 사이에 순방향으로 접속되고, 신호가 상기 버스를 통하여 전송되지 않는 경우에는 상기 버스에서의 전류 흐름이 발생하지 않으며, 전자 시스템이 또한, 상승 특성을 갖는 제3 비선형 소자(237)와, 제4 비선형 소자(238)를 추가로 구비하는데, 상기 제3 비선형 소자는 상기 중단 전압 라인 과 상

기 버스 사이에 순방향으로 접속되고, 상기 제4 비선형 소자는 상기 종단 전압 라인을 통해 공급된 종단 전압 보다 작은 전압을 전송하는 전압 라인과 상기 버스 사이에 순방향으로 접속되며, 상기 복수의 전자 회로의 입력 회로의 동작에 필요한 기준 전압을 상기 제3 및 제4 비선형 소자가 직렬로 접속되는 접속 노드를 통해 출력되는 것을 특징으로 하는 전자 시스템.(제26, 28도)

청구항 52

제51항에 있어서, 상기 제3 및 제4 비선형 소자는 다이오드를 포함하는 것을 특징으로 하는 전자 시스템.

청구항 53

제51항에 있어서, 상기 제3 및 제4 비선형 소자는 각각 직렬 접속된 저항과 다이오드를 갖는 직렬 회로를 포함하는 것을 특징으로 하는 전자 시스템.

청구항 54

제51항에 있어서, 상기 제3 및 제4 비선형 소자는 다이오드 접속형의 절연 게이트형 전계 효과 트랜지스터를 구비한 것을 특징으로 하는 전자 시스템.

청구항 55

상승 특성을 갖는 제1 비선형 소자(242)와, 상승 특성을 갖는 제2 비선형 소자(243)를 구비하며, 상기 제1 비선형 소자는 종단 전압이 공급되는 종단 전압 라인과 버스 사이에 순방향으로 접속되고, 상기 제2 비선형 소자는 상기 종단 전압 보다 낮은 전압이 공급되는 전압 라인과 상기 버스 사이에 순방향으로 접속되는 것을 특징으로 하는 종단 장치.

청구항 56

제55항에 있어서, 상기 종단 전압 라인에 접속되며 상기 종단 전압을 발생하는 종단 전압 발생 회로를 추가로 구비하는 것을 특징으로 하는 종단 장치.

청구항 57

제55항에 있어서, 상기 제1 및 제2 비선형 소자는 다이오드를 구비하는 것을 특징으로 하는 종단 장치.

청구항 58

종단 장치에 있어서, 제1 비선형 소자와, 제2 비선형 소자를 구비하는데, 상기 제1 비선형 소자는 종단 전압이 공급되는 종단 전압 라인과 버스 사이에 순방향으로 접속되며, 상기 제2 비선형 소자는 상기 종단 전압 보다 낮은 전압이 공급되는 전압 라인과 버스 사이에 순방향으로 접속되며, 상기 제1 및 제2 비선형 소자는 각각 직렬 접속된 저항(244, 245)과 다이오드(242, 243)를 가진 직렬 회로를 구비하는 것을 특징으로 하는 종단 장치.(제26도)

청구항 59

제55항에 있어서, 상기 제1 및 제2 비선형 소자는 다이오드 접속형의 절연 게이트형 전계 효과 트랜지스터를 구비하는 것을 특징으로 하는 종단 장치.

청구항 60

제1 단부가 전원 전압을 공급하는 전원 라인에 접속된 제1 부하 소자와 상기 제1 소자와 제2 단부에 접속된 드레인, 제1 입력 보호 회로를 통해 내부 기준 전압이 공급되는 게이트 및 전송 신호를 수신하는 소스를 갖는 절연게이트형의 제1 n 채널 전계 효과 트랜지스터를 각각 구비하며, 상기 드레인을 통해 출력되는 전송 신호에 대한 논리 결정을 이룸으로써 출력 신호가 얻어지는 복수의 논리 결정 회로(438₁~438n)와; 제1 단부가 상기 전원 라인에 접속된 제2 부하 소자와, 드레인이 상기 제2 부하 소자에 접속되고 게이트가 제2 n 채널 전계 효과 트랜지스터의 드레인 및 상기 제1 n 채널 전계 효과 트랜지스터의 게이트에 접속되며 소스가 기준 전압 입력 단자 및 제2 입력 보호 회로를 통해 기준 전압을 수신하고 상기 기준 전압이 상기 논리 결정을 이루는데 사용되는 절연 게이트형의 제2 n 채널 전계 효과 트랜지스터와, 제1 단부가 상기 제2 n 채널 전계 효과 트랜지스터의 게이트에 접속되고 제2 단부가 상기 제2 입력 보호 회로에 접속된 커패시터를 포함하며, 상기 내부 기준 전압이 제2 n 채널 전계 효과 트랜지스터의 게이트에서 얻어지는 내부 기준 전압 발생 회로(442)를 구비하고, 상기 복수의 논리 결정 회로와 내부 기준 전압 발생 회로는 상기 전송 신호가 통과하는 상기 버스에 접속된 전자 회로의 입력 회로를 형성하는 것을 특징으로 하는 전자 회로.(제40도)

청구항 61

제60항에 있어서, 상기 제1 및 제2 부하 소자는 각 제1 단자에 대응하는 소스와 각 제2 단자에 대응하는 드레인과 바이어스 전압을 수신하는 소스를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터를 구비하는 것을 특징으로 하는 전자 회로.

청구항 62

제1 단부가 전원 전압을 공급하는 전원 라인에 접속되는 제1 부하 소자와, 드레인이 상기 제1 부하 소자의 제2 단부에 접속되고 게이트에 제1 입력 보호 회로를 통해 내부 기준 전압이 공급되며 소스가 전송 신호를 수신하는 절연 게이트형의 제1 n 채널 전계 효과 트랜지스터를 각각 구비하며, 출력 신호가 상기 드레인을 통해 출력되는 전송 신호에 대한 논리 결정을 이룸으로써 얻어지는 복수의 논리 결정 회로(438₁~438n)와; 제1 단부가 상기 전원 라인에 접속된 제2 부하 소자와, 드레인이 상기 제2 부하 소자의 제2 단부에 접속되고 게이트가 제2 n 채널 전계 효과 트랜지스터의 드레인 및 상기 제1 n 채널 전계 효과 트랜

지스터의 게이트에 접속되며 소스가 기준 전압 입력 단자 및 제2 입력 보호 회로를 통해 기준 전압을 수신하고 상기 기준 전압이 상기 논리 결정을 이루는데 사용되는 절연 게이트형의 제2 n 채널 전계 효과 트랜지스터와, 비반전 입력단이 상기 제2 n 채널 전계 효과 트랜지스터의 소스에 접속되고 반전 입력단이 상기 제1 n 채널 전계 효과 트랜지스터의 게이트와 자신의 출력 단자에 접속되는 연산 증폭기를 포함하며, 상기 내부 기준 전압이 상기 연산 증폭기의 상기 출력 단자에서 얻어지는 내부 기준 전압 발생 회로(448)를 구비하고, 상기 복수의 논리 결정 회로와 내부 기준 전압 발생 회로는 상기 전송 신호가 통과하는 상기 버스에 접속된 전자 회로의 입력 회로를 형성하는 것을 특징으로 하는 전자 회로.

청구항 63

제62항에 있어서, 상기 제1 및 제2 부하 소자는 각 제1 단자에 대응하는 소스와 각 제2 단자에 대응하는 드레인과 바이어스 전압을 수신하는 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터를 구비하는 것을 특징으로 하는 전자 회로.

청구항 64

제1 단부가 전원 전압을 공급하는 전원 라인에 접속된 제1 부하 소자와, 소스와 상기 제1 부하 소자의 제2 단부에 저속된 드레인 및 내부 기준 전압이 공급되는 게이트를 갖는 절연 게이트형의 제1 n 채널 전계 효과 트랜지스터와, 상기 소스에 접속된 전류 입력 단자, 군(group)전위로 세팅된 전류 출력단자 및 전송 신호 입력 단자와 제1 입력 보호 회로를 통해 전송 신호를 수신하는 제어 단자를 갖는 제1 가변 임피던스 소자를 구비하며, 출력 신호가 상기 제1 n 채널 전계 효과 트랜지스터의 드레인을 통해 출력되는 전송 신호에 대해 논리 결정을 이루므로써 얻어지는 복수의 논리 결정 회로(453)와; 제1 단부가 전원 라인에 접속된 제2 부하 소자와, 소스, 상기 제2 부하 소자의 제2 단자에 접속된 드레인 및 상기 제1 n 채널 전계 효과 트랜지스터의 게이트와 상기 제2 단자에 접속된 게이트를 갖는 절연 게이트형의 제2 n 채널 전계 효과 트랜지스터와, 상기 제2 n 채널 전계 효과 트랜지스터의 소스에 접속된 전류 입력 단자, 군전위로 세팅된 전류 출력 단자 및 기준 전압 입력 단자와 제2 입력 보호 회로를 통해 기준 전압을 수신하는 제어 단자를 갖는 제2 가변 임피던스 소자를 포함하는데, 상기 기준 전압은 상기 전송 신호에 대해 논리 결정을 이루기 위해 사용되고, 상기 내부 기준 전압을 상기 제2 n 채널 전계 효과 트랜지스터의 게이트에서 얻어지는 내부 기준 전압 발생 회로(454)를 구비하는 것을 특징으로 하는 전자 회로.(제43도)

청구항 65

제64항에 있어서, 상기 제1 및 제2 가변 임피던스 소자는 각 전류 입력 단자에 대응하는 각 전류 출력 단자에 대응하는 드레인과 각 제어 단자에 대응하는 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터를 각각 구비하는 것을 특징으로 하는 전자 회로.

청구항 66

제64항에 있어서, 상기 제1 및 제2 가변 임피던스 소자는 각 전류 입력 단자에 대응하는 드레인과 각 전류 출력 단자에 대응하는 소스와 각 전류 제어 단자에 대응하는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터를 각각 구비하는 것을 특징으로 하는 전자 회로.

청구항 67

제66항에 있어서, 상기 n 채널 절연 게이트형 전계 효과 트랜지스터는 공핍형인 것을 특징으로 하는 전자 회로.

청구항 68

제64항에 있어서, 상기 제1 및 제2 부하 소자는 각 제1 단자에 대응하는 소스와 각 제2 단자에 대응하는 드레인과 바이어스 전압을 수신하는 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터를 구비하는 것을 특징으로 하는 전자 회로.

청구항 69

전자 회로에 있어서, 논리 결정이 이루어져야 하는 입력 신호와 논리 결정을 위해 사용되는 기준 전압이 공급되는 차동 증폭 회로(514)와, 상기 차동 증폭 회로를 제어하여 소정 범위 내의 기준 전압 변화에 대해 상기 차동 증폭 회로에 흐르는 전류의 변동을 억제시키는 전류 제어 회로를 포함하는 입력 회로(515)를 구비하는 것을 특징으로 하는 전자 회로.(제50도)

청구항 70

제69항에 있어서, 상기 차동 증폭 회로는, 제1 전원 전압이 공급되는 제1 전원 라인에 접속된 제1 단부를 각각 갖는 제1 부하(521) 및 제2 부하(522)와, 상기 제1 부하의 제2 단부에 접속된 드레인, 상기 입력 신호가 공급되는 게이트 및 소스를 갖는 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 트랜지스터(523)와, 상기 제2 부하의 제2 단부에 접속된 드레인, 상기 기준 전압이 공급되는 게이트 및 상기 제1 트랜지스터의 소스에 접속된 소스를 갖는 절연 게이트형 전계 효과 트랜지스터로 형성된 제2 트랜지스터(524)와, 제1 단부가 상기 제1 및 제2 트랜지스터의 소스에 접속되고 제2 단부가 제2 전원 전압을 공급하는 제2 전원 라인에 접속된 가변 저항 회로(525)를 구비하고, 상기 전자 회로의 출력 신호가 상기 제1 및 제2 트랜지스터의 적어도 한 드레인을 통해 출력되는 것을 특징으로 하는 전자 회로.(제51도)

청구항 71

제70항에 있어서, 상기 제1 및 제2 트랜지스터는 n 채널형이고, 상기 전류 제어 회로는 상기 기준 전압이 비교적 높은 경우에 상기 가변 저항 회로의 저항값을 증가시키며 상기 기준 전압이 비교적 낮은 경우에 상기 가변 저항 회로의 저항값을 감소시키는 것을 특징으로 하는 전자 회로.(제51도)

청구항 72

제71항에 있어서, 상기 제1 부하는 상기 제1 전원 라인에 접속된 소스, 상기 제1 트랜지스터의 드레인에 접속된 드레인 및 소스를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제3 트랜지스터(549)를 구비하고, 상기 제2 부하는 상기 제1 전원 라인에 접속된 소스, 게이트 및 자신의 게이트와 상기 제3 트랜지스터의 게이트에 접속된 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제4 트랜지스터(550)를 구비하는 것을 특징으로 하는 전자 회로.(제52도)

청구항 73

제71항에 있어서, 상기 가변 저항 회로(551)는 상기 제1 및 제2 트랜지스터의 소스에 접속된 드레인, 상기 제2 전원 라인에 접속된 소스 및 상기 전류 제어 회로에 의해 제어된 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제3 트랜지스터를 구비하는 것을 특징으로 하는 전자 회로.(제52도)

청구항 74

제71항에 있어서, 상기 가변 저항 회로는, 상기 제1 및 제2 트랜지스터의 소스에 접속된 드레인, 상기 제2 전원 라인에 접속된 소스 및 상기 전류 제어 회로에 의해 제어된 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제3 트랜지스터(535)와, 상기 제1 및 제2 트랜지스터의 소스에 접속된 드레인, 상기 제2 전원 라인에 접속된 소스 및 상기 기준 전압이 공급되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제4 트랜지스터(536)를 구비한 것을 특징으로 하는 전자 회로.(제54도)

청구항 75

제73항에 있어서, 상기 전류 제어 회로는, 상기 제1 전원 라인에 접속된 소스, 상기 기준 전압이 공급된 게이트 및 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제4 트랜지스터(554)와, 상기 제4 트랜지스터의 드레인에 접속된 제1 단부와 상기 제2 전원 라인에 접속된 제2 단부를 갖는 저항 소자(555)를 구비하며, 상기 제4 트랜지스터의 드레인에 접속된 상기 저항 소자의 제1 단부는 상기 제4 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.(제56도)

청구항 76

제74항에 있어서, 상기 전류 제어 회로는, 상기 제1 전원 라인에 접속된 소스, 상기 기준 전압이 공급된 게이트 및 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제5 트랜지스터(554)와, 상기 제5 트랜지스터의 드레인에 접속된 제1 단부와 상기 제2 전원 라인에 접속된 제2 단부를 갖는 저항 소자(555)를 구비하며, 상기 제5 트랜지스터의 드레인에 접속된 상기 저항 소자의 제1 단부는 상기 제5 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.(제56도)

청구항 77

제73항에 있어서, 상기 전류 제어 회로는, 상기 제1 전원 라인에 접속된 소스, 상기 기준 전압이 공급된 게이트 및 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터의 제4 트랜지스터(554)와, 자신의 게이트와 상기 제4 트랜지스터의 드레인에 접속된 드레인, 게이트 및 상기 제2 전원 라인에 접속된 소스를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터의 제5 트랜지스터(558)를 구비하며, 상기 제4 및 제5 트랜지스터의 드레인은 상기 제3 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.(제58도)

청구항 78

제74항에 있어서, 상기 전류 제어 회로는, 상기 제1 전원 라인에 접속된 소스, 상기 기준 전압이 공급된 게이트 및 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터의 제5 트랜지스터(554)와, 자신의 게이트와 상기 제5 트랜지스터의 드레인에 접속된 드레인, 게이트 및 상기 제2 전원 라인에 접속된 소스를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터의 제6 트랜지스터(558)를 구비하며, 상기 제5 및 제6 트랜지스터의 드레인은 상기 제3 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.(제58도)

청구항 79

제73항에 있어서, 상기 전류 제어 회로는, 상기 전원 라인에 접속된 소스, 상기 기준 전압이 공급된 게이트 및 드레인을 갖는 제4 트랜지스터(554)와, 상기 제4 트랜지스터의 드레인에 접속된 드레인, 상기 기준 전압이 공급되는 게이트 및 소스를 갖는 제5 트랜지스터(561)와, 상기 제5 트랜지스터의 드레인에 접속된 드레인, 상기 제4 트랜지스터의 게이트에 접속된 게이트 및 상기 전원 라인에 접속된 소스를 갖는 제6 트랜지스터(538)를 구비하며, 상기 제4 및 제5 트랜지스터의 드레인은 상기 제3 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.(제60도)

청구항 80

제74항에 있어서, 상기 전류 제어 회로는, 상기 제1 전원 라인에 접속된 소스, 상기 기준 전압이 공급된 소스 및 드레인을 갖는 제5 트랜지스터(554)와, 상기 제5 트랜지스터의 드레인에 접속된 드레인, 상기 기준 전압이 공급된 게이트 및 소스를 갖는 제6 트랜지스터(561)와, 상기 제6 트랜지스터의 드레인에 접속된 드레인, 상기 제5 트랜지스터의 게이트에 접속된 게이트 및 상기 제2 전원 라인에 접속된 소스를 갖는 제7 트랜지스터(538)를 구비하며, 상기 제5 및 제6 트랜지스터의 드레인은 상기 제3 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.(제60도)

청구항 81

제73항에 있어서, 상기 전류 제어 회로는, 상기 가변 저항 회로 내에 흐르는 전류를 모니터링하는 모니터 회로(567)와, 상기 제3 트랜지스터의 게이트 전압을 제어하여 상기 모니터 회로에 모니터링된 전류가 거의 일정 레벨로 유지되도록 하는 제한 제어 회로(574)를 구비하는 것을 특징으로 하는 전자 회로.(제66도)

청구항 82

제81항에 있어서, 상기 모니터 회로는, 상기 제1 전원 라인에 접속된 제1 단부 및 제2 단부를 갖는 저항(568)과, 상기 제1 및 제2 트랜지스터의 $1/m$ (여기서 $m \geq 1$)의 게이트 폭을 각각 가지며 상기 기준 전압이 공급되는 게이트, 상기 저항의 제2 단부에 접속된 드레인 및 서로 접속된 소스를 각각 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 각각 구성된 제4 및 제5 트랜지스터(569, 570)와, 상기 $1/m$ 과 동일한 게이트 폭을 갖는 게이트, 상기 제4 및 제5 트랜지스터의 소스에 접속된 드레인 및 상기 제2 전원 라인에 접속된 소스를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제6 트랜지스터(571)를 구비하며, 상기 제한 제어 회로는 차동 증폭 회로를 포함하고, 상기 차동 증폭 회로는, 상기 제4 및 제5 트랜지스터의 드레인에 접속된 제1 입력 단자와, 소정 전압이 공급되는 제2 입력 단자와, 상기 제1 입력 단자에 인가된 전압과 동상의 출력 전압을 제공하는 출력 단자를 구비하며, 상기 제한 제어 회로의 출력 단자는 상기 제3 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.(제66도)

청구항 83

제72항에 있어서, 상기 가변 저항 회로는 상기 제1 및 제2 트랜지스터의 소스에 접속된 드레인, 상기 제2 전원 라인에 접속된 소스 및 상기 전류 제어 회로에 의해 제어되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제5 트랜지스터(535)를 구비하며, 상기 모니터 회로는, 상기 제3 트랜지스터의 $1/m$ (여기서 $m \geq 1$)의 게이트 폭을 갖는 게이트, 제1 전원 라인에 접속된 소스 및 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제6 트랜지스터(584)와, 상기 제4 트랜지스터의 $1/m$ 의 게이트 폭을 갖는 게이트, 상기 제1 전원 라인에 접속된 소스 및 제7 트랜지스터의 게이트와 제6 트랜지스터의 게이트에 접속된 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제7 트랜지스터(583)와, 상기 제1 트랜지스터의 $1/m$ 의 게이트 폭을 갖는 게이트, 상기 제6 트랜지스터의 드레인에 접속된 드레인 및 소스를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제8 트랜지스터(569)와, 상기 제6 트랜지스터의 $1/m$ 의 게이트 폭을 가지며 상기 기준 전압을 수신하는 게이트, 상기 제7 트랜지스터의 드레인에 접속된 드레인 및 상기 제8 트랜지스터에 접속된 소스를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제9 트랜지스터(570)와, 상기 제5 트랜지스터의 $1/m$ 의 게이트 폭을 갖는 게이트, 상기 제8 및 제9 트랜지스터의 소스에 접속된 드레인 및 상기 제2 전원 라인에 접속된 소스를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제10 트랜지스터(571)를 구비하며, 상기 제한 제어 회로는 차동 증폭 회로를 포함하고, 상기 차동 증폭 회로는, 상기 제6 및 제8 트랜지스터의 드레인에 접속된 제1 입력 단자와, 일정 전압을 수신하는 제2 입력 단자와, 상기 제1 입력 단자에 인가된 전압과 동위상의 전압을 출력하며 상기 제5 및 제10 트랜지스터의 게이트에 접속되는 출력 단자를 구비하는 것을 특징으로 하는 전자 회로.(제69도)

청구항 84

제70항에 있어서, 상기 제1 및 제2 트랜지스터는 p 채널형이고, 상기 전류 제어 회로는 상기 기준 전압이 비교적 높을 때는 상기 가변 저항 회로의 저항값을 감소시키고 상기 기준 전압이 비교적 낮을 때는 상기 가변 저항 회로의 저항값을 증가시키는 것을 특징으로 하는 전자 회로.

청구항 85

제84항에 있어서, 상기 제1 부하는 상기 제2 전원 라인에 접속된 소스, 상기 제1 트랜지스터의 드레인에 접속된 드레인 및 소스를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제3 트랜지스터(549)를 구비하고, 상기 제2 부하는 상기 제2 전원 라인에 접속된 소스, 게이트 및 상기 제3 및 제4 트랜지스터의 게이트에 접속된 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제4 트랜지스터(550)를 구비하는 것을 특징으로 하는 전자 회로.

청구항 86

제71항에 있어서, 상기 가변 저항 회로는 상기 제1 및 제2 트랜지스터의 소스에 접속된 드레인, 상기 제2 전원 라인에 접속된 소스 및 상기 전류 제어 회로에 의해 제어된 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제3 트랜지스터(551)를 구비하는 것을 특징으로 하는 전자 회로.(제52도)

청구항 87

제85항에 있어서, 상기 가변 저항 회로는, 상기 제1 및 제2 트랜지스터의 소스에 접속된 드레인, 상기 제1 전원 라인에 접속된 소스 및 상기 전류 제어 회로에 의해 제어된 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제3 트랜지스터(551)와, 상기 제1 및 제2 트랜지스터의 소스에 접속된 드레인, 상기 제1 전원 라인에 접속된 소스 및 상기 기준 전압이 공급되는 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 구성된 제4 트랜지스터(554)를 구비하는 것을 특징으로 하는 전자 회로.

청구항 88

제86항에 있어서, 상기 전류 제어 회로는, 상기 제1 전원 라인에 접속된 소스, 상기 기준 전압이 공급되는 게이트 및 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제4 트랜지스터(554)와, 상기 제4 트랜지스터의 드레인에 접속된 제1 단과 상기 제2 전원 라인에 접속된 제2 단을 갖는 저항 소자(555)를 구비하는 것을 특징으로 하는 전자 회로.

청구항 89

제86항에 있어서, 상기 전류 제어 회로는, 상기 제1 전원 라인에 접속된 소스, 기준 전압이 공급되는 게이트 및 상기 게이트에 접속된 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터의 제4 트랜지스터(554)와, 상기 제4 트랜지스터의 드레인에 접속된 드레인, 상기 제2 전원 라인에 접속된 소스 및 상기 기준 전압이 공급되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터의 제5 트랜지스터(558)를 구비하고, 상기 제4 및 제5 트랜지스터의 드레인은 상기 제3 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.

청구항 90

제86항에 있어서, 상기 전류 제어 회로는, 상기 기준 전압이 공급되는 게이트, 드레인 및 상기 제1 전원 라인에 접속된 소스를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터의 제4 트랜지스터(554)와, 상기 제4 트랜지스터의 드레인에 접속된 드레인, 상기 기준 전압이 공급되는 게이트 및 소스를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터의 제5 트랜지스터(561)와, 상기 제5 트랜지스터의 드레인 및 제5 트랜지스터의 게이트에 접속된 드레인과 상기 제2 전원 라인에 접속된 소스와 상기 기준 전압이 공급되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터의 제6 트랜지스터(538)를 구비하고, 상기 제5 및 제6 트랜지스터의 드레인은 상기 제3 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.

청구항 91

제86항에 있어서, 상기 전류 제어 회로는, 상기 가변 저항 회로에 흐르는 전류를 모니터링하는 모니터 회로(616)와, 상기 제3 트랜지스터의 게이트 전압을 제어하여 상기 모니터 회로에 의해 모니터링된 전류가 거의 일정 레벨로 유지되도록 하는 제한 제어 회로(624)를 구비하는 것을 특징으로 하는 전자 회로.(제75도)

청구항 92

제91항에 있어서, 상기 모니터 회로는, 상기 제3 트랜지스터의 $1/m$ (여기서 $m \geq 1$)의 게이트 폭을 갖는 게이트, 상기 제1 전원 라인에 접속된 소스 및 드레인을 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터의 제4 트랜지스터(620)와, 상기 제2 트랜지스터의 $1/m$ 의 폭을 각각 갖는 게이트, 서로 접속된 드레인 및 상기 기준 전압을 수신하는 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 각기 형성된 제5 및 제6 트랜지스터(618, 619)와, 상기 제5 및 제6 트랜지스터의 드레인에 접속된 제1 단과 상기 제2 전원 라인에 접속된 제2 단을 갖는 저항(617)을 구비하며, 상기 제한 제어 회로는 차동 증폭 회로를 구비하고, 상기 차동 증폭 회로는, 상기 제5 및 제6 트랜지스터의 드레인에 접속된 제1 입력 단자와, 소정 전압이 공급되는 제2 입력 단자와, 상기 제1 입력 단자에 인가된 전압과 동위상의 출력 전압을 제공하는 출력 단자를 구비하며, 상기 제한 제어 회로의 출력 단자는 상기 제3 및 제4 트랜지스터의 게이트에 접속되는 것을 특징으로 하는 전자 회로.(제75도)

청구항 93

제1 전원 전압을 공급하는 제1 전원 라인에 접속된 전자 회로에 있어서, 상기 제1 전원 전압과 같거나 낮은 제2 전원 전압을 공급하는 제2 전원 라인에 접속된 소스, 상기 전자 회로의 출력단에 접속된 드레인 및 상기 제2 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 제1 신호가 공급되는 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 트랜지스터(642)와, 상기 제2 전원 라인에 접속된 드레인, 상기 출력 단자에 접속된 소스 및 상기 제1 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 제2 신호가 공급되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제2 트랜지스터(643)와, 상기 출력 단자에 접속된 드레인, 접지된 소스 및 상기 제1 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 제2 레벨 사이에서 스위칭 가능한 제3 신호가 공급되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제3 트랜지스터(644)를 구비하는 것을 특징으로 하는 전자 회로.(제77도)

청구항 94

제93항에 있어서, 상기 제2 전원 전압은 0.84V의 하한값을 갖는 것을 특징으로 하는 전자 회로.

청구항 95

제94항에 있어서, 상기 제2 전원 전압은 상기 제1 전원 전압에 동일한 상한값을 갖는 것을 특징으로 하는 전자 회로.

청구항 96

제1 전원 전압을 공급하는 제1 전원 라인에 접속된 전원 공급 단자를 포함하고, 상기 제1 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 각각 스위칭 가능한 제1 및 제2 신호를 출력하는 출력 제어 회로(638)와, 상기 제1 전원 전압과 같거나 낮은 제2 전원 전압을 공급하는 제2 전원 라인에 접속된 전원 단자, 상기 제1 신호가 공급되는 입력 단자 및 상기 제2 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 제1 신호를 출력하는 출력 단자를 갖는 제1 인버터(640)와, 상기 제1 전원 라인에 접속된 전원 단자, 상기 제2 신호가 공급되는 입력 단자 및 상기 제1 전원 전압에 해당하는 고레벨과 접지 전압에 해당하는 저레벨 사이에서 스위칭 가능한 신호를 출력하는 출력 단자를 갖는 제2 인버터(641)와, 상기 제2 전원 라인에 접속된 드레인, 출력 단자에 접속된 소스 및 상기 제1 인버터의 출력 단자에 접속된 게이트를 갖는 p 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제1 트랜지스터(642)와, 상기 제2 전원 라인에 접속된 드레인, 출력 단자에 접속된 소스 및 상기 제1 신호가 공급되는 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제2 트랜지스터(643)와, 출력 단자에 접속된 드레인, 접지된 소스 및 상기 제2 인버터의 출력 단자에 접속된 게이트를 갖는 n 채널 절연 게이트형 전계 효과 트랜지스터로 형성된 제3 트랜지스터(644)를 구비하는 것을 특징으로 하는 전자 회로.(제77도)

청구항 97

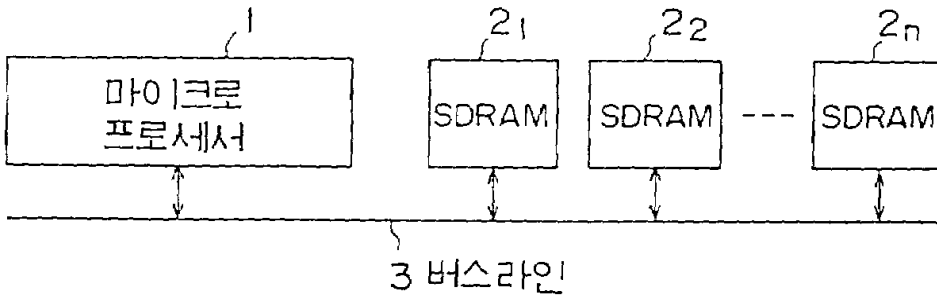
제96항에 있어서, 상기 제2 전원 전압은 0.84V의 하한값을 갖는 것을 특징으로 하는 전자 회로.

청구항 98

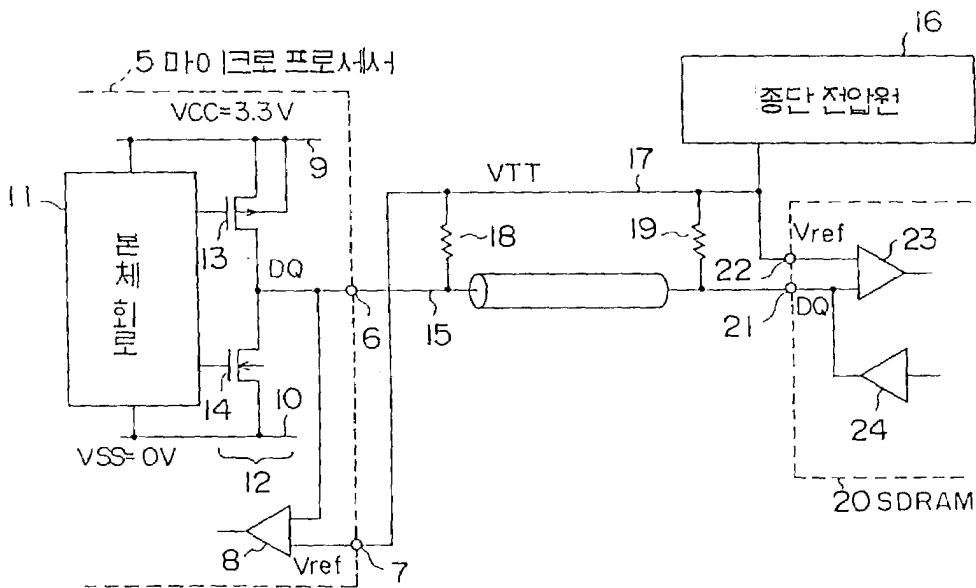
제97항에 있어서, 상기 제2 전원 전압은 상기 제1 전원 전압과 동일한 상한값을 갖는 것을 특징으로 하는 전자 회로.

도면

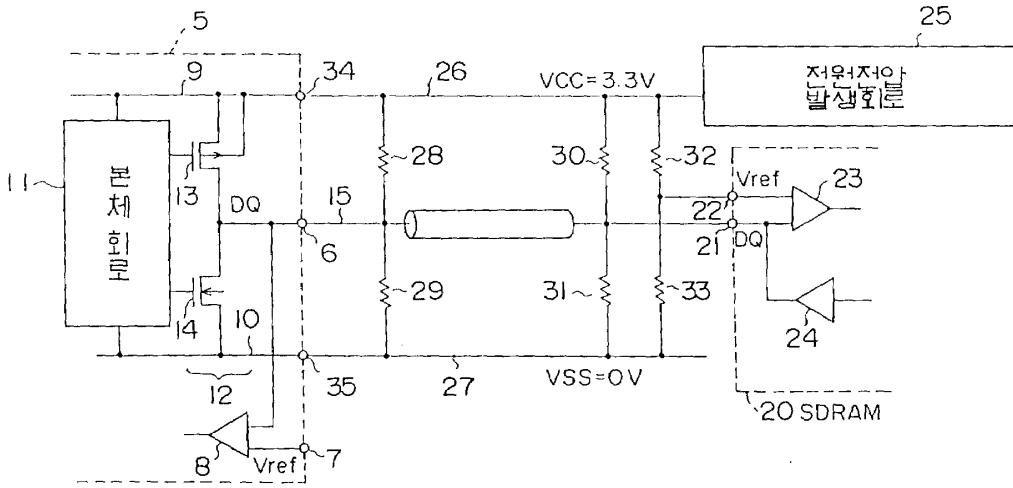
도면1



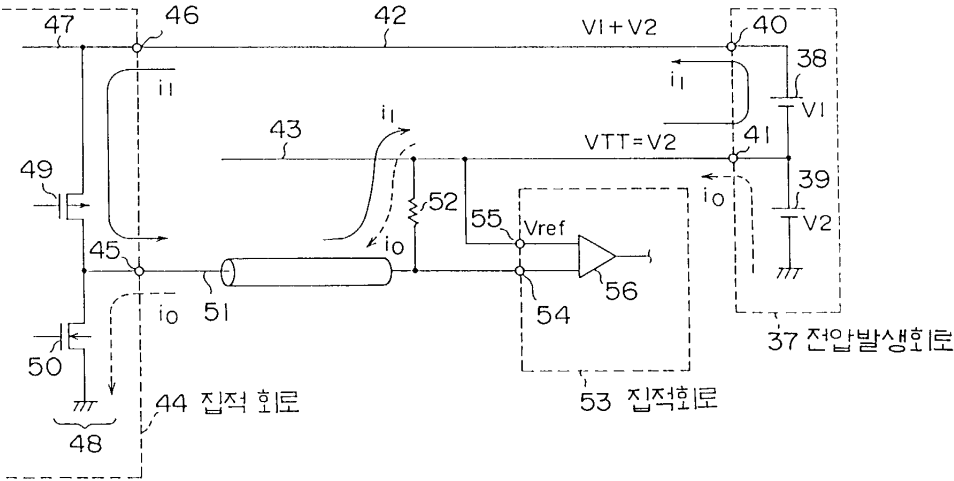
도면2



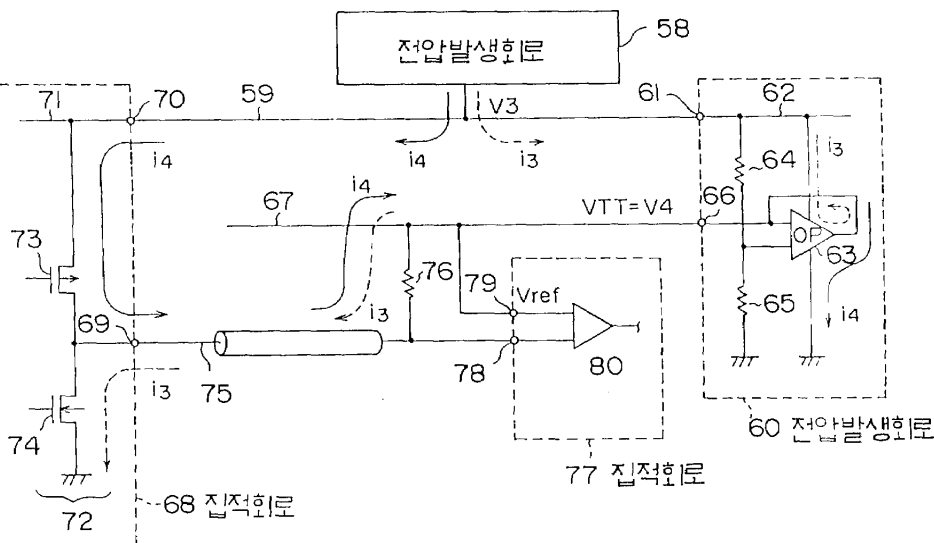
도면3



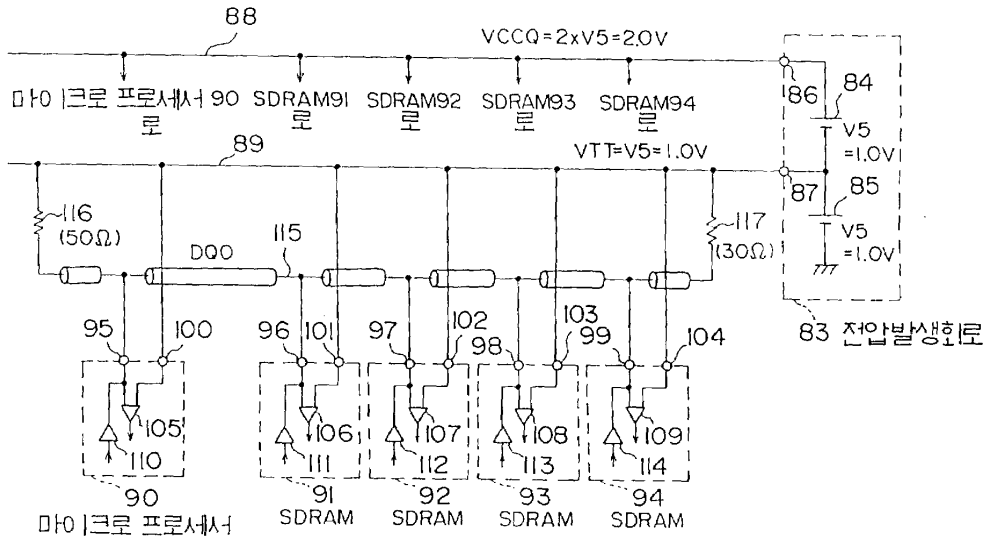
도면4



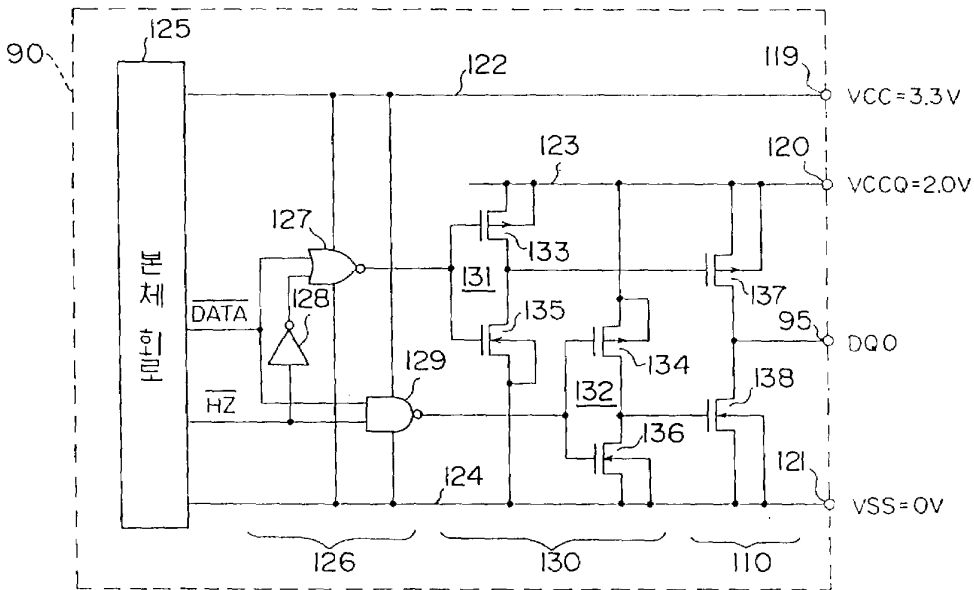
도면5



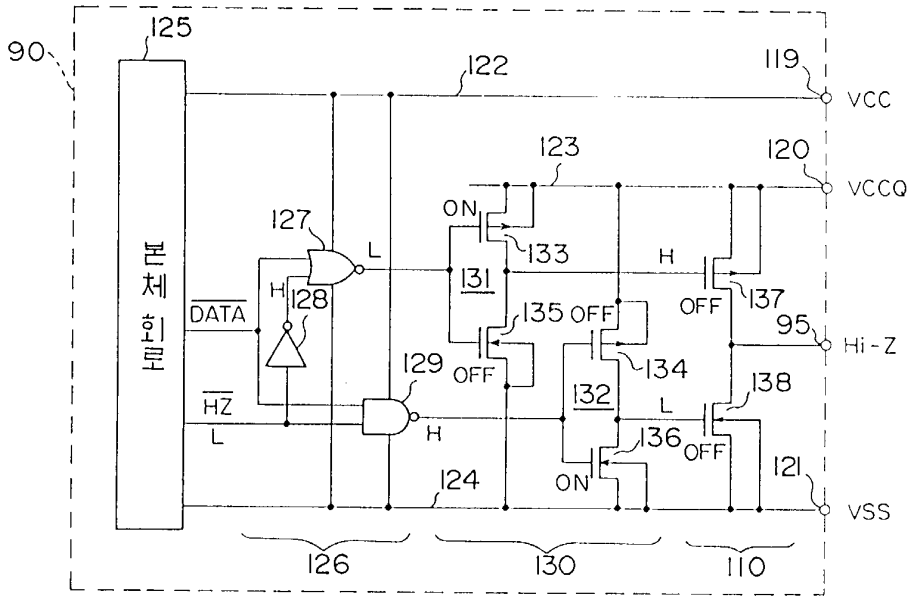
도면6



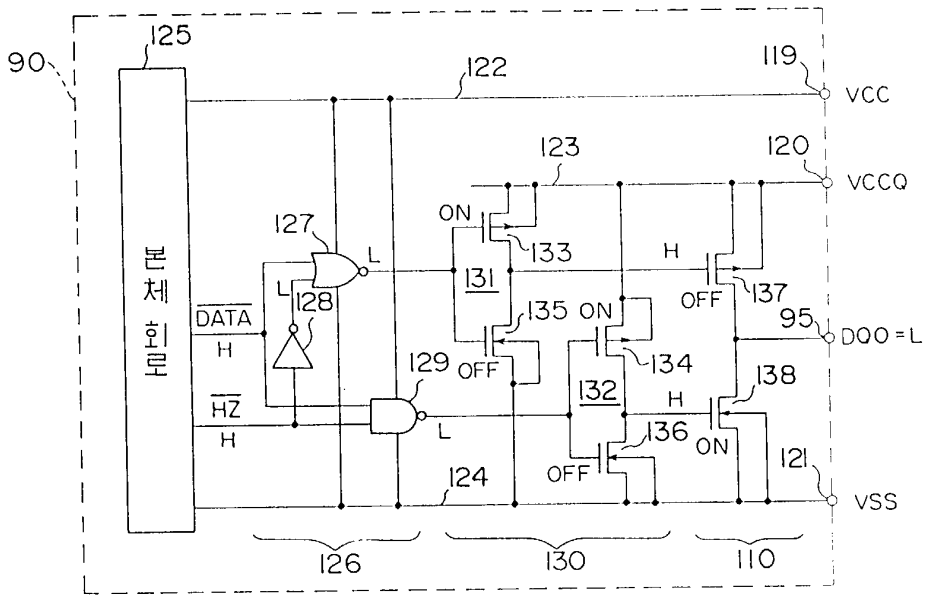
도면7



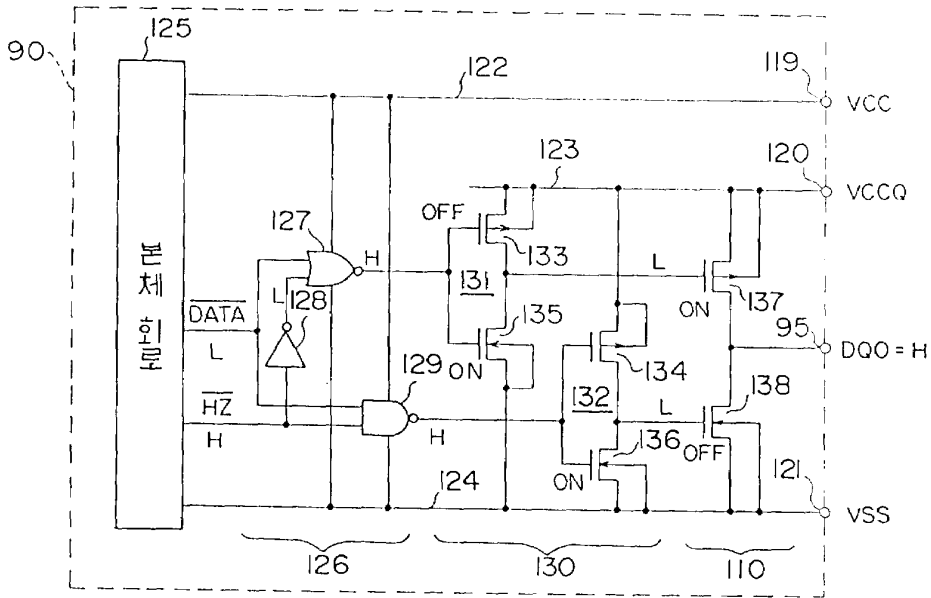
도면8



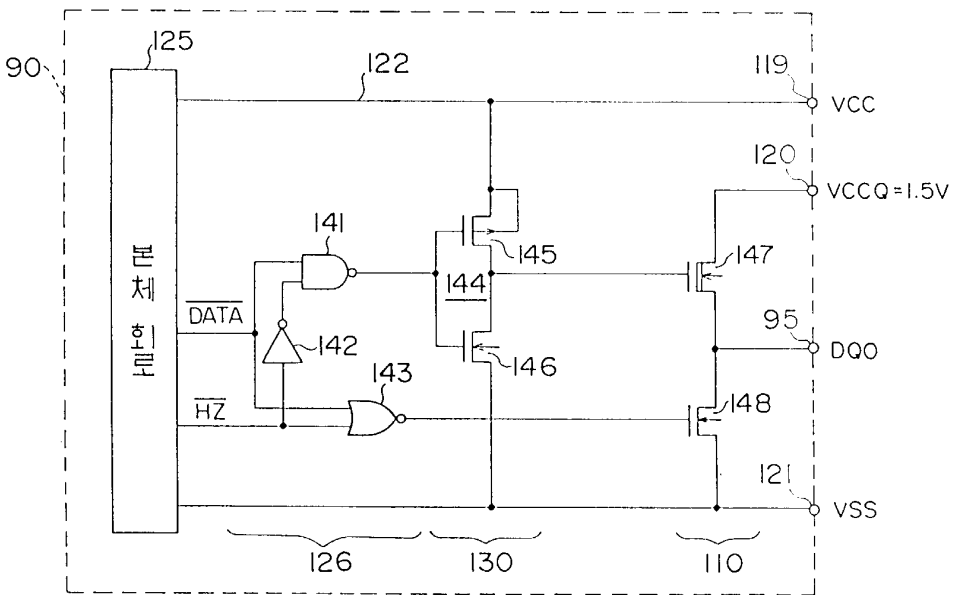
도면9



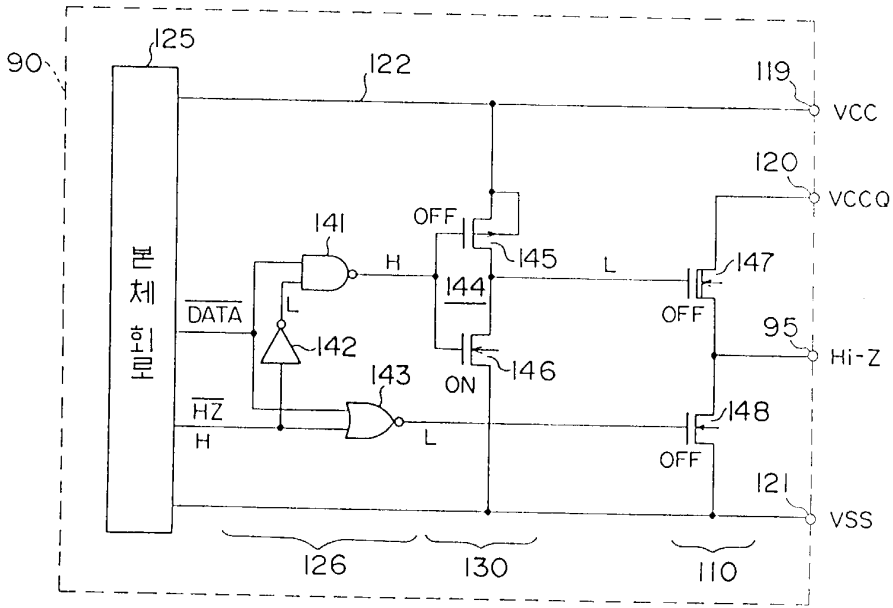
도면10



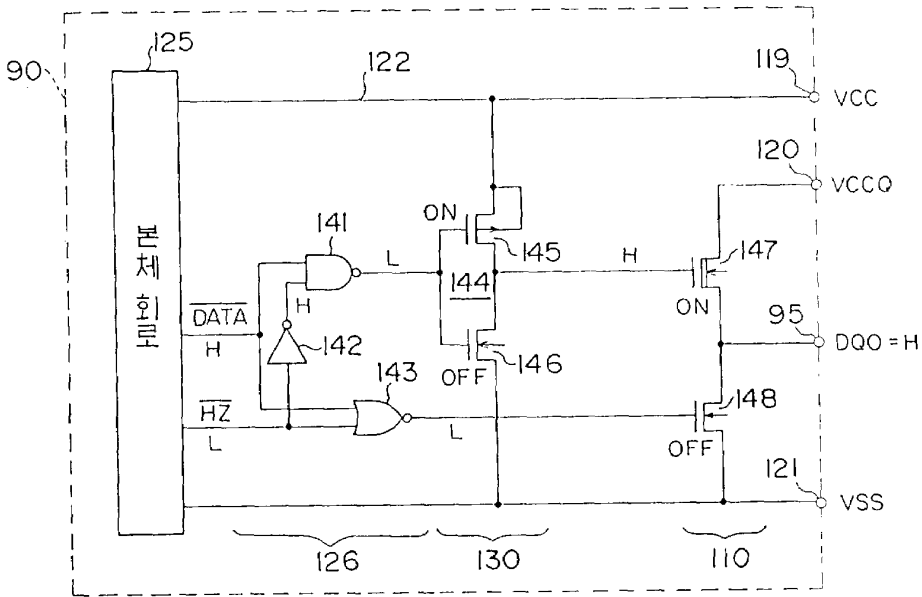
도면11



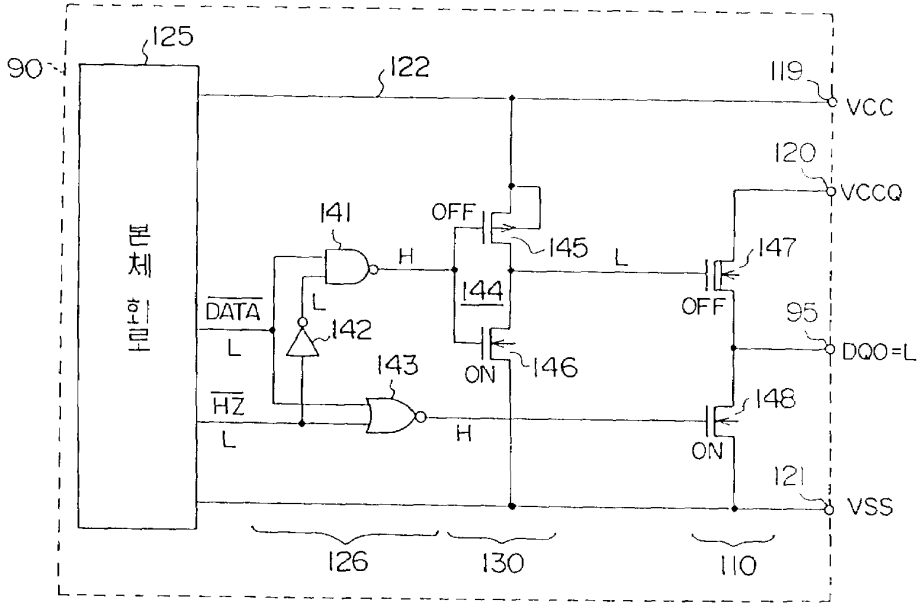
도면12



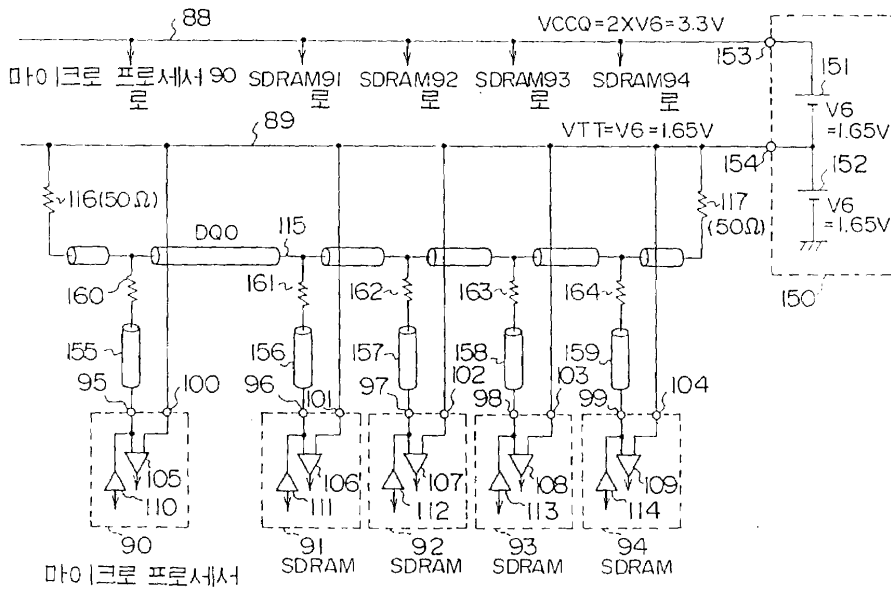
도면13



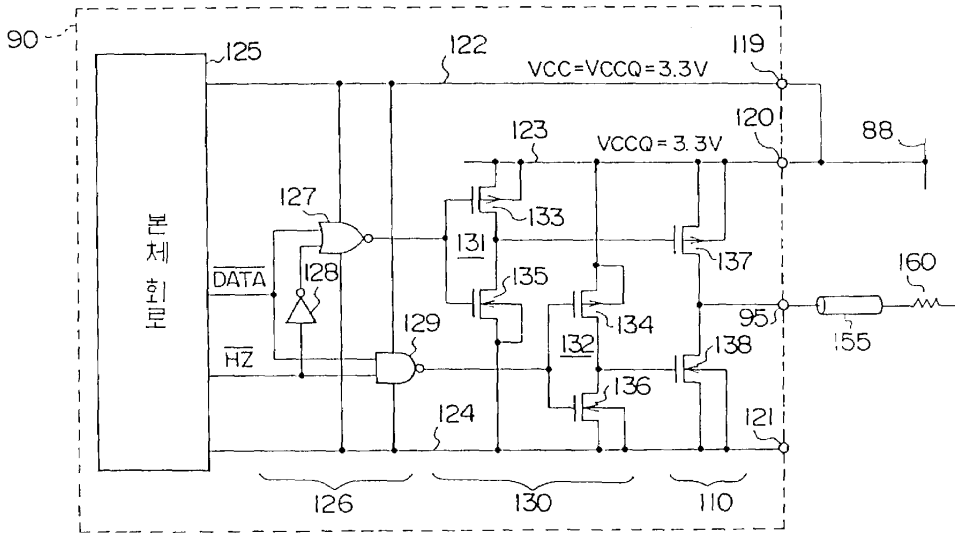
도면14



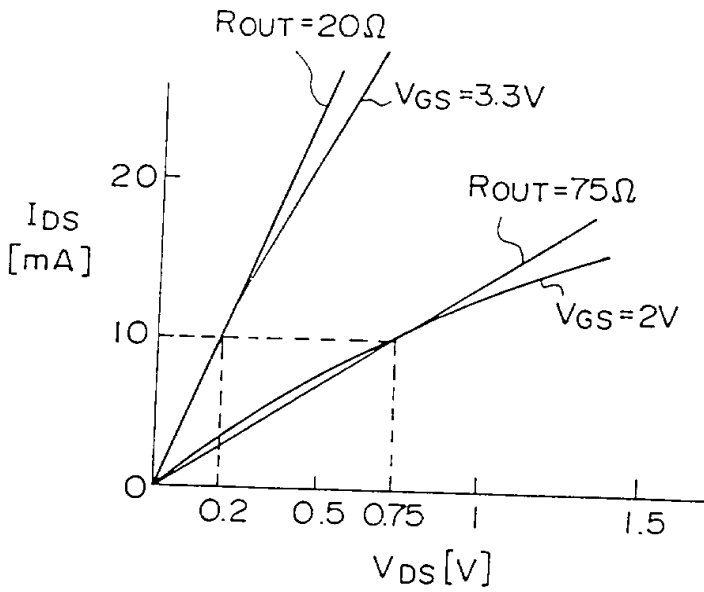
도면15



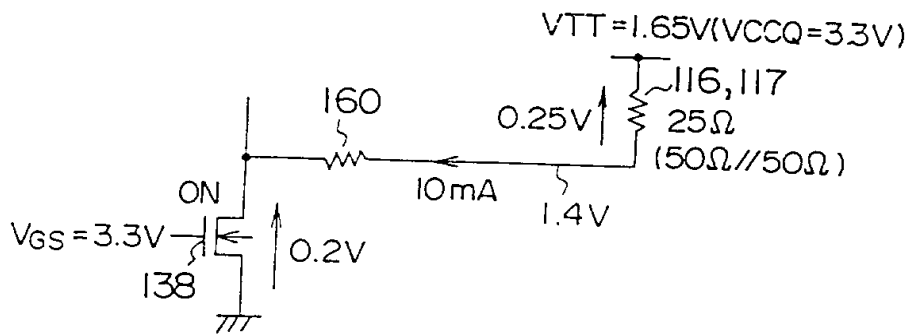
도면16



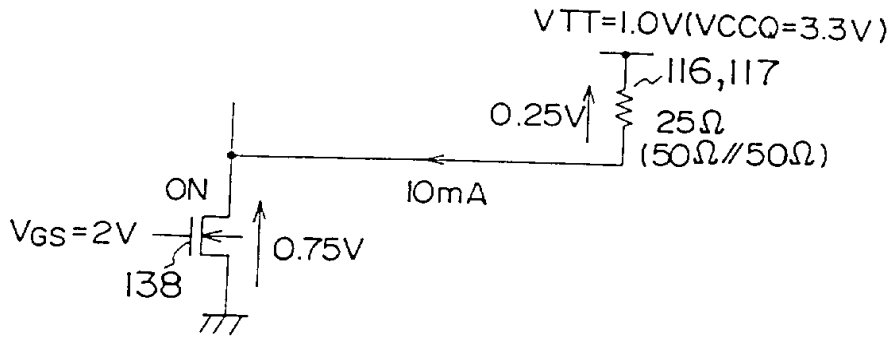
도면17



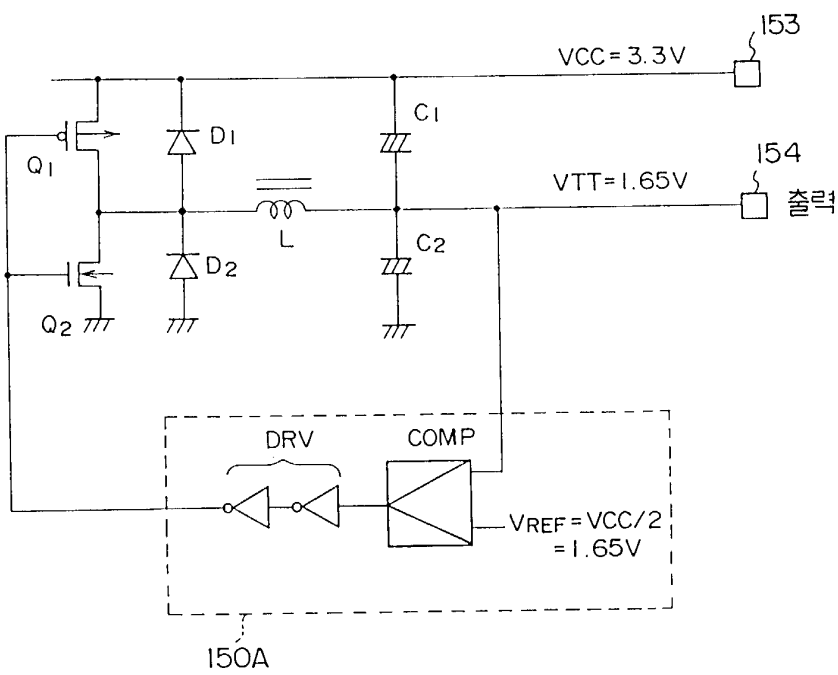
도면18



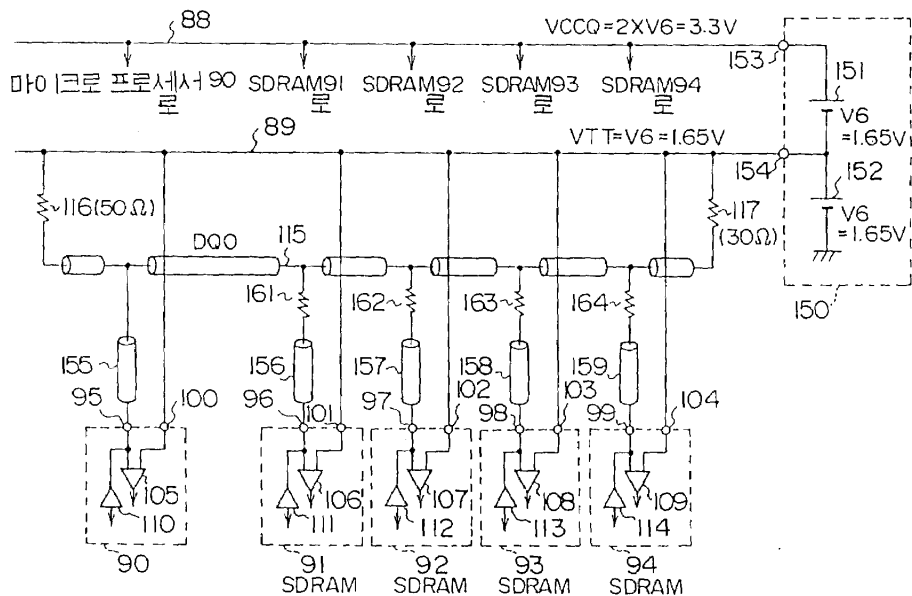
도면 19



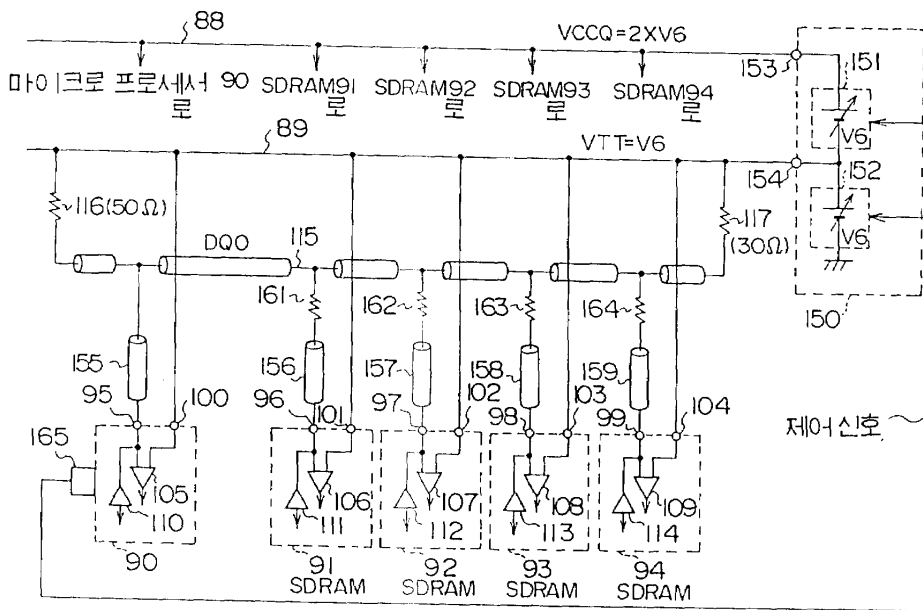
도면 19a



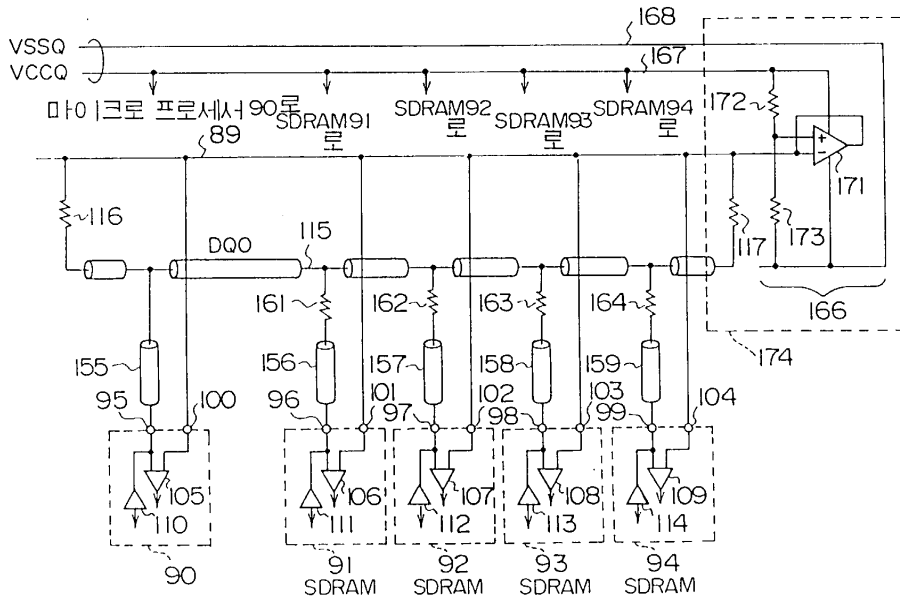
도면20



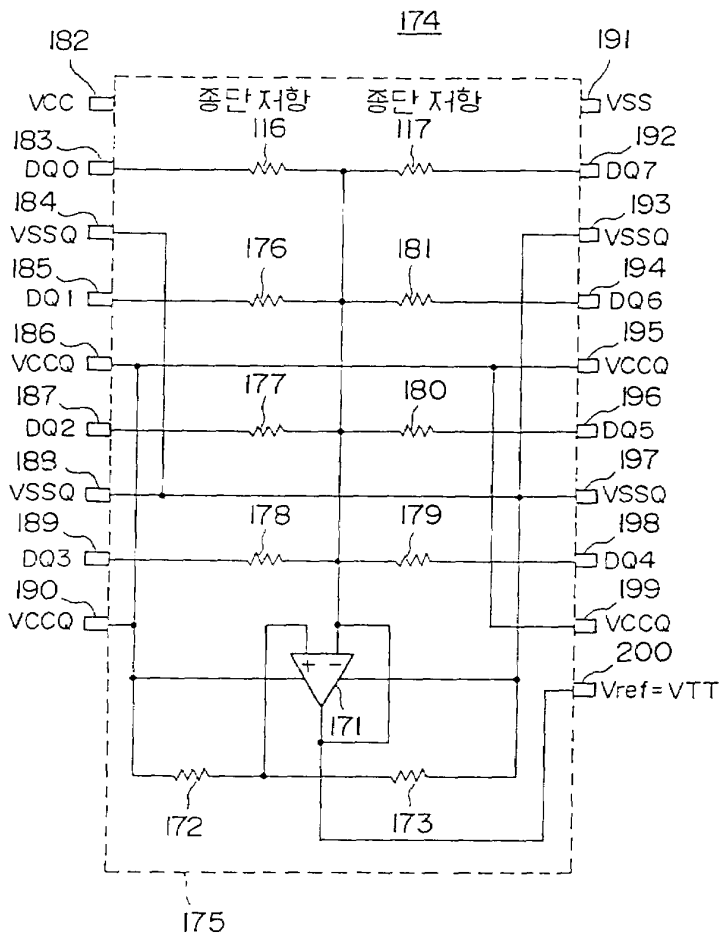
도면21



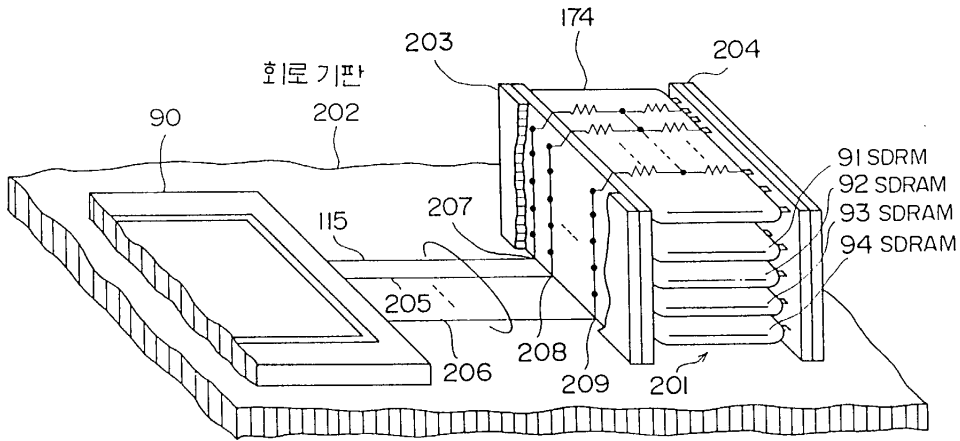
도면22



도면23

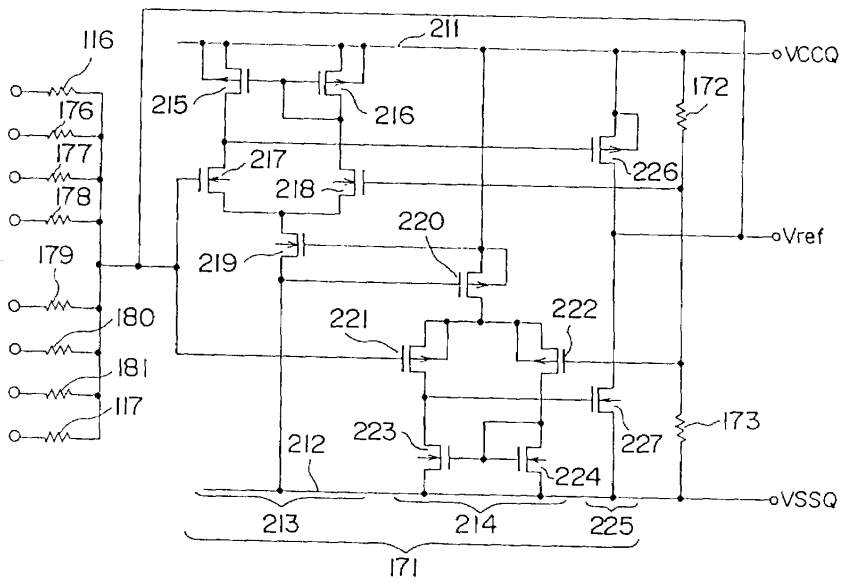


도면24

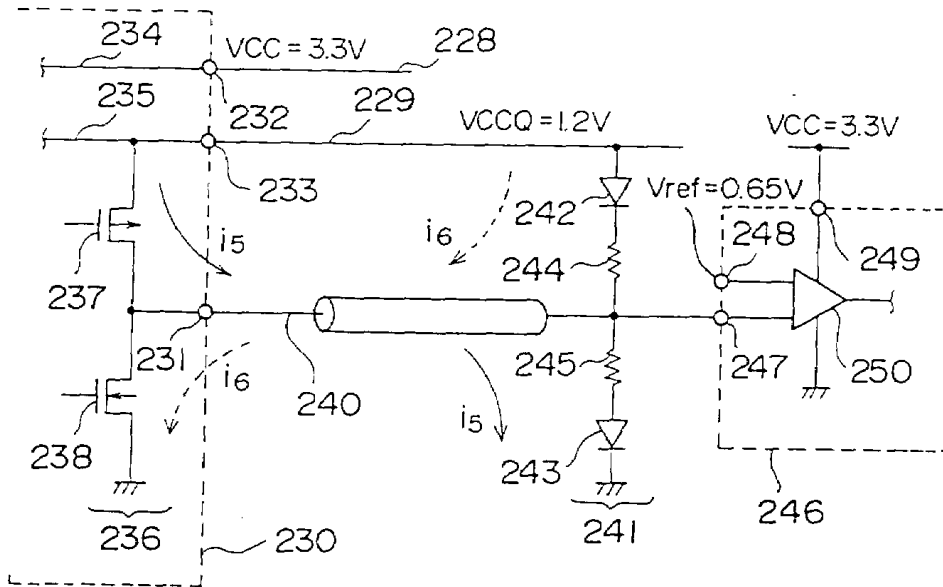


도면25

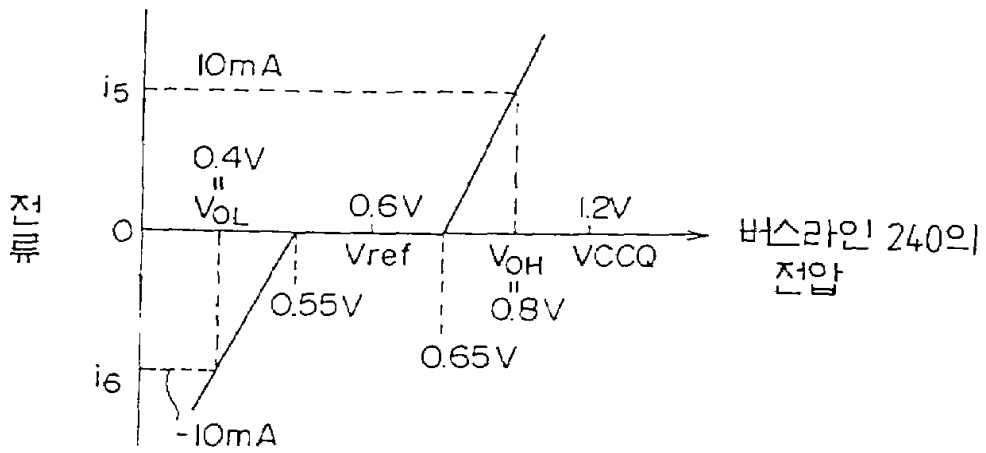
종단전압 발생회로 166



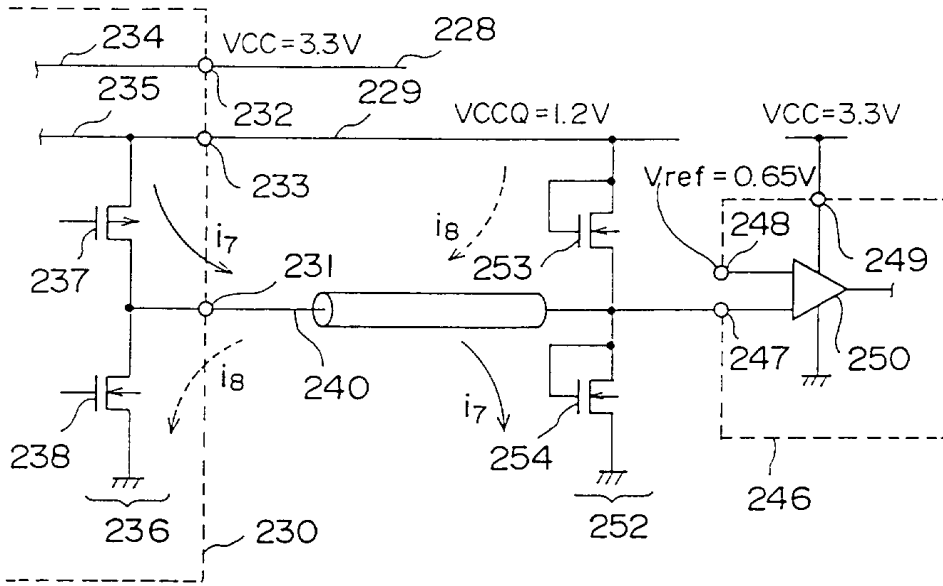
도면26



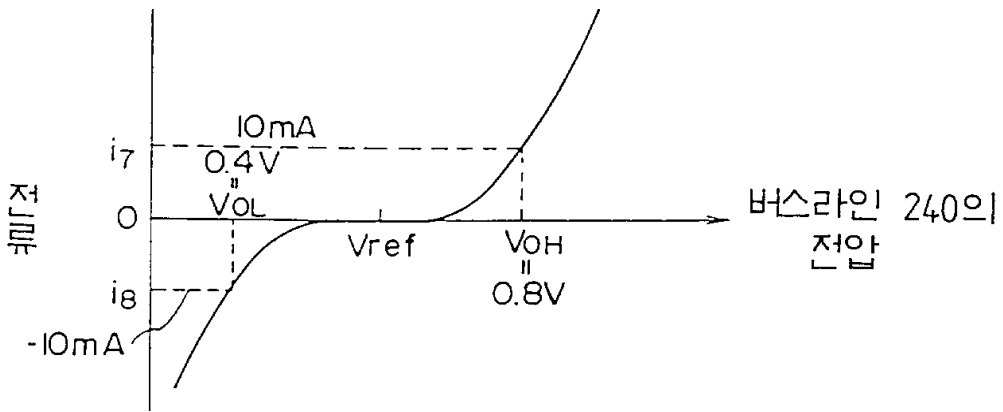
도면27



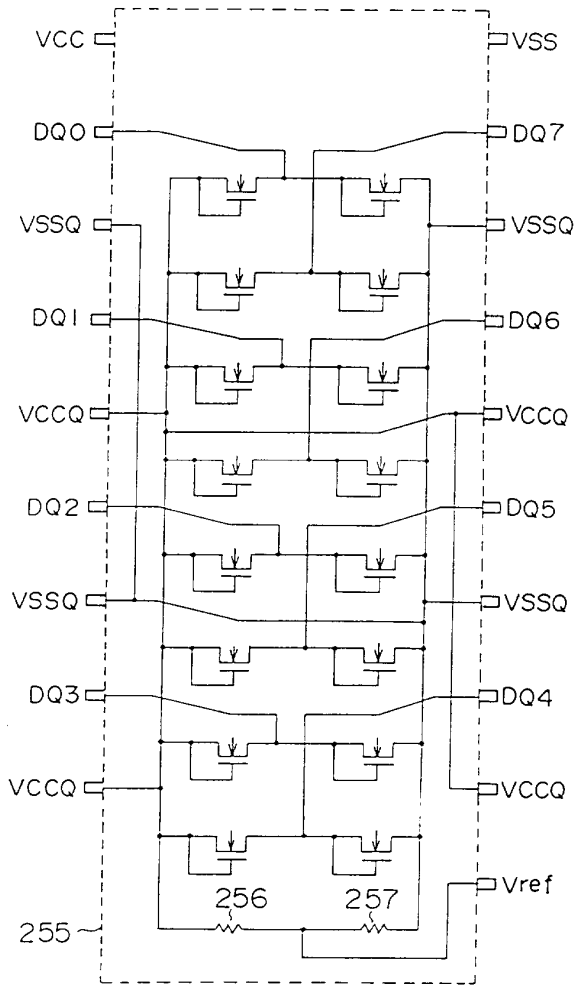
도면28



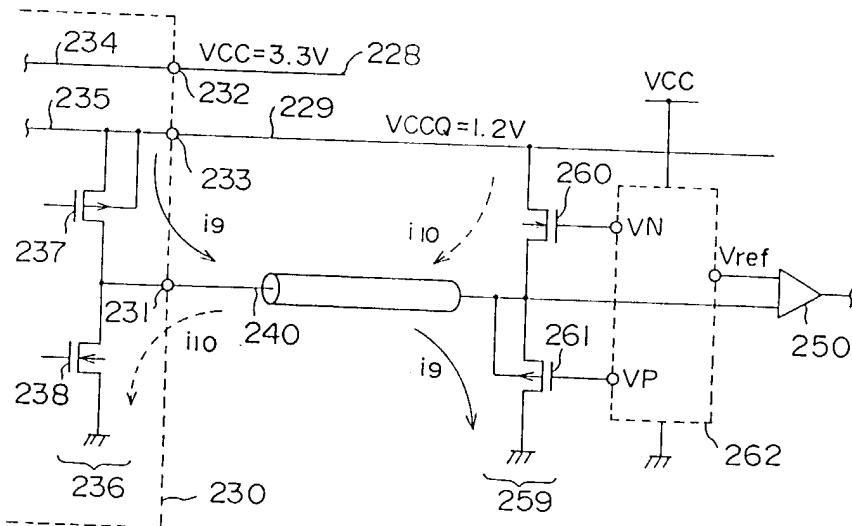
도면29



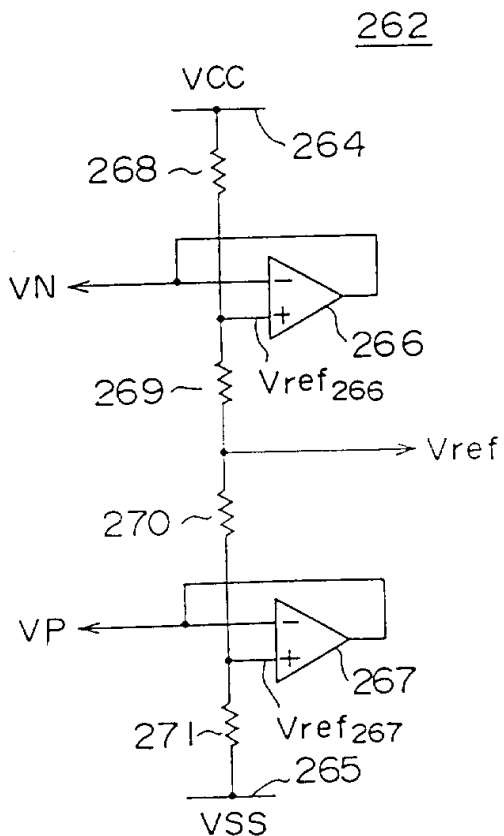
도면30



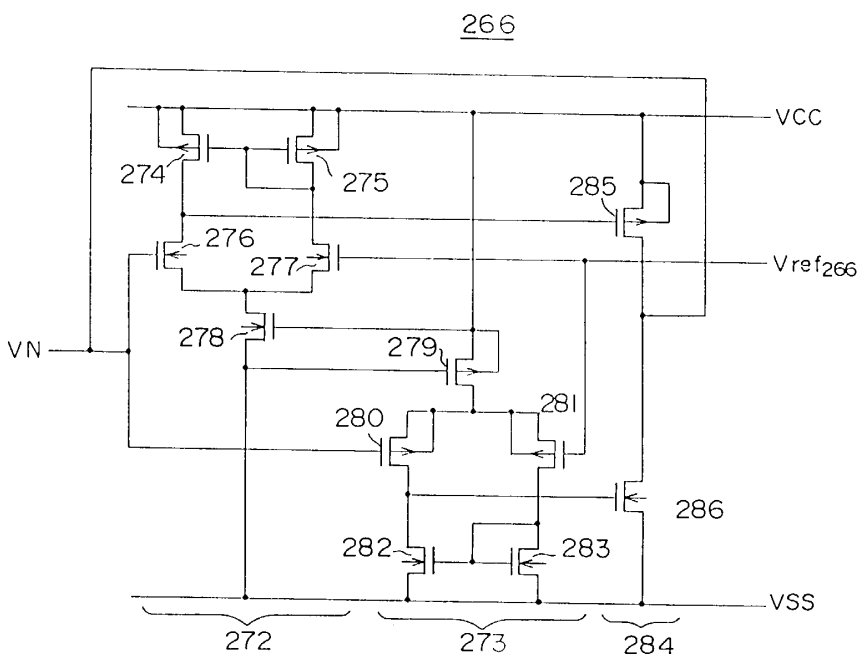
도면31



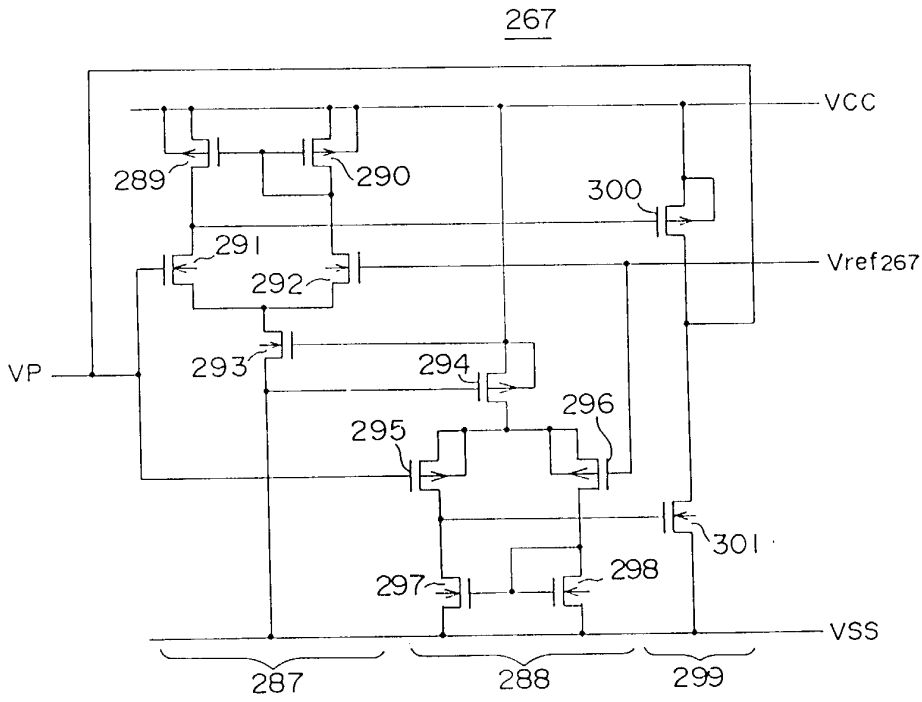
도면32



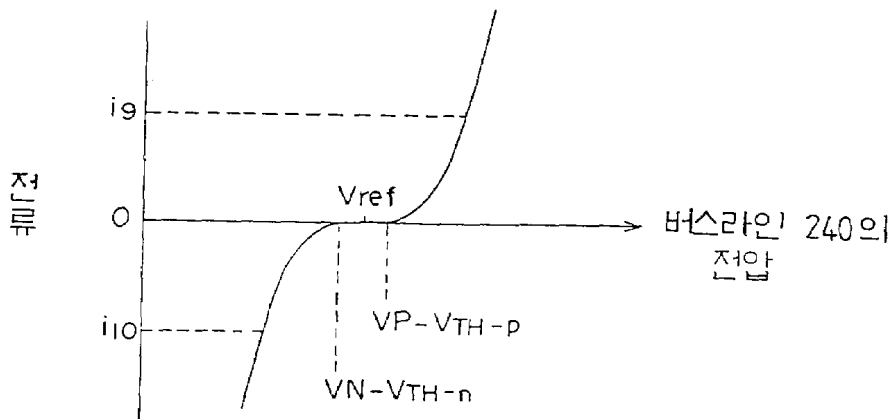
도면33



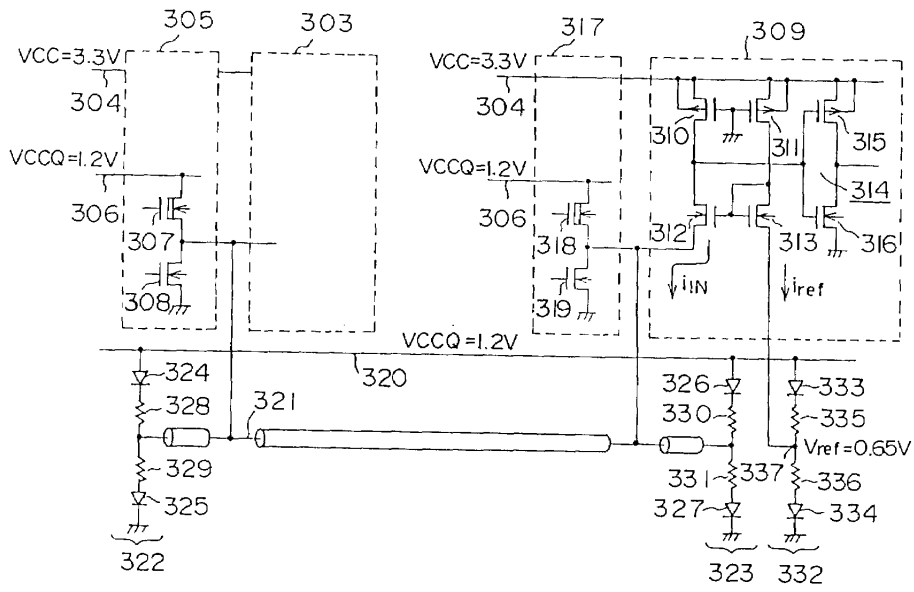
도면34



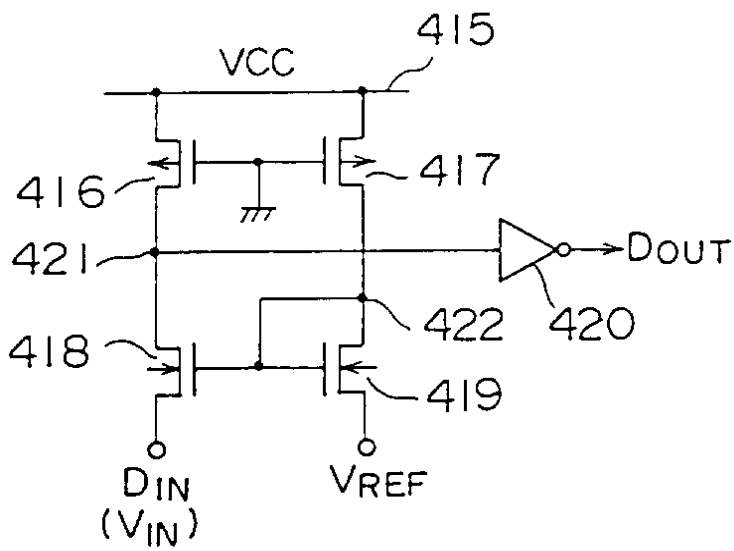
도면35



도면36

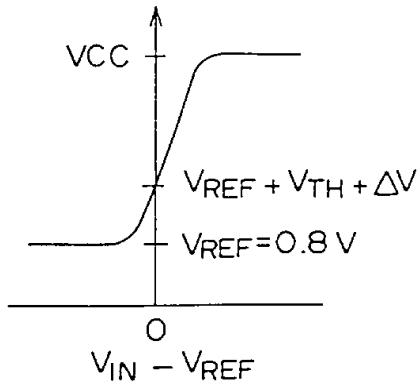


도면37

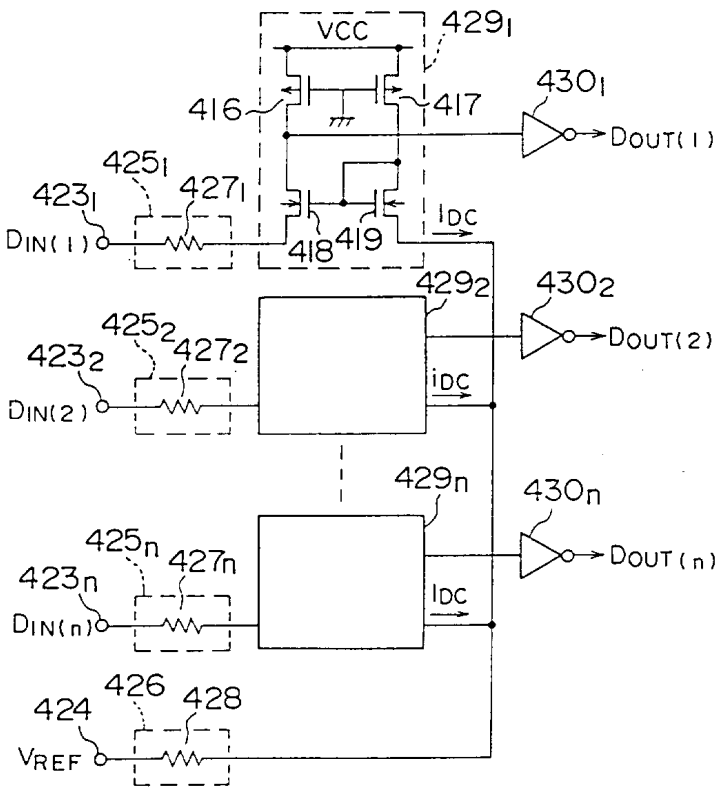


도면38

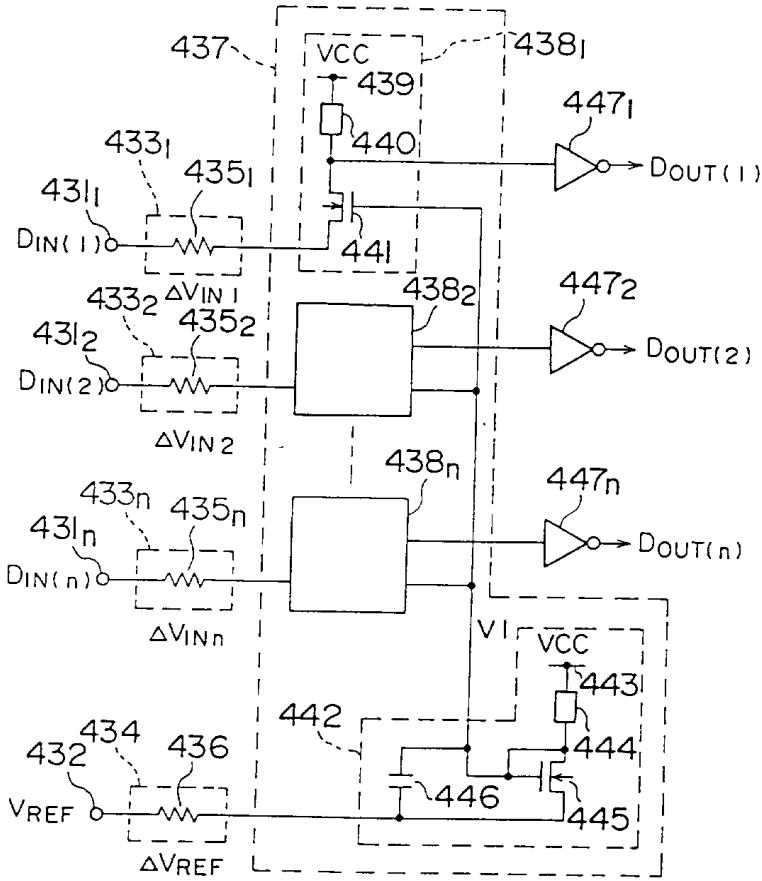
nMOS 트랜지스터 418의 드레인 전류



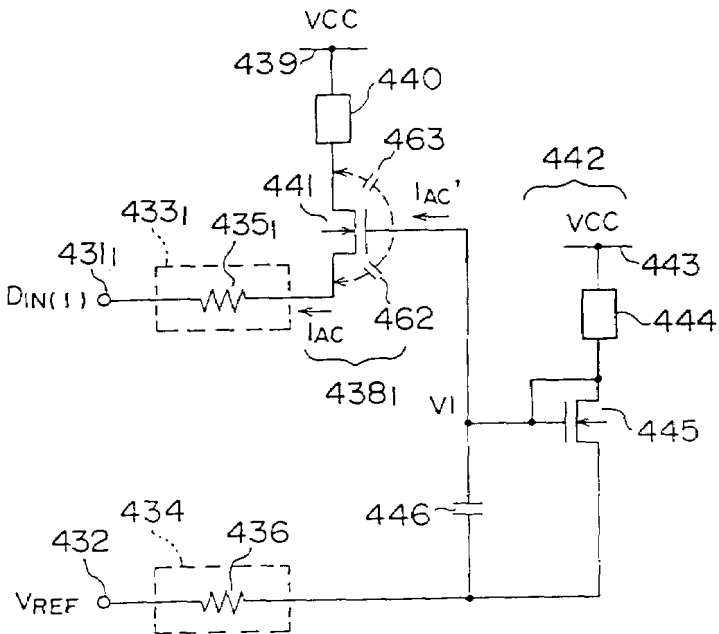
도면39



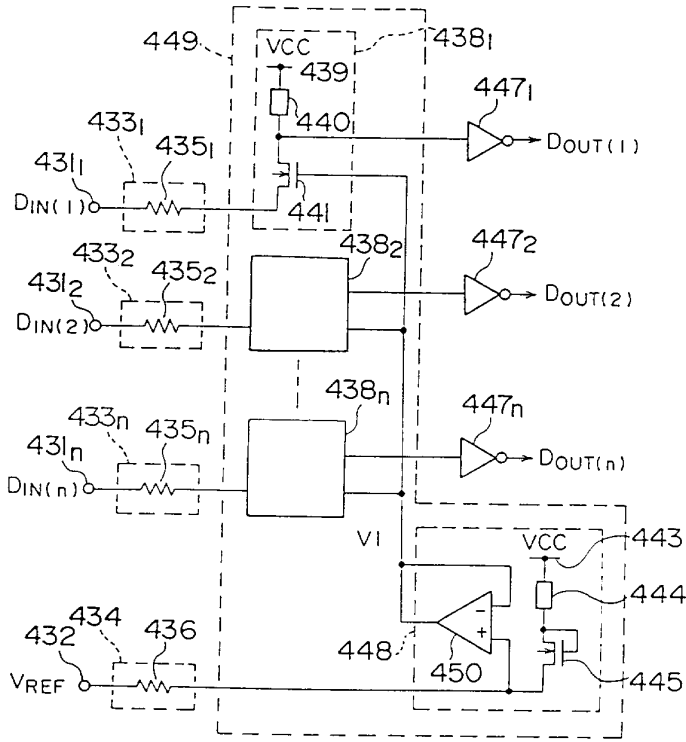
도면40



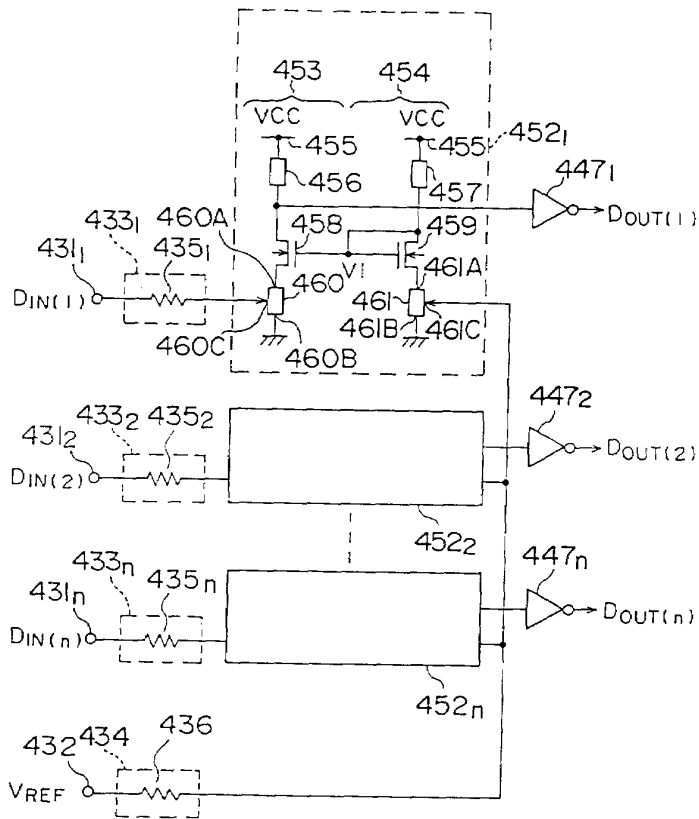
도면41



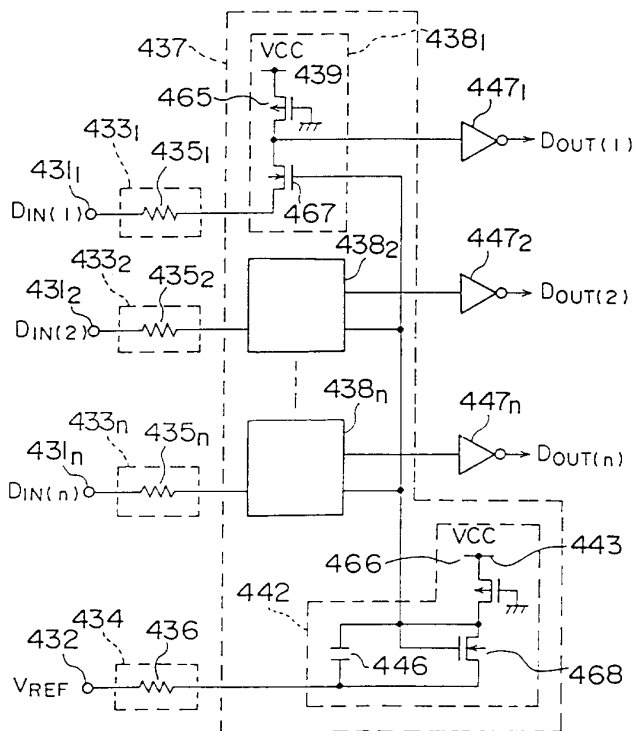
도면42



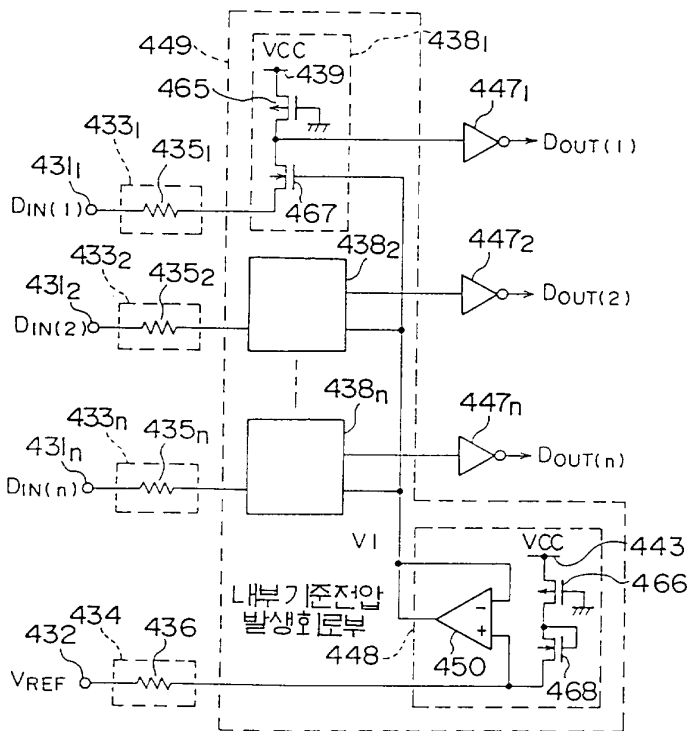
도면43



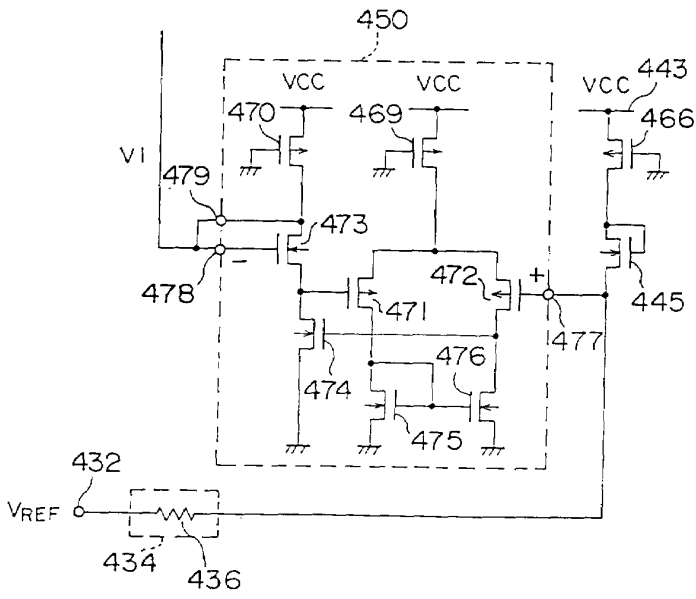
도면44



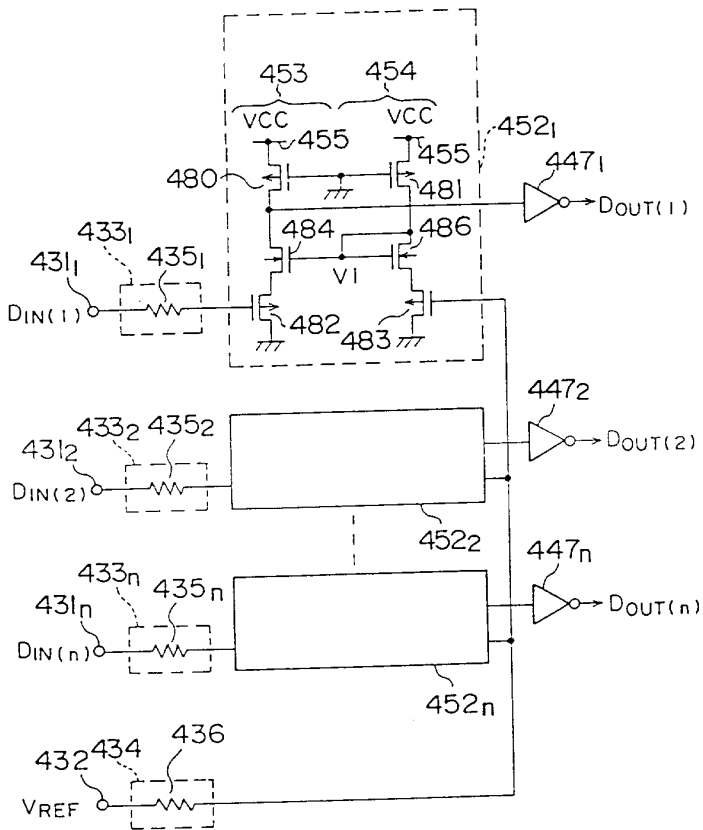
도면45



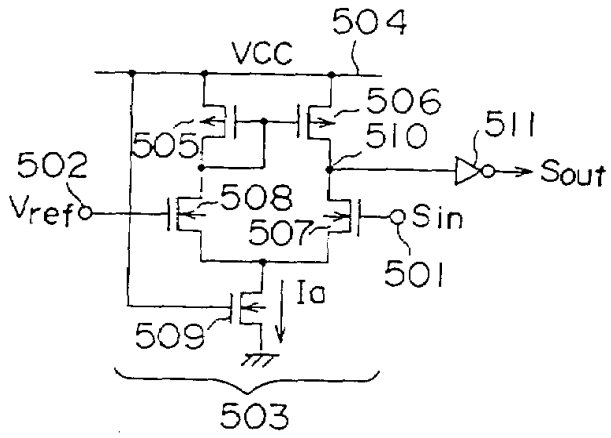
도면46



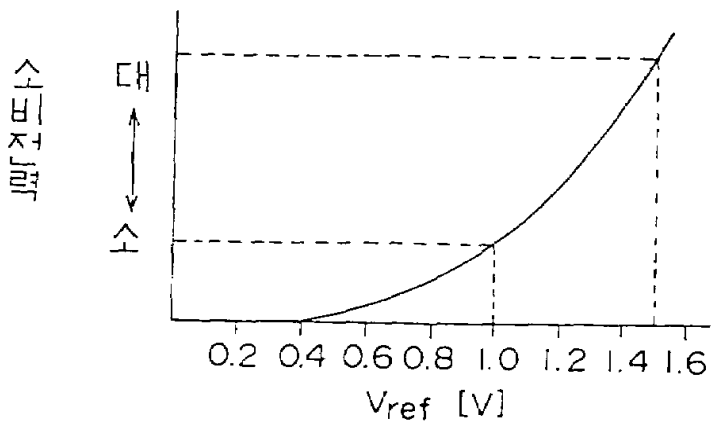
도면47



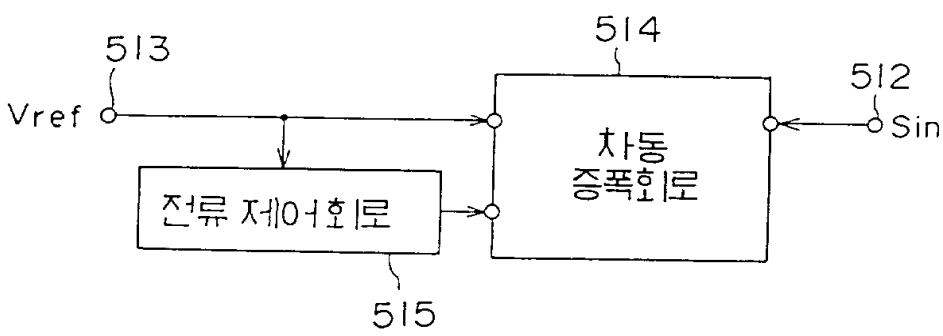
도면48



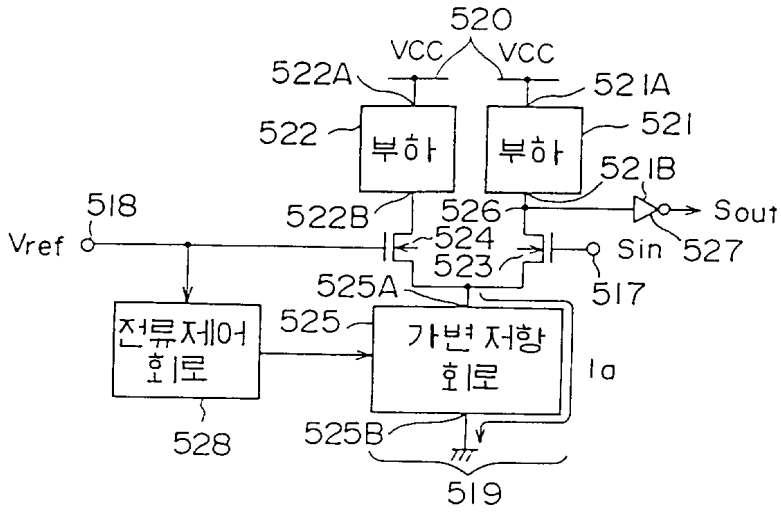
도면49



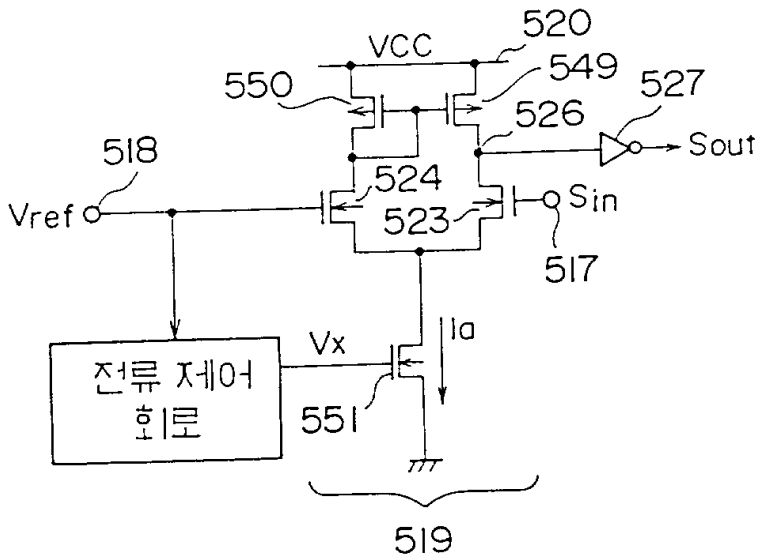
도면50



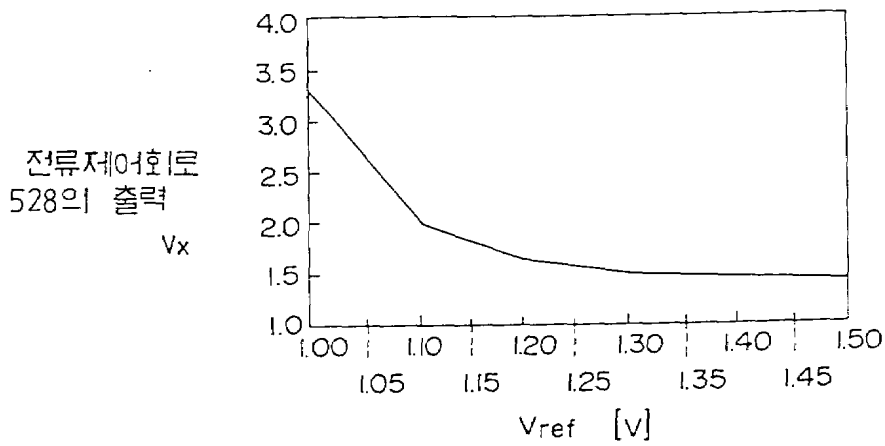
도면51



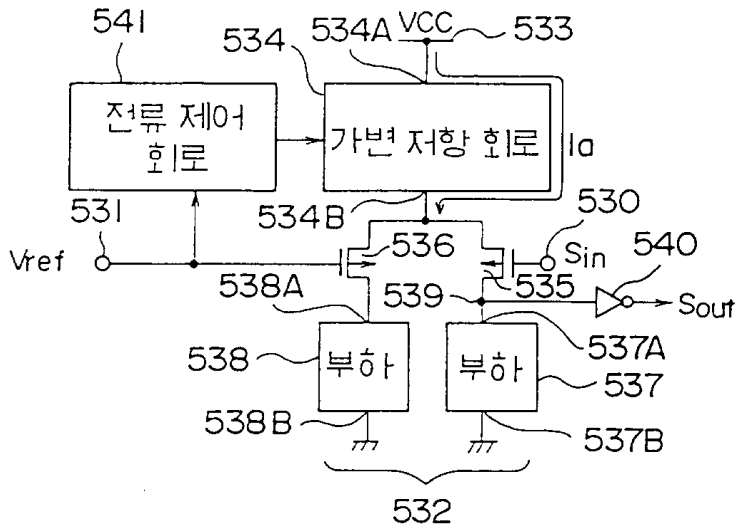
도면52



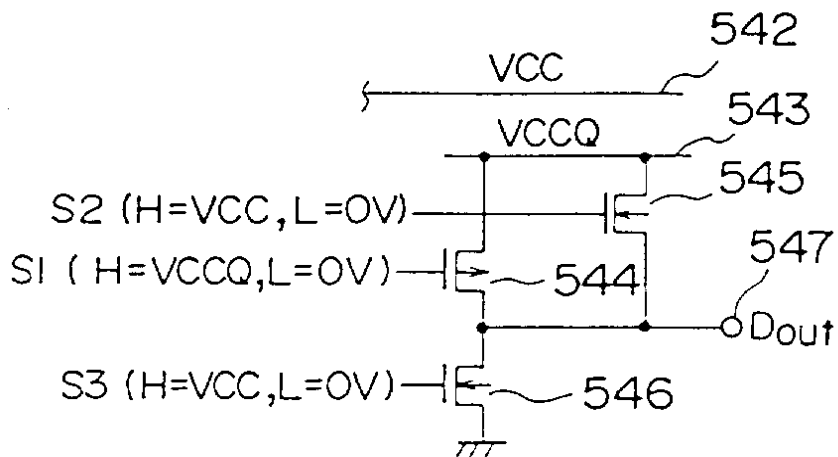
도면53



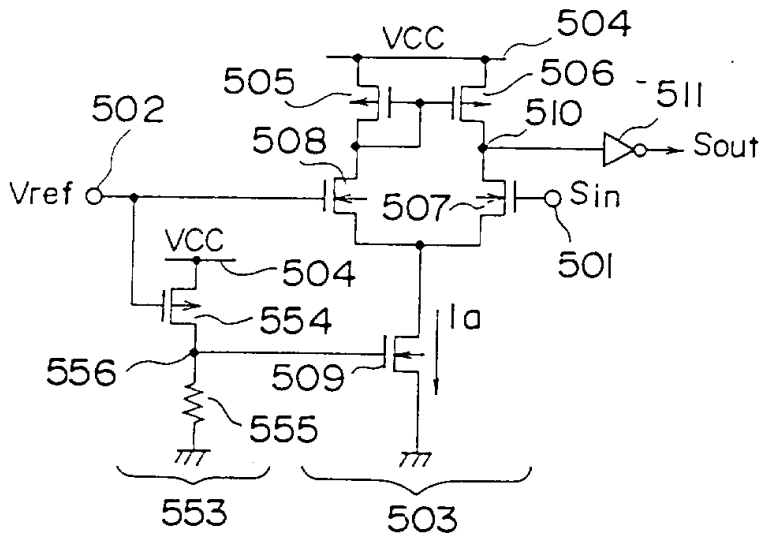
도면54



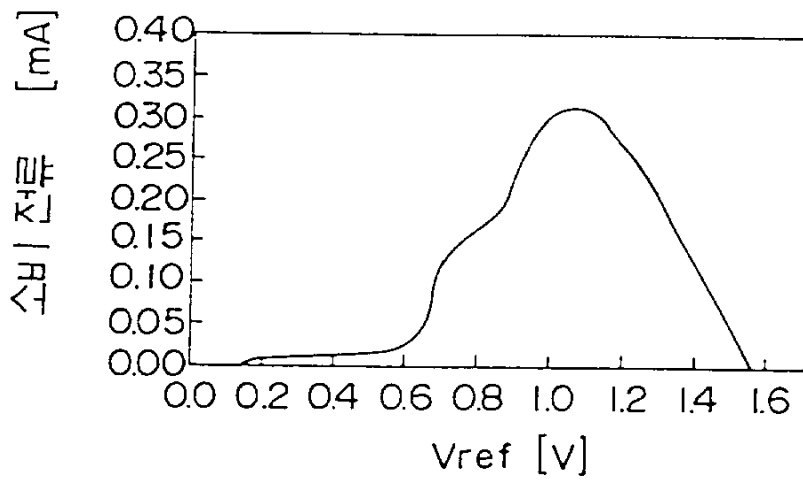
도면55



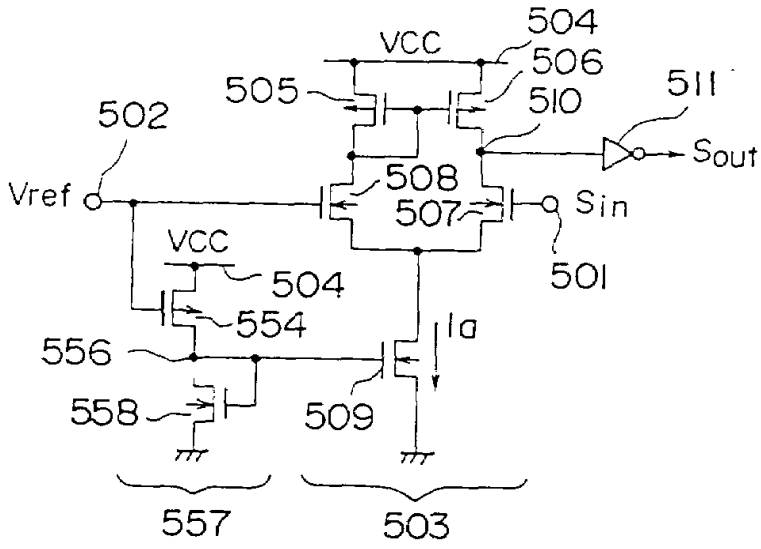
도면56



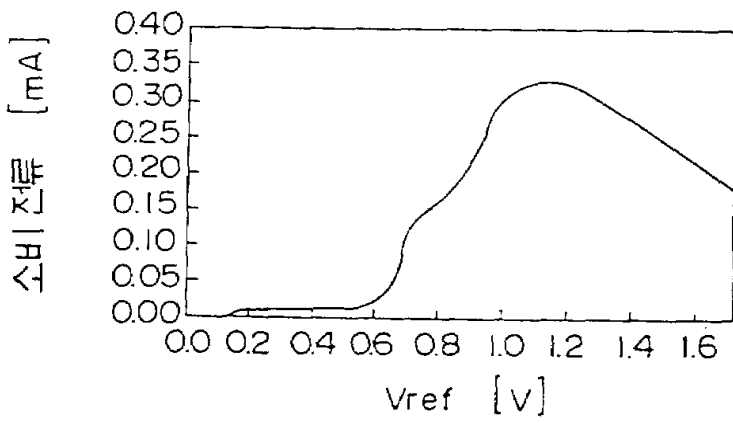
도면57



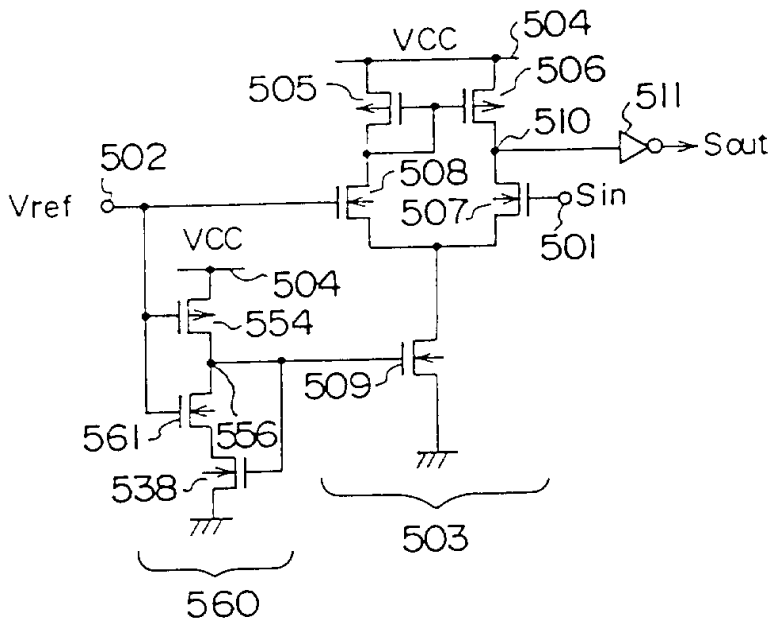
도면58



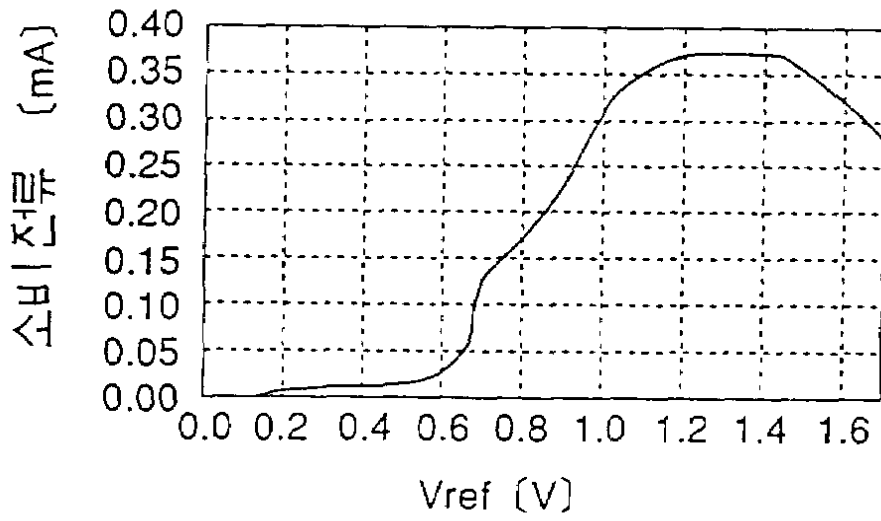
도면59



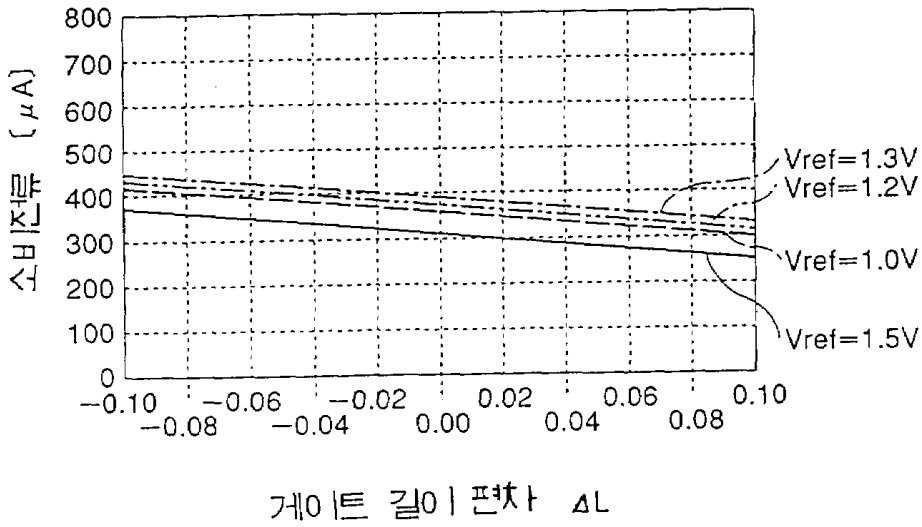
도면60



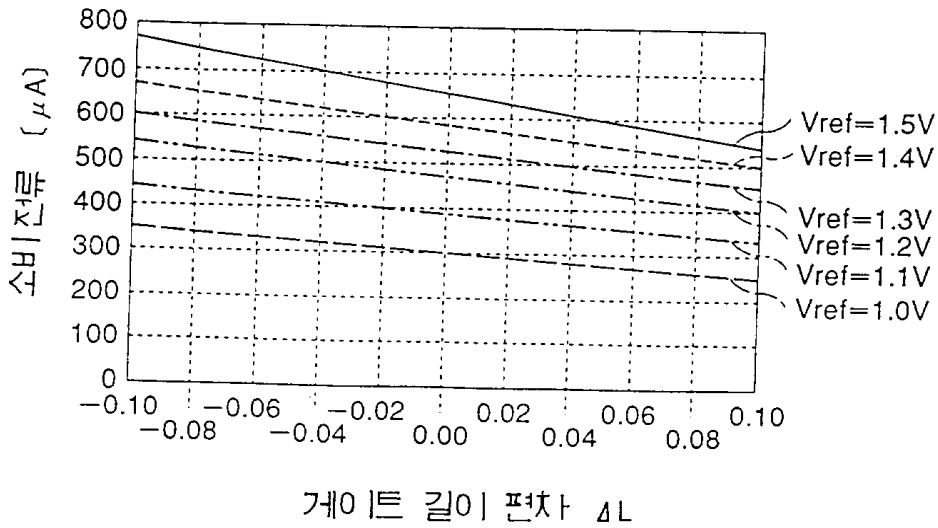
도면61



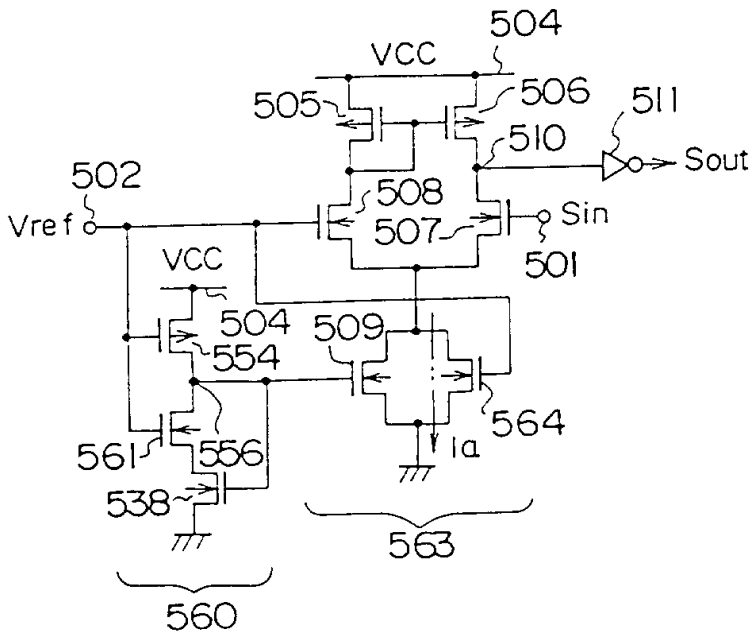
도면62



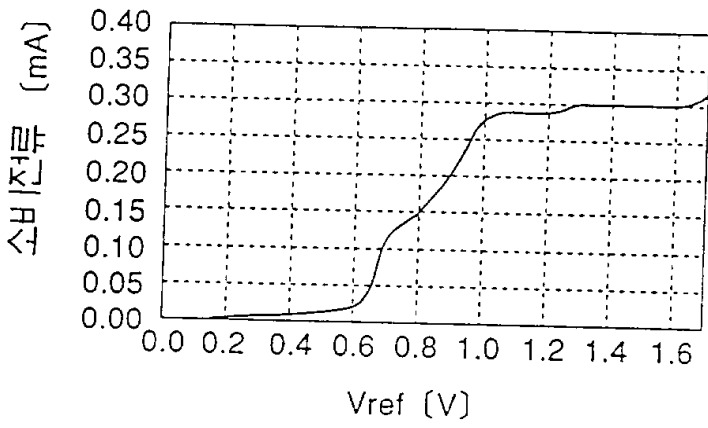
도면63



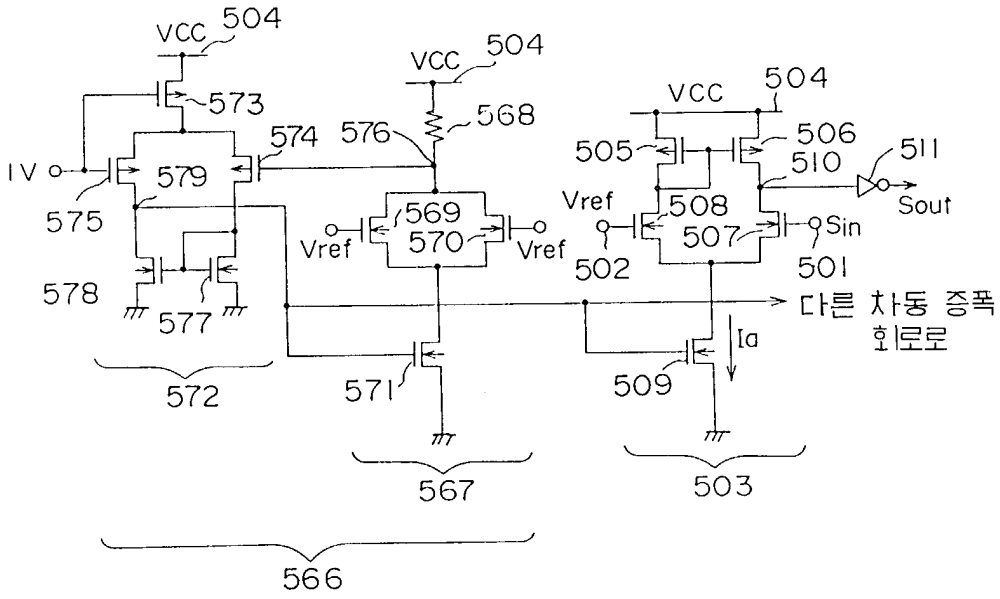
도면64



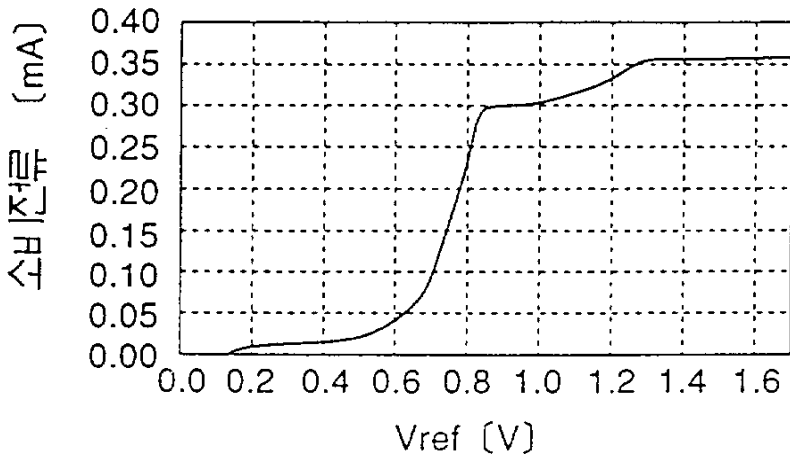
도면65



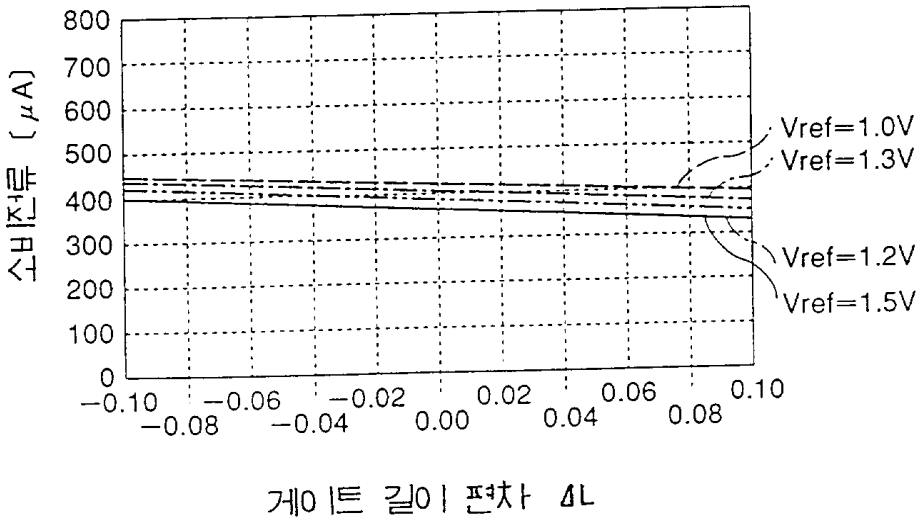
도면66



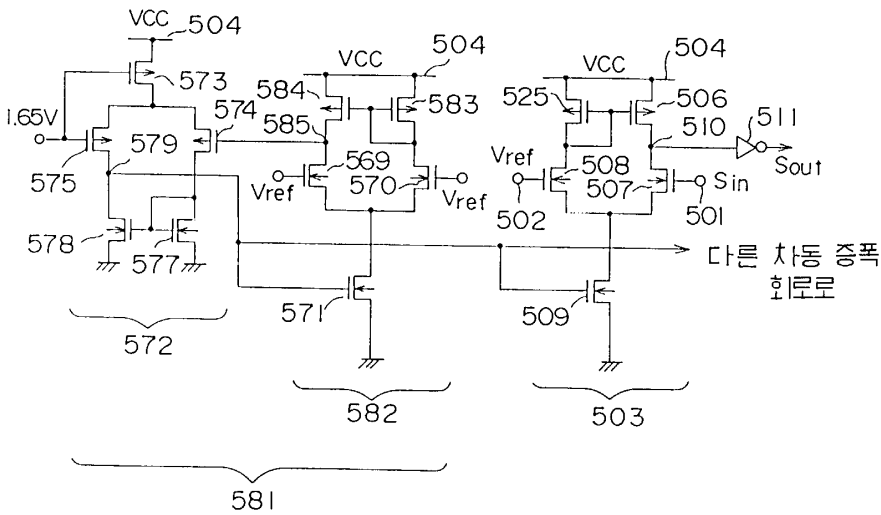
도면67



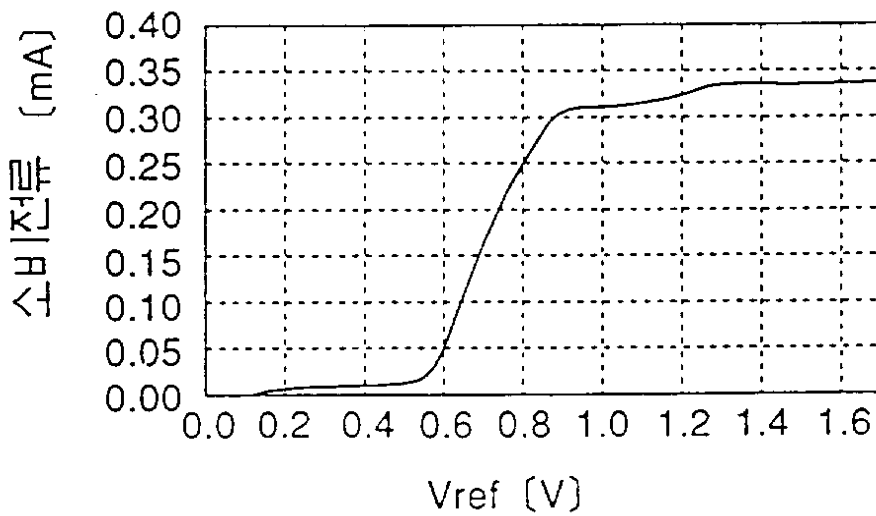
도면68



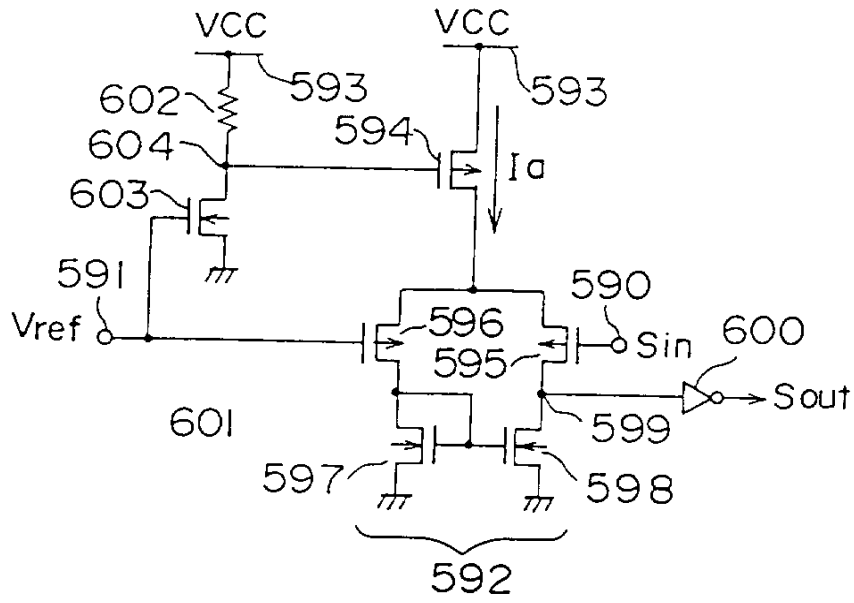
도면69



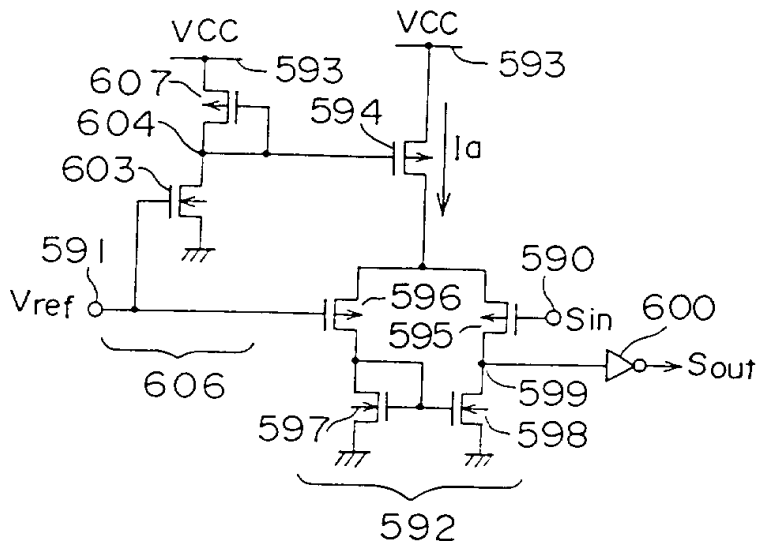
도면70



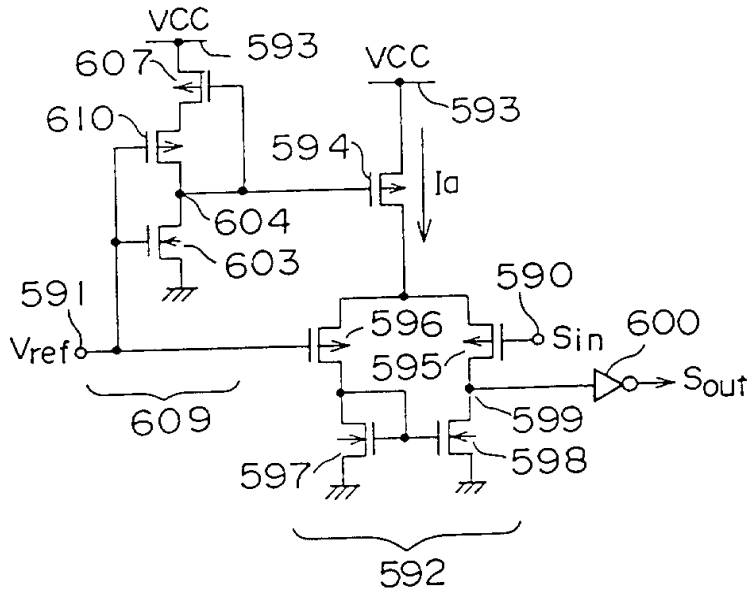
도면71



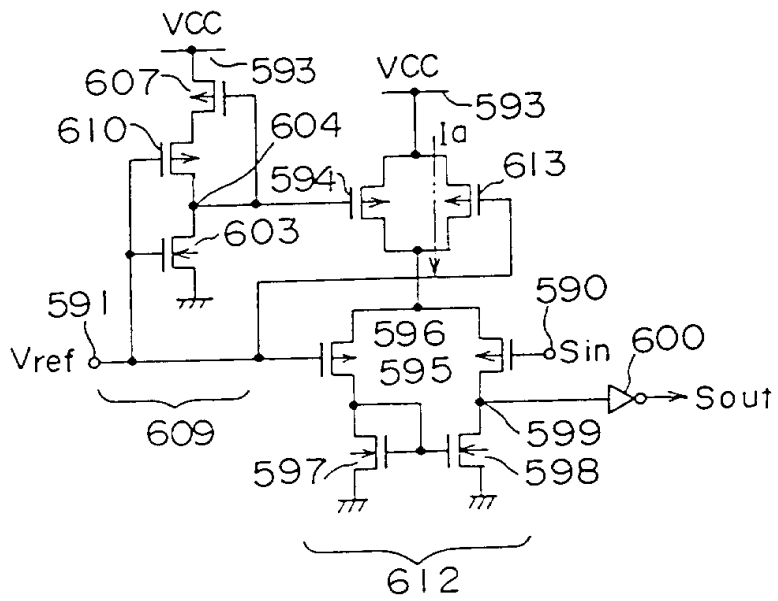
도면72



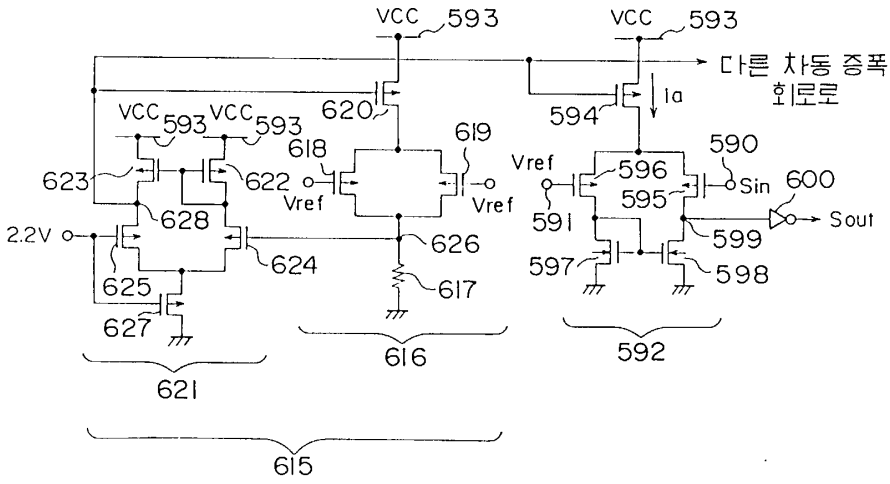
도면73



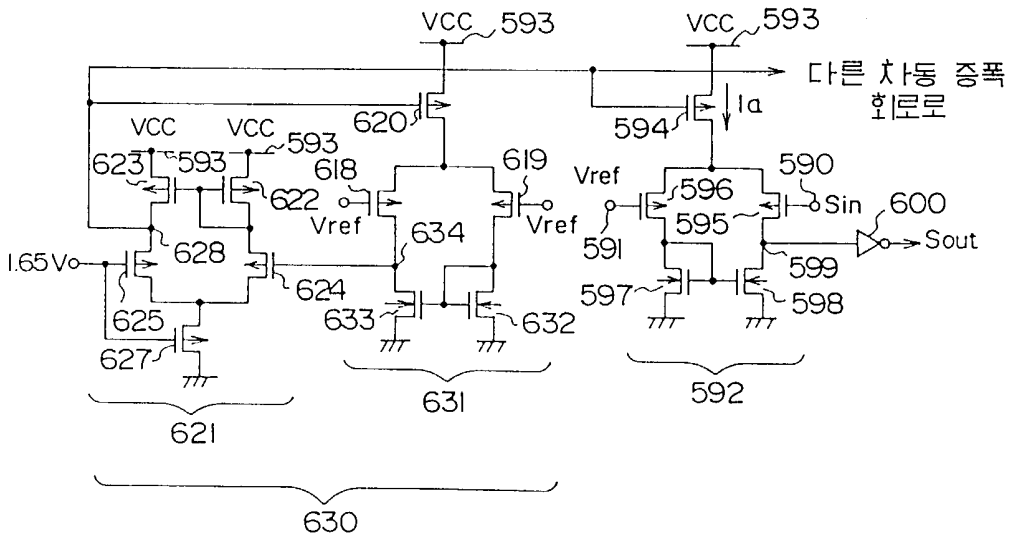
도면74



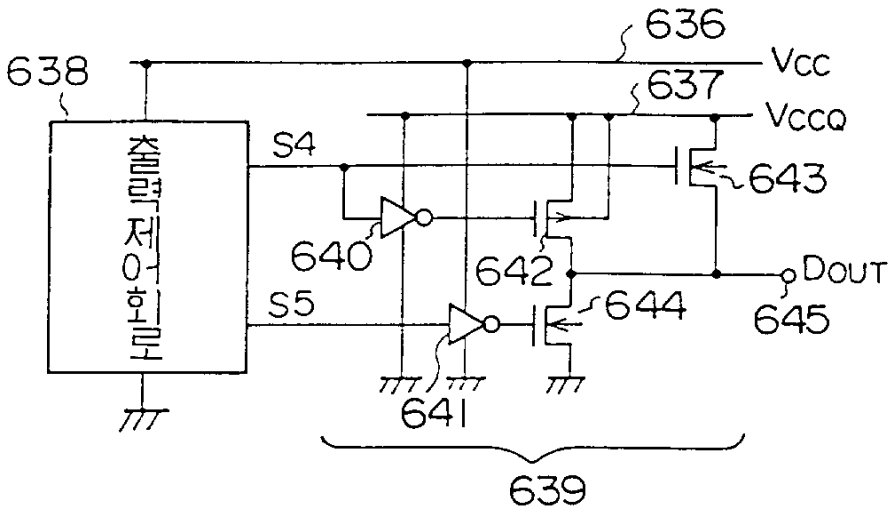
도면75



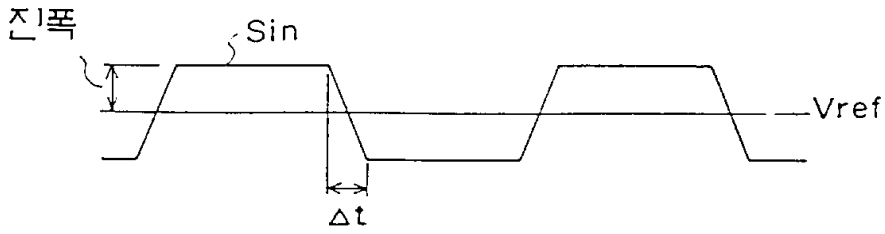
도면76



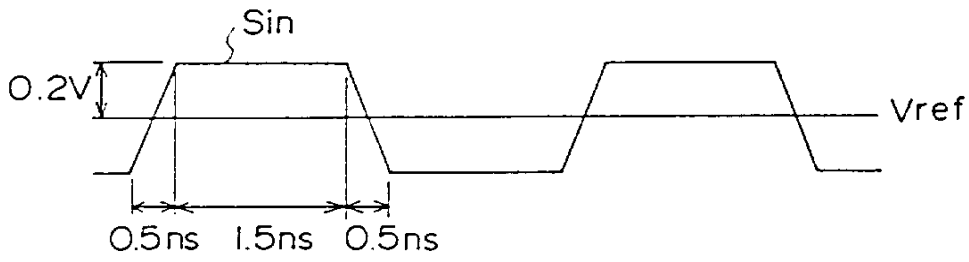
도면77



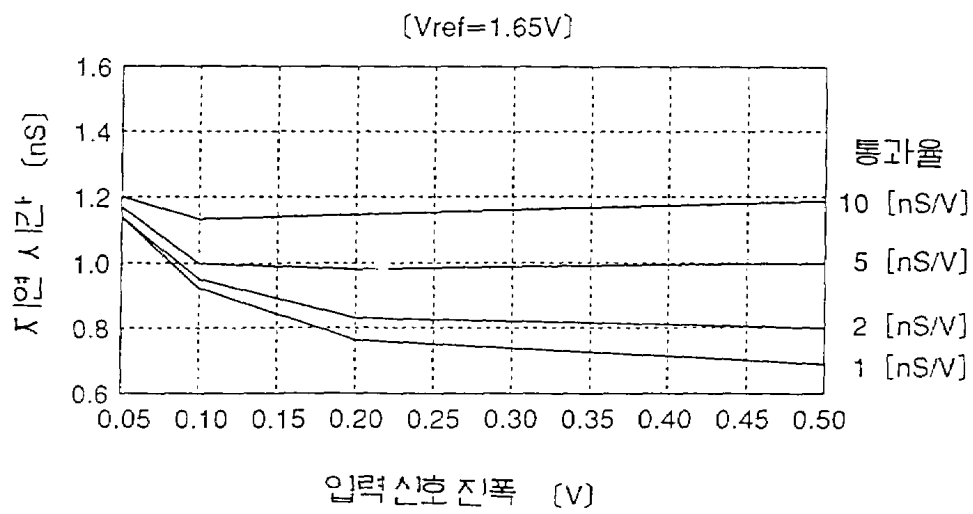
도면78



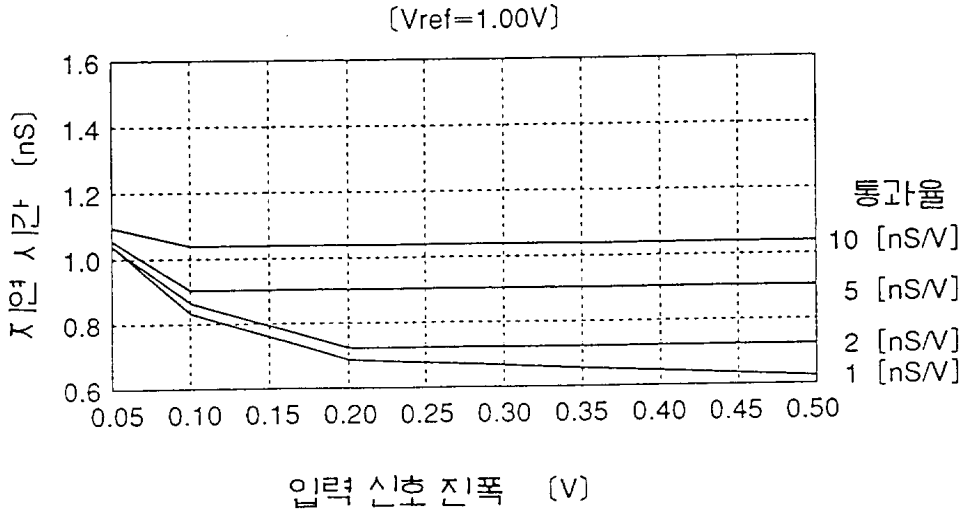
도면79



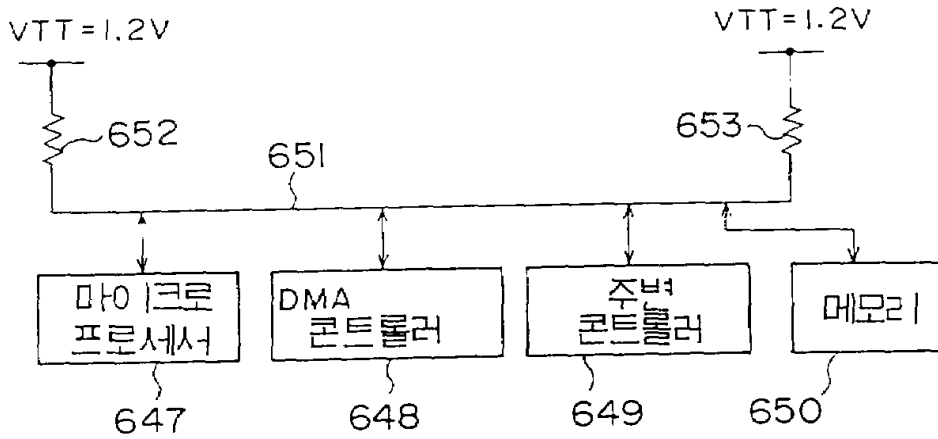
도면80



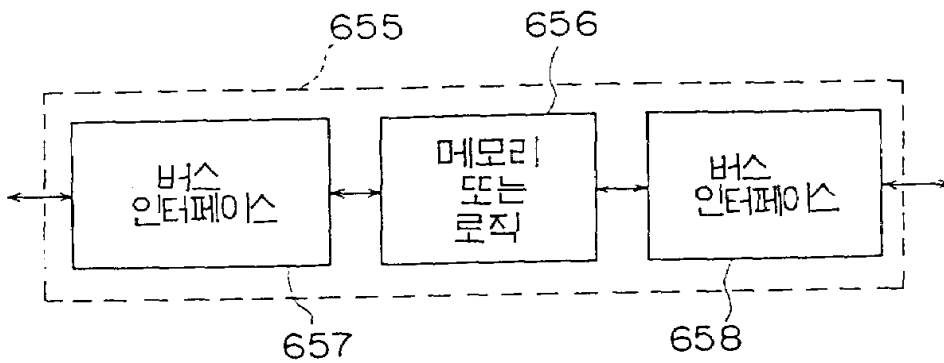
도면81



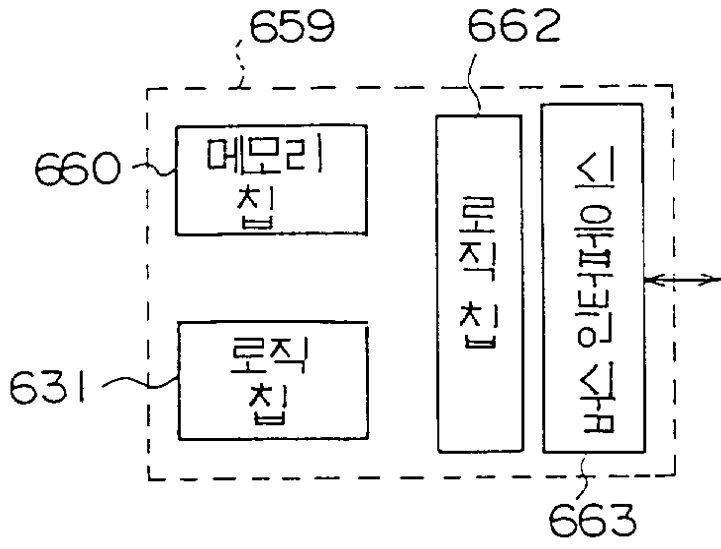
도면82



도면83



도면84



도면85

