

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3976343号

(P3976343)

(45) 発行日 平成19年9月19日(2007.9.19)

(24) 登録日 平成19年6月29日(2007.6.29)

(51) Int. Cl.	F I
H03M 7/14 (2006.01)	H03M 7/14 B
G11B 20/14 (2006.01)	G11B 20/14 341A
H04B 3/06 (2006.01)	H04B 3/06 B

請求項の数 18 (全 14 頁)

(21) 出願番号	特願平10-504972	(73) 特許権者	コーニンクレッカ フィリップス エレクトロニクス エヌ ヴイ
(86) (22) 出願日	平成9年6月11日(1997.6.11)		オランダ国 5621 ペーアー アイン
(65) 公表番号	特表平11-513219		ドーフェン フルーネヴァウツウェッハ
(43) 公表日	平成11年11月9日(1999.11.9)		1
(86) 国際出願番号	PCT/IB1997/000673	(74) 代理人	弁理士 津軽 進
(87) 国際公開番号	W01998/001859		
(87) 国際公開日	平成10年1月15日(1998.1.15)	(74) 代理人	弁理士 沢田 雅男
審査請求日	平成16年6月10日(2004.6.10)		
(31) 優先権主張番号	96201902.2	(72) 発明者	ベルグマンズ ヨハネス ウィルヘルムス
(32) 優先日	平成8年7月8日(1996.7.8)		マリア
(33) 優先権主張国	欧州特許庁(EP)		オランダ国 5656 アーアー アイン
			ドーフェン プロフ ホルストラーン 6
			最終頁に続く

(54) 【発明の名称】 デジタル情報信号の送信、記録及び再生

(57) 【特許請求の範囲】

【請求項 1】

送信チャネルを介してデジタル情報信号を送信するための装置であり、当該装置は、
 ー前記デジタル情報信号を入力するための入力手段、
 ーチャネル符号化された情報信号を得るために、前記デジタル情報信号をチャネル符号化するためのチャネル符号化手段、及び
 ー前記チャネル符号化された情報信号を出力するための出力手段、
 を有し、前記チャネル符号化手段は、周波数 f_b/M で単一の周波数成分を殆ど有する信号を受信時に生じさせる前記チャネル符号化された情報信号におけるデータパターンの長さを少なくとも制限するための手段を備え、ここで M は 2 より大きい整数であり、 f_b は前記チャネル符号化された情報信号におけるビット周波数であることを特徴とするデジタル情報信号を送信する装置。

【請求項 2】

$M = 3$ 又は $M = 4$ であることを特徴とする請求項 1 に記載の装置。

【請求項 3】

請求項 1 に記載の装置において、制限するための前記手段は、
 ー極性制御信号に応じて前記チャネル符号化された情報信号の極性を反転するための極性反転手段、及び
 ー前記極性制御信号を生成するための極性制御信号生成手段
 を有することを特徴とする装置。

【請求項4】

記録担体上のトラックに前記デジタル情報信号を記録する請求項1に記載の装置において、前記出力手段は当該記録担体のトラックに前記チャンネル符号化された情報信号を書込み、制御するための前記手段は、周波数 f_b/M で単一の周波数成分を殆ど有する信号を受信時に生じさせる前記チャンネル符号化された情報信号における少なくともデータパターンの長さを制限し、ここで M は2より大きい整数であり、 f_b は前記チャンネル符号化された情報信号におけるビット周波数であることを特徴とする装置。

【請求項5】

($n-1$) ビットの情報語を n ビットの変換された語に変換するための変換装置を有する請求項1又は3に記載の装置であり、ここで ($n-1$) は偶整数であり、当該変換装置は

10

、
 - ($n-1$) ビットの情報語を入力する $n-1$ 個の端子、
 - 各々が第1及び第2の入力部並びに出力部を持つ $n-3$ 個の信号組合せユニット、及び
 - n ビットの変換された語を供給するための n 個の出力端子、
 を有し、

i 番目の端子は、 i 番目の前記信号組合せユニットの前記第1入力部に結合され、当該ユニットの出力部は前記変換装置の i 番目の出力端子に結合され、

($n-1$)/2 番目の端子は、($n-3$)/2 番目の信号組合せユニットの第2入力部及び前記変換装置の ($n-1$)/2 番目の出力端子に結合され、

($i+1$) 番目の信号組合せユニットの出力部は、 i 番目の信号組合せユニットの第2入力部に結合され、 i は $1 \leq i \leq (n-3)/2$ を維持する整数であり、

20

j 番目の端子は、($j-2$) 番目の信号組合せユニットの第1入力部に結合され、当該ユニットの出力部は、前記変換装置の ($j+1$) 番目の出力端子に結合され、

($n+1$)/2 番目の端子は、($n-1$)/2 番目の信号組合せユニットの第2入力部及び前記変換装置の ($n+3$)/2 番目の出力端子に結合され、

($j-2$) 番目の信号組合せユニットの出力部は、($j-1$) 番目の信号組合せユニットの第2入力部に結合され、 j は $(n+3)/2 \leq j \leq n-1$ を維持する整数であり、前記変換装置の ($n+1$)/2 番目の出力端子は、定電圧の接点に結合される

ことを特徴とする装置。

【請求項6】

30

($n-1$) ビットの情報語を n ビットの変換された語に変換する変換装置を有する請求項1又は3に記載の装置であり、ここで n は整数であり、当該変換装置は、

- ($n-1$) ビットの情報語を入力するための $n-1$ 個の端子、
 - 各々が第1及び第2の入力部並びに出力部を持つ $n-2$ 個の信号組合せユニット、及び
 - 前記 n ビットの変換された語を出力するため n 個の出力端子、
 を有し、

i 番目の端子は i 番目の前記信号組合せユニットの前記第1入力部に結合され、当該ユニットの出力部は前記変換装置の i 番目の出力端子に結合され、

($i+1$) 番目の端子は、 i 番目の前記信号組合せユニットの前記第2入力部に結合され、

40

i は $1 \leq i \leq (n-2)$ を維持する整数であり、
 前記変換装置のもう一つの出力端子は、定電圧の接点に結合されることを特徴とする装置。

【請求項7】

n は9に等しいことを特徴とする請求項5又は6に記載の装置。

【請求項8】

請求項5、6又は7に記載の装置において、当該変換装置は、直列形で前記入力部に供給される ($n-1$) ビットの情報語を並列形に変換するための入力部及び $n-1$ 個の出力部を持つ直並列変換器を有し、当該直並列変換器の $n-1$ 個の出力部の各々は、前記変換装置の $n-1$ 個の端子の対応する端子に結合されることを特徴とする装置。

50

【請求項 9】

請求項 3 に記載の装置における前記チャンネル符号化手段としての使用のため、且つ $(n-1)$ ビットの情報語を n ビットのチャンネル語にチャンネル符号化するためのチャンネル符号化器であり、当該チャンネル符号化器は、

- 前記極性反転手段、
- 前記極性制御信号生成手段、
- 前記 n ビットのチャンネル語を供給するための出力手段、並びに
- $(n-1)$ ビットの情報語を n ビットの変換された語に変換するための変換装置であり、ここで $(n-1)$ は偶整数であり、当該変換装置は、
- $(n-1)$ ビットの情報語を入力する $n-1$ 個の端子、
- 各々が第 1 及び第 2 の入力部並びに出力部を持つ $n-3$ 個の信号組合せユニット、及び
- n ビットの変換された語を供給するための n 個の出力端子、

10

を有し、
 i 番目の端子は、 i 番目の前記信号組合せユニットの前記第 1 入力部に結合され、当該ユニットの出力部は前記変換装置の i 番目の出力端子に結合され、

$(n-1)/2$ 番目の端子は、 $(n-3)/2$ 番目の信号組合せユニットの第 2 入力部及び前記変換装置の $(n-1)/2$ 番目の出力端子に結合され、

$(i+1)$ 番目の信号組合せユニットの出力部は、 i 番目の信号組合せユニットの第 2 入力部に結合され、 i は $1 \leq i \leq (n-3)/2$ を維持する整数であり、

j 番目の端子は、 $(j-2)$ 番目の信号組合せユニットの第 1 入力部に結合され、当該ユ

20

ニットの出力部は、前記変換装置の $(j+1)$ 番目の出力端子に結合され、
 $(n+1)/2$ 番目の端子は、 $(n-1)/2$ 番目の信号組合せユニットの第 2 入力部及び前記変換装置の $(n+3)/2$ 番目の出力端子に結合され、

$(j-2)$ 番目の信号組合せユニットの出力部は、 $(j-1)$ 番目の信号組合せユニットの第 2 入力部に結合され、 j は $(n+3)/2 \leq j \leq n-1$ を維持する整数であり、

前記変換装置の $(n+1)/2$ 番目の出力端子は、定電圧の接点に結合されることを特徴とする変換装置

を有することを特徴とするチャンネル符号化器。

【請求項 10】

請求項 9 に記載のチャンネル符号化器において、前記極性制御信号生成手段は、前記変換装置に供給される情報語及び前記極性反転手段によって生成されるチャンネル語に応じて前記極性制御信号を生成することを特徴とするチャンネル符号化器。

30

【請求項 11】

請求項 10 に記載のチャンネル符号化器において、前記極性制御信号生成手段は、前記チャンネル語のデータストリームが f_b/M に等しく、所定の時間間隔を超過する単一の周波数成分を持つデータ系列を持たないこのような方法で、前記極性制御信号を生成し、ここで M は 2 より大きい整数であり、 f_b は、前記チャンネル符号化された情報信号におけるビット周波数であることを特徴とするチャンネル符号化器。

【請求項 12】

請求項 9、10 又は 11 に記載のチャンネル符号化器において、ここで $n=9$ であり、前記極性制御信号生成手段は、

40

- 8 ビットの情報語を入力するための第 1 入力手段、
- 9 ビットのチャンネル語を入力するための第 2 入力手段、
- 極性制御信号を供給するための出力手段、
- 前記入力手段に結合される第 1 及び第 2 入力部並びに出力部を持つ第 1 信号組合せ手段、
- 前記第 1 信号組合せ手段の前記出力部に結合される第 1 入力部、前記入力手段に結合される第 2 入力部及び出力部を持つ第 2 信号組合せ手段、
- 前記第 2 信号組合せ手段の前記出力部に結合される第 1 入力部、第 2 入力部及び前記出力手段に結合される出力部を持つ第 3 信号組合せ手段、及び

50

—前記第2入力手段に結合される第1入力部、定電圧の信号を入力するための第2入力部及び前記第3信号組合せ手段の前記第2入力部に結合される出力部を持つ第4信号組合せ手段、

を有することを特徴とするチャネル符号化器。

【請求項13】

記録担体上のトラックにデジタル情報信号を記録するための装置であり、当該装置は、

—前記デジタル情報信号を入力するための入力手段、

—チャネル符号化された情報信号を得るために、請求項9から12の何れか一項に記載のチャネル符号化器、及び

—前記記録担体上の前記トラックに前記チャネル符号化された情報信号を書込むための書込み手段、

を有することを特徴とする装置。

【請求項14】

請求項1に記載の装置で得られ得る、 n ビットの変換された情報語を $(n-1)$ ビットの再変換された情報語に再変換するための再変換装置であり、ここで n は整数であり、当該再変換装置は、

—前記 n ビットの変換された情報語を入力する n 個の入力端子、

—各々が第1及び第2の入力部並びに出力部を持つ、 $n-1$ 個の信号組合せユニット、及び

—前記 $(n-1)$ ビットの再変換された語を供給するための $n-1$ 個の端子、

を有し、

i 番目の入力端子は、 i 番目の前記信号組合せユニットの前記第1の入力部に結合され、当該ユニットの出力部は前記再変換装置の i 番目の端子に結合され、

$(i+1)$ 番目の入力端子は前記 i 番目の信号組合せユニットの第2入力部に結合され、 i は $1 \leq i \leq (n-1)$ を維持する整数である

ことを特徴とする再変換装置。

【請求項15】

n は9に等しいことを特徴とする請求項14に記載の再変換装置。

【請求項16】

請求項14又は15に記載の再変換装置において、当該再変換装置はさらに、並列形である $n-1$ 個の入力部に供給される $(n-1)$ ビットの再変換される情報語を直列形に変換するための $n-1$ 個の入力部及び1個の出力部を持つ並直列変換器を有し、前記並直列変換器の前記 $n-1$ 個の入力部の各々は、前記再変換装置の $n-1$ 個の端子の対応する端子に結合されることを特徴とする再変換装置。

【請求項17】

送信チャネルを介してデジタル情報信号を送信するための方法において、当該方法は、

—前記デジタル情報信号を入力するステップ、

—チャネル符号化された情報信号を得るために、前記デジタル情報信号をチャネル符号化するステップ、

—前記チャネル符号化された情報信号を出力するステップ、

を有し、

当該チャネル符号化するステップは、 f_b/M に等しい単一の周波数成分を持つ前記チャネル符号化された情報信号において少なくともデータ系列の長さを制限するサブステップを有し、ここで M は2より大きい整数であり、 f_b は前記チャネル符号化された情報信号におけるビット周波数であることを特徴とする方法。

【請求項18】

記録担体上のトラックに前記情報信号を記録するための請求項17に記載の方法において、前記出力ステップはさらに、前記記録担体上のトラックにチャネル符号化された情報信号を書込むサブステップを有することを特徴とする方法。

【発明の詳細な説明】

10

20

30

40

50

技術分野

本発明は、送信媒体を介してデジタル情報信号を送信する装置、記録担体上のトラックにこのデジタル情報信号を記録する装置、 $(n-1)$ ビットの情報語を n ビットの変換された語に変換する変換装置、 $(n-1)$ ビットの情報語を n ビットのチャンネル語にチャンネル符号化するチャンネル符号化器で、前記変換装置を有するチャンネル符号化器、及び n ビットの変換された情報語を $(n-1)$ ビットの再変換された情報語に再変換(reconverted)する再変換装置に関する。さらに、本発明は、送信する方法にも関する。

背景技術

記録担体上にデジタル情報信号を記録するために、冒頭に定められた装置は、この明細書の終わりに見られる関連文献のリストにおいて文献D1であるUSP5,142,421から既知である。磁気記録担体上のランレングス制限(Run-length-limited)された系列の記録の題目に関する他の文献は、関連文献のリストにおいて文献D2である。

10

以下に行われる議論は、記録及び再生装置に関して続けられる。しかしながら、この以下に行われる議論は、同様に送信システムに十分応用できることに注意すべきである。

記録担体、特に磁気記録担体、からデジタル情報を再生する再生装置は、当業者には十分既知である。関連文献は、関連文献のリストにおいて文献D3であるUSP5,469,462及び関連文献のリストにおいて文献D4であるEP-A549,030について行われている。

再生装置は、利得制御のためのAGC回路及び記録担体から読取られる信号の等化制御のためのスロープ等化器(slope equalizer)をしばしば有するので、クロック及びデータ回復は、最小量の誤りで実行することができる。従来の再生装置は、検知されるデジタル信号で時々高い誤り率を示す。

20

発明の開示

本発明に従って、記録担体上のトラックにデジタル情報信号を記録するための装置は、
 -このデジタル情報信号を入力するための入力手段、
 -チャンネル符号化された情報信号を得るために、このデジタル情報信号をチャンネル符号化するためのチャンネル符号化手段、
 -このチャンネル符号化された情報信号を出力するための出力手段、

を有する。このチャンネル符号化手段は、周波数 f_b/M で単一の周波数成分を殆ど有する信号を受信時に生じさせるチャンネル符号化された情報信号における少なくともデータパターンの長さを制限するための手段を備え、ここで M は2より大きい整数であり、 f_b はこのチャンネル符号化された情報信号におけるビット周波数である。

30

本発明は、以下の認識に基づいている。ランレングス制限(RLL)変調コードは、デジタル送信及び記録システムに広く用いられている。これらは、前記符号化されたデータストリームにおいて1つ以上のランレングス制約条件を導入する。適例は k 制約条件であり、これは同一記号の実行がせいぜい $k+1$ 個の記号間隔長であると規定する。この制約条件は、データ遷移が定期的に発生し、これによって、データ受信機におけるタイミング回復方式の適切な操作を促進することを保証する。DCを拒絶するシステムにとって、この k 制約条件は自動利得制御にも有利となる。

現在の送信及び記録システムは、あっても少しだけしか超過していない帯域幅を持つ傾向がある。ナイキスト比率データパターンは送信又は記録される及び超過した帯域幅は無視できる場合、受信される信号は、ほとんどノイズだけからなるだろう。この場合、タイミング回復、利得制御又は等化適応のためのどんな制御情報も抽出することを本質的に不可能にする。結果として、これらタイミング回復、利得制御及びデータ受信における適応ループは、集束しなくてもよい。このアノマリ(anomaly)を避けるために、ナイキスト比率データパターンは制限時間を持つことが望ましい。この制約条件は、ナイキスト比率パターンの最大ランレングスを k_2+1 個の記号間隔に制限する k_2 制約条件を介して実行される。この k_2 制約条件はそれ自体、前に用いられたように見えないが、PRMLチャンネル(文献D2参照)の出力部で零記号のランレングスに関する制約の結果、存在する変調コードにそれとなく現れる。

40

これら k 及び k_2 制約条件は、全制御ループの適当な操作に必要である一方、これらは十

50

分となる必要はない。

本発明は、データ受信機、即ちスロープ等化器が存在する受信機の特定の部類に十分な量を実行することを必要とする制約条件に関係する。スロープ等化器は、高周波で段階的なロールオフ(roll-off)を持つチャンネルにしばしば用いられる。前記ロールオフのスロープ又は程度は、事前に確かではない傾向があり、この理由のために、前記スロープ等化器は適応しなければならない。前記チャンネルの利得の変化は、A G C回路を介し補償されるのに対し、前記スロープ等化器は、低周波から高周波の間の不均衡を補償する。

前記利得とスロープとを共同して決めることを可能にするために、前記入力される信号は少なくとも2つの別個の周波数成分を含まなければならない。この送信されたデータが延長された時間周期で前記チャンネルの通過帯域内で単一の成分のみを持つ場合、A G C及びスロープ等化器は、集束しなくてもよい。このアノマリを回避するために、このような成分を生じるデータパターンの最大ランレングスは制限される。

10

実用的な送信及び記録システムは、常に1つ以上のA C結合を含み、少ししか超過した帯域幅を持たない傾向がある。従って、これらの通過帯域は、除かれた両端の周波数でD Cからナイキスト周波数まで及ぶことを考慮することができる。

好ましくは、この通過帯域内の単一の周波数成分をせいぜい持つ全てのデータパターンは、本発明に従って長さに関し制限されるべきである。これらパターンは、3 T、4 T及び6 Tの周期を持つデータパターンであり、ここでTはビット時間である。

よって、本発明に従い、変調コードは、これらの長さが所定の長さを越えないという意味において、1つ以上のこれらデータパターンに関する抑制を導入するコードを提案する。

20

本発明はさらに、前記記録装置に含まれるチャンネル符号化器で使用される特定の変換装置であり、対応する再生装置で使用される対応する再変換装置である。

本発明のこれら及び他の特徴を以下の図面において述べられる実施例を参照してさらに明らかにできるだろう。

【図面の簡単な説明】

第1図は、記録担体上に記録されたデジタル情報信号を再生する再生装置を示し、

第2図は、前記再生装置に通常存在するA G C回路を用いて前記記録担体から読取られる信号の増幅及び前記再生装置に通常存在するスロープ等化器を用いて前記記録担体から読取られる信号の等化を示し、

第3図は、チャンネル符号化器を具備する本発明に従う記録装置を示し、

30

第3 A図は、第3図の装置の更なる詳細図を示し、

第4図は、第3図のチャンネル符号化器で使用される8から9ビットへの変換器ユニットの実施例を示し、前記9ビットの変換された語を本来の8ビットの語に再変換する9から8ビットへの再変換ユニットも示し、

第5図は、第4図の変換器ユニットを具備するチャンネル符号化器及び対応するチャンネル復号器を示し、

第6図は、第5図のチャンネル符号化器で使用される極性制御信号発生器の一例を示し、

第7図は、前記チャンネル符号化器における前記変換器ユニットのもう一つの実施例を示す。

発明を実施するための最良の形態

40

記録担体上のトラックからデジタル情報信号を再生する再生装置は、再生された情報信号の振幅を制御する自動利得制御回路と、この再生された情報信号の周波数特性を制御するスロープ等化器とを通常は有する。第1図は上記再生装置の実施例を示す。磁気読取りヘッド1の形の読取り手段は、磁気記録担体2から情報を読取るために存在する。この記録担体2から読取られた信号は、自動利得制御回路4に出力され、この回路は利得制御信号を入力するための制御信号入力部6及び利得制御された出力信号を出力するための出力部8を持つ。この信号はスロープ等化回路12の入力部10に入力され、この回路は制御信号入力部14及び等化された出力信号を出力するための出力部16を持つ。この等化された出力信号は、ビット検知回路20の入力部18に入力される。このビット検知回路は、当該ビット検知回路に含まれるA/D変換器を用いて前記スロープ等化回路12からの等

50

化された出力信号に関してビット検知を実行し、例えばビタビ検知器の検知で後続する。前記A/D変換器に対するサンプル比率は、前記信号自身から抽出されてもよい。この再生された情報信号は、前記ビット検知回路20の出力部22において利用可能である。図示しないが、前記ビット検知ユニット20に含まれる制御信号生成ユニットは、第1制御信号 S_1 を制御信号出力部26に出力するため及び第2制御信号 S_2 を前記ビット検知ユニット20の制御信号出力部28に出力するために存在する。この制御信号出力部26は、前記自動利得制御回路4の制御信号入力部6に結合されるので、この第1制御信号 S_1 はこの自動利得制御信号回路4の設定を制御する。前記制御信号出力部28は、前記スロープ等化回路12の制御信号入力部14に結合されるので、この第1制御信号 S_2 は当該等化回路12におけるスロープ等化器の設定を制御する。

10

これら第1及び第2制御信号 S_1 及び S_2 は、十分既知の方法で得ることが可能である。参考文献は、関連文献のリストにおいて、文献D5のIEEE Transaction of Cherubiniに関して行われている。

前記自動利得制御回路4及びスロープ等化回路12の機能は、さらに第2図を参照して説明されるだろう。前記第1制御信号 S_1 に応じて、前記AGC回路4は、周波数独立である制御信号入力部に入力される信号について増幅を実行する。これは第2図において2本の線 A_1 及び A_2 を用いて示され、前記制御信号 S_1 に対する2つの異なる制御信号値に応じて2つの増幅率 A_1 及び A_2 をそれぞれ表す。第2制御信号 S_2 に応じて、前記等化回路12は、制御信号入力部に入力される信号について周波数依存増幅を実行する。これは第2図において2本の線 F_1 及び F_2 を用いて示され、前記制御信号 S_2 に対する2つの異なる制御信号値に応じて2つの異なるフィルタ特性 F_1 及び F_2 をそれぞれ表す。

20

前記記録担体から読取られた信号に応じて、前記ビット検知回路20は、正確なビット検知となるように、2つの制御信号 S_1 及び S_2 を生成する。

この記録担体から読取られた信号は、1つの周波数成分を有するアナログ再生信号であると仮定される。言い換えると、前記記録担体から読取られ、且つ、アナログ形であるこの再生情報信号の周波数特性は、1つの周波数成分を持つ。記録すべきデジタル情報信号における様々なデータパターンは、単一の周波数成分を持つアナログ形の再生情報信号となる。このようなデータ系列の例は以下のようである。

3T pattern ...110110110110110...,

4T patterns ...1100110011001100...,and

30

...1110111011101110...,

6T pattern ...111000111000111...

他のパターンも可能である。

上記で与えられた最初のパターンは、周波数値 $f_b/3$ で再生に関する単一の周波数成分を持つアナログ信号となり、ここで f_b は情報信号のビット周波数であり、この周波数は $1/3T$ に等しく、ここで T は前記デジタル情報信号におけるビット時間間隔である。上記で与えられた2つの4Tパターンは、両方とも周波数値 $f_b/4$ で単一の周波数成分を持つ再生に関するアナログ信号となり、この周波数は $1/4T$ に等しく、最後のパターンは、周波数値 $f_b/6$ で単一の周波数成分を持つ再生に関するアナログ信号となり、この周波数値は $1/6T$ に等しい。

40

例えば、前記3TパターンもDCで周波数スペクトラムにおけるピークを持つことに注意すべきである。しかしながら、送信チャネル（例えば記録-再生パス）は、この周波数に対して導通しない。同じ方法において、上記で与えられたパターンの幾つかは、（ $1/2T$ である）ナイキスト周波数で周波数スペクトラムにおけるピークを示す。しかし一般的には、この送信チャネルもまた前記ナイキスト周波数に対して導通しない。結果として、この再生されたアナログ信号は、通例、DC及びナイキスト周波数で周波数のピークを持たない。

前記記録担体から読取られた多周波成分信号に対し、前記ビット検知回路は、前記AGC

50

回路が前記値 A_1 に設定され、且つ、前記スロープ等化器が前記曲線 F_2 に設定されるような制御信号 S_1 及び S_2 を生成すると仮定する。これは、周波数依存増幅率 A_1 、 F_2 となり、この周波数依存増幅率は、周波数値 f_1 で一定の増幅率 $M(f_1)$ を意味する。単一の成分信号に変化するこの信号の内容は、前記周波数 f_1 を持つと仮定する。前記増幅率 $M(f_1)$ は、この信号に対する正確な増幅率となる。

A_1 、 F_2 が A_2 、 F_1 と等しいと仮定する。この状況において、前記周波数成分 f_1 を持つ単一の成分信号が再生されるとすると、制御信号は前記値 A_2 に設定される A G C 回路及び曲線 F_1 に設定されるスロープ等化器となることをもたらし、再び増幅率 $M(f_1)$ となる。この増幅率は単一の周波数成分信号に対する正確な設定である。しかしながら、他の周波数成分が前記記録担体から読取られる信号に現れるや否や、前記 A G C 及びスロープ等化器の両方は誤って設定され、非常に誤ったビット検知となり、前記記録担体から読取られるデータから離れていく。

10

本発明はよって、前記記録担体上に記録される単一の周波数デジタル情報信号成分は、再生に関し、これら単一の周波数信号成分を補正する前記 A G C 回路 4 及び前記スロープ等化回路 1 2 に対する設定となってもよいが、複数の周波数信号成分を含むデジタル情報信号が再生されるとすぐに誤りとなってしまうという認識に基づいている。

本発明に従って、一つの単一の周波数成分を持つアナログ再生信号となる記録すべきデジタル情報信号における長いデータパターンは、記録すべきデータストリームに現れないという必要性がよって存在する。

第 3 図は、記録担体上にデジタル情報信号を記録する装置の実施例である。この装置は、記録すべきデジタル情報信号を入力するための入力端子 3 0 を有する。この入力端子 3 0 は、チャンネル符号化器回路 3 4 の入力部 3 2 に結合され、この回路はチャンネル符号化されたデジタル情報信号を書込みユニットに出力するための出力部 3 6 を持つ。このユニットは、本発明の状況において前記記録担体 2 上にチャンネル符号化されたデジタル情報信号を書込む磁気書込みヘッド 3 8 の形であり、この記録担体はハードディスクでもよい。

20

前記チャンネル符号化器は、前記記録担体上に記録するこの様な方法で前記デジタル情報信号を符号化する。様々な制約条件は、チャンネル符号化された情報信号によって満たされるべきである。上記制約条件の一つは k 制約条件であり、前記チャンネル符号化された情報信号が前記データ系列において互いに、せいぜい $k + 1$ 個の ' o n e s ' 又は ' z e r o e s ' を含むことを示す。上記制約条件は、記録された情報信号の再生中に十分なビットブロックの回復を実現するため、及び前記再生装置の前記 A G C 回路 4 における正確な A G C の設定を実現するためにも必要である。加えて、上記に説明されるように、この制約条件は、例えば上記に与えられ、ある単一の周波数成分を持つパターンのような長いデータパターンが記録すべきデータストリームに現れるべきではないことを記録すべきチャンネル信号に置くべきである。

30

第 3 A 図は、第 3 図の装置の更なる実施例を示す。この装置は、十分既知な従来の方法で、例えば $(n - 1)$ ビットの情報語を n ビットのチャンネル語に変換するためのチャンネル変換器 3 4 A を有する。さらに、バッファメモリ 3 4 B は、変換されたデータ語の系列の十分な長さを記憶するために設けられる。検知ユニット 3 4 C は、単一の周波数成分を有する再生に関するアナログ信号となる上記で定められたデータパターンを検知するのに役立ち、当該データパターンは所定の長さを超過する。上記検知に関し、制御信号は前記検知器 3 4 C によって極性反転器 3 4 D に出力される。この極性反転器は、所定の長さを超過する上記で定められたデータパターンと一致する場所で変換されたデータ語の系列を反転する。結果として、上記の所定の長さを超過するデータパターンは、半分に分割され、各々の半分は前記所定の長さよりも短くなる。これは以下に説明される他の実施例で説明されるだろう。

40

第 3 A 図を参照して開示される符号化器は、例えば R.0.Carter によって関連文献のリストにおいて文献 D 6 で開示されるような極性ビット符号化器の特別な型式であることに注意すべきである。

第 4 図は、上記目的を達成するのに可能なチャンネル符号化器で使用可能な、例えば 8 ビッ

50

トの情報語を9ビットの変換された語に変換するための変換器及び対応するチャネル復号器で使用可能な対応する9から8ビットへの再変換器を示す。

これらチャネル符号化器及び対応するチャネル復号器は、第5図で示され及び第5図を参照して説明されるだろう。第4図は、8ビットの情報語が9ビットの変換された語に変換されるバイトに関する変換器40を示す。この変換器40の入力部32は、本実施例において、この入力部32に輸入される後続する8ビットの情報語のビット a_{8m} から a_{8m+7} をそれぞれ出力するための8個の出力部42. 1から42. 8を持つ直並列変換器に結合される。この変換器40は、9ビットの後続する変換された語を出力するための9個の出力部44. 1から44. 9を持つ。この出力部44. 5は、'1'のビットを出力する端子に結合される。さらに、前記直並列変換器40の出力部42. 4及び42. 5は、この変換器40の出力部44. 4及び44. 6のそれぞれに直接結合される。この変換器40は、さらに6個の乗算ユニットを具備する。出力部42. 1は、前記乗算ユニット46. 1の対応入力部に結合され、この乗算ユニットの出力部は、前記変換器40の出力部44. 1に結合される。出力部42. 2は、E X O Rゲート46. 2の対応入力部に結合され、このE X O Rゲートの出力部は、前記変換器40の出力部44. 2と前記E X O Rゲート46. 1の第2入力部とに結合される。出力部42. 3及び42. 4は、乗算ユニット46. 3の対応入力部に結合され、この乗算ユニットの出力部は、前記変換器40の出力部44. 3と乗算ユニット46. 2の第2入力部に結合される。出力部42. 5及び42. 6は、乗算ユニット46. 4の対応入力部に結合され、この乗算ユニットの出力部は、前記変換器40の出力部44. 7と乗算ユニット46. 5の対応入力部とに結合される。出力部42. 7は、乗算ユニット46. 5の第2入力部に結合され、この乗算ユニットの出力部は、前記コンバータ40の出力部44. 8と乗算ユニット46. 6の対応入力部とに結合される。出力部42. 8は、乗算ユニット46. 6の第2出力部に結合され、この乗算ユニットの出力部は、前記変換器40の出力部44. 9に結合される。

対応する再変換器50は、 $b_{9m}, \dots, b_{9m+8}$ で示される後続する9ビットの変換された語のビット9個を入力部52. 1から52. 9をそれぞれ介して受信する。この再変換器50は、8個の乗算ユニット54. 1から54. 8の形で8個の乗算ユニットと8個の入力部58. 1から58. 8及びこの再変換器50の出力部59に結合される出力部を持つ直並列変換器56とを具備する。

入力部52. 1及び52. 2は、乗算ユニット54. 1の対応入力部に結合され、この乗算ユニットの出力部は、前記直並列変換器56の入力部58. 1に結合される。入力部52. 2及び52. 3は、乗算ユニット54. 2の対応入力部に結合され、この乗算ユニットの出力部は、前記直並列変換器56の入力部58. 2に結合される。入力部52. 3及び52. 4は乗算ユニット54. 3の対応入力部に結合され、この乗算ユニットの出力部は、前記直並列変換器56の入力部58. 3に結合される。入力部52. 4及び52. 5は、乗算ユニット54. 4の対応入力部に結合され、この乗算ユニットの出力部は、前記直並列変換器56の入力部58. 4に結合される。入力部52. 5及び52. 6は、乗算ユニット54. 5の対応入力部に結合され、この乗算ユニットの出力部は、前記直並列変換器56の入力部58. 5に結合される。入力部52. 6及び52. 7は、乗算ユニットゲート54. 6の対応入力部に結合され、この乗算ユニットゲートの出力部は、前記直並列変換器56の入力部58. 6に結合される。入力部52. 7及び52. 8は、乗算ユニット56の対応入力部に結合され、この乗算ユニットの出力は、前記直並列変換器56の入力部58. 6に結合される。入力部52. 8及び52. 9は、乗算ユニット54. 8の対応入力部に結合され、この乗算ユニットの出力は、前記直並列変換器56の入力部58. 8に結合される。前記直並列変換器56は、当該変換器の入力部に入力される8ビットの並列語を8ビットの再変換された語の直列データ系列に変換する。これら再変換された8ビットの語は、前記入力部32に輸入された本来の8ビットの語と同じである。

極性が反転した9ビットの語において対応する語と同じく9ビットの変換された語は、この再変換器50によって同じ8ビットの情報語に再変換されるという意味において、前記再変換器50のキー特性はこの再変換器の極性に対する愚鈍さである。

10

20

30

40

50

さらに、上述したような変換器—再変換器の組合せは、前記再変換器50で誤って受信される1つのビットは、再変換される語において多くて2つの連続するビットに影響する。前記再変換器における誤った伝播は、せいぜい2つの記号間隔に制限されることになる。さらに、誤りは語の境界を越えて伝播しない。

($n-1$) ビットの情報語を n ビットの変換された語に変換する変換器に対する第4図の変換器の一般論は、率直に8から9ビットへの変換器の上記議論から終わることに注意すべきである。同じことが一般的な再変換器に関しても話することができる。上記の一般的な変換器及び再変換器は十分に本発明の範囲内にある。

第4図に示すような変換器—再変換器の組合せは、値{1, -1}を持つデジタル信号を変換/再変換することであり、これは送信技術者によって規則正しく用いられるデジタル信号のための表記であることに注意すべきである。このような信号に関し、前記乗算ユニットは、確かに実乗算ユニットである。前記デジタル値{1, -1}は、'zeroes'を'-1'ビットに、且つ'ones'を'1'ビットに変換することによって'zeroes'及び'ones'を持つ2進デジタル信号から得られる。

第4図に示すような同様の変換器—再変換器の組合せは、'zeroes'及び'ones'を備える'noma1'表記に表される2進信号を直接変換—再変換するのに使用することができる。このような状況において、前記乗算ユニットは、全てEXORゲート又はEXNORゲートの形となることが可能である。前記変換器にEXNORゲートを用いる場合、EXNORゲートも前記再変換器で用いられるべきである。前記変換器にEXORゲートを用いる場合、'0'ビットを前記端子44, 5に出力する必要がある、さらに前記再変換器ユニットも、EXORゲートを用いるべきである。

第7図は、40'で表される変換器ユニットのもう一つの実施例を示す。この変換器ユニット40'も前記再変換ユニット50と共に使用することができる。定数値'1'がここで前記端子44, 1に出力される事実によって、さらに一つの乗算ユニットがこの変換器ユニット40'に存在する。第4図の前記変換ユニット40の広域な説明の後にこの変換器ユニット40'の更なる説明は必要ない。この変換器の多様な他の実施例が可能であることにさらに注意すべきであり、ここで値'1'は前記変換器ユニットの他の出力端子に出力される。

第5図は、前記情報語をチャンネル語に符号化する第3図のチャンネル符号化器34の実施例及び当該チャンネル符号化器によって生成されたチャンネル語を本来の情報語に復号するのに使用可能な対応チャンネル復号器を示す。このチャンネル符号化器は、参照番号34'で表され、第4図を参照して上記で述べられた前記変換器40を有する。このチャンネル符号化器34'は、さらに極性反転回路60を有し、この回路は p_{in} で表される極性制御信号の影響を受けて、前記変換器ユニット40で出力される変換されたデータストリームの極性を反転可能にする。さらに、制御信号生成器62は、この極性制御信号 p_{in} を生成するため及び当該信号 p_{in} を出力部68へ出力するために設けられる。

前記極性制御信号は、後で述べるように、各ビットに対し自動的に生成される。変換されたデータストリームの極性を変化することによって、余分な周波数成分は極性反転が起こる境界に発生する。この間に、前記AGC回路4及びスロープ等化回路12は、正しい設定に設定することができる。前記極性制御信号生成回路は、8ビットの本来の情報語と生じた9ビットのチャンネル語とからこの極性制御信号 p_{in} を生成する。この回路は、従って8ビットの各情報語の少なくとも1ビットを入力する第1入力部64及び9ビットの各チャンネル語の少なくとも1ビットを入力する第2入力部66を持つ。

第6図は、参照番号62'で特定される極性制御信号生成回路62の実施例を示す。この生成回路62'は、乗算ユニットを乗算ユニット70及び72の形で有する。この乗算ユニット70は、各($n-1$)ビットの情報語の第1(LSB)ビット及び第4ビットを入力するための第1及び第2入力部を持つ。この乗算ユニット70の出力部は、前記乗算ユニット72の第1入力部に結合される。この乗算ユニット回路の第2入力部は、各($n-1$)ビットの情報語の第5ビットを入力する。

前記生成回路は、さらに2つの乗算回路を乗算ユニット74及び76の形で有する。前記

10

20

30

40

50

乗算ユニット72の出力部は、この乗算ユニット74の第1入力部に結合され、この乗算ユニット74の出力部は、前記生成回路62'の出力部68に結合される。前記生成回路62'の入力部66は、遅延回路78を介し前記乗算ユニット76の第1入力部に結合される。この乗算ユニット76の出力部は、前記乗算ユニット74の第2入力部に結合され、この乗算ユニット76の第2入力部は、'−1'の信号を入力する。

現在変換された9ビットの語の最後のビットは、入力部66に入力され、前記遅延ユニット78で時間間隔9T以上遅延される。前記生成回路62'によって生成された極性制御信号は、上述される全てのパターンのランレングスの制限をせいぜい14にする。

第6図の記載された実施例において、前記回路におけるデジタル信号は、{−1, 1}表記であると再び仮定する。第6図の回路は、'normal' 2進法{0, 1}でのデジタル信号を処理するために修正可能である。これは、前記乗算ユニットをEXNOR回路で置き換えることで実現される。この状況において、信号'0'は前記ユニット76の第2入力部に入力されるべきである。

10

前記乗算ユニットを前記EXORで置き換える場合、前記ユニット76の第2ユニットに入力されるべき信号は'1'の信号であるべきである。

もう一つの極性制御信号生成器を用いることによって、例えば記録すべき信号がDCフリーである必要条件のように、記録すべき信号に対して他の制限を実現することを可能にすることに注意すべきである。

少なくとも9個のデータ記号の長さを持つ上記で与えられた全データパターンを抑制することを可能にする'optimum'極性制御信号生成器は、以下の方程式で表すことができる。

20

$$t_m = \overline{a_5^{m-1}} \cdot \overline{a_6^{m-1}} \cdot \overline{a_7^{m-1}} + \overline{a_0^m} \cdot \overline{a_1^m} \cdot \overline{a_2^m} + \overline{a_6^{m-1}} \cdot \overline{a_7^{m-1}} \cdot \overline{a_0^m} \cdot \overline{a_1^m} \\ + \overline{a_5^{m-1}} \cdot \overline{a_7^{m-1}} \cdot \overline{a_2^m} + \overline{a_6^{m-1}} \cdot \overline{a_7^{m-1}} \cdot \overline{a_0^m} \cdot \overline{a_2^m} + \overline{a_6^{m-1}} \cdot \overline{a_7^{m-1}} \cdot \overline{a_0^m}$$

ここで、上付バー'-'は論理的な否定を表し、'・'及び'+'は論理的なAND及びOR操作をそれぞれ表す。この表示は、以下に示す量は始めにマッピング'−1'→'1'及び'+1'→'0'に従って論理表記{0, 1}で書き変えたと仮定する。

得られた量 t_m を表記{−1, 1}に再変換した後、前記極性制御信号 p_m は以下のような方程式で得られる。

30

$$p_m = c_8^{m-1} \cdot b_m^0 \cdot t_m$$

ここで、'・'記号は第4図及び6図を参照して開示されたような意味での実乗算を意味する。

本発明の好ましい実施例を参照して、本発明を説明するのに対し、これら実施例は、限定される実施例ではないことを理解すべきである。従って、様々な改良は、請求項で定められるように、本発明の範囲から逸脱することなく、当業者に明白であってもよい。例として、記載された全ての実施例は、磁氣的又は光学的に記録及び再変換状況に関する。始めに記載されたように、本発明は同様に例えば放送システムのような送信システムに十分応用可能である。

40

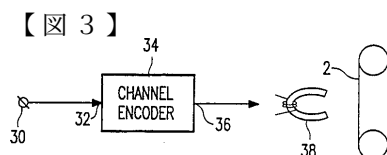
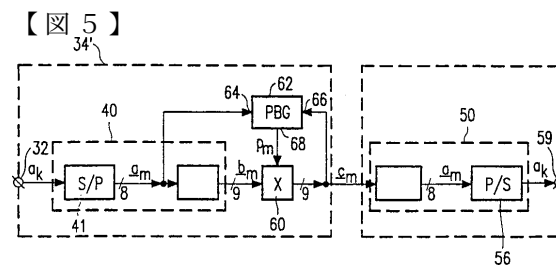
さらに、本発明は、ここに記載されるように、各々及び全ての新規特性又は特性の組合である。

参照文献リスト

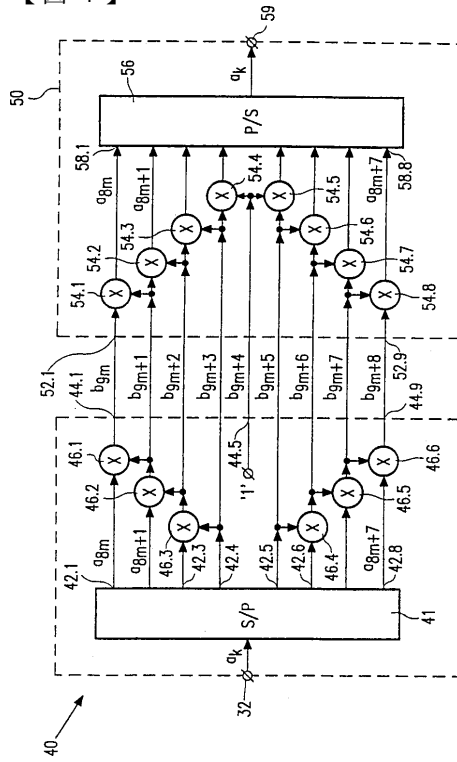
- (D1) 米国特許公報USP5,142,421(PHN13.537)
- (D2) IEEE Journal of selected areas in communications, Vol.10, no.1, Jan.1992, pp.38-56, R.D.Cideciyan et al, 'A PRML system for digital magnetic recording'
- (D3) 米国特許公報USP5,469,462(PHN14.147)
- (D4) ヨーロッパ特許公報EP-A549,030(PHN12.927)
- (D5) IEEE Trans on Communications, Vol.44, no.6, June 1996, pp.675-685, G.Cherbini et al, 'Adaptive analog equalization and receiver front-end control for mul

50

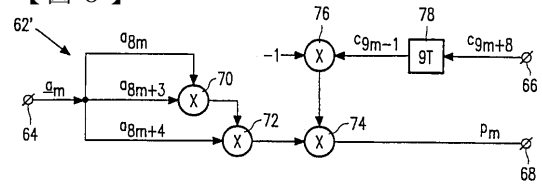
(D 6) Electronics letters, May 1965, Vol.1, no.3, R.O.Catter, ' Low-disparity binary coding system '



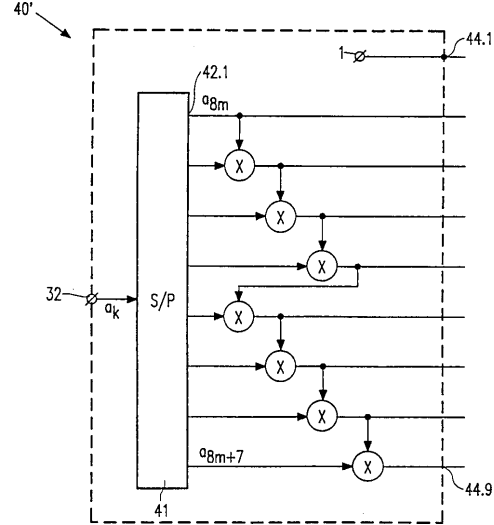
【図 4】



【図 6】



【図 7】



フロントページの続き

- (72)発明者 ファアマン ヨハネス オットー
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6
- (72)発明者 ホルマン ヘンドリック デイルク ロドヴィック
オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

審査官 矢頭 尚之

- (56)参考文献 特開平06-232756 (JP, A)
特開平10-013241 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H03M 3/00 - 11/00
G11B 20/14