

205602

公告本

申請日期	80.7.16
案 號	80105529
類 別	

A4
C4

(以上各欄由本局填註)

發明
~~新型~~專利說明書

(請先閱讀背面之注意事項再填寫本頁各欄)

一、發明 創作 名稱	中 文	用於類比系統之積體電路
	英 文	INTEGRATED CIRCUIT FOR ANALOG SYSTEM
二、發明 創作 人	姓 名	肯尼斯·奧斯丁
	籍 貫 (國籍)	英國
	住、居所	英國赤夏郡挪斯維奇布魯克赫斯特路布魯克赫斯特會館
三、申請人	姓 名 (名稱)	英商·皮爾京頓微電子有限公司
	籍 貫 (國籍)	英國
	住、居所 (事務所)	英國梅希賽德·聖海倫斯普瑞斯柯特路
	代表人 姓 名	安東尼 M. 克列茲

五、發明說明 ()

本發明係關於可施用於類比系統之半導體積體電路。

已知之類比線路，譬如圖形等化器，音樂合成器，特殊濾波器，頻譜分析儀等，使用在印刷電路板上放置離散元件的設計與製造技術。這樣的電路往往很巨大，需大量人工來配置，有可靠性與成本的問題。

上述之類比電路已有製成半導體積體電路者，然而，使用現有的製造程序來製作具精確阻值或大電容值之積體電路仍有許多困難。不僅如此，的確有形同運算放大器，振盪器與向位鎖定電路的積體電路，但這些電路的缺點在需要不同的特殊製程，而這又是花費頗鉅的。

本發明的目的在提出一種相當便宜的標準半導體積體電路來克服上述的缺點與問題，其適用許多不同的功能運用而不需在該積體電路的製程上有大改變。

根據本發明提出一種半導體積體電路具有成排可配置的類比單元，各單元能與排列中之其他單元以連接網路互相連結，其中各類比單元能選擇性地與各自地被單元配置資料來取用，以在內部配置該單元並影響該單元和排列中其他類比單元的連結，來由許多可能的類比功能應用中完成一特定的類比功能應用。

該半導體積體電路較佳更包含第一資料路徑與開關控制路徑，而且該連接網路包含相關之開關電路，其中以數位形式儲存於儲存裝置內的單元配置資料經由開關控制路徑導向某一被選擇的單元，以影響該相關開關電路的動作與該被選擇類比單元排列中其他類比單元的相互連結。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

該開關電路較佳包含一儲存配置資料的儲存裝置與用作相互連結的電晶體開關。

很容易的該相互連結網路較佳包含一整體連結系統與一區域連結系統，其中該整體連結系統用以連接在排列中的某單元與一段距離外的另一單元，而該區域連結系統則用以連接各單元的輸出至相鄰單元的輸入。

一類比單元較佳包括一放大器，可規劃類比元件，開關裝置與訊號路徑，為了要實現某預定類比電路，該類比元件被規劃成所需的內定值，而該開關裝置則用來依某特定預設配置連接該各已規劃元件與訊號路徑。

很容易的而且較佳的，該內在元件值可以數位方式儲存於儲存裝置中。該排列較佳包含選擇訊號路徑以選擇不同類比單元，並使單元選擇訊號其在一中央控制裝置的控制下，由訊號產生裝置發出，並使該單元訊號得以成功的導向關於各類比單元的選擇訊號路徑。

該排列同時較佳包括第二資料路徑以提供類比訊號至各類比單元，該類比資料係經數位至類比轉換器由數位單元配置資料而來，其中該類比資料係經該第二資料路徑傳到該選定的單元。

有許多優點地，該類比資料包括許多分別類比訊號，各代表在待規劃單元中各元件的特定值。

該眾多可配置類比單元的排列較佳為矩陣狀，其中各單元依行和列來安排。

很容易並且較佳的，該訊號產生裝置包含一第一規劃

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

移位暫存器與一第二規劃移位暫存器，其中該第一規劃移位暫存器提供矩陣中水平軸的參考訊號，而該第二規劃移位暫存器則提供矩陣中垂直軸的參考訊號，該水平與垂直軸參考訊號便能選擇矩陣中任何類比單元。

該整體連結系統較佳包含在每行類比單元間垂直跑線的垂直整體匯流排與在每列類比單元間水平跑線的水平整體匯流排。

在矩陣的各邊較佳包含開關方塊，其使在矩陣邊上的垂直和水平整體匯流排線能直接相互連結。

該半導體積體電路較佳可用來製造一可規劃電阻元件，其包含一對相同特性的場效電晶體，具有閘極，源極和汲極電極，其中該對中之第一電晶體係用作參考電晶體且該對中之第二電晶體係用以提供該真正電阻值。

該半導體電路較佳更包含一微分放大器，一可調固定電流源，與第一與第二參考電壓，而其中該定電流源用作該參考電晶體的負載，該參考電晶體則連接以提供一負回授路徑至該微分放大器，而該微分放大器的動作則佈置來調整該參考電晶體閘極電壓，直到某關於該第一與第二參考電壓的特定壓降在該參考電晶體兩端出現為止，其建立一預定電阻值以該參考電晶體的源極與汲極電極之間，並且該參考電晶體的閘極電壓則安排以直接控制相同特性場效電晶體中的第二電晶體的電導以設定需要的電阻值。

很容易而且較佳的，該半導體積體電路可用來製作線性電阻，使用一互補相同特性相反極性場效電晶體，其中

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

該各相同特性場效電晶體對中之第二電晶體都平行連接在一起，於是該第二電晶體的動作即為一線性傳輸的功能。

各可規劃電阻較佳可包含一電阻網路，具有許多不同極性場效電晶體對排列起來以使能製作不同範圍的阻值，其中某特定範圍係由單元配置資料，其經該第一資料匯流排中之某資料匯流排至某儲存裝置，所選擇，其輸出則用來開關選定範圍的電阻而使之動作。

該可調定電流源係由類比訊號所控制。

該積體電路較佳包含可規劃電容元件其具最少一電容倍乘電路。

有許多優點而且較佳的，各相反極性場效電晶體具一相關電容性類比儲存電路，其能儲存並取回在該參考電晶體閘極的類比電壓當該特定電壓降達到時。

製作元件的誤差容忍較佳的即為所有類比元件皆自動由一單獨外在電阻與一單獨內在電容所補償。

本發明在下述的不同實施並參考附圖能更容易了解，其中：

第一圖係根據本發明呈線性陣列的半導體積體電路之電路圖；

第二圖係在線性陣列中基本單元與加強單元的排列之電路圖；

第三圖係基本單元之電路圖；

第四圖係加強單元之電路圖；

第五圖係陣列部份明細，尤其為整體連結的明細圖；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

第六圖係在基本中心單元周圍的連結細部圖；

第七圖係在加強中心單元周圍的連結細部圖；

第八圖係連結開關的細部圖；

第九圖係一可規劃開關電路其包含一由一中心單元隨機存取記憶體控制之通過電晶體；

第十圖係一中心單元運算放大器電路圖；

第十一圖係一可規劃電阻網路之電路圖；

第十二圖係一可規劃電阻單元之電路圖；

第十三圖係一可規劃電阻方塊之電路圖；

第十四圖係一N通道可規劃電阻元件開關排列；

第十五圖係一P通道可規劃電阻元件開關排列；

第十六圖係一可規劃電阻之電路圖；

第十七圖係一N通道可規劃電阻電路的細部電路圖；

第十八圖係一P通道可規劃電阻電路的細部電路圖；

第十九圖係一儲存點放電函數的特性圖；

第二十圖係一類比可規劃電路之電路圖；

第二十一與二十二圖係第二十三圖中的部份，係一典型基本元件與其規劃排列之更詳細電路圖；

第二十四圖係一電容倍乘器電路的電路圖；

第二十五圖係一電容補償電路的電路圖；

第二十六圖係第二十四圖中使用類比緩衝器的細部電路圖；

第二十七圖係一P通道控制電路／微分放大器的細部電路圖；

(請先閱讀背面之注意事項再填寫本頁)

.....裝.....訂.....線.....

五、發明說明 ()

第二十八圖係一N通道控制電路／微分放大器的細部電路圖；

第二十九圖係一周邊可規劃增益輸出／輸入電路之電路圖；

第三十圖係一傳統“極”(pole)低通濾波器的電路圖；且，

第三十一圖係第三十圖之電路在陣列中的完成圖。

在實施例中本發明提出一使用者規劃線性陣列，包含運算放大器其使用半導體MOS場效電晶體，電容，電阻，電晶體，電壓相關電晶體與開關，以半導體積體方式製成。該陣列包含49個中心單元(28個基本單元與21個加強單元)包含運算放大器與可配置之相互連結，使得使用者能實現複雜的類比電路功能。提供有可程式電阻與電容使設計師能實現許多類比電路功能。

參考附圖需了解圖中所有的RN代表一可規劃電阻的兩端。現參考第一圖，圖中可見單元CL在7乘7的陣列中跳行排列，這些單元能以連結網路互相連接。該連結網路包括在行與列之間垂直與平行跑線的匯流排線。垂直在各行單元間跑線的是四條整體匯流排線VB(見第五圖)而在各列單元間跑線的是兩條整體匯流排線HB(見第五圖)。單元經由開關元件IS1，IS2，IS3與IS0能直接與此匯流排中任意相連。另外，在陣列邊上，開關方塊(在第五圖中標為ES)使得水平與垂直匯流排得以直接相連。

其安排使得超過一百個，五毫微法拉第的電容能以電

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

容倍乘的技術來完成，而超過兩百個，各有介於10K歐姆至640K歐姆的電阻亦能規劃出來。倍乘器能使用電壓相關電晶體和運算放大器的組合來完成。

製作元件的誤差容忍則自動的補償以確保可靠的工作。所有內在的可程式電阻與電容皆由一單一外在電阻與一電容所補償。

該元件適用於廣泛的類比功能應用，包含替代常見之低頻類比積體電路，並且經由先進的電路技術提供一種高度的積體化。

傳統上需要大電容與電阻的類比積體電路皆由於製造該被動元件所需大量矽面積亡故而具有有限的複雜度。譬如一毫微法拉的電容往往佔用整個晶片的面積。

因此可規劃電阻通常使用交換式電容的技術來完成。然而這種方式當可規劃元件會具有有限的應用，因為每個電阻都需要各自的時鐘脈波以便造成各個電阻。更甚者，交換式電容的技術會有較小的頻寬。

本元件的某些典型類比功能應用如下列：

圖形等化器

音樂合成器

混音器

特殊用途濾波器

頻譜分析儀

訊號產生器

麵包板／原型

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

免手持電話

多數低頻線性積體電路之代換

教學

參考第一圖，所示為所謂元件之佈局圖。該元件包含一陣列的可規劃類比中心單元CL，各包含動態類比電路，其需要更新(refresh)以保持其電路配置與元件值。配置資料系存在一個晶片內的4800位元靜態隨機存取記憶體中。該配置資料源需持續讀取以提供更新的功能。

存在隨機存取記憶體內的配置資料能由外部來源予以重新配置以應需求在陣列內完成新電路。

若需要該隨機存取記憶體可以為電池後備，以在電力消失後仍能取回電路配置資料。該小型後備電池可以包含在積體電路包裝之中。

電路配置資料任一控制電路CC的控制下經由規劃移位暫存器PSRH與PSRV，用來配置中心單元CL的內部相連循序選擇。該配置資料以數位的型式經由第一資料路徑DD輸送到該連結部份與可規劃部份。以數位型式儲存於隨機存取記憶體RAM中的元件值經由一數位至類比轉換器DAC，以類比的型式經由第二資料路徑AD送到可規劃部份。各可規劃部份具有一分別可定址之取樣保持電路(譬如開關M1與M2，以及該類比儲存電路N/STR與P/STR)，而且配置資料順序的寫入各取樣保持電路中。

雖然在本實施例中，該規劃移位暫存器PSRH與PSRV，數位至類比轉換器DAC，隨機存取記憶體RAM與控制電路CC

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

和該單元陣列被放在一個半導體積體電路上，但是如果需要的話也能做在不同的積體上。

該取樣保持電路(N/STR, P/STR)控制一可規劃電壓相關電阻，而各電阻係各自補償來忍受製作誤差與溫度變化。各可規劃電阻係以一對互補MOS電晶體的方式構成。一對中的各個電晶體各與其第二相當電晶體相連以形成部份的控制電壓回授迴圈。

電容係製成 $5E-12$ 法拉第的大小。各電容值再經由兩個電阻轉換器倍乘至 $5E-9$ 的最終值。各極(X33)包含一緩衝器與兩個可規劃電阻。

可陣列中有28個基本單元BC1至BC28和21個加強單元EC1至EC21(見第2圖)。各基本單元BC(第3圖)包含一泛用運算放大器OA，4個可規劃電阻P/res與兩個可規劃電容P/cap。各加強單元EC(第4圖)包含一高速運算放大器OA，4個可規劃電阻P/res，兩個可規劃電容P/cap，與一個電壓相關電阻VDR，其可用來做類比開關。基本單元BC和加強單元EC都有一反轉輸入IIP和一非反轉輸入NIIP，而皆有偏壓電壓BS與電壓參考源VREF。該輸出OP係經該運算放大器OA而由各單元取出。各加強單元之運算放大器亦能用來做為一比較器，線積分器，或配合電壓相關電阻或類比開關做成倍乘器。這在解/壓縮，增益控制與調變上都特別有用。第10圖表示一中心單元運算放大器的電路圖，其通常為習知的標準型式，其包含MOS場效電晶體譬如MOSN和MOSP且具有一非反轉輸入NIIP，一反轉輸入IIP與

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

一輸出OP。VSS和VDD代表電源供應，而BS表示一偏壓電壓。

使用在加強單元EC內的電壓相關電阻VDR，使用該電壓相關電阻點VDRN(見第7圖)能利用外部電壓ECV來控制在加強單元EC內的內部電路反應。譬如，使用該陣列來完成20個頻道的圖形等化器，只有該控制電壓，外在電壓計是無法攜帶音訊來回於陣列的。

相互連結

當各單元能依所需的電路功能依規劃內部電阻與電阻以完成並且使用通過電晶體PT將各部份經由訊號路徑連接起來時，在陣列之中具有一整體連結系統，其包含金屬連接線用來連接陣列中相距長距離的，亦即非相鄰近的，單元。使用區域連結系統可以有區域性的連結，其中各單元的輸出皆可以連接到陣列中鄰近單元的輸入。第5、6和7圖係和整體連接基本單元BC與加強單元EC各自的區域連接排列的示意圖。第8圖則顯示相互連接開關電路IS的細部圖。

各連結部份在實體上都由以靜態隨機存取記憶體SRAM的開關儲存裝置所控制之P和N通道通過電晶體對相連。第9圖係一通過電晶體TR與其相關做為一可規劃開關電路之隨機存取記憶體SRAM的說明。資料匯流排或開關控制路徑，其形成部份前述之第一資料路徑，用以控制該開關電路，標為D與 $\bar{D}$ (見第5圖)。各開關能使用該線SEL來選擇。該連結IN表示連接點。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

在元件中的各單元係包含在一連結部份與開關方塊所組成的網路。如第5圖所示，各單元BC有3個開關方塊IS1，IS2和IS3與兩個訊號輸入IP1與IP2相連，其中IS1和IS2可以區域性的與其他單元(相鄰單元AC)相連，而IS3則能連接至整體匯流排部份HB和VB。各單元的輸出OP直接連到相鄰單元的開關方塊，並且連接到能接連輸出訊號至整體匯流排部份HB和VB的開關方塊IS0。

參考第11圖，N/CC和P/CC皆為微分別大器，而PR1，PR2，PR3.....各包含一可規劃電阻網路R/BLK，第12圖，第13圖。各可規劃電阻網路與其二類比儲存點N/STR和P/STR相連(第12圖)。各中心單元(BC，EC)包含2微分放大器，其順序設定電壓相關可規劃電阻的正確控制驅動電壓。該類比儲存點N/STR和P/STR儲存可規劃電阻的控制驅動電壓，使得該微分放大器N/CC和P/CC設定其他可規劃部份。該微分放大器的電路細部如第27與28圖所示。

第14與15圖所示係各為基本的P和N型可規劃電阻元件。各電阻元件能提供32種在2:1範圍內的阻值，譬如10K歐姆至20K歐姆分成32級，即10K、10.31K、10.62K等。

各可規劃電阻係由6個P和N型電阻對N/PE1，P/RE1至N/RE6，P/RE6所構成(見第13圖)，範圍自10K歐姆至640K歐姆。各元件與前面的元件並聯，且為其值的兩倍，譬如10K至20K，20K至40K.....等。

參考第20圖所示選擇陣列A中某特定中心單元CL的基

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

本需求。首先，選擇適當的列，然後是一特定固定電流 CCS，利用選擇移位暫存器 PSRH 的訊號 SS，其上有一特定電流位準，相對於在一特定範圍內之一特定需求的電阻，規劃至選定的固定電流源 CCS，而該電流係經由受該隨機存取記憶體 RAM 所規劃的數位至類比轉換器 DAC 再通過該第二資料路徑 AD 而來 (第 1 圖)。此用以作為陣列中之一方向的參考訊號。接著，該移位暫存器 PRSV 提供一適當之行選擇訊號包括致能訊號 EN 與一選擇訊號 SEL 來選擇陣列中的另一方向。該特定致能訊號 EN 與選擇訊號 SEL 一起 (SEL/EN) 用來選擇將被該固定電流源 CCS 規劃的某電阻 (PR1 至 PR4)。在規劃過程中，在被選擇電阻的電阻網路中，六對電阻中的某一對電阻被存在隨機存取記憶體 RAM 中之單元配置資料經由第一資料路徑中的資料匯流排 DB 來選擇 (見第 14 圖與 21 與 22 圖)。電阻元件未被選到的則切到電路之外。

參考第 21 與 22 圖，如第 23 圖中所示排列，一基本單元 BC 的一般安排係包含 4 可規劃電阻 RP1 至 RP4 (P/res, 第 3 圖)，各如第 13 圖所示之電路 R/BLK。

各電阻包含前述的 6 個電阻元件對 N/RE1, P/RE1 至 N/RE6, P/RE6 而且各有一相關之類比儲存 N/STR, P/STR 如前所述。任何一對電阻而且某特定電阻值範圍可以由儲存在隨機存取記憶體元件 RAMB 中的資料經由資料匯流排 DBB 來選擇。開關 SWA 和 SWB (第 14 與 15 圖) 係用來切入某適用的電阻對。該開關的效應在第 17 圖與第 18 圖中以圖說明，其中 DRIVE (第 16 圖中之 10, 19) 和 SET (第 17 與 18 圖中之

(請先閱讀背面之注意事項再填寫本頁)

裝訂線

五、發明說明 ()

10, 19)輸入能由開關SWA和SWB的啓閉所控制。

再參照第21與22圖，該水平(CCS, REF7)方向參考與該垂直(EN, SEL)方向參考都跟著前述之微分放大器N/CC和P/CC，其適用於整個單元並提供設定該電阻元件至選定範圍內需要值所須之DRIVE和SENSE訊號(ND/S, PD/S)。

依照此程序其中該移位暫存器PSRH與PSRV逐步走過各可規劃單元中之不同元件並一一設定。譬如最先選到第一列，接著第二列，以下各列類推；接著選擇各行，各元件連續在所選定單元上被規劃及設定；最後將其值加倍，例如10K變成20K、20K變成40K....等等。

在規劃中，六對中之一對被隨機存取記憶體RAMB內之資料選擇。未被選擇之電阻元件則關掉。

一更進一步之可規劃電阻電路如第16圖所示。N/CC和P/CC係微分放大器，而N/RE和P/RE皆為網路中之可規劃電阻元件。參考第16與17圖，可見微分放大器N/CC的輸出經由電晶體M1與M2構成的開關用來推動一N型電晶體之閘(SET, 1Φ)。該M4之源極接點保持在一參考電壓1.5伏(REF5)而該M4之汲極則接至電晶體M5，其又接到一固定電流源於端點(REF7)。M4與M5的接點經由電晶體M33接至該微分放大器N/CC之非反轉輸入端(17, SENSE——第28圖)，而該微分放大器的反轉輸入端(26, REF3——第28圖)則接至一參考電壓2.5伏。

可規劃電阻係由電晶體M3來完成。M3的開係由M4的開

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

電壓所推動，其係微分放大器 N/CC 之負回授路徑中的一部份(第 17 與 28 圖)。

要規劃該電阻至所需值，該固定電流源 CCS(第 20 圖)要調至該適當電流設定(0.1mA 為 10K 歐 0.01mA 為 100K 歐...等)直到該負回授路徑穩定。當兩個輸入端在相同電壓(2.5 伏)時該微分放大器會達到穩定狀態。此時在電晶體 M4 的電壓降為 1 伏(2.5~1.5, Ref5)。電晶體 M4 會有與固定電流源相同的汲極電流。電晶體 M4 的開電壓正好是造成所需電晶體 M4 的電導的電壓。由於電晶體 M4 的開電壓亦連接至電晶體 M3，電晶體 M3 將也規劃或設定至所需之電阻。

參考第 13, 17 和 18 圖，和 N 型電晶體，與電晶體 M13 平行相連的為 P 型電晶體 M12。電晶體 M12 與其相關電路的功能與電晶體 M3 與其相關電路的功能相似，除了電晶體 M12 的極性與電晶體 M3 相反。兩個電晶體都需要用來完成一可規劃電阻的線性傳輸特性。

類比儲存模式

當建立電晶體 M4 所需之驅動，電晶體 M1 和 M2 將關掉，M4 的開電壓就保存於電容 C1(200fF)和 C2(400fF)，直到 1E-3 秒後更新。需要兩個電晶體來關至 M4 的開驅動，以免除由於開關電晶體 M1 和 M2 關上的驅動訊號的電容耦合所造成儲存於 C1 和 C2 的電壓的衝突。

輸至電晶體 M4 開之電壓也輸至一由電晶體 M6 至 M9 和電容 C1 至 C2 的電容儲存電路。

N/STR, P/STR 表示該儲存電路之電路圖(見第 17 與

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

18圖)。電晶體 M8 和 M9 形成一反向放大器。該簡單放大器只能工作大約一半的電源電壓，電晶體 M6 與 M7 提供一電壓轉換功能使該儲存電路能在大約 VDD 的電壓工作。該 P 型可規劃電阻元件則需一能在接近 VSS 電壓工作之儲存電路。

第 19 圖為該儲存電路與一相同電容之簡單電容電路之放電特性比較圖，可以很明顯看出保持一可接受之電壓之記憶週期之改良。

當規劃電路正在設定陣列中其他電阻時，該儲存電路就用來保持該類比電壓。該動態儲存電路產生和一般電容與電阻指數放電特性相反的放電特性。該儲存電路同時亦抵抗電晶體 M3 或電晶體 M12 閘極與源極或汲極之電容偶合產生的閘電壓之調變。

用來儲存電晶體 M3 和 M4 之閘驅動之電容要能保持該電荷，而在下一更新週期 (1E-3 秒) 沒有太大的衰減。任何電容兩端電壓之變動都會改變電晶體 M4 更重要的是電晶體 M3 之電阻。這可能對使用者之電路有鉅大影響。若該電路完成一濾波器，其特性，譬如增益或向位，可能會改變。若該電路具有一高增益段則可能造成衝撞。

電晶體 M4 電阻的改變之效應與一固定電阻誤差不同，因為其阻值會在更新週期內劇烈的變化。其將引入一 1KHz 的雜訊至其相連的點上。

規劃

再參照第 20 圖其為整體規劃電路。一數位至類比轉換

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

器DAC產生一對應所需電阻或電容之電壓至核心單元中的各個單元。該數位至類比轉換器DAC的輸出在CCS轉成電流，其輸至該整體負載(REF7)以提供被選擇單元適當的規劃電流。該數位至類比轉換器DAC係由晶片上之隨機存取記憶體RAM所驅動(見第一圖)，其以數位方式儲存配置資料與元件值。需注意，陣列中之各元件係順序更新以維持正確之各元件值。

可規劃電容

參考附圖，特別是第24圖，其表示一可規劃電容電路，該電容係由電容倍乘器之技術來完成。可規劃電容包含三元件，一電容C1與一或二電容倍乘器M1與M2。只相連於點CN1和CN2之間。

由於不可能生產一百個 $5E-9$ 法拉之電容，於是製造一較小電容C1($5E-12$ 法拉)而相當之所需電容值則由阻抗轉換的方式來產生。

該 $5E-12$ 法拉電容C1係接至一第一緩衝器電路B1之輸出。可規劃電阻RP1和RP2(阻值可依需求變動)則串聯於該第一緩衝電路B1之輸入與輸出之間，在該第一與第二可規劃電阻的接點則拉出一輸出。用這樣的元件安排，兩可規劃電阻RP2和RP1設定值的比率正好決定了該電容(C1)倍乘的比率。

該電阻RP2的設定值要大於電阻RP1者，所以，電阻RP1和RP2的接點之效果為倍乘，達到一最終之有效電容值 $(RP2/ RP1) \times C1$ 。該位於RP1和RP2接點之有效電容值又被

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

該第二級倍乘器 M2 倍乘，其包括可規劃電阻 RP3 與 RP4 和一緩衝器 B2。於是，在 RP3 和 RP4 接點之有效電容值趨近 $(RP2 / RP1) \times (RP4 / RP3) \times C1$ 。當需要大電容時就需要該第二級倍乘器，以免除為產生大電容使用之大可規劃電阻值因而產生的寄生電容效應。

可規劃電阻 RP2 和 RP4 係用以規劃最終電容，而電阻 RP1 係由一參考訊號 CCV (見第 24 與 25 圖) 所驅動以補償電容 C1 的製造 / 程序誤差。

此類型電路的主要缺點是無法製造高 Q 值之電容。然而對於使用此法製造的電容的大多應用，此並非一主要問題，因為該電容倍乘器具有一接近電阻 RP3 阻值之串聯電阻。

第 25 圖之電容補償電路，包含一外在部份 EXT 與半導體積體電路部份 SIC，用來產生一電容倍乘器電壓參考控制訊號 CVV，其控制該可規劃電阻 RP1。依此法，該 $5E-12$ 法拉電容 C1 其氧化層厚度之誤差即自動予以補償。

一電源電壓施于端點 SP，在工作時其安排在一時序電路中，其比較兩個分離但相同之電容 / 電阻電路之時間常數。一時間常數電路包含一精確外在電容 ERC1 其值為 $5E-9$ 法拉，與一已知精確外在電阻 ERR1 串聯，而且另一時間常數電路則包括一內在電容 IC (如第 24 圖所示之型式) 其值為 $5E-9$ 法拉 (使用倍乘一內在 $5E-12$ 法拉之電容而得)，與一外在電阻 ERR2 串聯。

兩個電阻 IC 和 ERC1 持續地充放電，依時序訊號 CLK 被

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

延遲 DL 延遲而得之時序訊號 DCLK 控制下之開關 SW1 和 SW2 的開關。在開關 SW1 和 SW2 的接點 REF4 很方便地接至零伏。

每當有延遲時序訊號 DCLK 時，該比較器 CP 持續比較電容 IC 和 ERC1 其兩端之電壓降以決定那一電容以較快的速率充電而該比較器結果輸出則鎖／存於 D 型正反器 DFF。

在時序訊號 CLK 時，正反器 DFF 的輸出 Q (前一時序訊號 CLK 的舊訊號比較輸出) 輸送至一積分器 INT，其包含一更外電容 ERC2 與一更外電阻 ERR3，而且此將會積分由 Q 的所有輸出。積分器電路 IC 的輸出穿過一第二緩衝器電路 BUF 以提供一參考訊號 CCV (一類比訊號)，其提供一直接控制以改變倍乘器 M1 中之電阻 RP1 的值，並且因而改變 RP2 / RP1 的比率與電容 IC 的有效值。

需了解，該類比訊號 CCV 需轉至相當之數位型式以使用能適用於改變電阻 RP1 值的電路。此可由一恰當之類比至數位轉換器 ADC，位於第二緩衝器電路 BUF 輸出與該電路 PRC 的輸入以控制該可規劃電阻 RP1。

所以，在工作時有一種反復的程序，該積分電路持續地改變該類比訊號 CCV，因而改變電阻 RP1 的值，因又改變內部電容 IC 的有效值。此程序一直持續直到得到正確的電容值。

更進一步解釋，若該內部電容 IC 充電較外部電容 ERC1 快，則該參考電壓 CCV 就減少。其之效應為改變倍乘器 M1 中電阻 RP1 與 RP2 的比值，因而增大內部電容 IC 的值。

反之，若該外在電容 ERC1 充電較內部電容 IC 快，則該

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 ()

參考電壓CCV就會增大。其之效應為改變倍乘器M1中電阻RP1與RP2的比值，因而減少內部電容IC的值。

現參照第26圖，其為一高阻抗輸入之詳細電路圖，低阻抗輸出單位增益級在倍乘器M1和M2中為第一緩衝電路B1與B2，輸入標為IPN而輸出標為OPN。該點在第24與25圖中之標示都是一樣的。

該緩衝器電路包括3個P型MOS電晶體TR1，TR2和TR3與4個N型MOS電晶體TR4，TR5，TR6與TR7。VSS和VDD表示電路之電源供應電壓，而REF1則表示一適當之參考偏壓電壓。

第29圖表示週邊可規劃益輸出／入電路IOC之詳細圖(第1圖)。各單元包括運算放大器OAI，一隨機存取記憶體RAM1，一可規劃電阻P／RES和作為通過電晶體之電晶體開關TR1。ECN表示該打線端，又IPA表示該陣列的輸入，而OPA則表示陣列之輸出。REFV表示一參考電壓。

低通濾波電路實例

在第30圖說明一二階低通濾波器。相同電路在陣列中之完成則說明於第31圖中。在第31圖，未使用，即切離，之元件與部份都以虛線表示。

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

四、中文發明摘要(發明之名稱： 用於類比系統之積體電路)

本發明係關於可施用於類比系統之半導體積體電路。本發明之積體電路其包含一可配置類比單元(CL)之陣列(A)，其能經由連結網路(HB, VB)與陣列中其他單元相互連結。各單元能由移位暫存器(PSRH, PSRV)發出的選擇訊號(SS)與(DD)選擇地和分別地選取。當選擇到時，該單元(CL)能以配置資料(DD, )予以配置，其共同以數位資料(DD)設定該單元至某特定配置，以類比資料(AD)設定該單元中各可規劃電阻與電容(P/res, P/cap)至特定值。該配置資料係存於一隨機存取記憶體RAM。某些資料經由

(接下頁)

英文發明摘要(發明之名稱：)

附註：本案已向 英 國(地區) 申請專利，申請日期：
1990.4.3.

案號：9007492.3

四、中文發明摘要(發明之名稱：)

(承上頁)

一數位至類比轉換器(DAC)轉成類比型式(AD)。該電路係由一中央控制(CC)所控制而且能夠配置以完成許多可能之類比功能應用中之特定類比功能應用。該電路並有自動補償製作元件誤差之優點。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

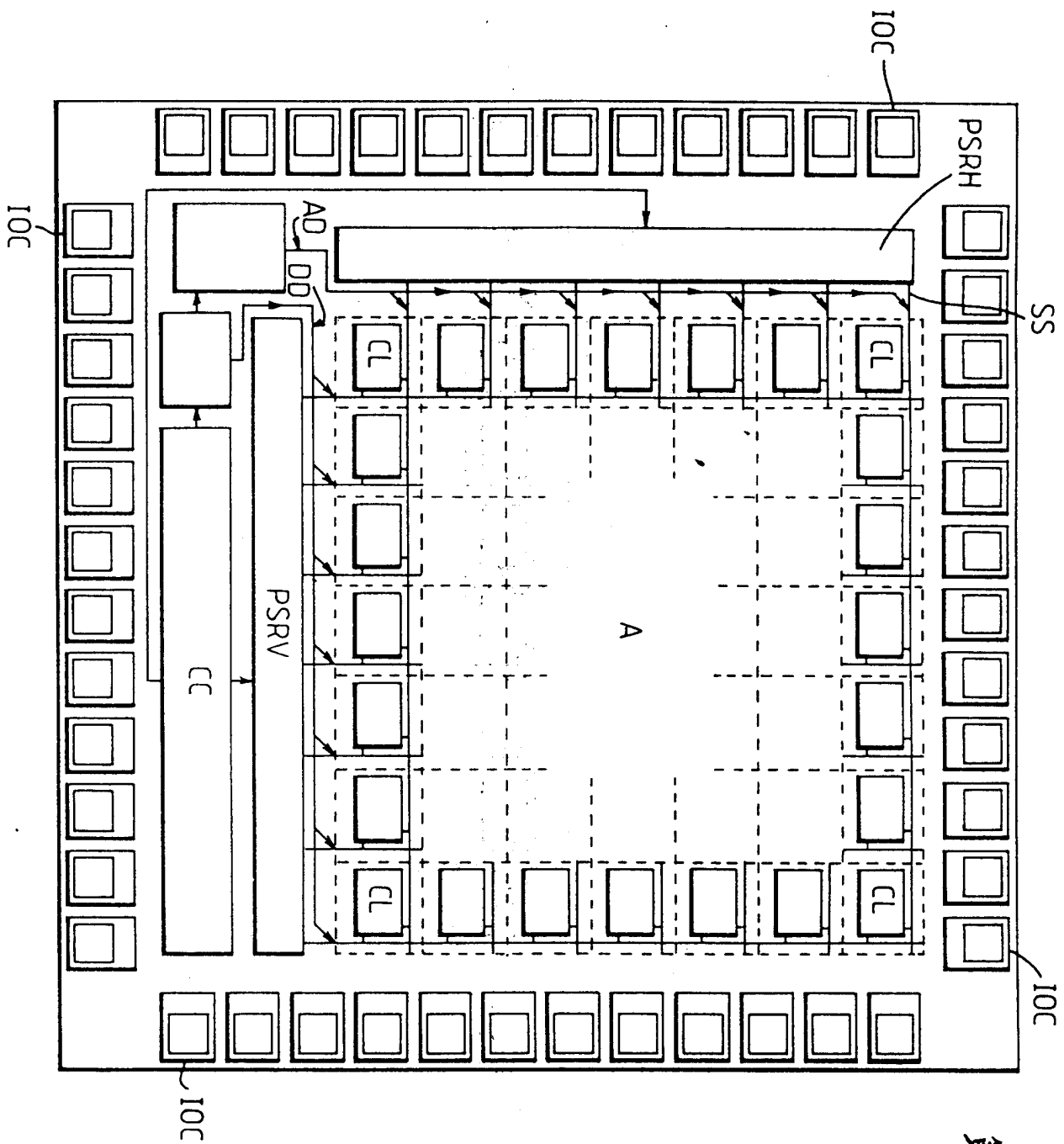
訂

線

英文發明摘要(發明之名稱：)

附註：本案已向 國(地區) 申請專利，申請日期： 案號：

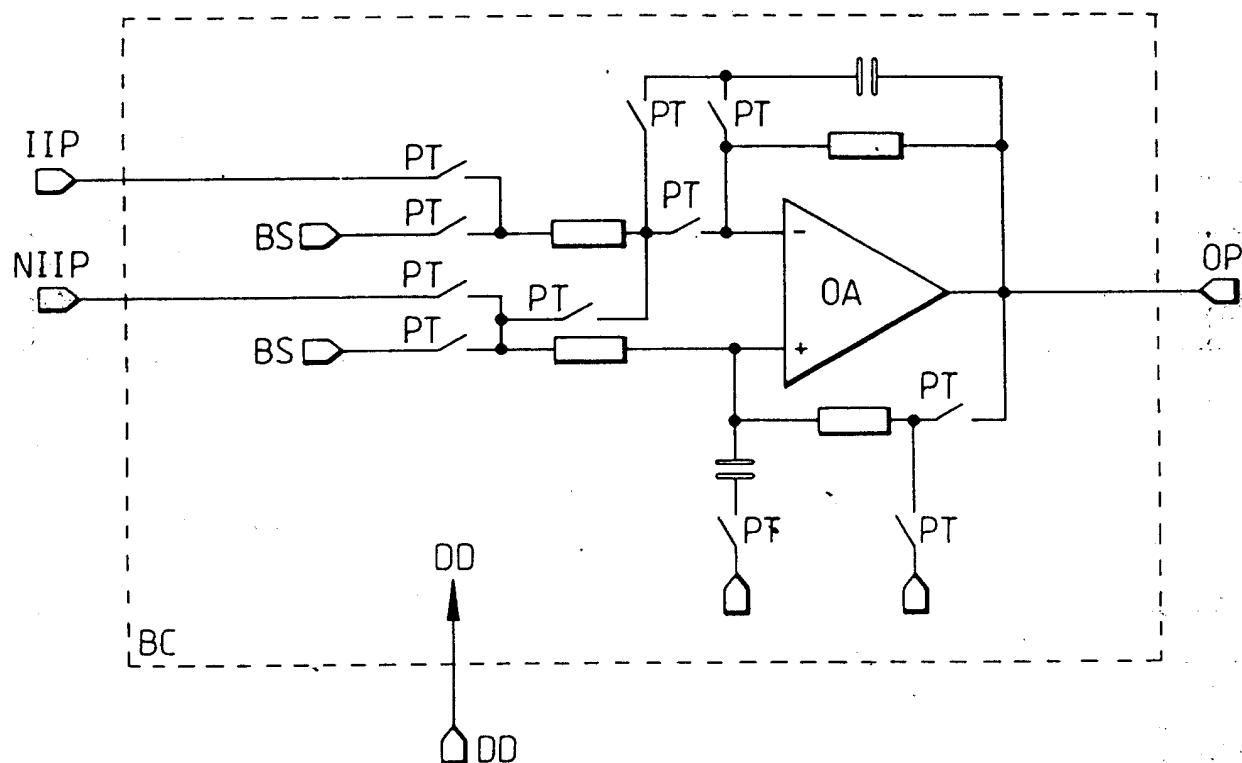
第 1. 圖



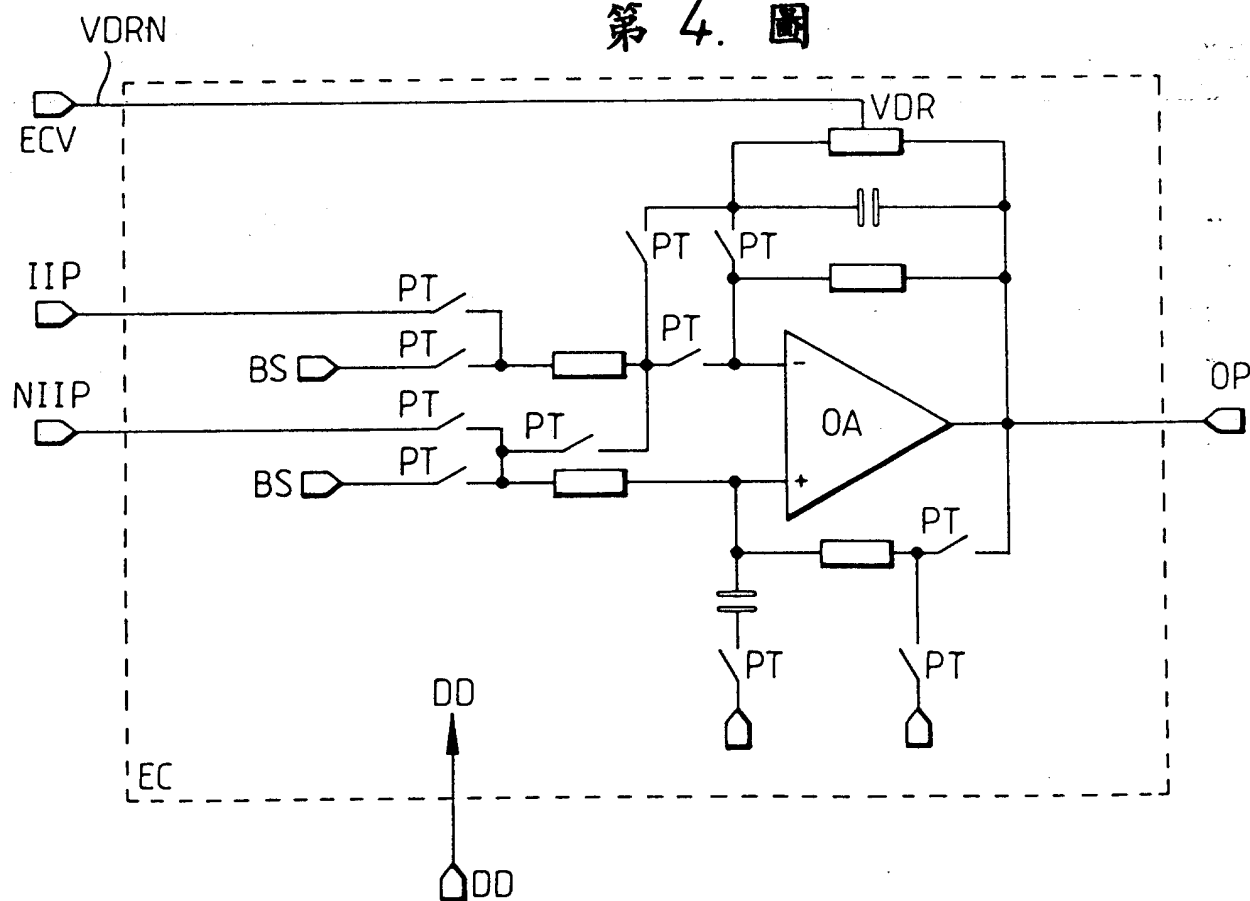
第 2. 圖

BC1	EC1	BC8	EC8	BC15	EC15	BC22
BC2	EC2	BC9	EC9	BC16	EC16	BC23
BC3	EC3	BC10	EC10	BC17	EC17	BC24
BC4	EC4	BC11	EC11	BC18	EC18	BC25
BC5	EC5	BC12	EC12	BC19	EC19	BC26
BC6	EC6	BC13	EC13	BC20	EC20	BC27
BC7	EC7	BC14	EC14	BC21	EC21	BC28

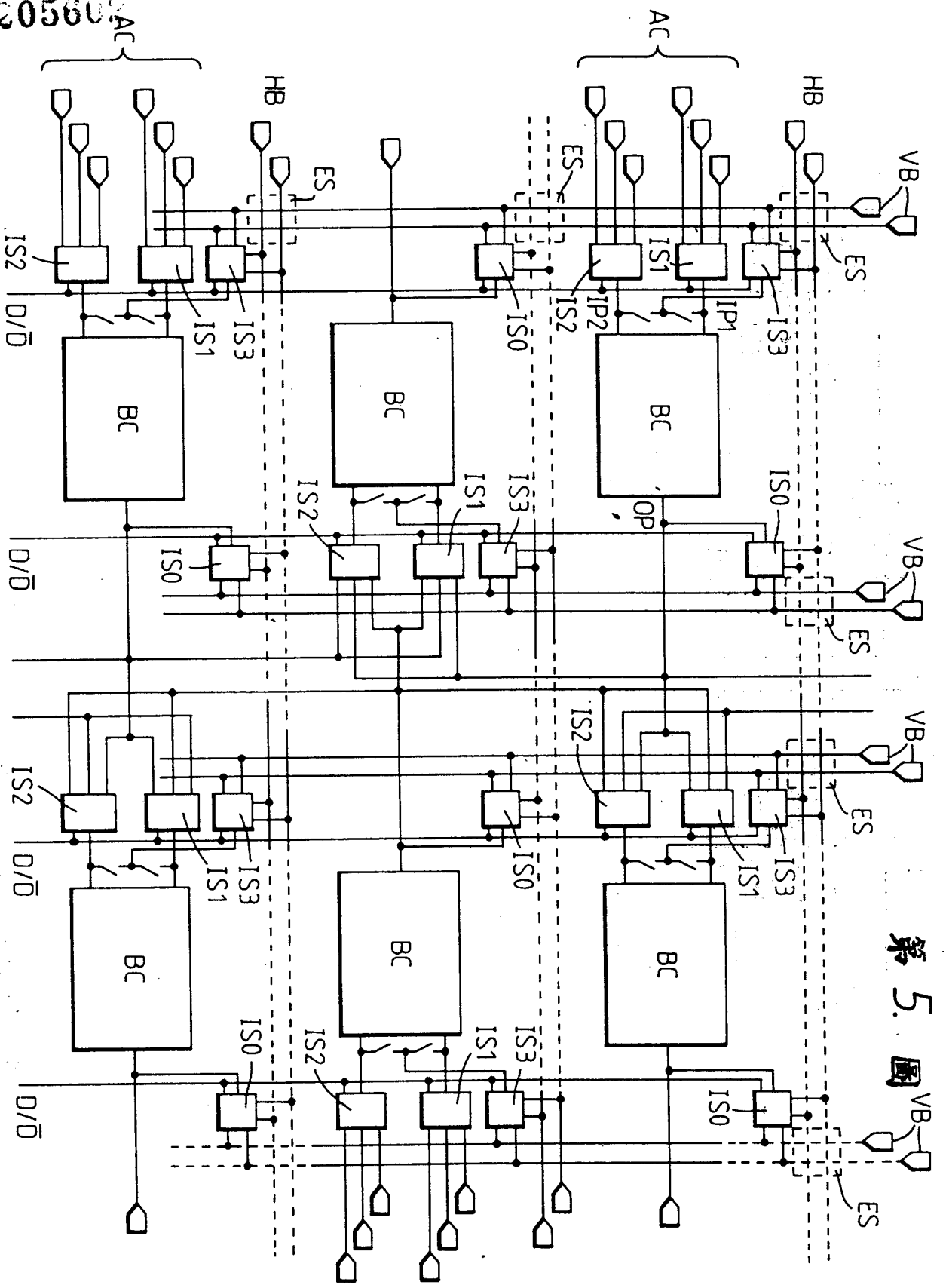
第 3. 圖



第 4. 圖

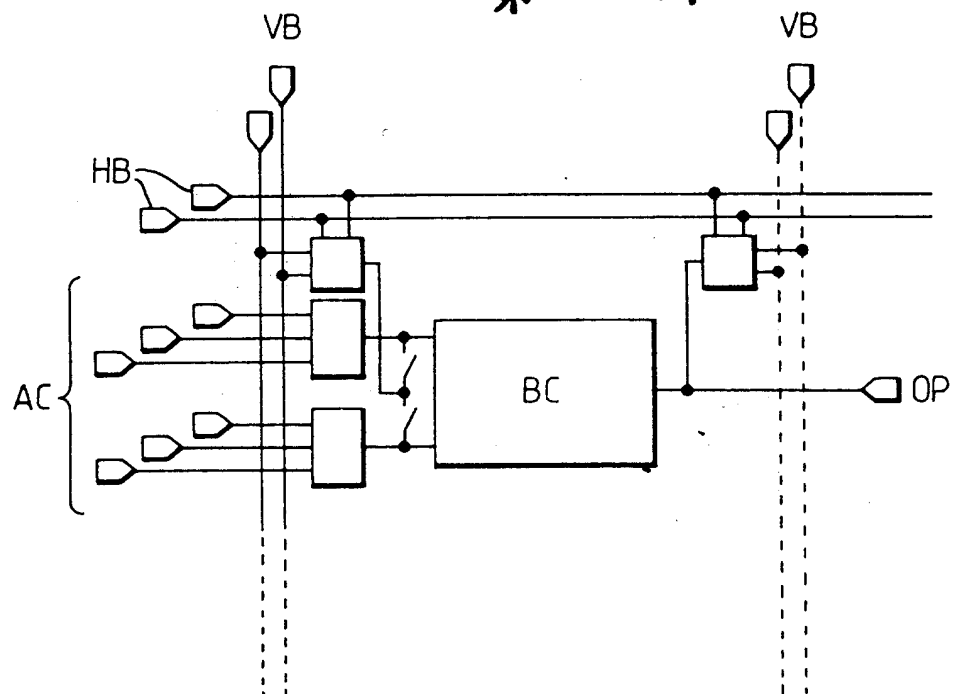


第 5. 圖

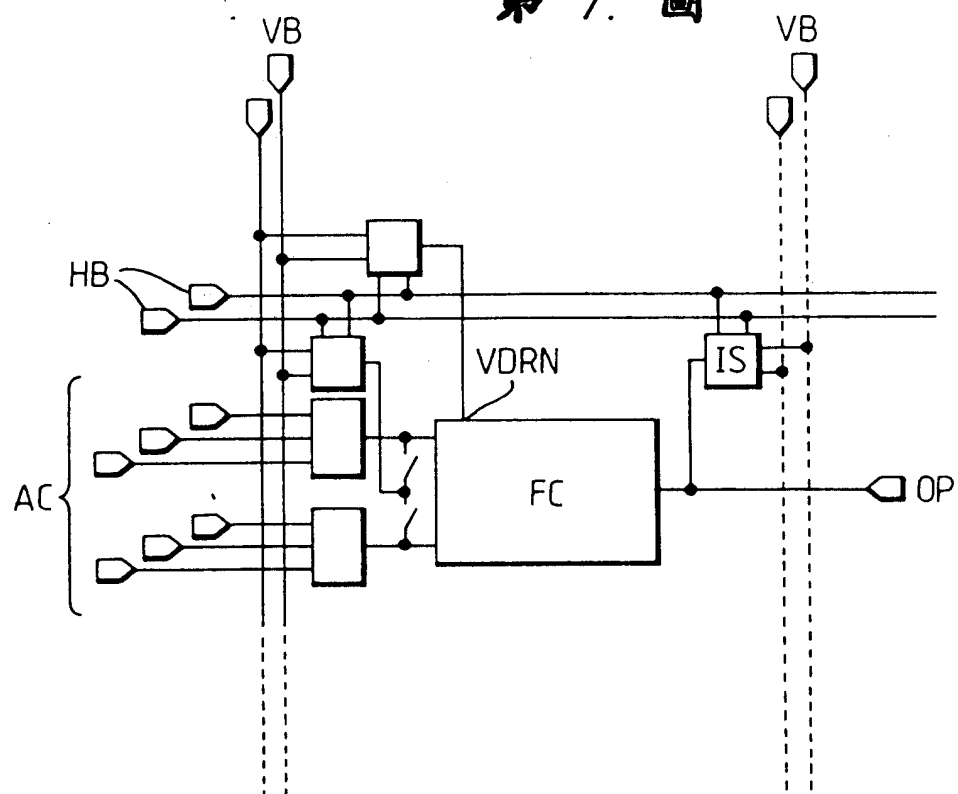


205609

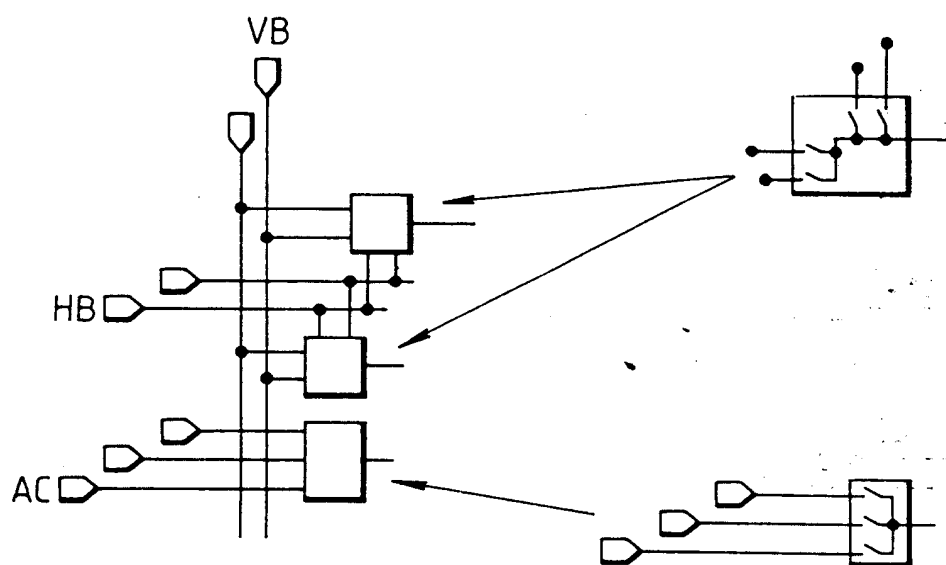
第 6. 圖



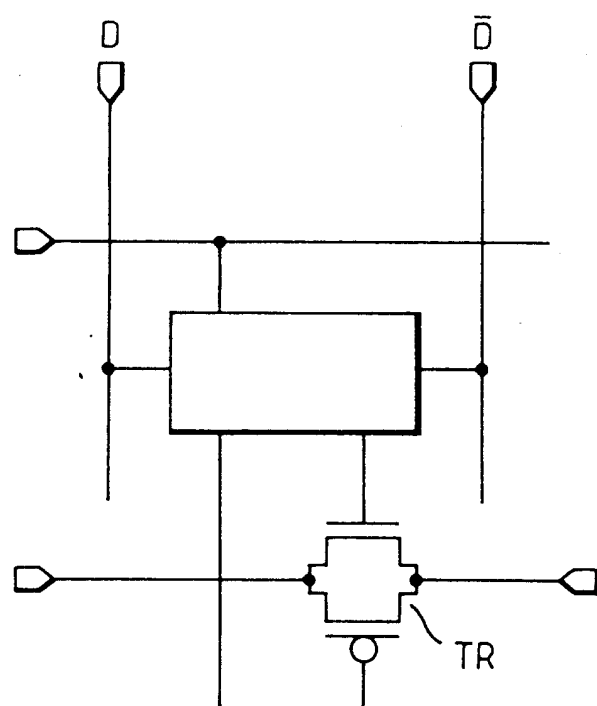
第 7. 圖



第 8. 圖

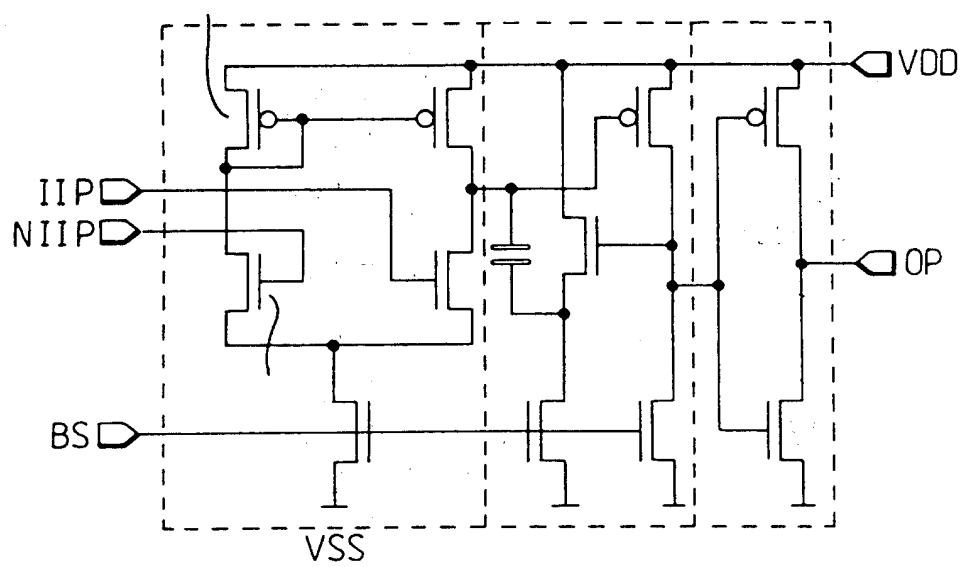


第 9. 圖

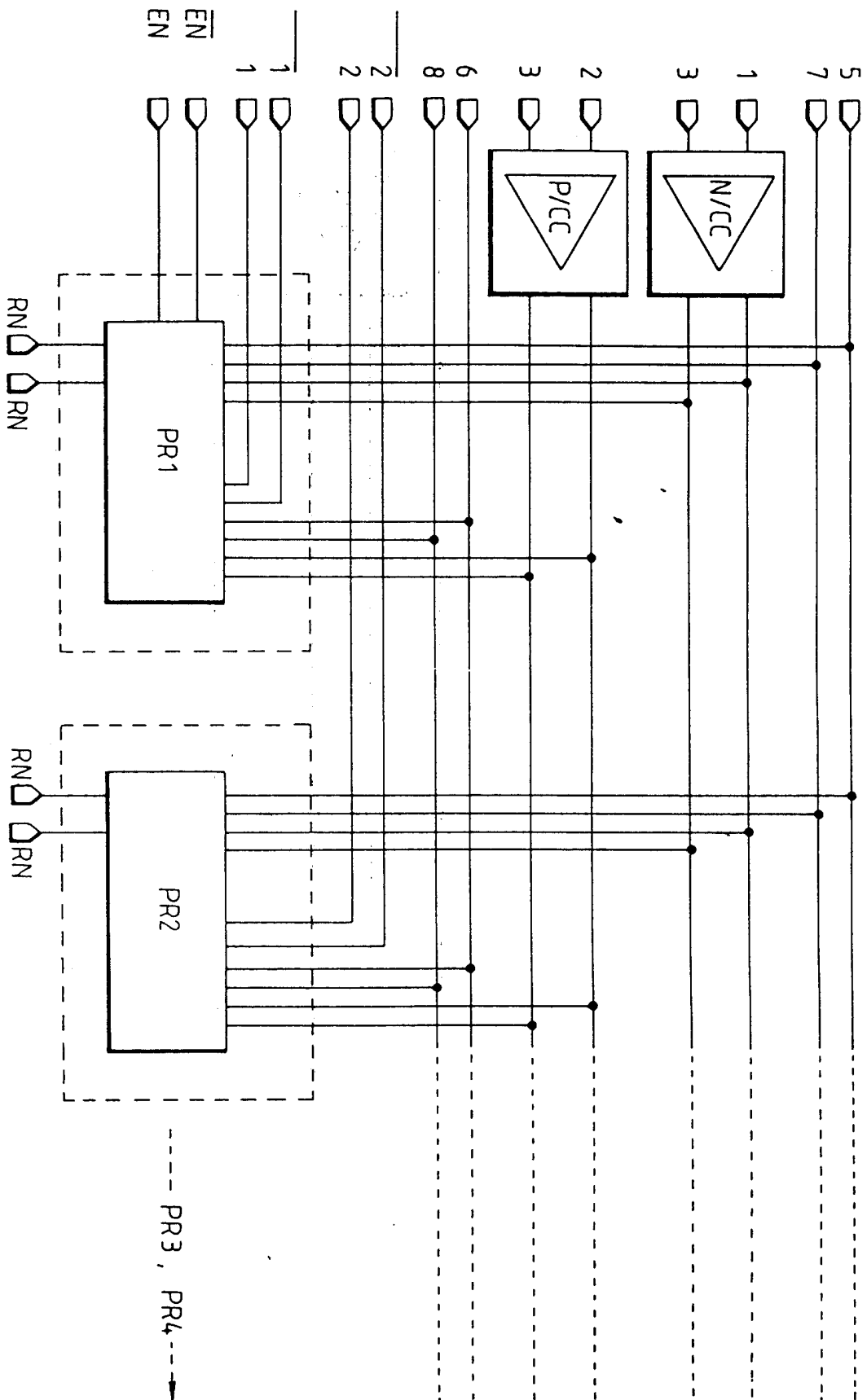


205662

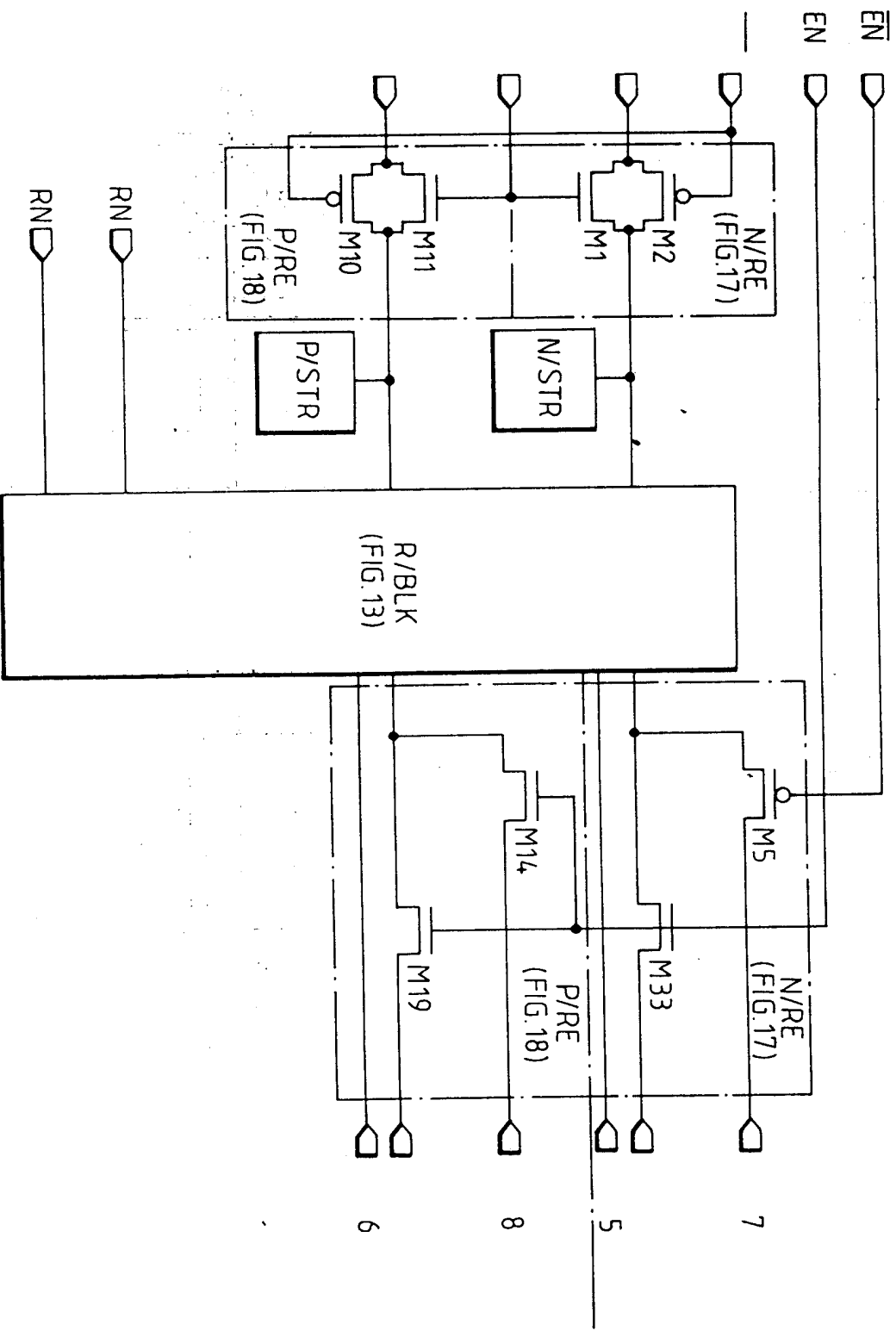
第 10. 圖



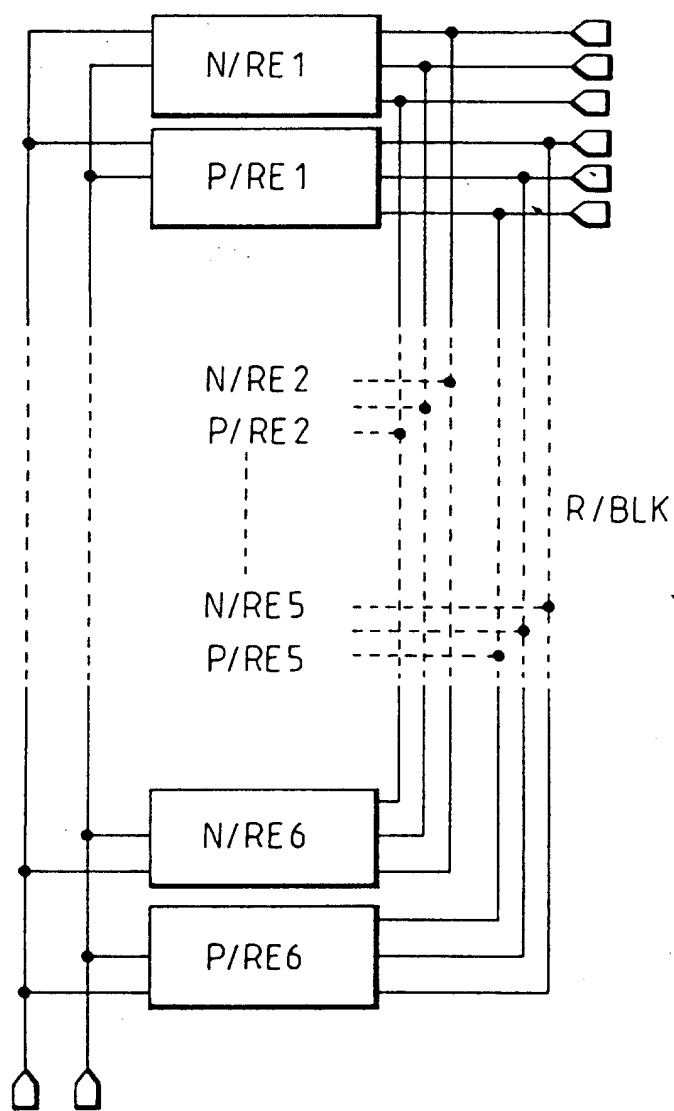
第 11. 圖



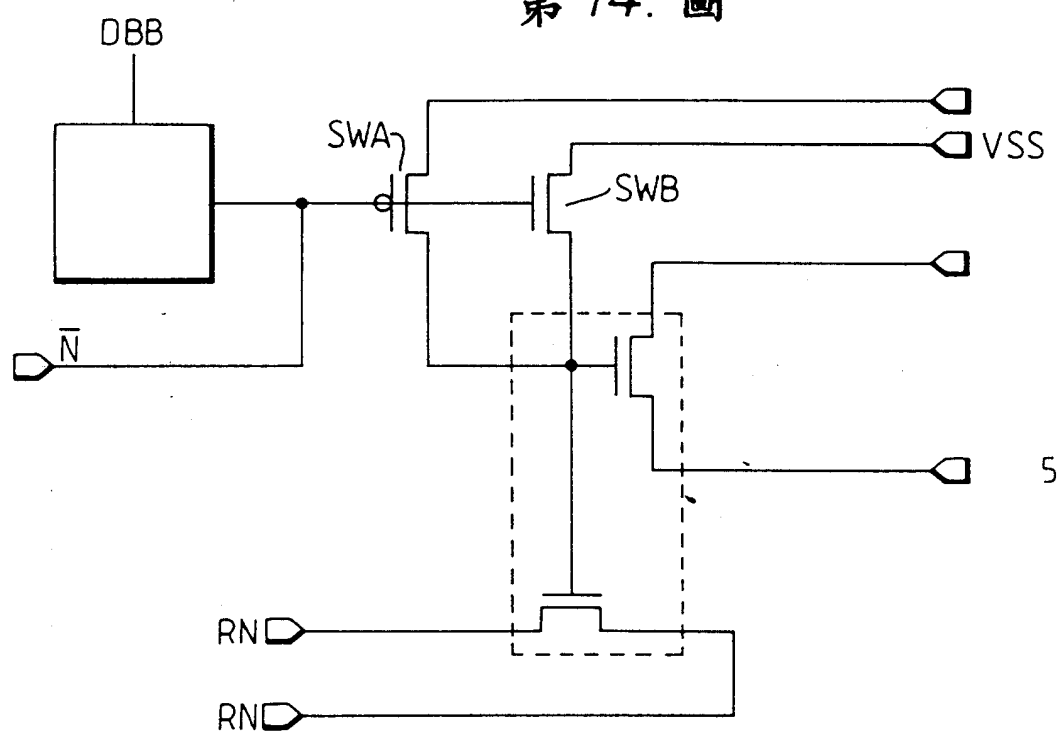
第 12. 圖



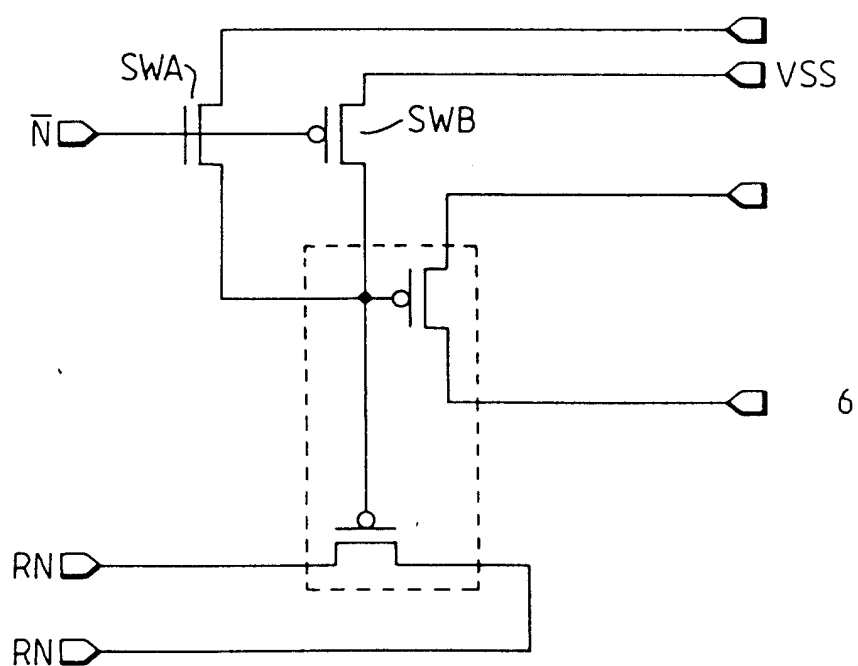
第 13. 圖



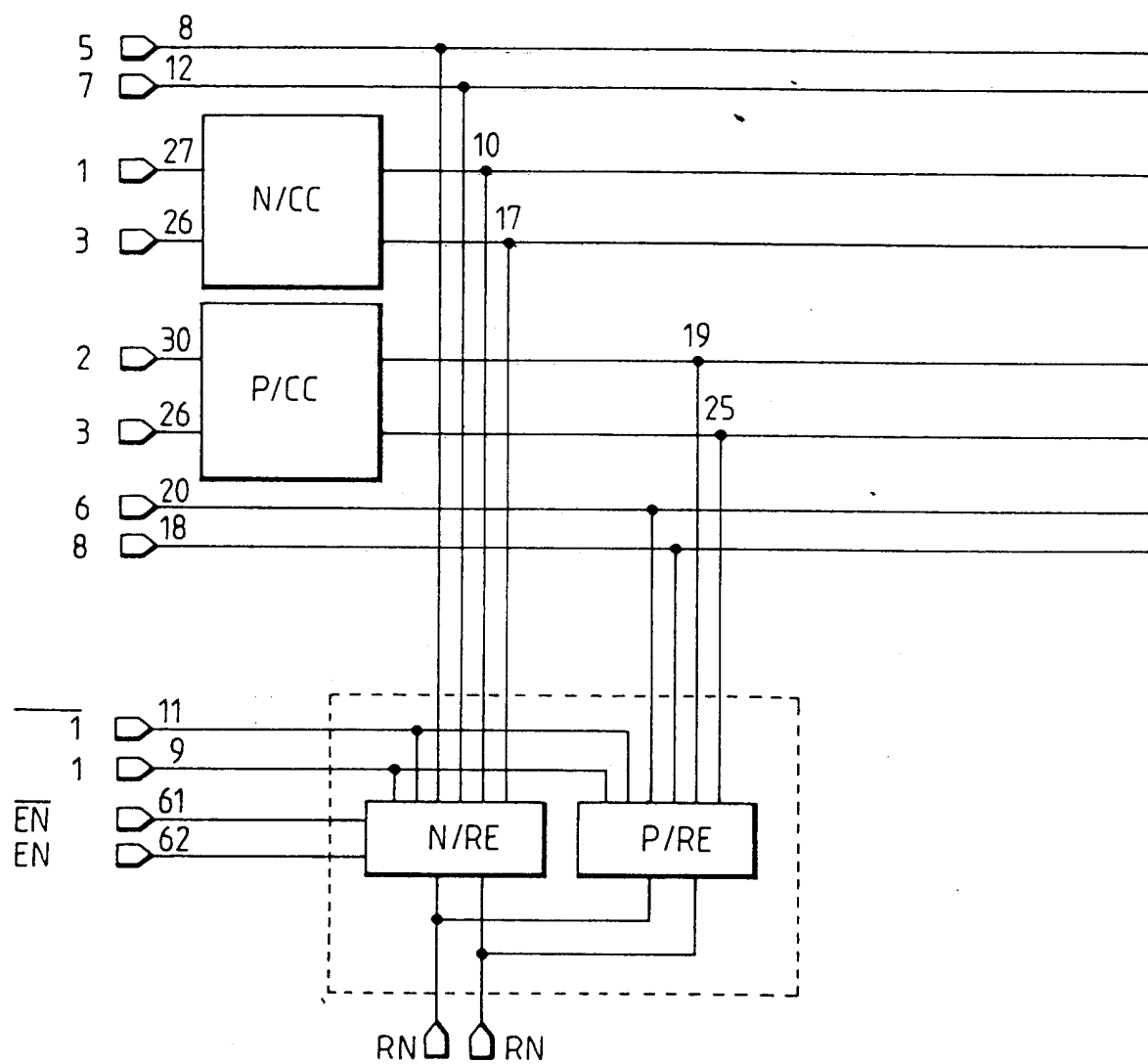
第 14. 圖



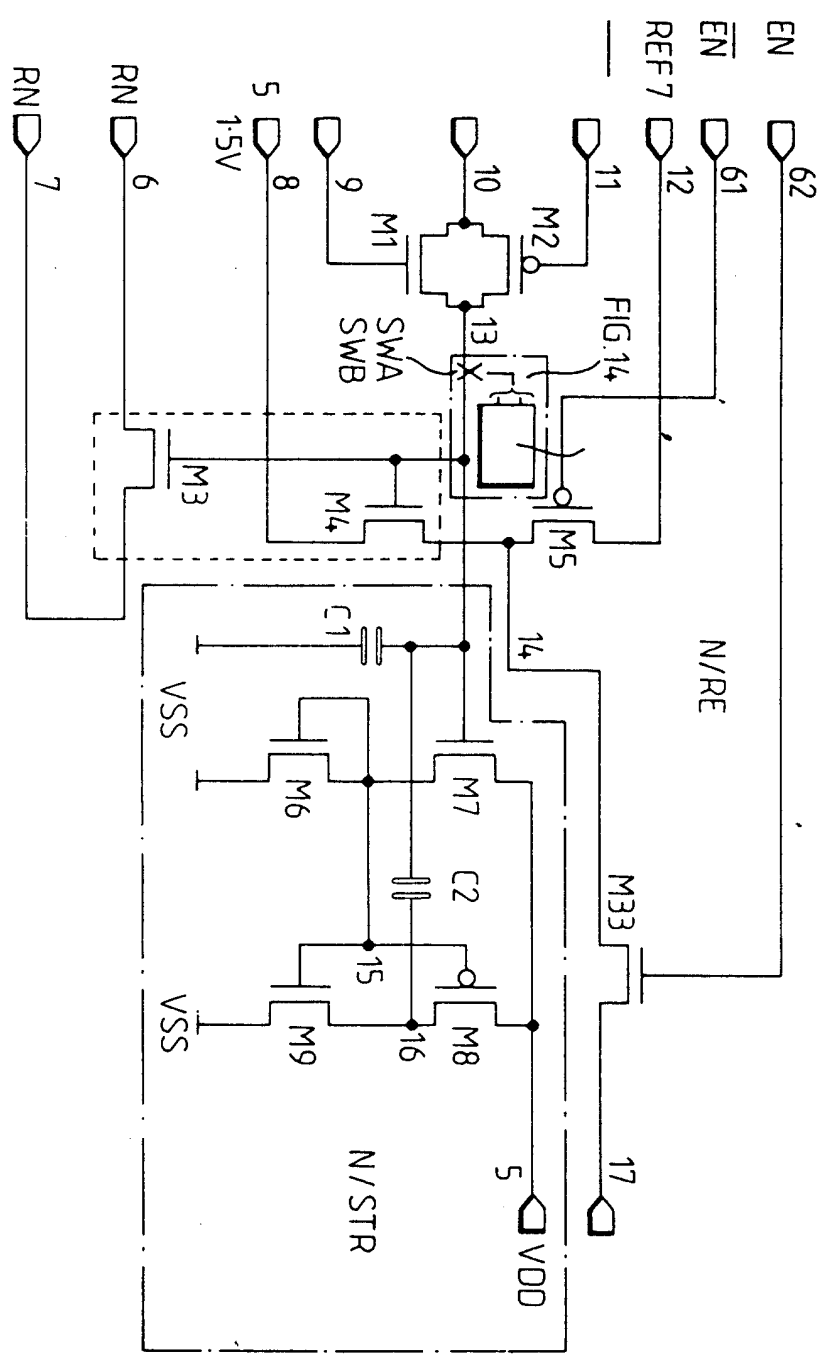
第 15. 圖



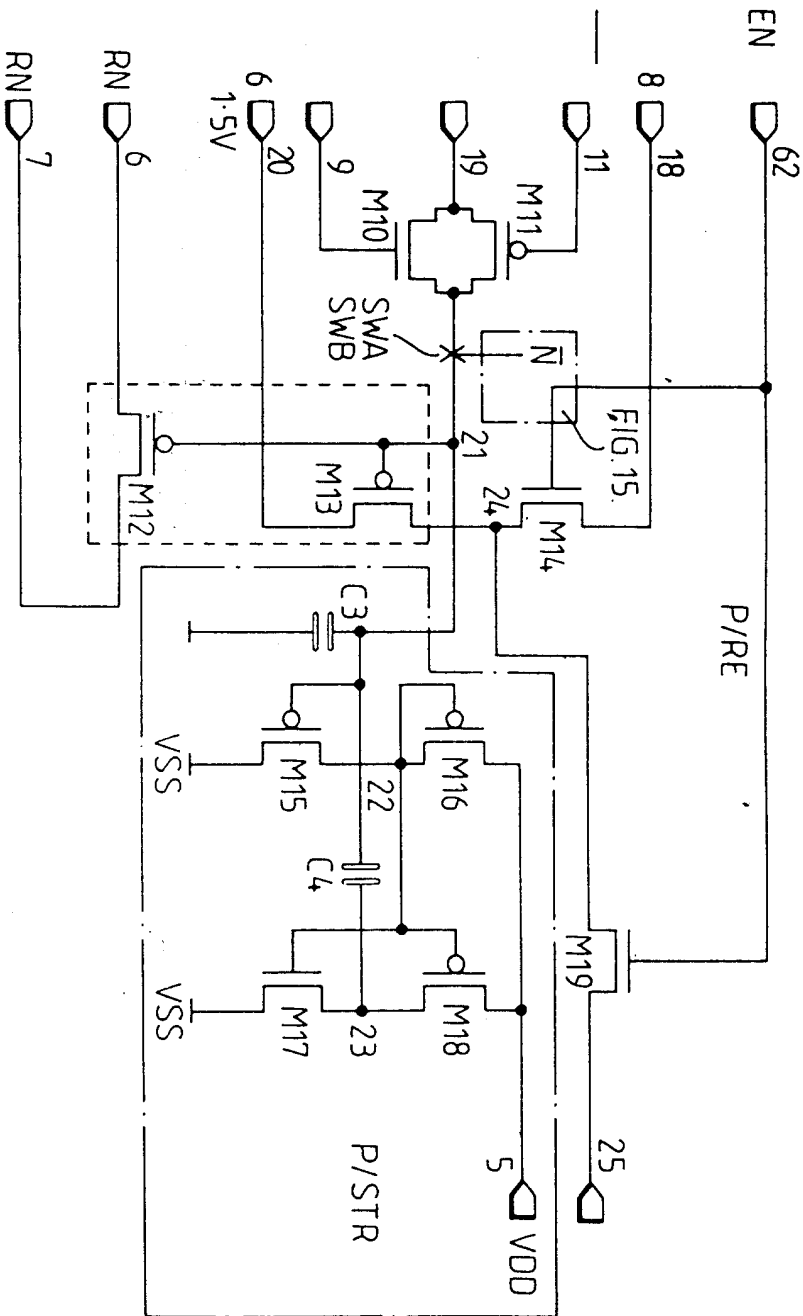
第 16. 圖



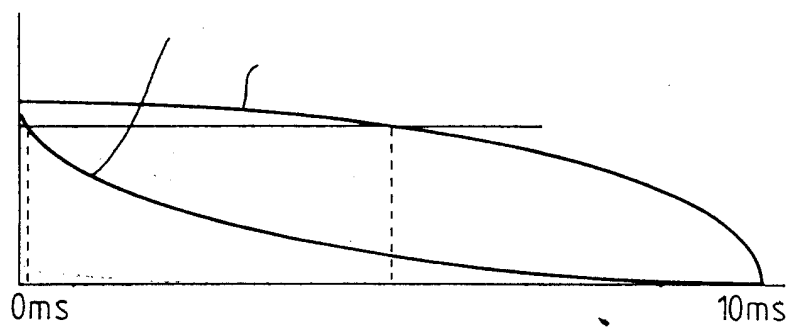
第 17. 圖



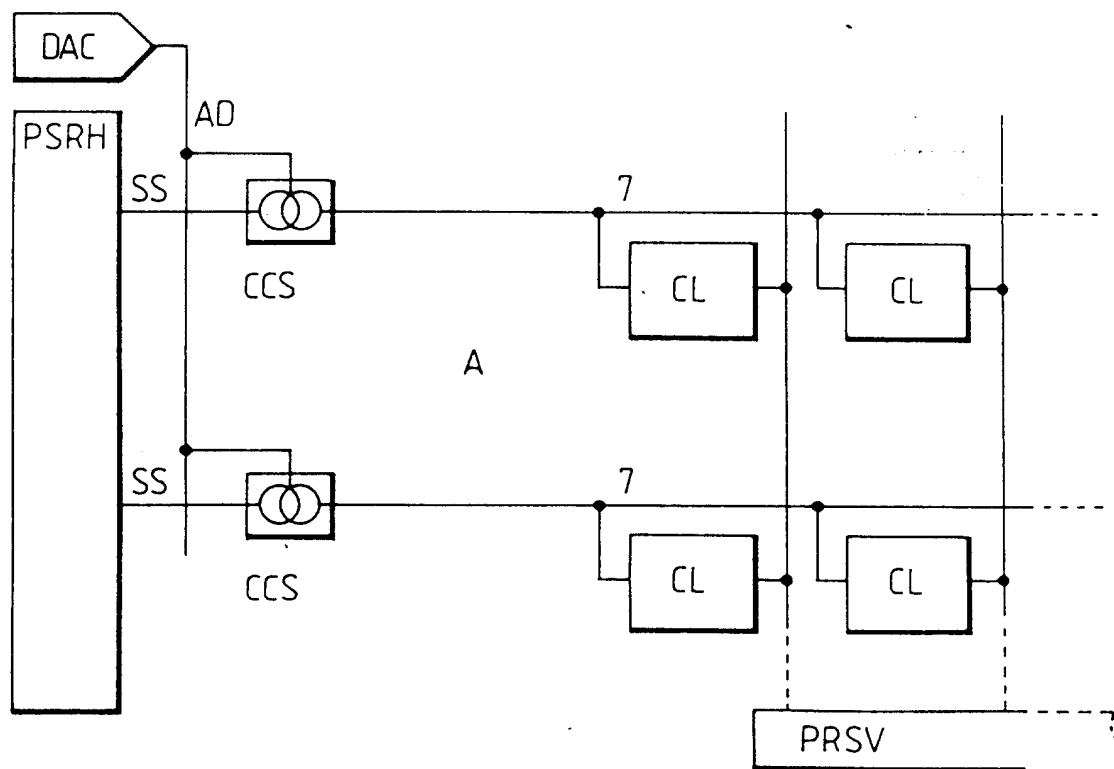
第18圖



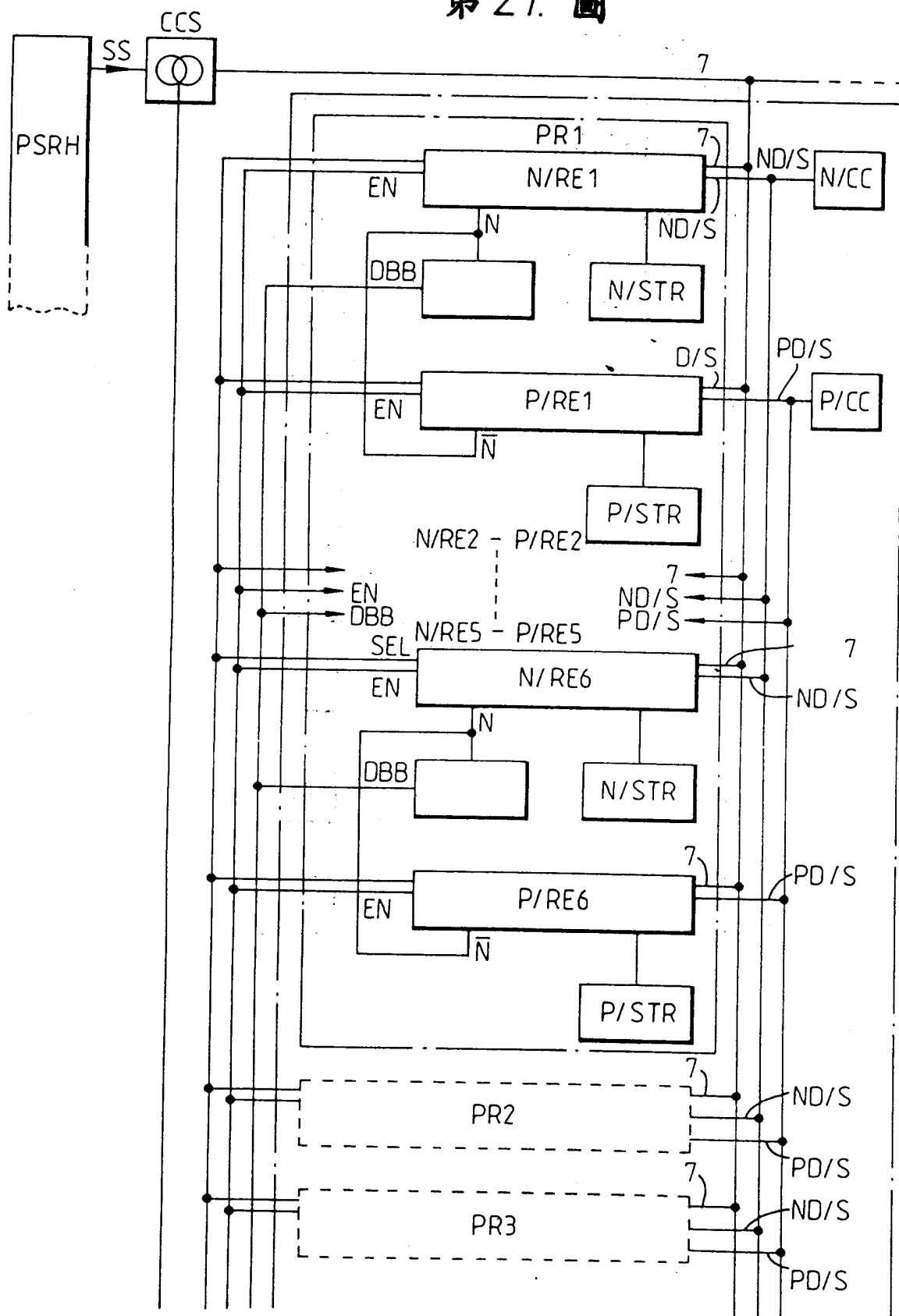
第 19. 圖



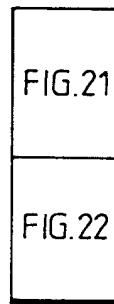
第 20. 圖



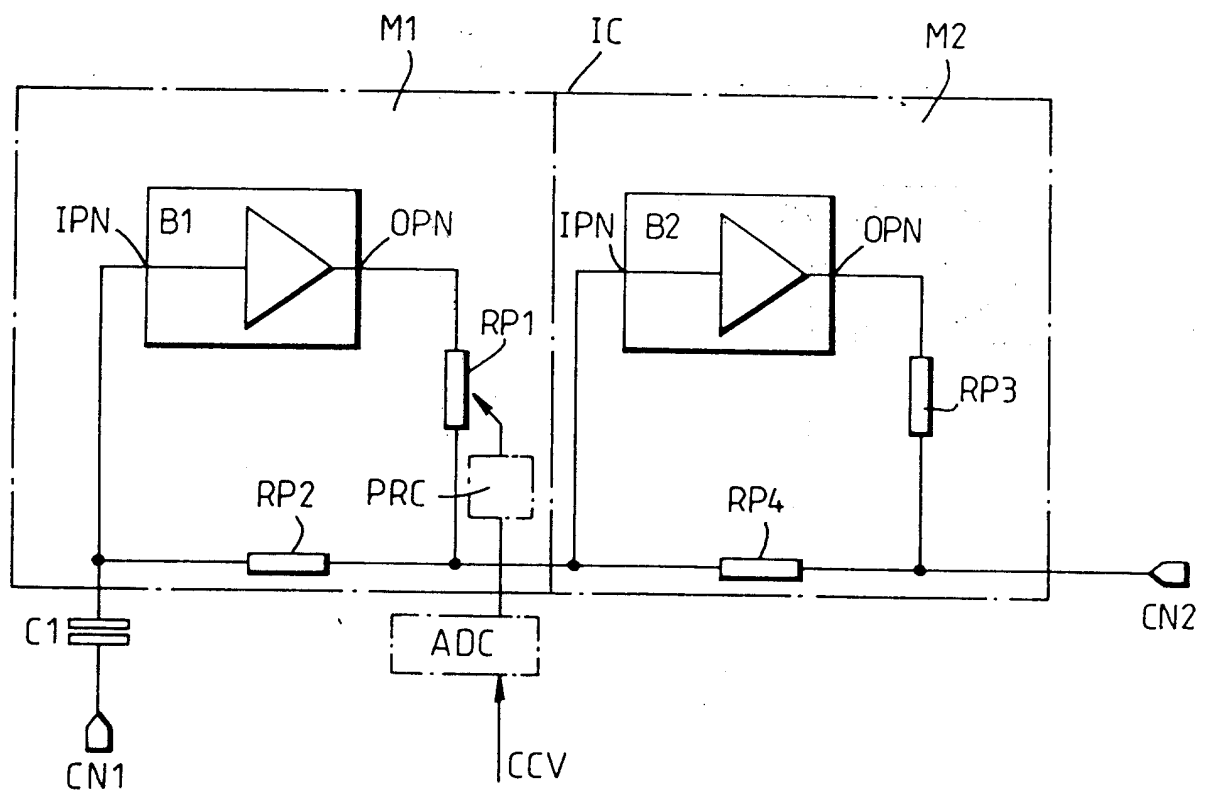
第 21. 圖



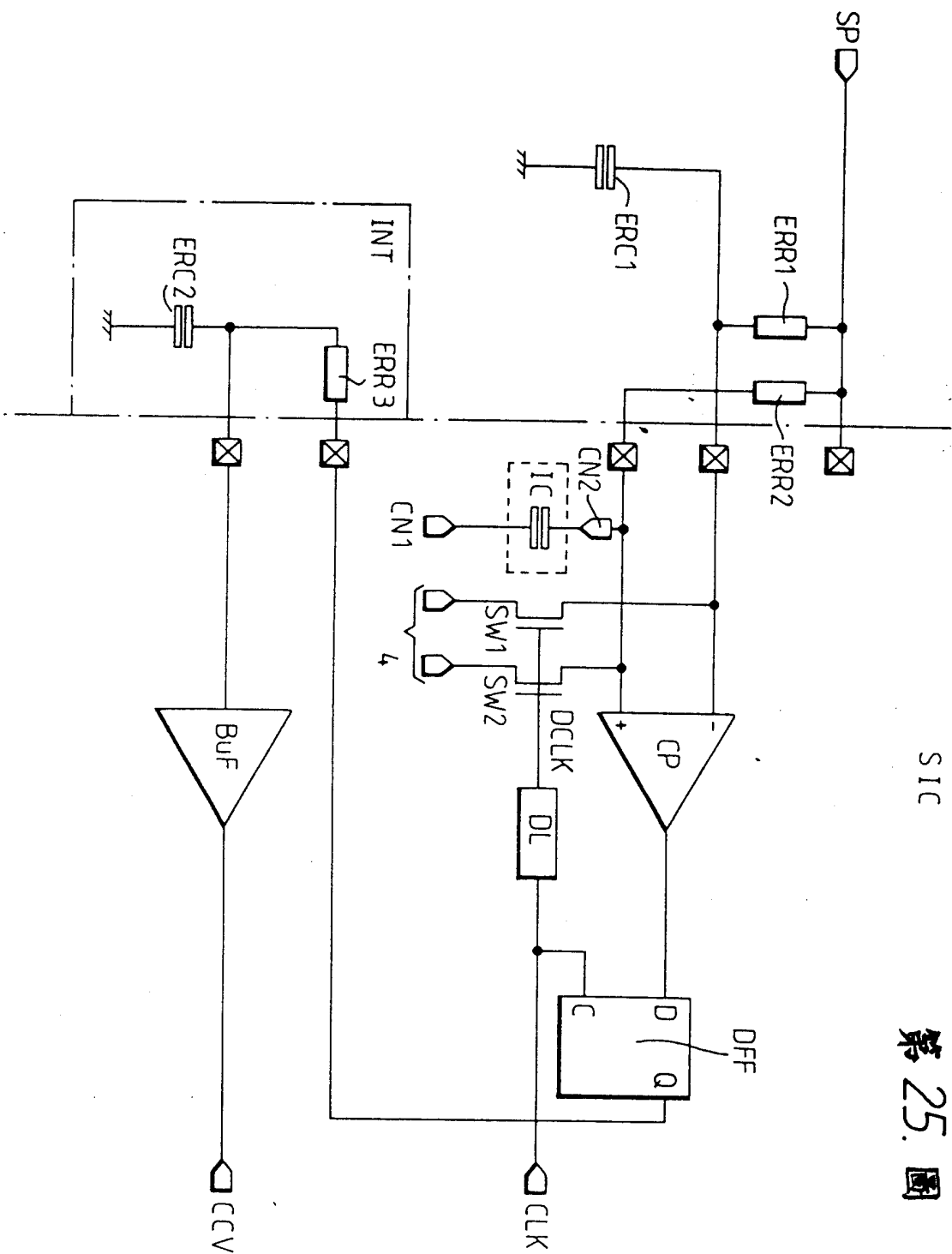
第 23. 圖



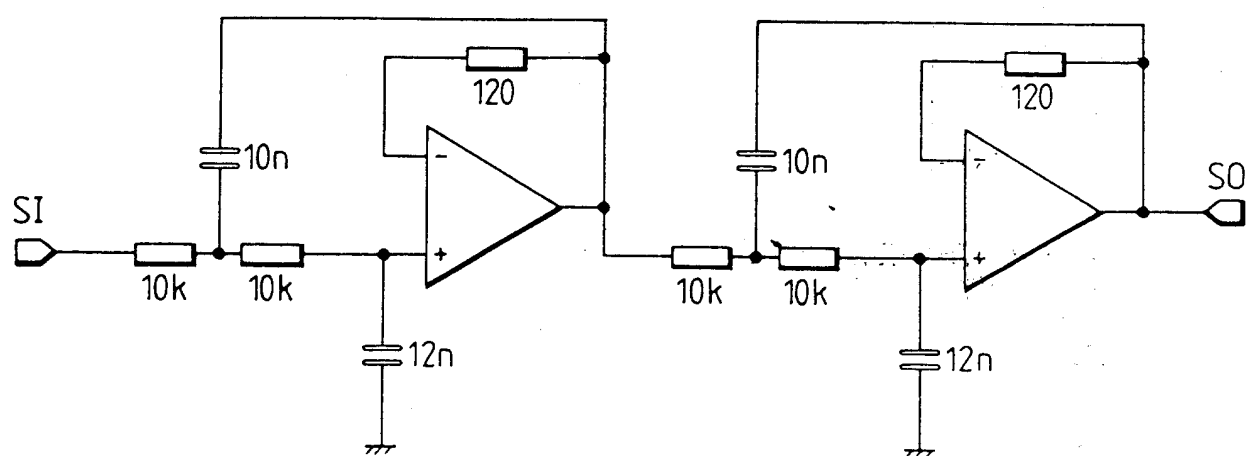
第 24. 圖



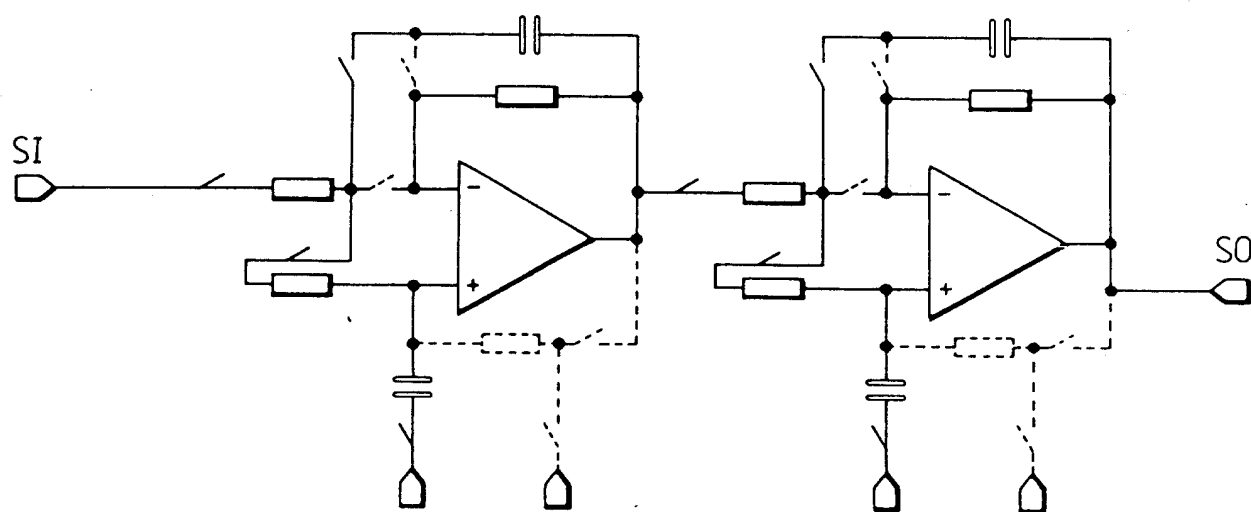
SIC 第25.圖



第 30. 圖



第 31. 圖



六、申請專利範圍

1. 一種半導體積體電路，用以執行多種不同類比功能應用，其包含：

一組類比單元陣列，其中各單元均具有內部電路，在該內部電路內附有可變之連接架構，以允許在多個不同電路功能中之一被選定者內作內部組配；

耦接於該陣列之互連電路，用以使該陣列內之任何單元能與該陣列內之任何其他一個或多個單元作互相連結；以及

耦接於該互連電路之選擇及取用電路，用以選擇性地及個別地選擇及取用該陣列中之各單元，並將一個被選出及取用之單元連接到一個組配資料源俾以該等不同電路功能當中的一種功能在內部將該被選出及取用之單元加以組配，以及用以控制該互連電路，以進行一個被選出及取用之單元與該陣列內之一個或多個其他單元作選擇性互相連結之動作，而由該等多個可能之類比功能應用中實現一種特定之類比功能應用。

2. 根據申請專利範圍第1項所述之半導體積體電路，其中該陣列更包含併有開關控制路徑(D, D)之第一資料路徑(DD)，而且該互連電路包含相關之開關電路(IS1、IS2、IS3、IS0)，其中以數位形式儲存於儲存裝置(RAM)的單元配置資料經由一開關控制路徑(D, D)以數位形式導向某一被個別取用選擇的單元(CL)，以進行該相關開關電路(IS1、IS2、IS3、IS0)的動作及該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

被選擇單元 (CL) 與該陣列中其他類比單元之互連動作

。

3. 根據申請專利範圍第 2 項所述之半導體積體電路，其中該等開關電路 (IS1、IS2、IS3、IS0) 各包含一儲存配置資料的儲存裝置 (SRAM) 與作為互連元件之一電晶體開關 (TR)。

4. 根據申請專利範圍第 3 項所述之半導體積體電路，其中該互連電路包含一整體連結系統 (HB, VB) 與一區域連結系統，其中該整體連結系統 (HB, VB) 係用以連接該陣列中的單元與某一段距離外的另一單元，而該區域連結系統則用以連接各單元之輸出 (OP) 至相鄰單元的輸入 (IP1, IP2)。

5. 根據申請專利範圍第 4 項所述之半導體積體電路，其中一類比單元 (CL) 包含一放大器 (OA)、可規劃類比元件 (P/res , P/cap)、開關裝置 (PT) 與訊號路徑 (IIP、NIIP、OP)，且其中為了要實現某預定類比電路，該等類比元件被規劃成所需之內定值，而該開關裝置 (PT) 則用來依某特定預設配置連接該各已規劃元件與訊號路徑。

6. 根據申請專利範圍第 5 項所述之半導體積體電路，其中該等內在元件值係以數位形式儲存於該儲存裝置中。

7. 根據申請專利範圍第 5 項所述之半導體積體電路，其中該陣列包含選擇訊號路徑 (SS, DD) 以選擇不同類比

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

- 單元，並在一中央控制裝置(CC)的控制下，由訊號產生裝置(PSRH, PSRV)發出單元選擇訊號(SEL, EN)，並連續地使該等單元選擇訊號導向相關於各個類比單元(CL)之選擇訊號路徑(SS, DD)。
8. 根據申請專利範圍第7項所述之半導體積體電路，其中該陣列包括第二資料路徑(AD)以提供類比資料至各類比單元(CL)，該類比資料係經數位至類比轉換裝置(DAC)由數位單元配置資料轉換而來，其中該類比資料係經該等第二資料路徑(AD)傳至該選定單元。
9. 根據申請專利範圍第8項所述之半導體積體電路，其中該類比資料包括許多不同類比訊號(AD)，每一類比訊號各代表欲在該類比單元中被規劃之某一元件的特定值。
10. 根據申請專利範圍第1項所述之半導體積體電路，其中該等可配置類比單元(CL)的陣列係排列成多行和多列。
11. 根據申請專利範圍第10項所述之半導體積體電路，其中該訊號產生裝置(PSRH, PSRV)包含一第一規劃移位暫存器與一第二規劃移位暫存器，其中該第一規劃移位暫存器提供該陣列(A)中水平軸參考訊號(SS)，而該第二規劃移位暫存器則提供該陣列(A)中垂直軸參考訊號(SEL, EN)，該等水平(S)與垂直(SEL, EN)軸參考訊號使能選擇該陣列(A)中之任何類比單元(CL)。

六、申請專利範圍

12. 根據申請專利範圍第11項所述之半導體積體電路，其中該整體連結系統包含在每行類比單元間跑線之垂直整體匯流排(VB)與在每列類比單元間水平跑線之水平整體匯流排(HB)。
13. 根據申請專利範圍第12項所述之半導體積體電路，其中在該陣列之各邊具有開關方塊(ES)，其使在該陣列邊上的垂直與水平整體匯流排(HB, VB)得以直接互連。
14. 根據申請專利範圍第10項所述之半導體積體電路，其中該半導體積體電路係用來製造一可規劃電阻元件(P/res)，其包含一對相同特性的場效電晶體(M3、M4-M12、M13)，具有閘極、源極和汲極，其中該對中之第一電晶體(M4-M13)係用作參考電晶體，而該對中之第二電晶體(M3-M12)係用以提供該真正電阻值。
15. 根據申請專利範圍第14項所述之半導體積體電路，其中該半導體電路更包含一微分放大器(N/CC, P/CC)，一可調固定電流源(CCS)，與第一(1.5伏)和第二(2.5伏)參考電壓，其中該固定電流源(CCS)係作為該參考電晶體(M4-M13)之負載，該參考電晶體(M4-M13)則連結以提供一負回授路徑至該微分放大器(N/CC, P/CC)，而該微分放大器(N/CC, P/CC)的工作即為調整該參考電晶體(M4-M13)之閘極電壓，直到某關於該第一與第二參考電壓(1.5V, 2.5V)的特定電壓降在該參考電晶體(M4-M13)的兩端出前為止，其建立一預

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

定電阻值於該參考電晶體的源極與汲極之間，並且該參考電晶體的閘極電壓又安排以直接控制相同特性場效電晶體(M3、M4-M12、M13)中的第二電晶體的電導以設定需要的電阻值。

16. 根據申請專利範圍第15項所述之半導體積體電路，其中該半導體積體電路係用來製作線性電阻，使用一互補相同特性相反極性場效電晶體(M4、M3-M13、M12)，其中該各相同特性場效電晶體對中之第二電晶體(M13，M12)都平行連接在一起，於是該第二電晶體(M13，M12)的動作即為一線性傳輸的功能。

17. 根據申請專利範圍第16項所述之半導體積體電路，其中各可規劃電阻包含一電阻網路(R/BLK)，具有許多不同極性場效電晶體對(N/RE1、P/RE1...N/RE6、P/RE6)排列起來使能製作不同範圍的阻值，其中某特定範圍係由單元配置資料，其經該第一資料匯流排(DD)中之某資料匯流排(DBB)至某儲存裝置(RAMB)，所選擇，其輸出則用來開關選定範圍之電阻使之動作。

18. 根據申請專利範圍第15項所述之半導體積體電路，其中該可調固定電流源係由該等類比訊號(AD)所控制。

19. 根據申請專利範圍第1項所述之半導體積體電路，其中該積體電路包含可規劃電容器元件(P/cap)，而該等電容器元件最少包括一電容器倍乘電路(M1，M2)。

20. 根據申請專利範圍第19項所述之半導體積體電路，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

中各相反極性場效電晶體具一相關電容性類比儲存電路(N/STR, P/STR), 其能儲存並存回在該參考電晶體閘極的類比電壓當該特定電壓降達到時。

21. 根據申請專利範圍第1項所述之半導體積體電路, 其中所有類比元件皆自動由一單獨外加電阻(ERR1)與一單獨外加電容(ERC1)所補償。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線