



19



SCHWEIZERISCHE EIDGENOSSENSCHAFT
EIDGENÖSSISCHES INSTITUT FÜR GEISTIGES EIGENTUM

11 CH 687 423 A5

51 Int. Cl.⁶: G 01 R 011/16
H 02 H 003/26
G 04 G 015/00

Erfindungspatent für die Schweiz und Liechtenstein

Schweizerisch-liechtensteinischer Patentschutzvertrag vom 22. Dezember 1978

12 PATENTSCHRIFT A5

21 Gesuchsnummer: 02391/93

22 Anmeldungsdatum: 12.08.1993

24 Patent erteilt: 29.11.1996

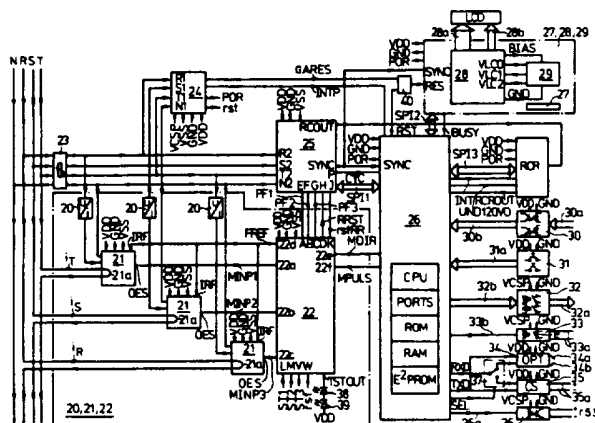
45 Patentschrift
veröffentlicht: 29.11.1996

73 Inhaber:
Landis & Gyr Technology Innovation AG,
6301 Zug (CH)

72 Erfinder:
Niepolomski, Andrzej, Baar (CH)
Ricciardi, Bruno, Ebikon (CH)
Imfeld, Joe, Horw (CH)

54 Multifunktionszähler.

57 Für jede Phase ist eine Messeinheit (21) vorhanden, deren Ausgangsimpulse eine Frequenz besitzen, die proportional einem in der betreffenden Phase gemessenen Leistungswert ist. Für jede Phase ist sowohl eine Information bezüglich einer ermittelten Energieflussrichtung als auch eine Information bezüglich eines Vorhandenseins eines Phasenausfalles in der Dauer der Ausgangsimpulse der Messeinheit (21) enthalten, wobei jeweils ein Phasenausfall vorliegt, wenn die zugehörige Messeinheit (21) für die betreffende Phase keinen Nulldurchgang der zugehörigen Phasenspannung detektieren kann. In jeder Phase ist der zugehörigen Messeinheit (21) eine zur betreffenden Phase gehörige Signalauswerte-Anordnung nachgeschaltet, an deren Eingang einen Impulsdauer-Decoder angeordnet ist, einerseits zwecks Trennung der zu unterschiedlichen Energieflussrichtungen gehörenden Impulse und andererseits zwecks Sperrung der letzteren Impulse und Erzeugung einer Phasenausfall-Anzeige, wenn ein Phasenausfall vorliegt.



Beschreibung

Die Erfindung bezieht sich auf einen Multifunktionszähler gemäss dem Oberbegriff des Anspruchs 1.

Ein Multifunktionszähler der im Oberbegriff des Anspruchs 1 genannten Art ist aus der US-PS 4 742 296 bekannt.

Der Erfindung liegt die Aufgabe zugrunde, den bekannten Multifunktionszähler so zu verbessern, dass auch eine ermittelte Energieflussrichtung und ein festgestellter Phasenausfall erkennbar ist.

Die genannte Aufgabe wird erfindungsgemäss durch die im Kennzeichen des Anspruchs 1 angegebenen Merkmale gelöst. Vorteilhafte Ausgestaltungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Ein Ausführungsbeispiel der Erfindung ist in der Zeichnung dargestellt und wird im folgenden näher beschrieben.

Es zeigen:

Fig. 1 ein Blockschaltbild eines Multifunktionszählers,

Fig. 2 ein Blockschaltbild eines Speisegerätes mit einer zugehörigen Spannungs-Überwachungsanordnung,

Fig. 3 ein Blockschaltbild einer Signalaufbereitungs-Anordnung,

Fig. 4 ein Blockschaltbild einer Signalauswertungs-Anordnung,

Fig. 5 ein Blockschaltbild einer Fehlerermittlungs-Anordnung,

Fig. 6 ein Zustands-Diagramm eines 5Bit-Vorwärts/Rückwärts-Zählers,

Fig. 7 ein Zustands-Diagramm eines 3Bit-Vorwärts/Rückwärts-Zählers,

Fig. 8 eine Register-Anordnung einer Messeinheit,

Fig. 9 eine erste Variante einer Busschnittstellen-Verbindung zwischen drei Messeinheiten und einem Master-Computer und

Fig. 10 eine zweite Variante einer Busschnittstellen-Verbindung zwischen drei Messeinheiten und einem Master-Computer.

Gleiche Bezugszahlen bezeichnen in allen Figuren der Zeichnung gleiche Teile.

Der Multifunktionszähler enthält einen Einphasen- oder Mehrphasen-Elektrizitätszähler 20; 21; 22, eine Überspannungs-Schutzanordnung 23, ein Speisegerät 24, eine Fehlerermittlungs-Anordnung 25, einen Mikrocomputer 26, einen fakultativ vorhandenen Rundsteuerempfänger RCR, eine Flüssigkristallanzeige LCD und eine Uhrenschaltung 27; 28; 29, welche zusätzlich zu einer Kalenderuhr 27, die eine Echtzeituhr ist, noch einen Treiber 28 für die Flüssigkristallanzeige LCD sowie eine Spannungsteiler- und Temperaturkompensations-Anordnung 29 enthält. Ausserdem ist noch eine Vielzahl von Eingangs- und/oder Ausgangs-Anordnungen 30 bis 36 vorhanden, die als Interfaceschaltungen zwischen Hilfeingängen und/oder Hilfsausgängen des Multifunktionszählers und sogenannten PORT-Anschlüssen des Mikrocomputers 26 angeordnet sind.

Die Flüssigkristallanzeige LCD ist vorzugsweise eine kundenspezifische Anzeige mit speziellen Anzeigebildern, wie z.B. Ziffern, ein Schlüssel, eine Uhr, usw. Ausgänge des Treibers 28 sind z.B. über eine 32Bit- und eine 4Bit-Busverbindung 28a bzw. 28b mit je einem Buseingang der Flüssigkristallanzeige LCD verbunden, was einen vierfach Multiplexbetrieb der letzteren ermöglicht. Der Treiber 28 speist die Anordnung 29 mit einer Speisespannung BIAS; GND, während drei Spannungsausgänge der Anordnung 29 mit je einem getrennten Eingang VLC0 bzw. VLC1 bzw. VLC2 des Treibers 28 verbunden sind. Die Anordnung 29 liefert die vom Treiber 28 benötigten Spannungspegel und korrigiert den Ablesewinkel der Flüssigkristallanzeige LCD in Funktion der Temperatur. Die Kalenderuhr 27 zeigt die Zeit (in Stunden, Minuten und Sekunden), das Datum (in Jahren, Monaten und Tagen), Wochentagnummern, Wochennummern, Sommer- und Winterzeit sowie Schaltjahre an. Als Zeitnormal dient ein Quarz oder ein externes, von der Anordnung 25 an den Synchronisier-Eingang SYNC der Uhrenschaltung 27; 28; 29 geliefertes Synchronisierungssignal. Wenn letzteres gestört ist, wird automatisch auf den Quarz umgeschaltet.

Der Mikrocomputer 26 weist neben einem Zentralprozessor CPU noch mindestens einen Schreib/Lese-Speicher RAM, einen Festwertspeicher ROM, einen elektrisch löschbaren programmierbaren Festwertspeicher E²PROM sowie mehrere Eingangs- und/oder Ausgangs-Interfaceschaltungen auf, sogenannte PORTS. Er arbeitet immer als Meister-Computer und verarbeitet periphere Signale, aus denen er Energie- und/oder Leistungswerte bildet, die er bei Bedarf an die Flüssigkristallanzeige LCD und/oder an Ausgangs-Anordnungen (z.B. 34, 35 und 36), weitergibt. Verrechnungsdaten werden dabei bei jedem Spannungsausfall und periodisch im programmierbaren Festwertspeicher E²PROM unverlierbar gespeichert.

Die Anordnungen 30 und 31 sind z.B. Mehrbit-Eingangs-Anordnungen, während die Anordnung 32 z.B. eine Mehrbit-Ausgangs-Anordnung ist. Die Anordnungen 30 und 32 enthalten zwecks galvanischer Trennung jeweils einen Optokoppler oder ein elektromagnetisches Relais pro Bit, wobei die Leuchtdiode des Optokopplers bzw. die Relaispule jeweils einen Eingang und der Phototransistor des Optokopplers bzw. der Relaiskontakt jeweils einen Ausgang der Anordnung 30 bzw. 32 bildet. Die Anordnung 30 ist als Interfaceschaltung zwischen einem Buseingang 30a des Multifunktionszählers und dem Mikrocomputer 26 angeordnet, wobei ihre Ausgänge über eine Busverbindung 30b mit PORT-Eingängen des Mikrocomputers 26 verbunden sind. Der Buseingang 30a beinhaltet vorzugsweise Steuereingänge zu Steuerzwecken, wie z.B. eine Tarifumschaltung, eine Messwert-Kumulierung oder eine zeitliche Beschränkung einer Maximum-Messung. Die Anordnung 31 enthält eine Drucktaste pro Bit, die über eine Leitung einer Busverbindung 31a mit einem PORT-Eingang des Mikrocomputers 26 verbunden ist. Eine erste, freizugängliche Drucktaste dient vorzugsweise einem Anzeigeabruf, während eine zweite, plombierte Drucktaste einer Kumulie-

5
10
15
20
25
30
35
40
45
50
55
60
65

rung von Messwerten oder einer Winter/Sommer-Saisonumschaltung dient. Mit beiden Drucktasten zusammen können z.B. auch gewisse Parameter programmiert werden, wie z.B. die Uhrzeit oder das Datum der Kalenderuhr 27. Die Anordnung 32 ist als Interfaceschaltung zwischen dem Mikrocomputer 26 und einem Busausgang 32a des Multifunktionszählers angeordnet, wobei PORT-Ausgänge des ersten über eine Busverbindung 32b mit Eingängen der Anordnung 32 verbunden sind. Der Busausgang 32a beinhaltet vorzugsweise Steuerausgänge, mit deren Hilfe z.B. Lasten oder Steuereingänge von weiteren Multifunktionszählern gesteuert werden.

Die Anordnungen 33 und 36 sind z.B. serielle 1Bit-Ausgangs-Anordnungen, die ähnlich aufgebaut sind wie die Anordnung 32, mit dem Unterschied, dass die Anordnung 36 nur einen einzigen Optokoppler und die Anordnung 33 nur ein einziges elektromagnetisches Relais enthält. Ein Kontakt e des letzteren bildet einen zweipoligen Hilfsausgang 33a des Multifunktionszählers, während ein zweipoliger PORT-Ausgang des Mikrocomputers 26 über eine zweipolige Verbindung 33b mit der zugehörigen Relaispule verbunden ist. Ein Eingang der Anordnung 36 ist über eine zweipolige Verbindung 36a von einem PORT-Ausgang des Mikrocomputers 26 gespeist und ihr Ausgang auf einen zweipoligen Hilfsausgang $\pm r53$ des Multifunktionszählers geführt. Der Hilfsausgang r53 liefert, z.B. zu Fernzählzwecken, Festmengenimpulse, d.h. Impulse pro kWh.

Die Anordnungen 34 und 35 sind normierte serielle Schnittstellenschaltungen, die beide prinzipiell die gleiche Funktion ausführen. Dabei ist die erste vorzugsweise eine optische Interfaceschaltung OPT und die letztere vorzugsweise eine Stromschleife-Interfaceschaltung CS. Ausgänge der Anordnungen 34 und 35, die dem Mikrocomputer 26 zugewandt sind, sind über einen gemeinsamen einpoligen Umschalter 37 mit einem PORT-Eingang des Mikrocomputers 26 verbunden, wobei entweder das zugehörige Ausgangssignal der Anordnung 34 oder das zugehörige Ausgangssignal der Anordnung 35 als Signal RxD dem betreffenden PORT-Eingang des Mikrocomputers 26 zugeführt wird. Ein Steuereingang des Umschalters 37 wird von einem, an einem weiteren PORT-Ausgang des Mikrocomputers 26 anstehenden Steuersignal SEL gesteuert, welches die Anordnung 34 oder 35 auswählt. Eingänge der Anordnungen 34 und 35, die dem Mikrocomputer 26 zugewandt sind, sind dagegen miteinander verbunden und werden von einem PORT-Ausgang des Mikrocomputers 26 mit einem Signal TxD gespeist. Ein optischer Ausgang 34a und ein optischer Eingang 34b der Anordnung 34 bilden jeweils einen optischen Hilfseingang bzw. Hilfsausgang des Multifunktionszählers, während die Anordnung 35 einen zweipoligen Anschluss 35a besitzt, der als $\pm$ Hilfs-Eingang/Ausgang des Multifunktionszählers dient. Die Interfaceschaltungen OPT und CS dienen z.B. zur bidirektionalen Kommunikation mit Ables- und/oder Parametriergeräten. Die Interfaceschaltung OPT stellt vorzugsweise eine asynchrone Schnittstelle nach DIN-Norm 66258 dar, in der normalerweise Protokolle nach IEC-Norm

1107 verarbeitet werden. Auf Kundenwunsch sind jedoch auch andere Protokolle möglich. Die Interfaceschaltung CS ist dagegen eine intern galvanisch getrennte Zweidraht-Schnittstelle zur Kommunikation über eine Steckverbindung.

Der Elektrizitätszähler 20; 21; 22 misst Wirkenergie und/oder Blindenergie und/oder Scheinenergie. Bei der Messung einer einzigen Energieart weist er für jede Phase einen zu der betreffenden Phase gehörigen Spannungs/Strom-Wandler 20 und eine zu der betreffenden Phase gehörige Messeinheit 21 auf. Er besitzt ausserdem eine für alle Phasen gemeinsame zentrale Signalaufbereitungs-Anordnung 22. Bei der Messung zweier oder dreier unterschiedlicher Energiearten sind dagegen doppelt so viele Bauelemente 20 und 21 vorhanden. Nachfolgend und in der Fig. 1 gilt die Annahme, dass der Elektrizitätszähler 20; 21; 22 ein reiner Wirkenergie-Dreiphasen-Elektrizitätszähler ist, der drei Spannungs/Strom-Wandler 20 und drei Messeinheiten 21 besitzt sowie an vier Drähten N (Null-Leiter), R, S und T eines elektrischen Energieversorgungsnetzes angeschlossen ist, welches über die Überspannungs-Schutzanordnung 23 vier Speiseeingänge R1, S1, T1 und N1 des Speisegerätes 24 sowie vier Speiseeingänge R2, S2, T2 und N2 der Anordnung 25 speist. Die Überspannungs-Schutzanordnung 23 enthält zur Verhinderung von Überspannungen und/oder Stoss-Spannungen vorzugsweise einen spannungsabhängigen Widerstand pro Phase, der jeweils zwischen der betreffenden Phase und dem Null-Leiter N angeordnet ist. Zur Filterung sehr schneller leitungsgebundener Störsignale oder Störspannungsspitzen können auch Supressordioden oder Induktivitäten zur Dämpfung von Hochfrequenzströmen vorhanden sein.

Im Speisegerät 24 werden unter anderem vier Gleichspannungen VCSP, VDD, GND (0 Volt) und VSS, zwei Rückstellsignale POR und rst, eine Gangreserve-Spannung GARES für die Kalenderuhr 27 sowie ein Unterbrechungssignal INTp für den Mikrocomputer 26 erzeugt. VCSP ist z.B. 10 Volt, VDD z.B. 5 Volt und VSS z.B. -5 Volt. Die drei Gleichspannungen VDD, GND und VSS speisen alle Messeinheiten 21 sowie die Anordnungen 22 und 25. Die beiden Gleichspannungen VDD und GND speisen den Mikrocomputer 26, die Uhrenschaltung 27; 28; 29, die Eingangs- und/oder Ausgangs-Anordnungen 30, 31, 34 und 35 sowie, falls vorhanden, den Rundsteuerempfänger RCR. Die beiden Gleichspannungen VCSP und GND speisen die Ausgangs-Anordnungen 32, 33 und 36.

Das Rückstellsignal rst stellt die Anordnung 22 über Eingang W und das Rückstellsignal POR den Mikrocomputer 26, die Uhrenschaltung 27; 28; 29 und gegebenenfalls den Rundsteuerempfänger RCR zurück. Die Gangreserve-Spannung GARES ist auf einen ersten Eingang und ein an einem weiteren PORT-Ausgang des Mikrocomputers 26 anstehendes Rückstellsignal RST auf einen zweiten Eingang einer Gangreserve-Anordnung 40 geführt, deren Ausgang mit einem Eingang RES der Uhrenschaltung 27; 28; 29 verbunden ist. Das Unterbrechungssignal INTp ist auf einen weiteren PORT-Eingang des Mikrocomputers 26 geführt.

In einem Dreiphasen-Elektrizitätszähler 20; 21; 22, der eine einzige Energieart misst, speist jede Phasenspannung des Energieversorgungsnetzes über die Überspannungs-Schutzanordnung 23 unmittelbar, falls eine Wirkenergie gemessen wird, oder über einen nachfolgenden, in der Fig. 1 nicht dargestellten 90°-Phasenschieber, falls eine Blindenergie gemessen wird, einen Eingang des zur betreffenden Phase gehörenden Spannungs/Strom-Wandlers 20.

Der innere Aufbau der Messeinheiten 21 ist in der Zeichnung nicht dargestellt, da er mindestens aus der US-PS 4 742 296 oder der US-PS 4 728 886 bekannt ist. Jede Messeinheit 21 enthält eine vorzugsweise U-förmige Stromschleife 21a, die entweder unmittelbar von einem zugehörigen Phasen-Laststrom i_R bzw. i_S bzw. i_T des Energieversorgungsnetzes (siehe Fig. 1) oder über einen zugehörigen Stromwandler (nicht dargestellt) mit einem zu diesem Phasen-Laststrom i_R bzw. i_S bzw. i_T proportionalen Strom gespeist ist. Innerhalb einer jeden zu einer Phase gehörenden Messeinheit 21 ist jeweils zwischen den parallelen Stromleitern der Stromschleife 21a vorzugsweise ein nicht dargestelltes Hallelement angeordnet, dessen Stromeingang von einem Speisestrom gespeist ist, der proportional einer Phasenspannung u_R bzw. u_S bzw. u_T der betreffenden Phase ist. Zu diesem Zweck ist jeweils ein Ausgang des zur betreffenden Phase gehörenden Spannungs/Strom-Wandlers 20 mit einem ersten Pol des betreffenden Stromeingangs und der zum Null-Leiter N gehörende Ausgang der Überspannungs-Schutzanordnung 23 mit einem zweiten Pol dieses Stromeingangs verbunden. Da das Magnetfeld, dem das Hallelement ausgesetzt ist, proportional dem zugehörigen Phasen-Laststrom i_R bzw. i_S bzw. i_T ist, ist die Ausgangsspannung des betreffenden Hallelementes jeweils proportional dem gemessenen Leistungswert $u_R \cdot i_R$ bzw. $u_S \cdot i_S$ bzw. $u_T \cdot i_T$ der zugehörigen Phase. Innerhalb jeder Messeinheit 21 ist deren Hallelement jeweils ein nicht dargestellter Spannungs/Frequenz-Wandler nachgeschaltet, in dem der zugehörige Leistungswert $u_R \cdot i_R$ bzw. $u_S \cdot i_S$ bzw. $u_T \cdot i_T$ in eine proportionale Frequenz f_R bzw. f_S bzw. f_T umgewandelt wird. Am Ausgang des Spannungs/Frequenz-Wandlers der drei Messeinheiten 21, der jeweils auch der Signalausgang OES der betreffenden Messeinheit 21 ist, ist somit je ein Mess-Signal MINP1 bzw. MINP2 bzw. MINP3 vorhanden, welches aus Impulsen besteht, deren Frequenz f_R bzw. f_S bzw. f_T jeweils proportional dem in der betreffenden Phase durch die zugehörige Messeinheit 21 gemessenen Leistungswert $u_R \cdot i_R$ bzw. $u_S \cdot i_S$ bzw. $u_T \cdot i_T$ ist. Die Mess-Signale MINP1, MINP2 und MINP3 sind auf je einen getrennten Signaleingang 22a bzw. 22b bzw. 22c der Anordnung 22 geführt. Jede Messeinheit 21 wird kalibriert vor ihrem Einbau in den Multifunktionszähler. Die Temperaturabhängigkeit des Übertragungsfaktors eines jeden Hallelementes kann entweder mit einer gleich grossen Temperaturabhängigkeit einer im nachgeschalteten Spannungs/Frequenz-Wandler enthaltenen Referenzspannung kompensiert werden oder mit Hilfe der Temperaturabhängigkeit des Halbleiterwiderstan-

des des Hallelementes. Im letzteren Fall wird ein temperaturabhängiger Widerstand parallel zum Speiseeingang des Hallelementes geschaltet, der einen temperaturabhängigen Anteil des Speisestromes des Hallelementes ableitet. Mit zunehmender Temperatur nimmt der Übertragungsfaktor des Hallelementes zwar zu, gleichzeitig nimmt aber auch der Halbleiterwiderstand des Hallelementes zu, so dass der Speisestrom des letzteren entsprechend abnimmt. Mit dem Wert des parallelangeordneten temperaturabhängigen Widerstandes können die beiden gegenläufigen Einflüsse gleich gross eingestellt werden, so dass die Gesamtübertragung des Hallelementes temperaturunabhängig wird.

Ausser der Verwendung des Hallelementes zur Messung der Leistungswerte ist auch die Verwendung anderer Messprinzipien möglich. Z.B. kann auch mit jeder U-förmigen Stromschleife 21a eine weitere Spule induktiv gemäss US-PS 4 810 989 gekoppelt werden, die Werte di_R/dt bzw. di_S/dt bzw. di_T/dt der Ableitung erster Ordnung der Phasen-Lastströme i_R bzw. i_S bzw. i_T ermittelt, welche dann jeweils in einem nachgeschalteten Integrator in die Werte von i_R bzw. i_S bzw. i_T umgewandelt werden.

Die Spannungs/Frequenz-Wandler der drei Messeinheiten 21 benötigen alle eine gleiche Referenzfrequenz, z.B. 4096 Hz, die ihnen von einem Referenzsignal-Ausgang 22d der Anordnung 22 in Gestalt eines Referenz-Taktsignals FREF, welches in Funktion der Zeit aus Impulsen besteht, über je einen Takteingang IRF zugeführt wird. Das Referenz-Taktsignal FREF einerseits und die Mess-Signale MINP1, MINP2 und MINP3 andererseits sind asynchron zueinander. Die Eingangsseite der zu den Signalen FREF, MINP1, MINP2 und MINP3 gehörenden Verbindungen ist jeweils mit einem Schmitt-Trigger ausgerüstet, was in der Zeichnung aus Gründen der zeichnerischen Einfachheit nicht dargestellt ist. Dies gestattet den Einbau je eines Tiefpassfilters mit beliebig grossen Phasenverschiebungen als Schutz gegen hochfrequente Störungen, wodurch die Robustheit der Messanordnung gegen Hochfrequenz-Störungen erheblich verbessert wird.

Die Anordnung 22 besitzt zwei Signalausgänge 22e und 22f, an denen ein Signal MDIR bzw. MPULS ansteht, welches auf je einen getrennten weiteren PORT-Eingang des Mikrocomputers 26 geführt ist. Ein Testausgang TSTOUT der Anordnung 22 ist z.B. mit einer Kathode einer Leuchtdiode 38 verbunden, deren Anode auf eine Kathode einer Leuchtdiode 39 geführt ist, deren Anode wiederum an der Gleichspannung VDD liegt. Eine der beiden Leuchtdioden 38 bzw. 39 ist z.B. eine Infrarot-Leuchtdiode, die zu Übertragungszwecken und/oder zu einer maschinenlesbaren Auslesung verwendet wird. Der Testausgang TSTOUT liefert eine leistungsproportionale Frequenz rechteckförmiger Impulse und dient als optische Schnittstelle zu einem Testgerät, in dem die Messgenauigkeit der Messeinheiten 21 und der Signalaufbereitungs-Anordnung 22 geprüft werden kann. Statt zwei Leuchtdioden 38 und 39 können auch mehrere Leuchtdioden gleichgepolt in Reihe geschaltet werden, die zu unterschiedlichsten Anzeigezwecken verwendet werden, wie z.B. zur getrennten Anzeige eines

Hoch- und Niedertarifs und/oder zur getrennten Anzeige eines positiven und negativen Energiewertes. Die in Reihe geschalteten Leuchtdioden werden dann vorzugsweise von einer Konstantstromquelle gespeist und sind je durch einen Schalttransistor kurzgeschlossen, der z.B. im Rhythmus von Impulsen geschaltet wird, die die anzuzeigenden Daten darstellen.

Vier Steuerausgänge A, B, C und D der Anordnung 22, an denen jeweils eines der vier Signale PF1, PF2, PF3 und RST ansteht, sind auf je einen getrennten Steuereingang E bzw. F bzw. G bzw. H der Anordnung 25 geführt. Ein Steuerausgang J der letzteren, an dem ein Signal rstRR ansteht, sowie drei Steuersignale ST1, ST2 und ST3 sind auf je einen getrennten Steuereingang K bzw. L bzw. M bzw. V der Anordnung 22 geführt.

Ein Synchronisier-Ausgang SYNC der Anordnung 25 ist mit je einem Synchronisier-Eingang SYNC der Uhrenschaltung 27; 28; 29 und des Mikrocomputers 26 verbunden, während ein weiterer PORT-Ausgang des letzteren, an dem ein Signal CYC ansteht, mit einem weiteren Steuereingang P der Anordnung 25 verbunden ist. Ein Ausgang der Uhrenschaltung 27; 28; 29, an dem ein Signal BUSY ansteht, ist mit einem weiteren PORT-Eingang des Mikrocomputers 26 verbunden. Falls ein Rundsteuerempfängers RCR vorhanden ist, ist dessen Eingang mit einem Signalausgang RCOUT der Anordnung 25 verbunden, während drei Ausgänge des Rundsteuerempfängers RCR, an denen je eines von drei Ausgangssignalen INT, UND120VO oder RCROUT ansteht, auf je einen getrennten weiteren Port-Eingang des Mikrocomputers 26 geführt sind. Der Rundsteuersignaleingang des Rundsteuerempfängers RCR wird automatisch an eine der drei Phasen des Energieversorgungsnetzes zugeschaltet, die keine Unterspannung aufweist. Der Rundsteuerempfänger RCR empfängt somit über die Anordnungen 23 und 25 sowie dem Signalausgang RCOUT der letzteren Informationen, die in Gestalt tonfrequenter Impulse über eine einzige Phase des Energieversorgungsnetzes übertragen werden, die keine Unterspannung aufweist. Eine einzige gesunde Phase genügt zur Sicherstellung der Funktion des Rundsteuerempfängers RCR. Der letztere filtert das empfangene Signal, um es von Störsignalen wie das 50Hz-Spannungssignal, dessen Harmonische sowie fremde Rundsteuersignale zu befreien. Er decodiert anschliessend die empfangenen Informationen, die in der Regel Befehle enthalten, die sofort oder verzögert ausgeführt werden. Der Rundsteuerempfänger RCR dient vorzugsweise unter anderem einer Tarifschaltung. Der Tarif kann in diesem Fall, z.B. statt mit Hilfe des Buseinganges 30a, mit Hilfe gewisser empfangener Rundsteuerbefehle gesteuert werden. Funktionalität und Auswertung der empfangenen Informationen ist gleich wie bei bekannten Rundsteuerempfängern.

Die Kalenderuhr 27 kann ihrerseits ebenfalls zu Tarifschaltungen verwendet werden und stellt dann eine dritte Möglichkeit zur Steuerung derselben dar.

Je eine Busverbindung SPI1 bzw. SPI2 bzw. SPI3 ist zwecks bidirektionaler Kommunikation zwi-

schen einerseits dem Mikrocomputer 26 und andererseits der Anordnung 25 bzw. der Uhrenschaltung 27; 28; 29 bzw. dem Rundsteuerempfänger RCR vorhanden.

Das in der Fig. 2 dargestellte Speisegerät 24 enthält einen ohmsch kapazitiven Spannungsteiler 41, zwei Shunt-Regler 42 und 43, einen Puffer-Kondensator C1, einen Spannungsteiler 44, einen Serie-Regler 45, zwei Überwachungsanordnungen 46 und 47, eine Gangreserve-Spannungsquelle 48 und fakultativ eine Leuchtanzeige 49. Die vier Speiseeingänge R1, S1, T1 und N1 des Speisegerätes 24 werden, wie bereits erwähnt, über die ÜberspannungsSchutzanordnung 23 (siehe Fig. 1) vom Energieversorgungsnetz mit einer Dreiphasen-Spannung gespeist, welche im unmittelbar nachgeschalteten ohmsch kapazitiven Spannungsteiler 41 in eine geregelte Gleichspannung VCSP; VCSN umgewandelt wird.

Der ohmsch kapazitive Spannungsteiler 41 enthält vorzugsweise eine aus sechs Dioden D1 bis D6 bestehende DrehstromBrückenschaltung 41a, deren zweipoliger Gleichstrom-Ausgang über je einen Serie-Widerstand R1 bzw. R2 mit dem ersten Pol je einer Suppressordiode D7 bzw. D8 und dem ersten Pol je einer Induktivität L1 bzw. L2 verbunden ist, wobei die zweiten Pole der beiden Induktivitäten L1 und L2 die Eingänge zu den zwei Shunt-Reglern 42 und 43 bilden. Die zweiten Pole der beiden Suppressordioden D7 und D8 sind miteinander, mit dem Null-Leiter N1 und mit einem ersten Eingang der Leuchtanzeige 49 verbunden. Die drei Drehstrom-Eingänge der Drehstrom-Brückenschaltung 41a sind über je einen Reihenkondensator C2 mit einem der drei Speiseeingänge R1 bzw. S1 bzw. T1 des Speisegerätes 24 verbunden, wobei die von den Speiseeingängen R1, S1 und T1 abgewandten Pole der Reihenkondensatoren C2 jeweils zusätzlich noch mit je einem von drei weiteren Eingängen der Leuchtanzeige 49 verbunden sind. Die letztere enthält nicht dargestellt eine Widerstand/Leuchtdiode-Reihenschaltung pro Phase, die jeweils zwischen der betreffenden Phase und dem Null-Leiter N1 angeordnet ist, wobei jeder Leuchtdiode vorzugsweise eine Rückflussdiode in umgekehrter Richtung parallelgeschaltet ist.

Das am Null-Leiter N1 anstehende Potential ist z.B. das MassePotential GND. Der Shunt-Regler 42 ist zwischen dem positiven Ausgangspol und dem Null-Leiter N1 und der zweite Shunt-Regler 43 zwischen dem Null-Leiter N1 und dem negativen Ausgangspol des ohmsch kapazitiven Spannungsteilers 41 angeordnet. Die Gleichspannung VCSP; GND ist eine positive Spannung, die im Shunt-Regler 42 geregelt wird und den zum letzteren parallelgeschalteten Puffer-Kondensator C1 zwecks Energiespeicherung auflädt, was einer Datenrettung bei einem allfälligen Netzspannungsausfall dient. Sie speist ebenfalls den parallel dazu geschalteten Spannungsteiler 44, in dem die Gleichspannung VCSP; GND auf eine positive Gleichspannung VCSDIV reduziert wird. Die letztere speist ihrerseits einen Eingang der Überwachungsanordnung 47. Die Gleichspannung VCSN; GND ist dagegen eine negative Spannung, die im zweiten Shunt-Regler 43 geregelt wird.

Die Gleichspannung VCSP; VCSN speist den Eingang des Serie-Reglers 45, der sie in eine zusätzlich geregelte Gleichspannung VDD; VSS umwandelt. Die Gleichspannung VDD; GND speist zweipolig die beiden Überwachungsanordnungen 46 und 47 sowie die Gangreserve-Spannungsquelle 48. Ein zweiter zweipoliger Speiseeingang der letzteren wird von einem Supercap, einem Akkumulator oder einer Batterie 48a gespeist. Die Überwachungsanordnung 46 überwacht die Gleichspannung VDD; GND und erzeugt an ihrem Ausgang das Rückstellsignal POR, welches unter anderem auch einen Eingang eines Tiefpassfilters 50 speist, wo es gefiltert wird und in das Rückstellsignal rst umgewandelt wird. Das Rückstellsignal POR ist ein logisches Signal zum Starten des Mikrocomputers 26 sobald die Gleichspannung VDD; GND einen vorgegebenen Schwellenwert überschritten hat. Ausserdem setzt es den Mikrocomputer 26 in einen kontrollierten Zustand sobald die Gleichspannung VDD; GND einen vorgegebenen Schwellenwert unterschritten hat. Die Überwachungsanordnung 47 überwacht die Gleichspannung VCSDIV; GND und erzeugt an ihrem Ausgang das Unterbrechungssignal INTP. Letzteres wird erzeugt, sobald die Gleichspannung VCSDIV; GND einen vorgegebenen Wert überschritten hat und sichergestellt ist, dass zur allfälligen Datenrettung genügend Energie gespeichert ist. Es dient ausserdem der Auslösung der Datenrettung bei einem Netzspannungsausfall. Die Gangreserve-Spannungsquelle 48, an deren Ausgang die Gangreserve-Spannung GARES ansteht, liefert die Energie für den Betrieb der Uhrenschaltung 27; 28; 29 und damit der Kalenderuhr 27 während eines Netzspannungsausfalls.

Die in der Fig. 3 dargestellte Signalaufbereitungs-Anordnung 22 wird über je einen getrennten Eingang von den Gleichspannungen VDD, GND und VSS sowie von den Signalen rstRR (über Eingang K), ST1 (über Eingang L), ST2 (über Eingang M), ST3 (über Eingang V) und rst (über Eingang W) gespeist. Sie enthält einen Quarz-Oszillator 51, der vorzugsweise einen Quarz-Oszillator ist, einen Frequenzteiler 52, eine Signalauswerte-Anordnung 53 pro Phase, eine Synchronisier-Anordnung 54 pro Phase, einen Zähler 55, drei Oder-Gatter 56, 57 und 58, ein Nand-Gatter 59, drei Frequenzteiler 61, 62 und 63, einen Impulsformer 64, drei Nand-Gatter 65, 66 und 67 sowie einen Treiber 68.

Der Oszillator 51 erzeugt Impulse, deren Frequenz z.B. 32, 768 kHz (2^{15} Hz) beträgt und die einem Eingang des nachgeschalteten Frequenzteilers 52 zugeführt werden, wo die Frequenz heruntergeteilt wird zwecks Erzeugung von z.B. vier intern benötigten Taktsignalen CL1, CL2, CL3 und CL4 sowie des Referenz-Taktsignals FREF, welches letzteres über den Ausgang 22d der Anordnung 22 den drei Messeinheiten 21 zugeführt wird (siehe Fig. 1). Die Frequenzen der Signale FREF, CL1, CL2, CL3 und CL4 sind vorzugsweise 4096 Hz (2^{12} Hz), 32 kHz, 500 Hz, 32 Hz, 1 Hz. Um Synchronisierungs-Probleme zu vermeiden, sind die Impulse des Taktsignals CL1 vorzugsweise um eine halbe Periode phasenverschoben gegenüber den vom Oszillator 51 erzeugten Impulsen gleicher Frequenz.

Die Signale CL1 und rst speisen je einen Eingang der Bauelemente 53, 54, 55, 61, 62, 63 und 64, die Signale ST3, CL4 und rstRR je einen Eingang der drei Anordnungen 53, das Signal CL2 einen Eingang des Impulsformers 64 und die Signale ST2 und ST3 je einen getrennten Eingang der Frequenzteiler 62 und 63. Die drei Ausgänge A, B und C der Anordnung 22, an denen jeweils eines der Phasenausfall-Signale PF1 bzw. PF2 bzw. PF3 ansteht, werden durch je einen Ausgang PF der drei Anordnungen 53 gebildet. Je ein Ausgang RR der drei Anordnungen 53, an dem jeweils ein Rückwärtslaufsignal RR1 bzw. RR2 bzw. RR3 ansteht, ist mit je einem getrennten Eingang des Oder-Gatters 58 verbunden, dessen Ausgangssignal RRST auf den Ausgang D der Anordnung 22 geführt ist. Je ein Ausgang CR der drei Anordnungen 53, an dem jeweils ein Leerlauf-Signal CR1 bzw. CR2 bzw. CR3 ansteht, ist auf je einen getrennten Eingang des Nand-Gatters 59 geführt, dessen Ausgangssignal TCR einen ersten Eingang des Nand-Gatters 67 speist.

Das Mess-Signal MINP1 bzw. MINP2 bzw. MINP3 am Ausgang der zu einer Phase gehörigen Messeinheit 21 (siehe Fig. 1) speist jeweils über einen Eingang 22a bzw. 22b bzw. 22c der Anordnung 22 einen Signaleingang MINP der zur betreffenden Phase gehörigen nachgeschalteten Anordnung 53, in der es jeweils in zwei Signalen MPOS und MNEG umgewandelt wird, die beide auf je einen getrennten Eingang der zur betreffenden Phase gehörenden Synchronisier-Anordnung 54 geführt sind, welche jeweils einen ersten und einen zweiten Ausgang besitzt. Die ersten Ausgänge der drei Anordnungen 54 sind jeweils auf getrennte Eingänge des Oder-Gatters 56 und die zweiten Ausgänge der drei Anordnungen 54 jeweils auf getrennte Eingänge des Oder-Gatters 57 geführt. Drei Steuerausgänge des Zählers 55 sind mit einem Steuereingang je einer der drei Anordnungen 54 verbunden. Die Ausgänge der beiden Oder-Gatter 56 und 57 sind mit je einem getrennten Eingang des Frequenzteilers 61 verbunden, dessen zwei Ausgänge über den Frequenzteiler 62 bzw. 63 auf je einen getrennten Eingang des Impulsformers 64 geführt sind, welcher zwei Ausgänge besitzt, an denen das Signal MDIR bzw. MPULS ansteht und die beide zwei Ausgänge 22e und 22f der Anordnung 22 bilden. Das Signal MDIR speist invertiert einen ersten Eingang des Nand-Gatters 65, an dessen zweiter Eingang das Steuersignal ST1 ansteht und dessen Ausgang mit einem ersten Eingang des Nand-Gatters 66 verbunden ist, an dessen zweiter Eingang das Signal MPULS ansteht und dessen Ausgang auf einen zweiten Eingang des Nand-Gatters 67 geführt ist. Der Ausgang des letzteren ist über den Treiber 68 mit dem Testausgang TSTOUT der Anordnung 22 verbunden.

Die Dauer der Impulse der Mess-Signale MINP1, MINP2 und MINP3 und der Signale MPOS und MNEG beträgt vorzugsweise 32 μ s. Die Signale MPOS und MNEG bestehen je aus Impulsen, deren Frequenz proportional der gemessenen positiven bzw. negativen Leistung ist. Erscheint ein Impuls des Signals MPOS bzw. MNEG an einem der beiden

Ausgänge einer Anordnung 53, wird dieser in der zur betreffenden Phase gehörigen Anordnung 54 zwischengespeichert bis zu dem Augenblick, an der die betreffende Phase abgefragt wird. Der Zähler 55 zählt jeweils bis «Drei» und fragt in den Anordnungen 54 die gespeicherten Impulse der Signale MPOS und MNEG der drei Phasen zyklisch ab, um den gefundenen Abfragewert unverzüglich an den zugehörigen Ausgang der betreffenden Anordnung 54 weiterzuleiten. Liefert eine Phase negativwertige Impulse, d.h. Impulse des Signals MNEG, und eine andere Phase positivwertige Impulse, d.h. Impulse des Signals MPOS, so heben sich diese Impulse nicht gegenseitig auf, sondern es werden alle Impulse an das zugehörige Oder-Gatter 56 bzw. 57 weitergegeben. Die drei Anordnungen 54 und die zwei Oder-Gatter 56 und 57 bilden zusammen zwei Zeitmultiplexer 54; 56 und 54; 57, deren gemeinsames Steuergerät der Zähler 55 ist. Einer der beiden Zeitmultiplexer 54; 56, dessen Ausgang der Ausgang des Oder-Gatters 56 ist, ist für die positivwertigen Impulse und der andere, dessen Ausgang der Ausgang des Oder-Gatters 57 ist, für die negativwertigen Impulse vorhanden. Die beiden Zeitmultiplexer 54; 56 und 54; 57 werden vom Zähler 55 jeweils so gesteuert, dass die drei Anordnungen 54 ihre Impulse zeitlich nacheinander an die beiden Oder-Gatter 56 und 57 weitergeben, wo sie somit zu unterschiedlichen Zeiten erscheinen, so dass die zu unterschiedlichen Energieflussrichtung gehörenden Ausgangsimpulse aller Anordnungen 53 zwecks Energie-Summierung in je einem der beiden Zeitmultiplexer 54; 56 bzw. 54; 57 im Zeitmultiplexer zeitlich hintereinander geschaltet werden. Die Ausgangsfrequenz des Oder-Gatters 56 bzw. 57 ist dann jeweils gleich der Summe der zugehörigen Ausgangsfrequenzen der drei Anordnungen 54 und demnach proportional der gemessenen positiven bzw. negativen Dreiphasen-Leistung. Ein wesentlicher Vorteil dieser Art digitaler Addition ist die Robustheit der zugehörigen digitalen Schnittstelle gegen Störungen, die Flexibilität in der Wahl des Abgleichkonzeptes, die Aufteilung der Analog- und Digitalfunktionen auf zwei dafür spezialisierte kundenspezifische Schaltungen und schliesslich eine kleinere Anzahl von Anschlüssen der verschiedenen Modulen. Eine durch die Impulsaddition entstehende Frequenz-Unregelmässigkeit kann durch eine Wahl eines genügend kleinen Energiewertes der Impulse auf einen tolerierbaren kleinen Wert reduziert werden.

Je ein Ausgang der beiden Zeitmultiplexer 54; 56 und 54; 57 ist über die nachgeschalteten Frequenzteilern 61 und 62 bzw. 61 und 63 mit einem getrennten Eingang des Mikrocomputers 26 verbunden. In den Frequenzteilern 61 und 62 bzw. 61 und 63 werden dabei die gefundenen Summenwerte, d.h. die Ausgangsfrequenzen der Oder-Gatter 56 und 57, geteilt zwecks Erhalt einer bestimmten Impulswertigkeit oder Zählerkonstante. Im Frequenzteiler 61 werden die Ausgangsfrequenzen der Oder-Gatter 56 und 57 vorzugsweise durch sechzehn geteilt. Es braucht dann sechzehn Impulse am Eingang, damit ein Impuls am Ausgang des Frequenzteilers 61 erscheint, welcher in diesem Fall einen 16mal höheren Energiewert darstellt als ein Im-

puls am Eingang des Frequenzteilers 61. Der letztere ist vorzugsweise ein 5Bit-Vorwärts/Rückwärts-Zähler, der gemäss dem in der Fig. 6 dargestellten Zustands-Diagramm arbeitet. Da auch bei Energiebezug (z.B. bei $\cos\Phi < 1$) negative Energiewerte auftreten können und erst ein Mittelwert, z.B. über sechzehn Impulse, etwas über die Energierichtung aussagt, arbeitet der Frequenzteiler 61 auch als Tiefpassfilter. Wechseln sich nämlich z.B. positiv- und negativwertige Impulse kontinuierlich ab und erscheinen nie mehr als fünfzehn Impulse der gleichen Art, wird nie ein Impuls am Ausgang des Frequenzteilers 61 erscheinen.

Die beiden Ausgangsfrequenzen des Frequenzteilers 61 werden anschliessend im Frequenzteiler 62 bzw. 63 noch einmal geteilt und zwar so, dass ein Impuls am Ausgang des letzteren jeweils immer 1 Wh positiver bzw. negativer Energie entspricht. Zu diesem Zweck muss das Teilverhältnis der beiden Frequenzteiler 62 und 63 je nach Grösse der vorhandenen Netzspannung, 230 Volt oder 110 Volt, und der Art der verwendeten Messeinheit 21 mit Hilfe der beiden Steuersignale ST2 und ST3 entsprechend programmiert werden. Das Teilverhältnis ist z.B. bei 230 Volt gleich «2» (wenn ST2; ST3 = «11») oder «4» (wenn ST2; ST3 = «10») und bei 110 Volt gleich «4» (wenn ST2; ST3 = «01») oder «8» (wenn ST2; ST3 = «00»).

Im Impulsformer 64 werden die Dauer der von den Frequenzteilern 62 und 63 angelieferten Impulse und Impulslücken jeweils mit Hilfe einer Zwischenspeicherung auf 10 ms vergrössert. Ausserdem werden die für beide Energierichtungen getrennt angelieferten Impulse als Signal MPULS einem einzigen gemeinsamen Ausgang des Impulsformers 64 und damit auch einem einzigen Ausgang 22f der Anordnung 22 zugeführt. Zusätzlich wird eine Information bezüglich der Energierichtung des betreffenden Impulses als Signal MDIR einem weiteren Ausgang des Impulsformers 64 und damit dem Ausgang 22e der Anordnung 22 zugeführt. Das Signal MDIR besitzt z.B. einen Logikwert «Eins», wenn ein gleichzeitig anstehender Impuls des Signals MPULS zu einer positiven Energie, und einen Logikwert «Null», wenn ein gleichzeitig anstehender Impuls des Signals MPULS zu einer negativen Energie gehört. Wenn kein Impuls des Signals MPULS vorhanden ist, ist das Signal MDIR z.B. gleich «Null». Der Impulsformer 64 ist eine Zustands-Maschine, welche z.B. zehn Zustände «Null» bis «Neun» besitzt. Wenn keine Impulse empfangen werden, besitzt der Impulsformer 64 den Zustand «Null». Nachdem ein Impuls empfangen wurde, durchläuft der Impulsformer 64 alle Zustände mit der Taktfrequenz 500 Hz des Taktsignals CL2. Im Zustand «Eins» geht das Signal MDIR auf einen Logikwert «Eins», wenn der Impuls zu einer positiven Energie gehört und im Zustand «Vier» ggf. MPULS auf Eins. Im Zustand «Neun» wird der verarbeitete Impuls gelöscht und werden die Signale MPULS und MDIR wieder auf Null zurückgesetzt. Nach dem Zustand «Neun» geht der Impulsformer 64 automatisch wieder in den Zustand «Null», um ggf. den empfangenen nächsten Impuls zu verarbeiten.

Das Steuersignal ST1 steuert im Normalbetrieb, d.h. wenn kein Leerlauf vorhanden ist, das am Testausgang TSTOUT anstehende Signal. Im Normalbetrieb ist das Ausgangssignal TCR des Nand-Gatters 59 gleich «Eins» und das Nand-Gatter 67 dadurch dauernd freigegeben. Besitzt das Steuersignal ST1 einen Logikwert «Eins», dann ist das Nand-Gatter 65 dauernd freigegeben und ein Logikwert «Null» erscheint am Ausgang des Nand-Gatters 66 sowie ein Logikwert «Eins» am Ausgang des Nand-Gatters 67 nur dann, wenn beide Signale MDIR und MPULS einen Logikwert «Eins» besitzen, d.h. wenn der Impuls des Signals MPULS zu einer positiven Energie gehört. Also nur positivwertige Impulse betreiben in diesem Fall den Testausgang TSTOUT. Die am letzteren angeschlossenen Leuchtdioden 38 und 39 (siehe Fig. 1) blinken dann nur im Rhythmus dieser positivwertigen Impulse. Besitzt dagegen das Steuersignal ST1 einen Logikwert Null, dann ist das Nand-Gatter 65 dauernd gesperrt und ein Logikwert Eins an seinem Ausgang gibt das Nand-Gatter 66 dauernd frei, so dass alle, sowohl zur positiven als auch zur negativen Energie gehörenden Impulse des Signals MPULS den Ausgang des Nand-Gatters 67 und damit den Testausgang TSTOUT erreichen. In diesem Fall blinken die dort angeschlossenen Leuchtdioden 38 und 39 (siehe Fig. 1) im Rhythmus sowohl der zur positiven als auch der zur negativen Energie gehörenden Impulse. Beide Arten von Impulsen sind dann am Testausgang TSTOUT nicht mehr zu unterscheiden. Jeder Impuls am Testausgang TSTOUT und jeder Impuls des Signals MPULS besitzt sowohl eine Impulsdauer als auch eine minimale Impulslücke von jeweils 10 ms sowie eine Wertigkeit von 1 Wh.

Der Leerlauf wird in jeder der drei Phasen getrennt überwacht und, falls vorhanden, als Logikwert «Eins» am Ausgang CR der zur betreffenden Phase gehörenden Anordnung 53 angezeigt. Tritt ein Dreiphasen-Leerlauf auf, nimmt das Ausgangssignal TCR des Nand-Gatters 59 einen Logikwert «Null» und das Ausgangssignal des Nand-Gatters 67 dauernd einen Logikwert «Eins» an. Die am Testausgang TSTOUT angeschlossenen Leuchtdioden 38 und 39 (siehe Fig. 1) blinken dann nicht mehr, sondern leuchten in diesem Fall dauernd.

Die in der Fig. 4 dargestellte Signalauswerte-Anordnung 53 enthält einen Impulsdauer-Decoder 69, ein digitales Tiefpassfilter 70, eine Leerlaufunterdrückungs-Anordnung 71, einen Energierückwärts-Detektor 72, einen Frequenzteiler 73 und eine Freigabeanordnung 74; 75, die aus zwei Und-Gattern 74 und 75 besteht.

Der am Eingang der Anordnung 53 angeordnete Impulsdauer-Decoder 69 enthält zwei Nor-Gatter 76a und 76b, einen «Logik Null»-Zähler 77, zwei Und-Gatter 78a und 78b, einen «Logik Eins»-Zähler 79, einen Decoder 80, ein Exklusiv-Oder-Gatter 81 sowie zwei Und-Gatter 82a und 82b. Der Zähler 77 ist vorzugsweise ein 3Bit- und der Zähler 79 vorzugsweise ein 4Bit-Zähler. Ihre Takteingänge werden jeweils vom Taktsignal CL1 gespeist. Der Signaleingang MINP der Anordnung 53 ist mit je einem ersten Eingang der Gatter 76a, 78a und 81 verbunden. Der Ausgang des letzteren ist auf einen

seriellen Eingang des Zählers 77 geführt, dessen serieller Ausgang mit einem zweiten Eingang des Gatters 81 und einem ersten Eingang des Gatters 76b verbunden ist. Das Rückstellsignal rst ist auf je einen zweiten Eingang der Gatter 76a und 76b geführt, deren Ausgänge je mit einem Rückstelleingang RS des Zählers 77 bzw. 79 verbunden sind. Der Ausgang des Gatters 78a, dessen zweiter Eingang mit dem seriellen Ausgang des Zählers 79 verbunden ist, ist auf einen seriellen Eingang des letzteren geführt. Der serielle Ausgang bildet dabei ausserdem noch den Ausgang PF der Anordnung 53 und ist zusätzlich noch mit einem ersten Eingang des Gatters 78b verbunden, dessen Ausgang auf je einen ersten Eingang der beiden Gatter 82a und 82b geführt ist. Der Parallelausgang des Zählers 79 ist über eine Busverbindung mit einem Bus-eingang des Decoders 80 verbunden, der zwei Ausgänge besitzt, wovon jeweils einer auf einen zweiten Eingang des Gatters 82a bzw. 82b geführt ist. Die Ausgänge der beiden letzteren bilden je einen von zwei Ausgängen des Impulsdauer-Decoders 69. Ein Parallelausgang des Zählers 77 ist ausserdem mit einem zweiten Eingang des Gatters 78b verbunden.

Der Impulsdauer-Decoder 69 dient einerseits der Trennung der zu unterschiedlichen Energieflussrichtungen gehörenden Impulse und andererseits der Sperrung der letzteren Impulse und der Erzeugung einer fehlenden Phasen-Anzeige, wenn ein Phasenausfall vorhanden ist. Er ermittelt somit jeweils, ob die betreffenden Impulse zu einer positiven oder negativen Energieflussrichtung gehören oder ob ein Phasenausfall für die betreffende Phase vorliegt. Ein Phasenausfall liegt dann vor, wenn die zugehörige Messeinheit 21 für die betreffende Phase keinen Nulldurchgang der zugehörigen Phasenspannung u_R bzw. u_S bzw. u_T detektieren kann. Der Impulsdauer-Decoder 69 entzerrt ausserdem die Impulse des am Signaleingang MINP der Anordnung 53 anstehenden Mess-Signals MINP1 bzw. MINP2 bzw. MINP3. Für jede Phase ist jeweils sowohl eine Information bezüglich einer ermittelten Energieflussrichtung als auch eine Information bezüglich eines Vorhandenseins eines Phasenausfalles in der Dauer der Ausgangsimpulse der zugehörigen Messeinheit 21 enthalten. Die Energieflussrichtung ist somit als Impulsdauer in den Impulsen der drei Mess-Signale MINP1, MINP2 und MINP3 enthalten. Eine Impulsdauer kleiner als 3 Perioden des Taktsignals CL1 wird z.B. als Störsignal interpretiert und ignoriert. Eine Impulsdauer von 3 bis 6 Perioden entspricht z.B. einem negativen Energieimpuls und eine Impulsdauer von 7 bis 10 Perioden z.B. einem positiven Energieimpuls, während eine Impulsdauer grösser als 10 Perioden z.B. einem Phasenausfall entspricht. Eine Unterscheidung der Energiefluss-Richtung ist aus folgenden Gründen erforderlich: Einerseits können die Messeinheiten 21 die Energie in beiden Richtungen messen und für gewisse Anwendungen müssen die Energieimpulse für beide Energiefluss-Richtungen getrennt erfasst werden. Andererseits wechselt, bei vorhandenem Blindleistungsanteil im Energieversorgungsnetz, die momentane Leistung innerhalb einer

Netzperiode viermal das Vorzeichen, d.h. bei einer hohen Auflösung der Quantisierung wechselt das zu den Impulsen gehörende Vorzeichen entsprechend oft. Diese kurzzeitige Änderungen der Vorzeichen der Impulse können z.B. mittels Digitalfilter unterdrückt werden, was später noch erläutert wird.

Die Zähler 77 und 79 werden vom Rückstellsignal rst auf Null zurückgestellt. Während eines am Eingang MINP der Anordnung 53 anstehenden Impulses stellt dieser über das Gatter 76a den Zähler 77 auf Null zurück, der anschliessend solange zurückgestellt und ausser Betrieb bleibt, wie der betreffende Impuls ansteht. Der Zähler 79 wird bei jedem Impulsbeginn des am Eingang MINP erscheinenden Mess-Signals MINP1 bzw. MINP2 bzw. MINP3 mit Hilfe des Und-Gatters 78a gestartet und zählt während der Dauer eines jeden Impulses die Anzahl Perioden des Taktsignals CL1. Der am Impulsende im Zähler 79 gespeicherte Zählwert ist ein Mass für die Impulsdauer und wird im Decoder 80 decodiert. Je nachdem, ob die Impulsdauer einem negativen oder positiven Energiequantum entspricht, erscheint ein Logikwert «Eins» am ersten bzw. zweiten Ausgang des Decoders 80. Der Logikwert «Eins» wird anschliessend über eines der Gatter 82a bzw. 82b, falls dieses vom Zähler 77 über das Gatter 78b freigegeben ist, an den zugehörigen Ausgang des Impulsdauer-Decoders 69 weitergeleitet.

Falls ein Phasenausfall vorliegt, erreicht der Zähler 79 einen Zählwert Elf, der zur Folge hat, dass ein Logikwert «Null» an seinem seriellen Ausgang und damit auch am Ausgang PF der Anordnung 53 erscheint, als Zeichen dafür, dass ein Phasenausfall vorliegt. Er wird als Phasenausfall-Signal PF1 bzw. PF2 bzw. PF3 über den Steuerausgang A bzw. B bzw. C der Anordnung 22 (siehe Fig. 3) an die Anordnung 25 weitergeleitet (siehe Fig. 1). Gleichzeitig werden die Gatter 78a, 78b, 82a und 82b gesperrt, so dass der Zähler 79 aufhört zu zählen und die Ausgangssignale des Decoders 80 die Ausgänge des Impulsdauer-Decoders 69 nicht mehr erreichen.

Ein Impuls kann durch Störsignale zeitweise gelöscht werden, so dass der Zähler 79 nicht erkennen kann, ob ein echtes oder ein durch eine Impulslöschung vorgetäushtes Impulsende vorliegt. Daher ist der Zähler 77 vorhanden, dessen Zählvorgang mit Hilfe des Exklusiv-Oder-Gatters 81 gestartet wird. Sobald ein echtes oder vorgetäushtes Impulsende am Signaleingang MINP erscheint, wird die über das Gatter 76a vorhandene Rückstellung des Zählers 77 aufgehoben und erscheint am Ausgang des Exklusiv-Oder-Gatters 81 ein Logikwert «Eins», da am seriellen Ausgang des Zählers 77 nach der Rückstellung ein Logikwert «Eins» erscheint und somit an den beiden Eingängen des Gatters 81 unterschiedliche Logikwerte anstehen. Der Zähler 77 zählt die Impulse des Taktsignals CL1 während der am Signaleingang MINP anstehenden Impulslücke. Wenn für eine Impulslücke bei zwei aufeinanderfolgenden steigenden Flanken des Taktsignals CL1 je ein Logikwert Null vorhanden ist, dann handelt es sich um eine echte Impulslücke und in den beiden ersten Zähler-Flip Flops des

3Bit-Zählers 77 ist je ein Logikwert «Eins» gespeichert. Dies wird mittels eines nicht dargestellten Und-Gatters decodiert, so dass am Parallel-Ausgang des Zählers 77 ein Logikwert «Eins» erscheint, der, falls kein Phasenausfall vorliegt, das Gatter 78b und damit auch die Gatter 82a und 82b freigibt. Dies hat zur Folge, dass der im Decoder 80 decodierte Zählwert des Zählers 79, der zu dem Impuls gehört, der der echten Impulslücke voranging, korrekterweise an den Ausgang des Impulsdauer-Decoders 69 weitergeleitet wird, da der Zählwert des Zählers 79 die echte Impulsdauer dieses Impulses darstellt. Bei der nächsten steigenden Flanke des Taktsignals CL1 wird dann ein Logikwert «Eins» in das dritte Zähl-Flip Flop des 3Bit-Zählers 77 geladen, was einen Logikwert «Null» am Ausgang des letzteren zur Folge hat, der über das Gatter 76b den Zähler 79 auf Null zurückstellt. Der letztere ist dann bereit zur Auswertung des nächsten, am Signaleingang MINP erscheinenden Impulses. Wenn die Impulslücke jedoch nur durch eine Impulslöschung vorgetäuscht wurde, dann erscheint nach einer Beendigung der Impulslöschung wieder ein zum laufenden Impuls gehörender Logikwert «Eins» am Signaleingang MINP. Der Zähler 79 wird erneut gestartet, während gleichzeitig über das Gatter 76a der Zähler 77 auf Null zurückgestellt wird, was zur Folge hat, dass am Parallelausgang des Zählers 77 ein Logikwert «Null» erscheint, der das Gatter 78b und damit auch die Gatter 82a und 82b sperrt. Der im Decoder 80 decodierte Zählwert des Zählers 79 wird somit noch nicht an den Ausgang des Impulsdauer-Decoders 69 weitergeleitet, da der Zählwert des Zählers 79 vor Beendigung des Zählvorganges noch nicht der gesuchten Impulsdauer entspricht.

«Offset»-Impulse sind Impulspaare, die aus je einem positiv- und einem negativwertigen Impuls bestehen, die bei einem abwesenden Magnetfeld, d.h. bei einem abwesenden Phasen-Laststrom i_R bzw. i_S bzw. i_T , in der zur betreffenden Phase gehörenden Messeinheit 21 erzeugt werden können. In dem dem Impulsdauer-Decoder 69 nachgeschalteten digitalen Tiefpassfilter 70 werden die in der betreffenden Phase vorhandenen «Offset»-Impulse eliminiert, d.h. zwei aufeinanderfolgende Impulse müssen zu einer gleichen positiven bzw. negativen Energierichtung gehören, damit sie an den Ausgang des Tiefpassfilters 70 weitergeleitet werden. Ein einzelner Impuls für eine bestimmte Energierichtung gilt als «Offset»-Impuls und wird unterdrückt. Das Tiefpassfilter 70 wird vom Taktsignal CL1 und vom Rückstellsignal rst gespeist.

Die Anordnung 71 enthält ein Oder-Gatter 83, eine Rückstell-Anordnung 84, einen Zähler 85, ein Nand-Gatter 86 und ein Flip Flop 87. Der Zähler 85 ist ein 16- oder 32-Sekundenzähler. Die beiden Ausgänge des Tiefpassfilters 70 sind auf je einen von zwei Eingängen des Gatters 83 geführt, dessen Ausgang mit einem Eingang der Anordnung 84 und einem ersten Eingang des Gatters 86 verbunden ist. Ein Ausgang der Anordnung 84 ist auf einen Rückstelleingang RS des Zählers 85 geführt. Ein Takteingang der Anordnung 84 wird vom Taktsignal CL1 und derjenige des Zählers 85 vom Taktsignal

CL4 (1 Hz) gespeist. Der Steuereingang ST3 ist auf einen Umschalteingang des Zählers 85 geführt. Ein an ihm anstehender Logikwert «Eins» oder «Null» nimmt ein erstes Zähl-Flip Flop des Zählers 85 in oder ausser Betrieb, so dass der Zähler 85 entweder sechzehn oder zweiunddreissig Ein-Sekunden-Perioden des Taktsignals CL4 zählt. Die Werte «Sechzehn» bzw. «Zweiunddreissig» Sekunden sind somit mit Hilfe des Steuereingangs ST3 programmierbar. Ein nichtinvertierender serieller Ausgang Q des Zählers 85 ist mit einem z.B. D-Eingang des Flip Flops 87 verbunden, während sein invertierender serieller Ausgang mit seinem seriellen Eingang und mit dem zweiten Eingang des Gatters 86 verbunden ist, dessen Ausgang auf einen Rückstalleingang RS des Flip Flops 87 geführt ist. Der Takteingang des letzteren wird vom Taktsignal CL1 gespeist. Ein invertierender Ausgang des Flip Flops 87 ist mit dem ersten Eingang der Gatter 74 und 75 verbunden, deren zweite Eingänge jeweils von einem der beide Ausgänge des Tiefpassfilters 70 angesteuert werden. Ein nichtinvertierender Ausgang Q des Flip Flops 87 bildet den Ausgang CR der Anordnung 53, während die Ausgänge der beiden Gatter 74 und 75 die beiden Ausgänge der Anordnung 53 bilden, an denen die Signale MPOS und MNEG anstehen. Die Anordnung 71 kann mit dem Rückstellsignal rst auf Null zurückgestellt werden. Ausgänge des Tiefpassfilters 70 und damit des Impulsdauer-Decoders 69 sind somit über die Freigabeanordnung 74; 75 mit Ausgängen der Signalauswerte-Anordnung 53 verbunden, wobei die Freigabeanordnung 74; 75 von einem Ausgang der Leerlaufunterdrückungs-Anordnung 71 gesteuert ist.

Ein Leerlauf entspricht einem Zustand des Multifunktionszählers, in dem kein Unterschied mehr zwischen einem gültigen Signal und einem Störsignal, z.B. Rauschen, feststellbar ist. Die Leerlaufunterdrückungs-Anordnung 71 ermittelt, ob während einem vorgegebenen programmierten Zeitwert, z.B. während 16 oder 32 Sekunden, keine Impulse am Ausgang des Tiefpassfilters 70 bzw. am Ausgang des Impulsdauer-Decoders 69 erschienen sind. Die Ausgangssignale des letzteren erreichen dann solange nicht mehr einen zugehörigen Ausgang der Anordnung 53, bis dass der zeitliche Abstand zwischen zwei zeitlich aufeinanderfolgenden Impulsen wieder kleiner als der vorgegebene programmierte Zeitwert ist. Die Anordnung 71 ermittelt also, ob während 16 oder 32 Sekunden weder positiv- noch negativwertige Impulse am Ausgang des Tiefpassfilters 70 erschienen sind. Wenn dies der Fall ist, sperrt ein am invertierenden Ausgang des Flip Flops 87 erscheinender Logikwert «Null» die beiden Gatter 74 und 75, so dass die Ausgangssignale des Tiefpassfilters 70 solange nicht mehr den zugehörigen Ausgang der Anordnung 53 erreichen, bis dass der zeitliche Abstand zwischen zwei aufeinanderfolgenden Impulsen wieder kleiner als der programmierte Zeitwert «Sechzehn» bzw. «Zweiunddreissig» Sekunden ist. Ausserdem erscheint ein Logikwert «Eins» am Ausgang CR der Anordnung 53 als Zeichen, dass ein Leerlauf vorliegt. Dieser Logikwert «Eins» wird in der Anordnung 22 als Leerlauf-Signal CR1 bzw. CR2 bzw. CR3 je einem

Eingang des Nand-Gatters 59 zugeführt, dessen Ausgangssignal TCR das Gatter 67 sperrt, wenn alle drei Phasen einen Leerlauf aufweisen (siehe Fig. 3). Der Mikrocomputer 26 seinerseits erhält keine Information über den Status des Leerlaufes bzw. der Leerlaufunterdrückung.

Bei jedem Impuls der an einem der beiden Ausgänge des Tiefpassfilters 70 erscheint, wird in der Anordnung 84 ein kurze Impulslücke erzeugt, welche den Zähler 85 jeweils kurz auf Null zurückstellt, damit dieser anschliessend, jeweils bei Null beginnend, die bis zum nächsten Impuls verstreichende Zeit durch Zählung der Impulse des Taktsignals CL4 ermitteln kann. Erscheint ein nächster Impuls bevor der Zähler 85 den Zählwert «Sechzehn» bzw. «Zweiunddreissig» erreicht hat, dann stellt er über das Gatter 86 das Flip Flop 87 auf Null zurück, falls dieses nicht bereits auf Null zurückgestellt war. Erreicht der Zähler 85 dagegen den Zählwert «Sechzehn» bzw. «Zweiunddreissig», wird das Gatter 86 gesperrt und ein Logikwert «Eins» mit der nächsten steigenden Flanke des Taktsignals CL1 in das Flip Flop 87 geladen, was am Ausgang CR der Anordnung 53 einen Logikwert «Eins» ergibt als Zeichen, dass ein Leerlauf vorliegt. Gleichzeitig werden die Gatter 74 und 75 gesperrt. Der Zähler 85 kann nur mittels des Rückstellsignals rst auf Null zurückgestellt werden, worauf der nächste Impuls an einem der beiden Ausgänge des Tiefpassfilters 70 über die Gatter 83 und 86 das Flip Flop 87 auf Null zurückstellt.

Die Ausgangssignale der beiden Gatter 74 und 75 werden in der Anordnung 53 noch dem Frequenzteiler 73 zugeführt, wo ihre Frequenzen jeweils noch z.B. durch vier geteilt werden. Der Frequenzteiler 73 ist mittels des Rückstellsignals rst auf Null rückstellbar und sein Takteingang wird vom Taktsignal CL1 gespeist. Der Frequenzteiler 73 ist vorzugsweise ein 3Bit-Vorwärts/Rückwärts-Zähler, der gemäss dem in der Fig. 7 dargestellten Zustands-Diagramm arbeitet. Da auch bei Energiebezug kurzzeitig negative Energiewerte auftreten können und erst ein Mittelwert, z.B. über vier Impulse, etwas über die Energierichtung aussagt, arbeitet der Frequenzteiler 73 auch als Tiefpassfilter. Wechseln sich nämlich z.B. positiv- und negativwertige Impulse kontinuierlich ab und erscheinen nie mehr als drei Impulse der gleichen Art, wird nie ein Impuls am Ausgang des Frequenzteilers 73 erscheinen. Die Impulse am Ausgang des letzteren besitzen einen viermal grösseren Energiewert als die Impulse an seinem Eingang. Kommen also nur Impulse einer einzigen Energierichtung, braucht es vier Impulse am Eingang, um einen Impuls am Ausgang des Frequenzteilers 73 zu erzeugen.

Eingänge des Energierückwärts-Detektors 72 sind über den Frequenzteiler 73 an den Ausgängen der Freigabeanordnung 74; 75 und damit auch an den Ausgängen der Anordnung 53 angeschlossen. Der Energierückwärts-Detektor 72 dient zur Ermittlung, ob über eine vorgegebene Zeit Impulse an den Ausgängen der Anordnung 53 erschienen sind, die ausschliesslich zu einer negativen Energieflussrichtung gehören.

Der Energierückwärts-Detektor 72 enthält ein

Und-Gatter 88, zwei Nor-Gatter 89 und 90, einen Frequenzteiler 91 und ein Flip Flop 92. Das Taktsignal CL1 speist die Takteingänge des Flip Flops 92 und des Frequenzteilers 91. Das Frequenzteil-Verhältnis des letzteren kann mittels eines am Steuerungseingang ST3 anstehenden Logikwertes «Eins» oder «Null» auf den Wert «Acht» bzw. «Sechszehn» programmiert werden, indem im Frequenzteiler 91 ein zusätzliches Zähl-Flip Flop in oder ausser Betrieb genommen wird. Nur die zu negativen Energiewerten gehörenden Ausgangsimpulse des Frequenzteilers 73 werden einem Eingang des Frequenzteilers 91 zugeführt und ihre Frequenz dort durch «Acht» bzw. «Sechszehn» geteilt. Der Ausgang des Frequenzteilers 91 ist mit einem Eingang des Flip Flops 92 verbunden, während sein Rückstelleingang RS vom Ausgang des Gatters 89 angesteuert wird. Der Rückstelleingang RS des Flip Flops 92 wird vom Ausgang des Gatters 90 angesteuert. Der Q-Ausgang des Flip Flops 92 bildet den Ausgang RR der Anordnung 53 und ist gleichzeitig mit je einem ersten Eingang der Gatter 88 und 89 verbunden. Das von der Anordnung 25 gelieferte Rückstellsignal rstRR (siehe Fig. 1) ist auf einen zweiten Eingang des Gatters 88 geführt, dessen Ausgang mit einem ersten Eingang des Gatters 90 verbunden ist. Das Rückstellsignal rst speist je einen zweiten Eingang der Gatter 89 und 90. Die zu positiven Energiewerten gehörenden Ausgangsimpulse des Frequenzteilers 73 sind auf einen dritten Eingang des Gatters 89 geführt.

Rückwärtsenergie liegt vor, wenn über eine bestimmte Zeit nur negative Energiewerte gemessen werden und z.B. für total 1 Wh negativwertige Energie ermittelt wird, was acht bzw. sechszehn Impulsen am Eingang des Energierückwärts-Detektors 72 entspricht. Treten somit dort nacheinander, ohne dazwischenliegende positivwertige Impulse, acht bzw. sechszehn negativwertige Impulse auf, wird deren Frequenz im Frequenzteiler 91 durch acht bzw. sechszehn geteilt, d.h. nach acht bzw. sechszehn solcher Impulse erscheint ein Logikwert «Eins» am seriellen Ausgang des Frequenzteilers 91. Der Logikwert «Eins» wird anschliessend im Flip Flop 92 gespeichert, wo er am Q-Ausgang und damit auch am Ausgang RR der Anordnung 53 erscheint, als Zeichen, dass Rückwärtsenergieerichtung vorliegt. Gleichzeitig wird der Frequenzteiler 91 über das Gatter 89 auf Null zurückgestellt und das Gatter 88 für das Rückstellsignal rstRR freigegeben. Erscheint zwischendurch, bevor ein Logikwert «Eins» den seriellen Ausgang des Frequenzteilers 91 erreicht, am Ausgang des Frequenzteilers 73 ein positivwertiger Impuls, dann stellt dieser den Frequenzteiler 91 über das Gatter 89 auf Null zurück, so dass dieser bei der Frequenzteilung erneut bei Null beginnt. Das Rückstellsignal rst stellt den Frequenzteiler 91 und das Flip Flop 92 über die Gatter 89 und 90 zurück.

Das Ausgangssignal RRST des Oder-Gatters 58 (siehe Fig. 3) nimmt einen Logikwert «Eins» an, wenn mindestens in einer Phase Rückwärtsenergie gemessen wurde. Sein Informationsinhalt wird in das höchstwertigste Bit des Registers 115 sowie verzögert in das höchstwertigste Bit des Schiebereg-

isters 120 übernommen (siehe Fig. 5), um anschliessend über die Busverbindung SPI1 zum Mikrocomputer 26 übertragen zu werden (siehe Fig. 1). Der letztere stellt nach einer jeden solchen Auslesung, in der der Status des Ausgangssignals RRST «Eins» war, über die Busverbindung SPI1 und ein Und-Gatter 114 (siehe Fig. 5) mit Hilfe des Ausgangssignals rstRR des letzteren in jeder Anordnung 53 das Flip Flop 92 (siehe Fig. 4) auf Null zurück. Nach dieser Rückstellung wird der Frequenzteiler 91 wieder freigegeben. Liest der Mikrocomputer 26 dagegen einen Status «Null» des Ausgangssignals RRST, dann erfolgt keine Zurückstellung des Flip Flops 92. In allen drei Phasen kann eine Rückwärtsenergiemessung vorliegen, der Mikrocomputer 26 kann jedoch nicht feststellen, in welcher der Phasen die Rückwärtsenergiemessung vorliegt.

Die in der Fig. 5 dargestellte Fehlerermittlungs-Anordnung 25 enthält zwei Dreiphasen-Spannungsteiler 93 und 94, sechs Schmitt-Trigger 95 bis 100, zwei Zeitfenster-Anordnungen 101 und 102, drei Ereignisdetektoren 103 bis 105, einen einpoligen Schalter 106 bzw. 107 bzw. 108 pro Phase, eine Steuerelektronik 109, fakultativ eine Zweiphasenausfall-Anzeigeordnung 110, drei Ereigniszähler 111 bis 113, ein Und-Gatter 114, ein Register 115, einen Verstärker 116, ein Tiefpassfilter 117, einen Wandler 118, einen Inverter 119, ein Schieberegister 120 und einen Treiber 121.

Innerhalb der Anordnung 25 sind die vier vom Energieversorgungsnetz über die Überspannungsschutzanordnung 23 (siehe Fig. 1) gespeisten Speiseingänge R2, S2, T2 und N2 mit je einem getrennten Eingang sowohl des Dreiphasen-Spannungsteilers 93 als auch des Dreiphasen-Spannungsteilers 94 verbunden. Jeder Dreiphasen-Spannungsteiler 93 und 94 enthält z.B. einen aus zwei Widerständen bestehenden Spannungsteiler pro Phase und damit auch je einen Ausgang pro Phase. Er teilt jeweils die relativ hohe Phasenspannung von z.B. 220 Volt oder 110 Volt des Energieversorgungsnetzes herunter auf einen in elektronischen Geräten üblichen Spannungswert.

Die drei Ausgänge des Dreiphasen-Spannungsteilers 94 sind über je einen der Schmitt-Trigger 95 bis 97 mit je einem getrennten Eingang der Zeitfenster-Anordnung 101 sowie über je einen der Schmitt-Trigger 98 bis 100 mit je einem getrennten Eingang der Zeitfenster-Anordnung 102 verbunden. Die Anordnungen 101 und 102 besitzen je einen Ausgang pro Phase. Der Schmitt-Trigger 95 bzw. 96 bzw. 97 erzeugt jeweils an seinem Ausgang einen Logikwert «Eins», wenn er für die ihm zugehörige Phasenspannung eine Unterspannung detektiert, d.h. feststellt, dass diese einen bestimmten Wert, z.B. 90% der Nennspannung, unterschreitet. Desgleichen erzeugt der Schmitt-Trigger 98 bzw. 99 bzw. 100 jeweils an seinem Ausgang einen Logikwert «Eins», wenn er für die ihm zugehörige Phasenspannung eine Überspannung detektiert, d.h. feststellt, dass diese einen bestimmten Wert, z.B. 110% der Nennspannung, überschreitet.

Die drei Ausgänge der Zeitfenster-Anordnung 101 sind mit je einem getrennten Eingang des Er-

eignisdetektors 103 verbunden, während die drei Ausgänge der Zeitfenster-Anordnung 102 mit je einem getrennten Eingang des Ereignisdetektors 104 verbunden sind. Die Ereignisdetektoren 103 und 104 besitzen ebenfalls einen Ausgang pro Phase. Wenn die Unterspannung bzw. Überspannung für eine bestimmte Phase länger als 500 ms andauert, wird der zugehörige, am Ausgang des betreffenden Schmitt-Triggers anstehende Logikwert Eins in dem betreffenden Ereignisdetektor 103 bzw. 104 gespeichert. Zu diesem Zweck werden die Ausgangssignale der sechs Schmitt-Trigger 95 bis 100 in der Zeitfenster-Anordnung 101 bzw. 102 alle 30 μ s abgetastet und, wenn ein Logikwert Eins einmal in einem 31,25 ms dauernden Zeitfenster erscheint, als stattgefundenes Ereignis in der zugehörigen Zeitfenster-Anordnung 101 bzw. 102 übernommen. Wenn das betreffende Ereignis 16mal hintereinander auftritt, d.h. wenn das Ereignis kontinuierlich während 500 ms vorhanden ist, dann wird an zugehöriger Stelle im betreffenden Ereignisdetektor 103 bzw. 104, der das hintereinanderfolgende Auftreten des Ereignisses zählt, ein Logikwert Eins gespeichert als Zeichen, dass eine Unterspannung bzw. Überspannung der betreffenden Phase während 500 ms aufgetreten ist. Dieses genügend lange Auftreten einer Unter- bzw. Überspannung wird für jede Phase getrennt jeweils im Ereigniszähler 111 bzw. 112 gezählt. Zu diesem Zweck sind die drei Ausgänge des Ereignisdetektors 103 bzw. 104 auf je einen getrennten Eingang des Ereigniszählers 111 bzw. 112 geführt. Ausserdem sind die drei Ausgänge des Ereignisdetektors 103 noch mit je einem getrennten Eingang der Steuerelektronik 109 und, falls vorhanden, der Zweiphasenausfall-Anzeigeanordnung 110 verbunden. Letztere ermittelt und zeigt eine genügend lange dauernde Unterspannung in zwei Phasen an. Derjenige Eingang der Anordnung 25, an dem das vom Mikrocomputer 26 herrührende Signal CYC ansteht, ist mit einem weiteren Eingang der Anordnung 109 verbunden, während drei Steuerausgänge der letzteren jeweils mit einem Steuereingang einer der drei Schalter 106 bzw. 107 bzw. 108 verbunden ist.

Die drei Ausgänge des Dreiphasen-Spannungsteilers 93, an denen jeweils ein Signal RCIN1 bzw. RCIN2 bzw. RCIN3 ansteht, sind über je einen der drei Schalter 106 bzw. 107 bzw. 108 mit dem Signalausgang RCOUT der Anordnung 25 sowie mit einem Eingang des Verstärkers 116 verbunden. Der letztere, das Tiefpassfilter 117 und der Wandler 118 sind in der angegebenen Reihenfolge in Reihe geschaltet. Der Wandler 118 ist z.B. ein Komparator oder ein Nulldetektor. Der Ausgang des Wandlers 118 bildet den Synchronisier-Ausgang SYNC der Anordnung 25. Die Steuerelektronik 109 steuert die Schalter 106 bis 108 so, dass nur ein einziger dieser Schalter 106 bzw. 107 bzw. 108 geschlossen ist und zwar ein solcher, der zu einer Phase des Energieversorgungsnetzes gehört, die keine 500 ms dauernde Unterspannung aufweist. Demnach ist im Betrieb am Synchronisier-Ausgang SYNC der Anordnung 25 und am Eingang des Verstärkers 116 immer eine im Dreiphasen-Spannungsteiler 93 reduzierte Phasenspannung des Energieversorgungs-

netzes vorhanden, die keine 500 ms dauernde Unterspannung aufweist. Diese sinusförmige Phasenspannung wird im Verstärker 116 verstärkt, im Tiefpassfilter 117 gefiltert und so von Störsignalen, wie Netzharmonischen und/oder Rundsteuersignalen, befreit, um im Wandler 118 in ein in Funktion der Zeit rechteckförmiges, digitales Signal umgewandelt zu werden, welches zur Synchronisierung des Mikrocomputers 26 und der Uhrenschialtung 27; 28; 29 verwendet wird. Bei mindestens einer angeschlossenen funktionsfähigen Phase dient somit deren z.B. 50Hz-Phasenspannung als Zeitbasis für den Mikrocomputer 26 und die Kalenderuhr 27.

Die Signalaufbereitungs-Anordnung 22 liefert der Anordnung 25 über die drei Eingänge E, F und G für jede Phase ein Phasenausfall-Signal PF1 bzw. PF2 bzw. PF3, sowie über den Eingang H das Signal RRST. Die drei Phasenausfall-Signale PF1, PF2 und PF3 werden auf zwei Arten behandelt. Einerseits werden sie drei getrennten Eingängen des Ereignisdetektors 105 zugeführt, der sie als Ereignisse detektiert, welche anschliessend im Ereigniszähler 113 gezählt werden, dessen drei Eingänge mit je einem getrennten Ausgang des Ereignisdetektors 105 verbunden sind. Andererseits werden die Logikwerte der drei Phasenausfall-Signale PF1, PF2 und PF3 sowie des Signals RRST in den vier höchstwertigsten Bits des Registers 115 zu Status-Zwecken gelesen.

Die Ereigniszähler 111, 112 und 113 sind z.B. 4Bit-Zähler und besitzen dann je vier Ausgänge. Diese Ausgänge der Ereigniszähler 111, 112 und 113 sowie die vier Eingänge E, F, G und H der Anordnung 25 sind in der angegebenen Reihenfolge, beim niederwertigsten Bit LSB beginnend und beim höchstwertigsten Bit MSB endend, mit je einem getrennten Eingang des Registers 115 verbunden, der ebensoviele, d.h. total sechszehn Ausgänge besitzt, welche ihrerseits auf je einen getrennten Parallelingang des Schieberegisters 120 geführt sind, in dem somit sechszehn Bits 0 bis 15 gespeichert werden. Im Register 115 werden die entsprechenden Bits der Ereigniszähler 111 bis 113 sowie der Signale PF1, PF2, PF3 und RRST gespeichert, wenn dieses z.B. mittels eines an einem Freigabeeingang EN des Registers 115 anstehenden Logikwertes «Eins» verlangt wird.

Die bidirektionale Busverbindung SPI1 besitzt vier Leiter. Über drei dieser Leiter speist der Mikrocomputer 26 die Anordnung 25 mit je einem von drei Signalen CEB («chip enable»), SCK («system clock») und MOSI («master out, slave in»), während die Anordnung 25 über den vierten Leiter den Mikrocomputer 26 mit einem Signal MISO («master in, slave out») speist. Der Mikrocomputer 26 wählt als Master-Computer mit Hilfe des Signals CEB die Anordnung 25 und liefert der letzteren das Taktsignal SCK.

Das Signal CEB ist ein Freigabesignal und speist den Freigabeeingang EN des Registers 115 und über den Inverter 119 einen Freigabeeingang des Treibers 121 sowie einen ersten Eingang des Und-Gatters 114. Ein zweiter Eingang des letzteren wird vom Signal RRST gespeist, während ein Ausgang des Und-Gatters 114 einen Ausgang J der Anord-

nung 25 bildet, an dem das Rückstellsignal rstRR ansteht. Das Signal SCK ist ein Taktsignal und auf einen Takteingang des Schieberegisters 120 geführt, während das Signal MOSI auf einen seriellen Signaleingang desselben geführt ist. Ein serieller Signalausgang des Schieberegisters 120 ist mit einem Eingang des Treibers 121 verbunden, an dessen Ausgang das Signal MISO ansteht. Das Schieberegister 120 wird mittels des Signals CEB im geeigneten Augenblick parallel mit dem Inhalt des Registers 115 geladen, damit der so im Schieberegister 120 gespeicherte Inhalt anschliessend zeitseriell Bit für Bit über den Treiber 121 und dem zugehörigen Leiter der bidirektionalen Busverbindung SPI1 als Signal MISO zum Mikrocomputer 26 übertragen werden kann. Umgekehrt können Informationsbits des letzteren zeitseriell Bit für Bit als Signal MOSI vom Mikrocomputer 26 über den zugehörigen Leiter der bidirektionalen Busverbindung SPI1 zur Anordnung 25 übertragen werden, wo sie mit Hilfe des Taktsignals SCK über den seriellen Eingang in das Schieberegister 120 geschoben und zwischengespeichert werden. In der Praxis wird das Signal MOSI allerdings nur zu Testzwecken verwendet.

Im Register 115 der Anordnung 25 sind somit für sämtliche Phasen das Vorhandensein oder Nichtvorhandensein von Über- und Unterspannungen sowie von Phasenausfall-Signalen PF1, PF2 und PF3, ein Zählwert der letzteren sowie ein Sammelresultat RRST einer Rückwärtsenergie-Detektion zwischengespeichert. Im Schieberegister 120 werden dann die im Register 115 zwischengespeicherten Informationen übernommen zwecks anschliessender zeitserieller Übertragung zum Mikrocomputer 26 über die Busverbindung SPI1. Die Mess-Signale MINP1, MINP2 und MINP3 der drei Messeinheiten 21 werden über je eine Eindrahtrverbindung von der betreffenden Messeinheit 21 zur Anordnung 22 übertragen (siehe Fig. 1). Diese Übertragung kann jedoch auch über eine normierte bidirektionale Busverbindung SPI4 erfolgen, die ähnlich aufgebaut ist wie die Busverbindung SPI1. Dies hat den Vorteil, dass die entsprechend abgeänderte Messeinheit, welche nachfolgend mit 221 bezeichnet wird, zusätzlich zu Energiemesswerten noch digitalisierte Momentanwerte des zugehörigen Phasen-Laststromes i_R bzw. i_S bzw. i_T und der zugehörigen Phasenspannung u_R bzw. u_S bzw. u_T liefern kann.

Die Anordnung 22 enthält in diesem Fall einen zusätzlichen Mikrocomputer 222, der als Master-Computer arbeitet, und die Messeinheiten 221 weisen zusätzlich zum Takteingang IRF je einen SCK-, einen MOSI-, einen BCIR- («bidirectional interrupt request») und einen SSB-Eingang («sensor select bar») auf sowie einen MISO-Ausgang. Der durch den Oszillator 51 und den Frequenzteiler 52 (siehe Fig. 3) gebildete Taktgenerator 51; 52 speist den Mikrocomputer 222 mit einem Taktsignal 223. Wenn mehrere Messeinheiten 221 vorhanden sind, dient der SSB-Eingang jeweils dazu, die betreffende Messeinheit 221 anzuwählen und deren MISO- und MOSI-Anschlüsse in Betrieb zu nehmen. Der BCIR-Eingang kann zu Startzwecken oder zu Unterbrechungszwecken («interrupt») verwendet werden.

Wie in der Fig. 8 dargestellt enthält jede Messeinheit 221 vorzugsweise fünf Register 224, 225, 226, 227 und 228, die in der angegebenen Reihenfolge hintereinander geschaltet sind, je ein Ausgangs-Schieberegister bilden und vorzugsweise je acht Bits aufweisen. Der serielle Ausgang des Registers 228 ist auf den MISO-Ausgang der betreffenden Messeinheit 221 geführt, während deren MOSI-Eingang mit einem seriellen Eingang eines Eingangs-Schieberegisters 229 verbunden ist, dessen serieller Ausgang auf einen seriellen Eingang des Registers 224 geführt ist. Ein Parallelausgang des Eingangs-Schieberegisters 229 ist mit einem Paralleleingang eines Registers 230 einer Steuerlogik 231 verbunden. Die beiden Register 229 und 230 besitzen vorzugsweise 4 Bits und dienen als seriell Programmier-Daten-Register SPDR bzw. als Modus-Register MREG. Im Register 228 werden z.B. ein gemessener Energiewert (5 Bits) und drei Flags (3 Bits) gespeichert. Die letzteren zeigen z.B. das Resultat einer Hall-Impedanz-Messung, einer Nullspannungs-Messung und einer Fehlerermittlung an. Im Register 227 wird z.B. das höchstwertigste und im Register 226 das niederwertigste Strom-Byte CMSB bzw. CLSB eines 16Bit-Abtastwertes eines zugehörigen Phasen-Laststromes i_R bzw. i_S bzw. i_T gespeichert. Im Register 225 wird z.B. das höchstwertigste und im Register 224 das niederwertigste Spannungs-Byte VMSB bzw. VLSB eines 16Bit-Abtastwertes einer zugehörigen Phasenspannung u_R bzw. u_S bzw. u_T gespeichert.

Die SCK-Eingänge der drei Messeinheiten 221 sind miteinander verbunden und werden über einen ersten Leiter der bidirektionalen Busverbindung SPI4 vom Mikrocomputer 222 mit einem gleichen Taktsignal SCK gespeist. Die MOSI-Eingänge der drei Messeinheiten 221 sind miteinander verbunden und werden über einen zweiten Leiter der bidirektionalen Busverbindung SPI4 vom Mikrocomputer 222 mit einem gleichen Signal MOSI gespeist. Die MISO-Ausgänge der drei Messeinheiten 221 sind miteinander verbunden und speisen über einen dritten Leiter der bidirektionalen Busverbindung SPI4 den Mikrocomputer 222 mit einem gleichen Signal MISO. Der SSB-Eingang der drei Messeinheiten 221 ist mit je einem getrennten Ausgang SSB1 bzw. SSB2 bzw. SSB3 des Mikrocomputers 222 verbunden.

Die Messeinheiten 221 besitzen zwei Operations-Modi, welche jeweils im Modus-Register 230 gespeichert sind. Im ersten Modus werden die Informationen mit einer vorgegebenen Taktfrequenz von einer Messeinheit 221 zum Mikrocomputer 222 übertragen. Im zweiten Modus fragt der Mikrocomputer 222 die Informationen mit seiner eigenen Taktfrequenz ab und eine Messeinheit 221 gibt ihre Informationen nur auf Anfrage des Mikrocomputers 222 ab. Im ersten, in der Fig. 9 dargestellten Modus sind die Takteingänge IRF der drei Messeinheiten 221 miteinander verbunden und werden vom Taktgenerator 51; 52 mit dem gleichen Referenz-Taktsignal FREF gespeist. Zusätzlich sind die BCIR-Eingänge der drei Messeinheiten 221 miteinander und mit einem Anschluss INT des Mikrocomputers 222 verbunden. Im zweiten, in der Fig. 10

seinheiten 221 von drei getrennten Ausgängen des Taktgenerators 51; 52 mit einer gleichen Taktfrequenz gespeist und der BCIR-Eingang der drei Messeinheiten 221 ist mit je einem getrennten Ausgang SC1 bzw. SC2 bzw. SC3 des Mikrocomputers 222 verbunden.

Patentansprüche

1. Multifunktionszähler mit einem Elektrizitätszähler (20; 21; 22), der für jede Phase eine zu der betreffenden Phase gehörige Messeinheit (21) aufweist, deren Ausgangsimpulse eine Frequenz (f_R , f_S , f_T) besitzen, die jeweils proportional einem in der betreffenden Phase durch die zugehörige Messeinheit (21) gemessenen Leistungswert ($u_R \cdot i_R$, $u_S \cdot i_S$, $u_T \cdot i_T$) ist, dadurch gekennzeichnet, dass für jede Phase sowohl eine Information bezüglich einer ermittelten Energieflussrichtung als auch eine Information bezüglich eines Vorhandenseins eines Phasenausfalls in der Dauer der Ausgangsimpulse der zugehörigen Messeinheit (21) enthalten ist, wobei jeweils ein Phasenausfall vorliegt, wenn die zugehörige Messeinheit (21) für die betreffende Phase keinen Nulldurchgang der zugehörigen Phasenspannung (u_R , u_S , u_T) detektieren kann, und dass in jeder Phase der zugehörigen Messeinheit (21) eine der betreffenden Phase zugehörige Signalauswerte-Anordnung (53) nachgeschaltet ist, an deren Eingang einen Impulsdauer-Decoder (69) angeordnet ist einerseits zwecks Trennung der zu unterschiedlichen Energieflussrichtungen gehörenden Impulse und andererseits zwecks Sperrung der letzteren Impulse und Erzeugung einer Phasenausfall-Anzeige, wenn ein Phasenausfall vorhanden ist.

2. Multifunktionszähler nach Anspruch 1, dadurch gekennzeichnet, dass Ausgänge des Impulsdauer-Decoders (69) über eine Freigabeanordnung (74; 75) mit dem Ausgang der Signalauswerte-Anordnung (53) verbunden sind, wobei die Freigabeanordnung (74; 75) von einem Ausgang einer Leerlaufunterdrückungs-Anordnung (71) gesteuert ist, welche ermittelt, ob während einem vorgegebenen programmierten Zeitwert keine Impulse an Ausgängen des Impulsdauer-Decoders (69) erschienen sind, und dass Ausgangssignale des letzteren solange nicht mehr einen zugehörigen Ausgang der Signalauswerte-Anordnung (53) erreichen, bis dass der zeitliche Abstand zwischen zwei zeitlich aufeinanderfolgenden Impulsen wieder kleiner als der vorgegebene programmierte Zeitwert ist.

3. Multifunktionszähler nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass an den Ausgängen der Signalauswerte-Anordnung (53) Eingänge eines Energierückwärts-Detektors (72) angeschlossen sind zur Ermittlung, ob über eine vorgegebene Zeit Impulse an den Ausgängen der Signalauswerte-Anordnung (53) erschienen sind, die ausschliesslich zu einer negativen Energieflussrichtung gehören.

4. Multifunktionszähler nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, dass die zu unterschiedlichen Energieflussrichtungen gehörenden Ausgangsimpulse aller Signalauswerte-Anordnungen (53) zwecks Energie-Summierung je einem von zwei Zeitmultiplexern (54; 56 bzw. 54; 57) zu-

geführt werden, in denen sie zeitlich hintereinander geschaltet werden.

5. Multifunktionszähler nach Anspruch 4, dadurch gekennzeichnet, dass je ein Ausgang der beiden Zeitmultiplexer (54; 56 und 54; 57) mit einem getrennten Eingang eines Mikrocomputers (26) verbunden ist.

6. Multifunktionszähler nach Anspruch 5, dadurch gekennzeichnet, dass eine Fehlerermittlungs-Anordnung (25) vorhanden ist, in deren Register (115) für sämtliche Phasen das Vorhandensein oder Nichtvorhandensein von Über- und Unterspannungen sowie von Phasenausfall-Signalen (PF1, PF2, PF3), ein Zählwert der letzteren sowie ein Sammelresultat (RRST) einer Energierückwärts-Detektion zwischengespeichert sind, dass ein Schieberegister (120) vorhanden ist zur Übernahme der im Register (115) zwischengespeicherten Informationen zwecks anschliessender zeitserieller Übertragung über eine Busverbindung (SPI1) zum Mikrocomputer (26).

7. Multifunktionszähler nach Anspruch 5 oder 6, dadurch gekennzeichnet, dass mindestens eine Steuerzwecken dienende Eingangs-Anordnung (30) als Interfaceschaltung zwischen einem Buseingang (30a) des Multifunktionszählers und dem Mikrocomputer (26) angeordnet ist, wobei die Eingangs-Anordnung (30) unter anderem einer Tarifumschaltung dient.

8. Multifunktionszähler nach einem der Ansprüche 1 bis 7, dadurch gekennzeichnet, dass eine Kalenderuhr (27) vorhanden ist, die unter anderem einer Tarifumschaltung dient.

9. Multifunktionszähler nach einem der Ansprüche 1 bis 8, dadurch gekennzeichnet, dass ein Rundsteuerempfänger (RCR) vorhanden ist, dessen Rundsteuersignaleingang automatisch an eine der drei Phasen eines Energieversorgungsnetzes zugeschaltet wird, die keine Unterspannung aufweist.

10. Multifunktionszähler nach Anspruch 9, dadurch gekennzeichnet, dass der Rundsteuerempfänger (RCR) unter anderem einer Tarifumschaltung dient.

Fig.1

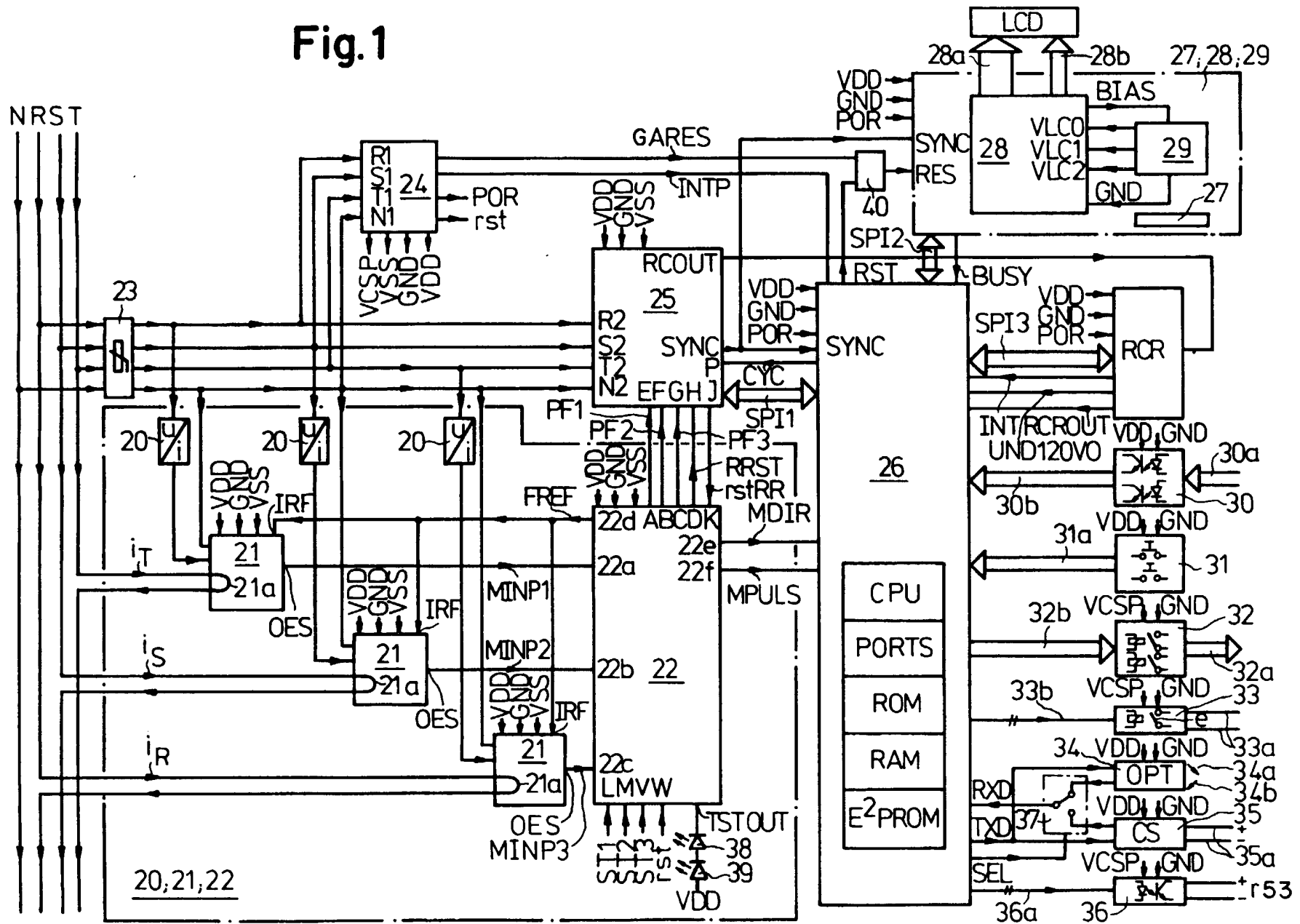


Fig. 2

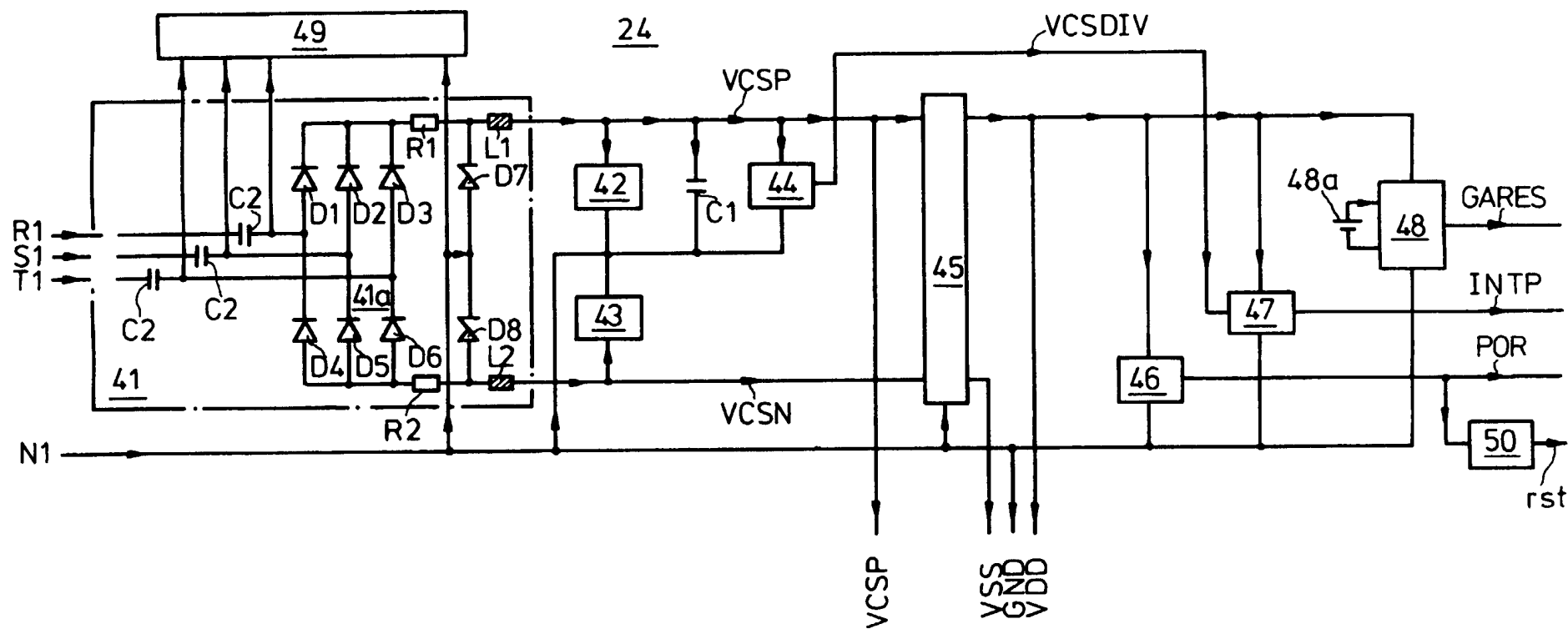
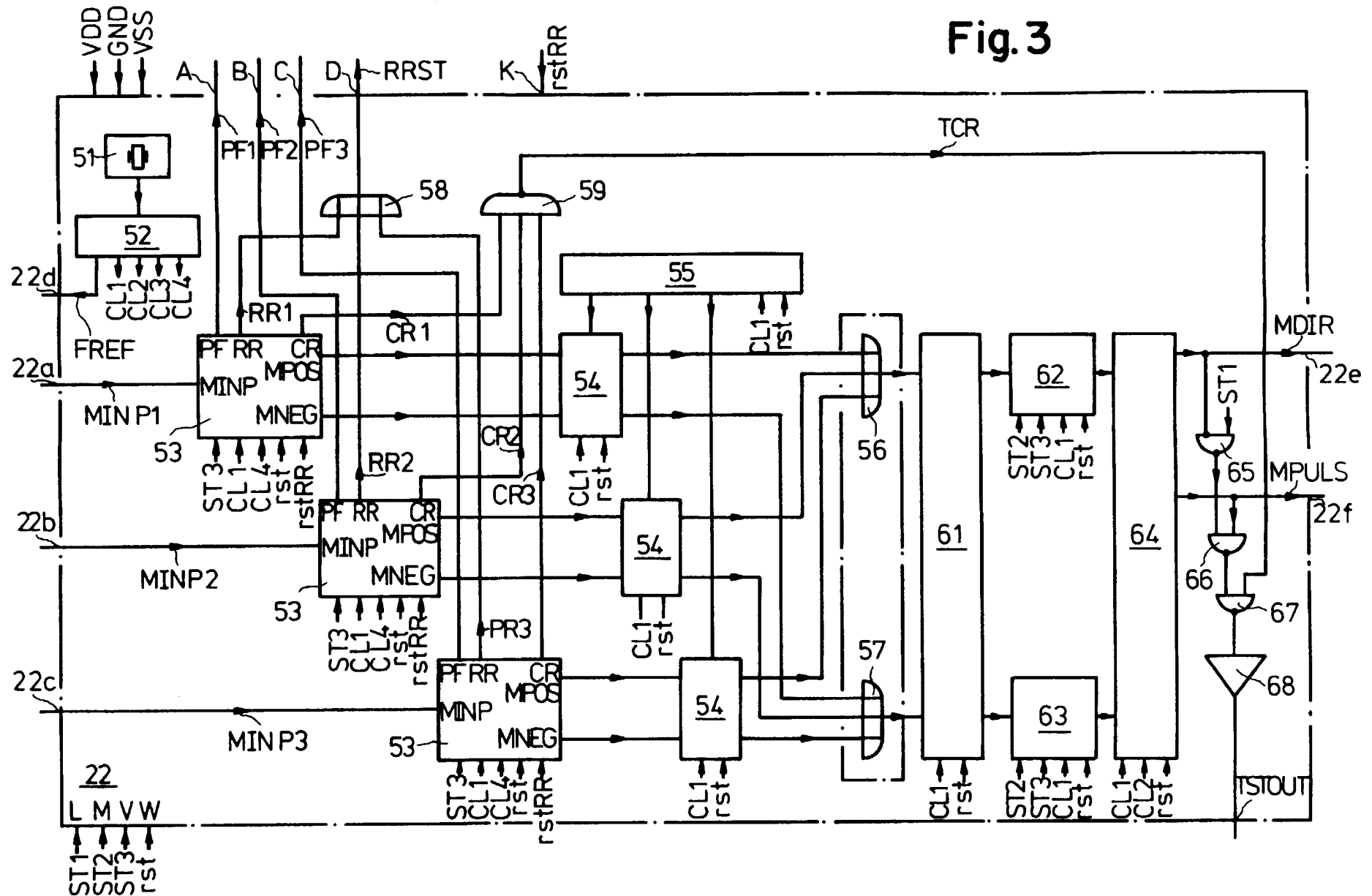


Fig. 3



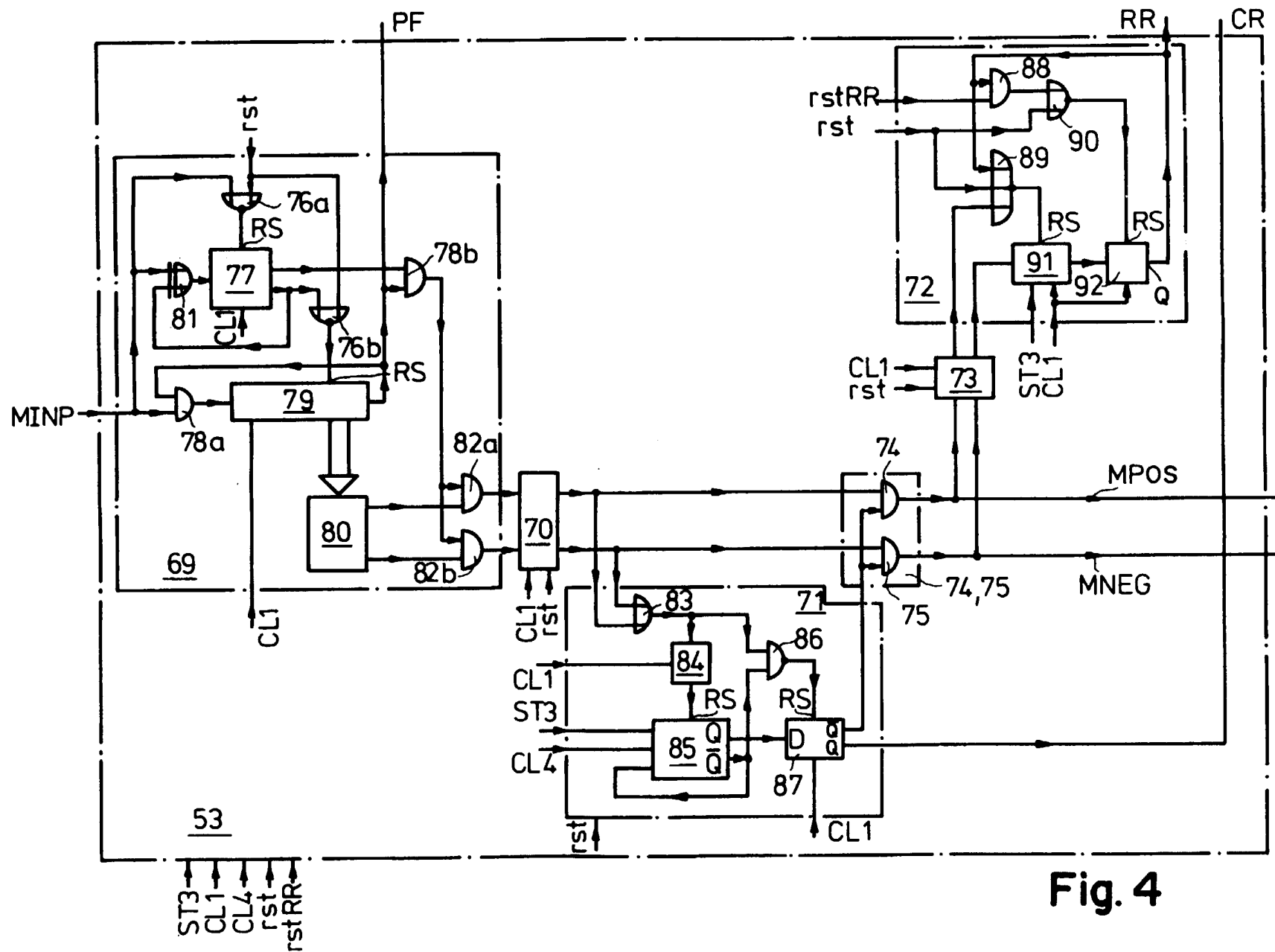


Fig. 4

Fig. 5

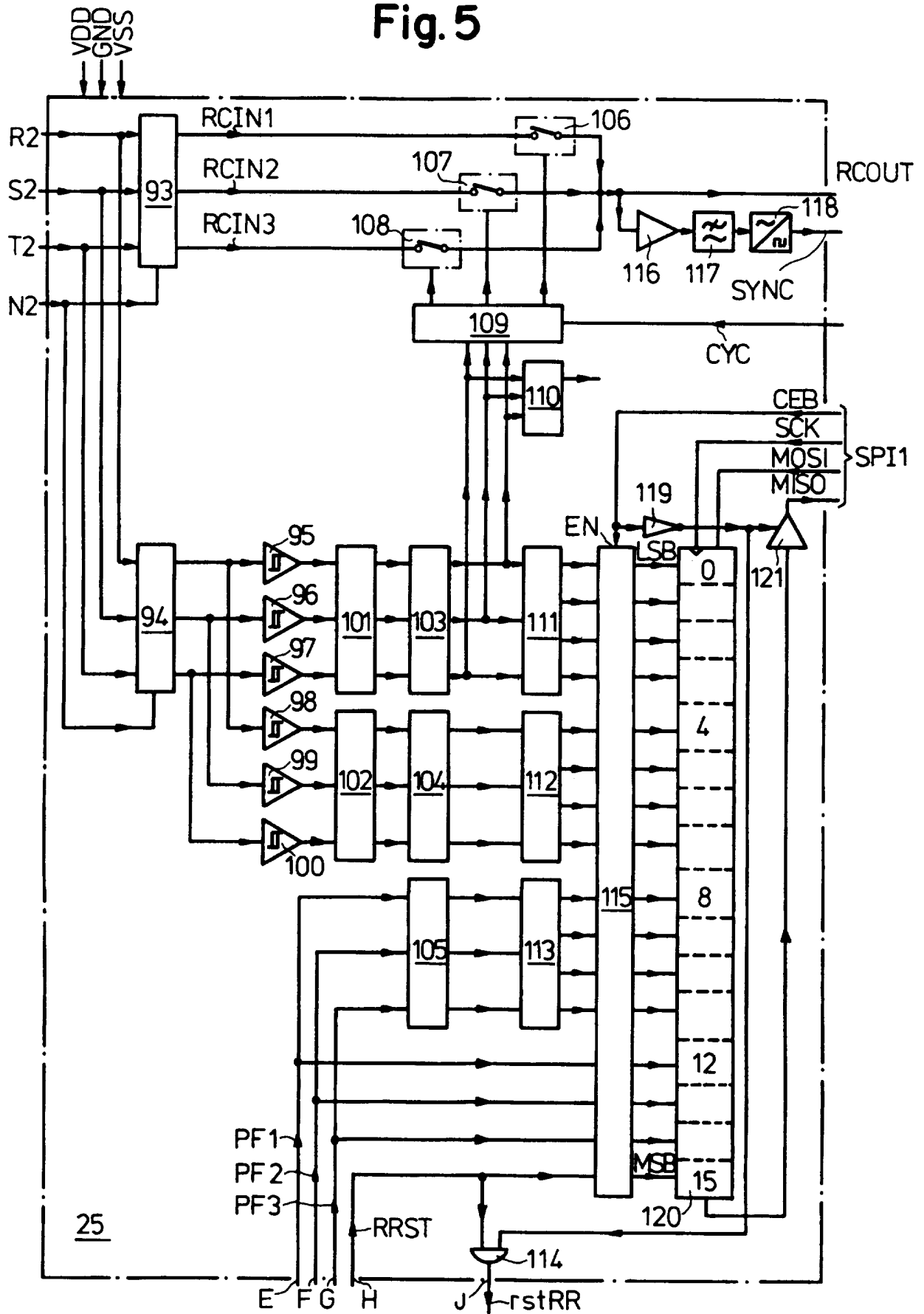


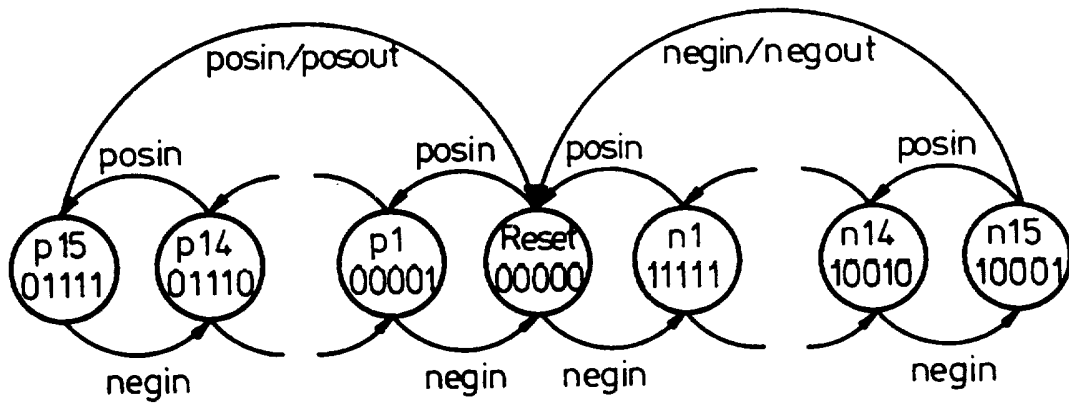
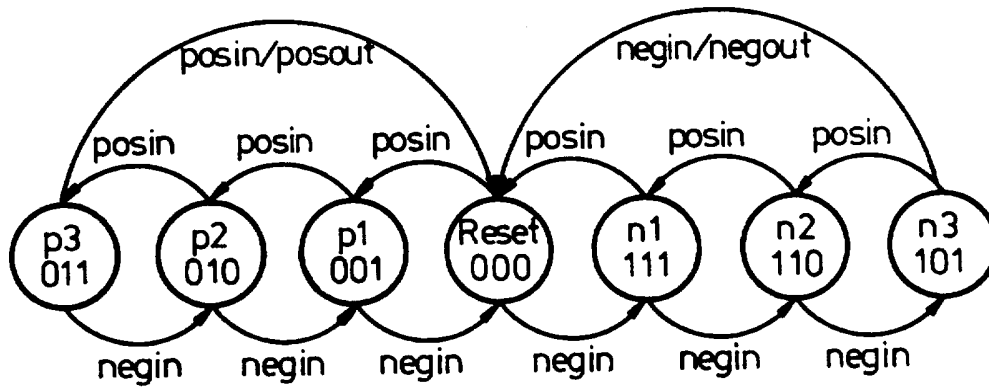
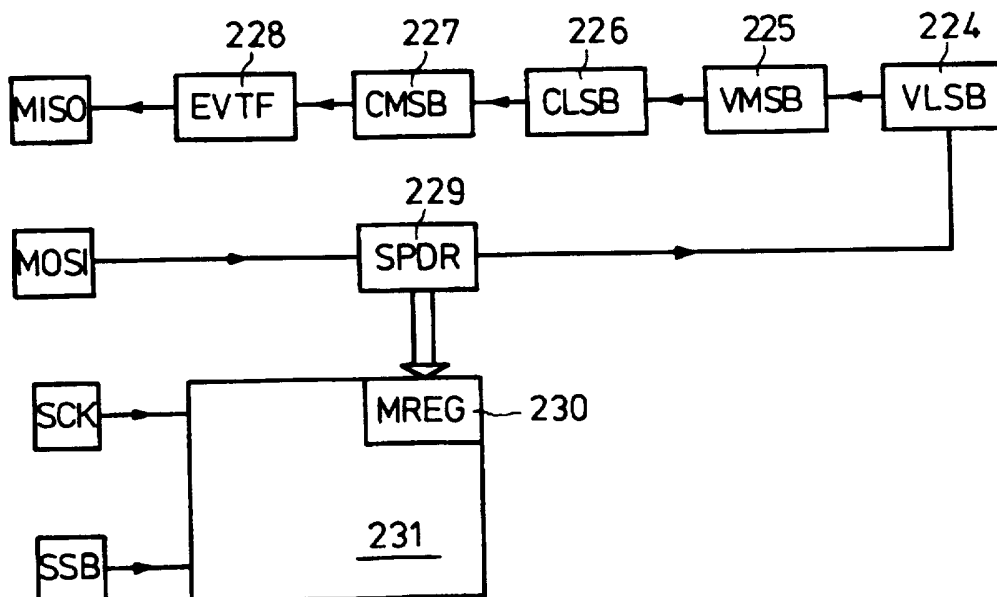
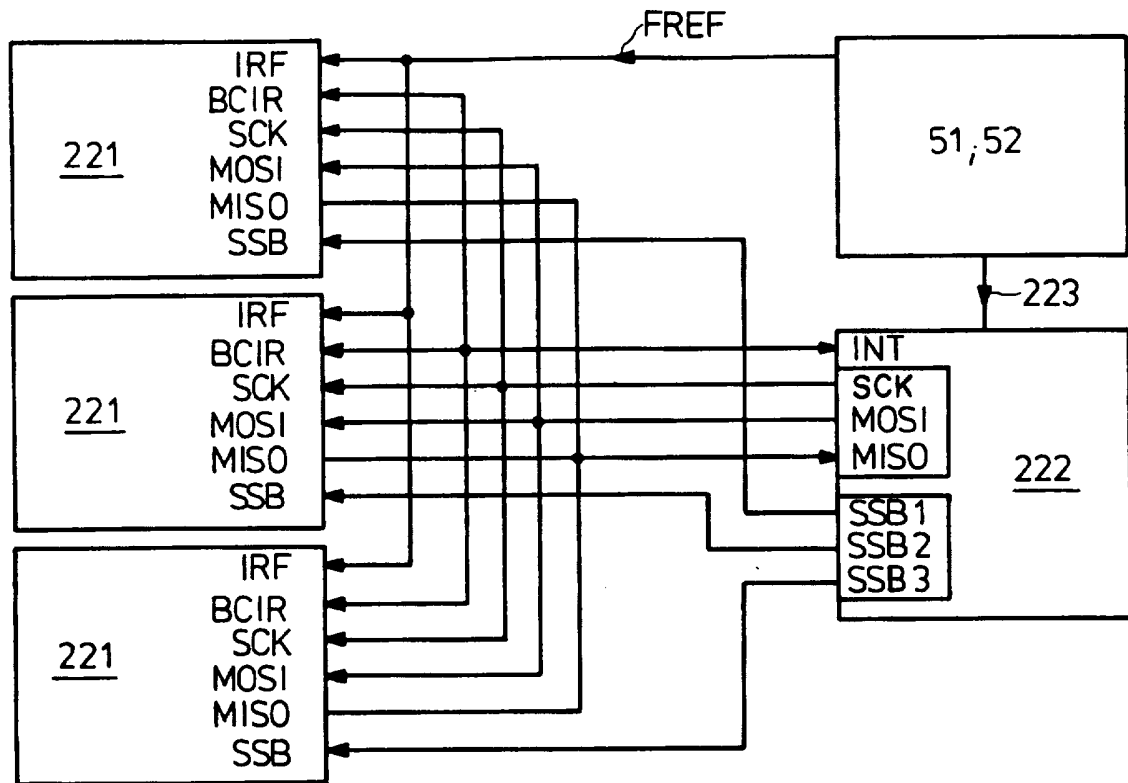
Fig.6**Fig.7****Fig. 8**

Fig. 9**Fig. 10**