(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월22일
(11) 등록번호 10-1320784
(24) 등록일자 2013년10월15일

(51) 국제특허분류(Int. Cl.)
H04N 5/3745 (2011.01) *H01L 27/146* (2006.01)
(21) 출원번호 10-2007-7027908
(22) 출원일자(국제) 2006년05월26일
심사청구일자 2011년05월26일
(85) 번역문제출일자 2007년11월29일
(65) 공개번호 10-2008-0009737
(43) 공개일자 2008년01월29일
(86) 국제출원번호 PCT/US2006/020584
(87) 국제공개번호 WO 2006/130516
국제공개일자 2006년12월07일
(30) 우선권주장
11/432,573 2006년05월11일 미국(US)
60/686,103 2005년06월01일 미국(US)
(56) 선행기술조사문헌
JP2000078474 A*
JP10256521 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
옴니비전 테크놀러지즈 인코포레이티드
미국 캘리포니아 95054 산타 클라라 버튼 드라이브 4275
(72) 발명자
가이다쉬 로버트 마이클
미국 뉴욕주 14618 로체스터 앤틀러스 드라이브 460
케네이 티모시 조셉
미국 뉴욕주 14534 피츠포드 샌드파이퍼 레인 23
(74) 대리인
제일특허법인

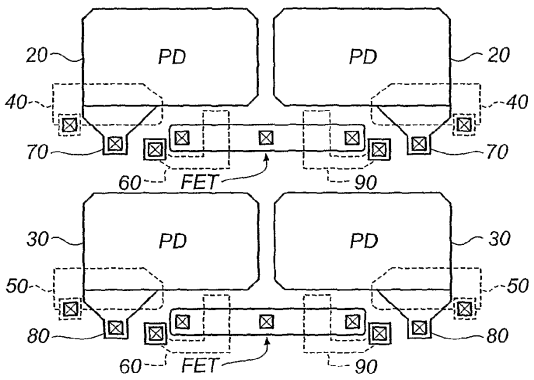
전체 청구항 수 : 총 8 항 심사관 : 김응권

(54) 발명의 명칭 **이미지 센서 및 이를 포함하는 디지털 카메라**

(57) 요 약

본 발명에 따르면 어레이로 배열된 복수의 광검출기(20,30) 및 광검출기에 의해 기능적으로 공유되는 복수의 트랜지스터(60,90)를 포함하되, 각 광검출기로부터 인접한 트랜지스터로의 거리가 실질적으로 동일한 이미지 센서가 제공된다.

대 표 도 - 도7



특허청구의 범위

청구항 1

이미지 센서로서,

(a) 어레이로 배열된 복수의 광검출기와,

(b) 상기 광검출기들에 의해 기능적으로 공유되는 복수의 트랜지스터를 포함하되,

각각의 상기 광검출기는 자신들의 사이에 균일한 피치(pitch)를 포함하고, 상기 트랜지스터들은 상기 광검출기들을 둘러싸는 영역 내에서 균일한 피치로 배치되어 하나의 광검출기 상의 임의의 지점과 하나의 트랜지스터 상의 임의의 지점 사이의 거리가 다른 광검출기와 다른 트랜지스터 상의 각각의 대응하는 지점들 사이의 거리와 동일한

이미지 센서.

청구항 2

제 1 항에 있어서,

상기 각각의 광검출기로부터 기능적으로 공유되는 복수의 트랜지스터까지의 거리는 동일한

이미지 센서.

청구항 3

제 1 항에 있어서,

각각의 트랜지스터에 인가되는 퍼텐셜(potential)은 동일한

이미지 센서.

청구항 4

제 2 항에 있어서,

각각의 트랜지스터에 인가되는 퍼텐셜은 동일한

이미지 센서.

청구항 5

삭제

청구항 6

이미지 센서를 포함하되,

상기 이미지 센서는,

(a) 어레이로 배열된 복수의 광검출기와,

(b) 상기 광검출기들에 의해 기능적으로 공유되는 복수의 트랜지스터를 포함하되,

각각의 상기 광검출기는 자신들의 사이에 균일한 피치를 포함하고, 상기 트랜지스터들은 상기 광검출기들을 둘러싸는 영역 내에서 균일한 피치로 배치되어 하나의 광검출기 상의 임의의 지점과 하나의 트랜지스터 상의 임의의 지점 사이의 거리가 다른 광검출기와 다른 트랜지스터 상의 각각의 대응하는 지점들 사이의 거리와 동일한

디지털 카메라.

청구항 7

제 6 항에 있어서,

상기 각각의 광검출기로부터 기능적으로 공유되는 복수의 트랜지스터까지의 거리는 동일한

디지털 카메라.

청구항 8

제 6 항에 있어서,

각각의 트랜지스터에 인가되는 퍼텐셜은 동일한

디지털 카메라.

청구항 9

제 7 항에 있어서,

각각의 트랜지스터에 인가되는 퍼텐셜은 동일한

디지털 카메라.

청구항 10

삭제

명 세 서

기 술 분 야

[0001] 본 발명은 전반적으로 증폭기를 공유하는 복수의 포토다이오드를 구비하는 CMOS 이미지 센서 분야에 관한 것으로, 보다 구체적으로는, 이미지 센서의 "유닛 셀(unit cell)" 내에서 각 포토다이오드로부터 실질적으로 동일한 거리에 위치하는 전계 효과 트랜지스터(FET)를 구비하는 CMOS 이미지 센서에 관한 것이다.

배 경 기 술

[0002] 도 1을 참조하면, 증폭기인 소스 폴로워 트랜지스터(source follower transistor) SF를 공유하는 두 개의 포토다이오드의 개략도가 도시되었다. 포토다이오드는 그들 각각의 전달 게이트(transfer gate)(TG1 및 TG2)를 통해 그들 각각의 플로팅 확산부(floating diffusion)(FD1 및 FD2)로 그들의 전하를 전달한다.

[0003] 도 2를 참조하면, 증폭기인 소스 폴로워(SF)를 공유하는 네 개의 포토다이오드(PD1, PD2, PD3, PD4)를 구비하는 전형적인 종래 기술의 이미지 센서의 개략도가 도시되었다. 도 1과 유사하게, 도 2의 동작은 자신들의 전하를 그들 각각의 전달 게이트(TG1, TG2, TG3, TG4)를 통해 그들 각각의 플로팅 확산부(FD1, FD2, FD3, FD4)로 전달하는 포토다이오드(PD1, PD2, PD3, PD4)를 포함한다.

[0004] 도 3 및 4를 참조하면, 도 1 및 2의 상면도가 각각 도시되었다. 이미지 센서는 복수의 포토다이오드 및 그들과 관련된 전계 효과 트래지스터(FET)를 포함하되, 이들 트랜지스터는 이미지 센서 유닛 셀 내에서 비대칭하게 배치되며 포토다이오드들로부터 서로 다른 거리에 배치된다. FET는 이미지 센서에서 증폭, 리셋(reset) 및 행 선택(row selection)과 같은 다양한 기능을 제공하는 역할을 한다. 도 1 및 2의 설계는 광학적 필 팩터(fill factor)를 최대화하지만, 각 포토다이오드를 둘러싸는 영역의 광학적, 정전기적 비대칭성 때문에 광학적 이득 고정 패턴 노이즈(fixed pattern noise)를 가질 수 있다.

[0005] 종래 기술의 이미지 센서가 만족스럽다고 해도, 이는 광학적 이득 고정 패턴 노이즈와 같은 단점을 포함한다. 따라서, 광학적 필 팩터를 최대화하는 한편 광학적 이득 고정 패턴 노이즈를 감소시켜야 할 필요성이 존재한다.

발명의 상세한 설명

[0006] 본 발명은 전술된 하나 또는 그 이상의 문제점을 극복하기 위한 것이다. 간략하게 요약하자면, 본 발명의 일 측

면에 따르면, 본 발명은 어레이로 배열된 복수의 광검출기와 광검출기에 의해 기능적으로 공유되는 복수의 FET를 포함하며, 각 광검출기로부터 인접한 FET까지의 거리는 실질적으로 동일한 이미지 센서에 관한 것이다.

[0007] 본 발명의 전술된 측면과 그 외의 측면들은 하기의 설명과 도면을 참조로 하여 보다 명백해질 것이며 도면에서 공통적인 모습의 동일한 소자에 대해 가능한 한 동일한 참조 번호가 지정되었다.

[0008] 본 발명은 공유된 증폭기 픽셀 내의 이득 고정 노이즈를 감소시키는 장점을 제공한다.

실 시 예

[0029] 하기의 설명에서, 본 발명은 바람직한 실시예에서 소프트웨어 프로그램으로서 기술될 것이다. 당업자는 이러한 소프트웨어의 동등물이 하드웨어 내에 구성될 수 있음을 쉽게 인지할 것이다.

[0030] 도 5를 참조하면, 두 개의 광검출기, 바람직하게는 입사광에 응답하여 각각 전하를 축적하는 포토다이오드(PD1 및 PD2)(20, 30)를 구비하는 본 발명의 이미지 센서(10)의 개략도가 도시되었다. 두 개의 전달 게이트(TG1 및 TG2)(40, 50)는 각각 포토다이오드(20, 30)에 전기적으로 접속되고, 전달 게이트(40, 50)는 전하를 포토다이오드로부터 이와 관련된 플로팅 확산부로 전달하도록 전압을 사용하여 순차적으로 펄스되며, 이때 플로팅 확산부는 전하를 전압 신호로 변환한다. 리셋 트랜지스터(RG)(60)는 전하를 포토다이오드(20, 30)로부터 플로팅 확산부(70, 80)로 전달하기 전에 각 플로팅 확산부(n+)(70, 80)의 전압을 기준 전압으로 설정한다.

[0031] 소스 폴로워 트랜지스터(SF)(90), 또는 증폭기는 전압 신호를 열 버스(110)로 출력하도록 증폭시키기 위해 각 플로팅 확산부(70, 80)에 의해 공유된다. 행 선택 신호 라인(RSEL)(100)은 열 버스(110)로 출력할 행을 선택한다. 전달 게이트(40, 50)는 서로 다른 시간에 순차적으로 펄스되어, 각 포토다이오드에 대해 상이한 신호를 생성하기 위해 다른 포토다이오드(30)로부터 전하를 전달하기에 앞서 포토다이오드(20)로부터의 전하가 증폭기(90)를 통해 열 버스(110)로 출력되도록 관련된 플로팅 확산부(70)로 포토다이오드(20)로부터의 전하가 전달되게 한다.

[0032] 도 6을 참조하면, 증폭기(90)를 공유하는 네 개의 포토다이오드(추가의 포토다이오드는 (25, 35))를 구비하는 도 5의 다른 실시예가 도시되었다. 이 실시예는 도 5와 동일한 기능을 하며 네 개의 전달 게이트(40, 45, 50, 55)(추가의 전달 게이트는 (45, 55))는 전하를 각각의 플로팅 확산부(70, 75, 80, 85)(추가의 플로팅 확산부는 (75, 85))로 전달하도록 순차적으로 펄스된다. 플로팅 확산부(70, 75, 80, 85)는 전하를 전압으로 변환하며 이는 열 버스(110)로 출력되도록 소스 폴로워 트랜지스터(90)에 의해 증폭된다.

[0033] 도 7을 참조하면, 2×2 어레이로 배열된 복수의 포토다이오드(PD)를 구비하는 도 5의 상면도가 도시되었다. 네 개의 포토다이오드 및 관련된 FET의 그룹은 픽셀 어레이 유닛 셀을 구성한다. 명확한 이해를 위해, 오직 네 개의 포토다이오드만이 도시되었지만, 본 발명의 전형적인 이미지 센서(10)는 각 픽셀이 하나의 포토다이오드를 구비하는 다양한 사이즈의 메가픽셀 이미지 센서를 포함한다. 본 명세서에서 지칭되는 전계 효과 트랜지스터(FET)는 리셋 트랜지스터(60) 및 소스 폴로워 트랜지스터(90)이다. 이러한 FET는 네 개의 광검출기 각각에 대한 그들의 근접성과 관련하여 대칭성을 제공하도록 유닛 셀 내에 설계되고 물리적으로 위치된다. 또한, FET는 각 트랜지스터에 인가되는 전압이 각각의 광검출기 부근의 정전기적 퍼텐셜과 관련하여 바람직하게는 동일하거나 또는 실질적으로 동일하도록 배치된다. 또한, 이러한 FET는 광검출기(PD)에 의해 기능적으로 공유된다.

[0034] 본 명세서에 기술된 본 발명은 공유되는 증폭기 픽셀 내의 광학적 이득 고정 패턴 노이즈를 감소시키는 방법을 제공한다. 픽셀 내의 FET의 배치가 p-n 접합을 생성하고, 이들이 포지티브 퍼텐셜로 바이어스되기 때문에, FET 접합은 약한 광검출기 및 컬렉트 광생성된 일렉트론으로서 작용할 수 있다. 이것은 특히 FET 둘레에 강한 p-웰이 존재하지 않을 경우에 나타난다. FET로부터 공유되는 그룹 또는 광검출기들의 유닛 셀 내의 인접한 광검출기까지의 거리가 유닛 셀 내의 각 광검출기들에 있어서 동일하거나 대칭하도록(또는 실질적으로 동일하거나 실질적으로 대칭하도록) FET를 배치함으로써, 유닛 셀 내의 모든 광검출기의 결과적인 양자 효과는 동일하거나 실질적으로 유사할 것이다. 도 7은 유닛 셀 내의 각 광검출기가 그 옆에 물리적으로 동일하게 위치한 FET를 구비하도록 FET가 배치된 본 발명의 설계를 도시한다.

[0035] 다르게 말하자면, 각 광검출기는 그들 사이에 실질적으로 균일한 피치(pitch)를 포함하고, 트랜지스터들은 광검출기를 둘러싸는 영역 내에서 실질적으로 균일한 피치로 배치된다.

[0036] 도 8을 참조하면, 2×4 어레이로 배열된 복수의 포토다이오드(PD)를 구비하는 도 6의 상면도가 도시되었다. 8개

의 포토다이오드 및 관련된 FET의 그룹은 픽셀 어레이 유닛 셀을 구성한다. 명확한 이해를 위해서 오직 8개의 포토다이오드만이 도시되었지만, 본 발명의 전형적인 이미지 센서(10)는 각 픽셀이 하나의 포토다이오드를 구비하는 다양한 치수의 메가픽셀 이미지 센서를 포함한다. 전술된 바와 같이, 본 명세서에서 지칭되는 FET는 리셋 트랜지스터(60) 및 소스 폴로워 트랜지스터(90)이고 전술된 바와 같이 동작한다. 도 8은 유닛 셀 내의 각 광검출기(PD)가 그 옆에 물리적으로 동일하게 배치된 FET를 구비하도록 FET가 배치된 본 발명의 설계를 도시한다.

[0037] 도 9를 참조하면, 일반적인 소비자에게 익숙한 전형적인 상업적 실시예를 나타내는, 자신의 내부에 배치된 이미지 센서(10)를 구비하는 디지털 카메라(120)의 측면도가 도시되었다.

도면의 간단한 설명

[0009] 도 1은 증폭기를 공유하는 두 개의 포토다이오드와 FET의 위치를 도시한 종래 기술의 이미지 센서의 개략도,

[0010] 도 2는 증폭기를 공유하는 네 개의 포토다이오드와 FET의 위치를 도시한 종래 기술의 이미지 센서의 개략도,

[0011] 도 3은 도 1의 상면도,

[0012] 도 4는 도 2의 상면도,

[0013] 도 5는 증폭기를 공유하는 두 개의 포토다이오드를 도시한 본 발명의 이미지 센서의 개략도,

[0014] 도 6은 증폭기를 공유하는 네 개의 포토다이오드를 도시한 본 발명의 이미지 센서의 개략도,

[0015] 도 7은 FET의 위치를 도시한 도 5의 상면도,

[0016] 도 8은 FET의 위치를 도시한 도 6의 상면도,

[0017] 도 9는 도 6의 레이아웃을 갖는 본 발명의 디지털 카메라의 측면도.

[0018] 도면의 주요 부분에 대한 부호의 설명

[0019] 10 : 이미지 센서 20 : 포토다이오드

[0020] 25 : 포토다이오드 30 : 포토다이오드

[0021] 35 : 포토다이오드 40 : 전달 게이트

[0022] 45 : 전달 게이트 50 : 전달 게이트

[0023] 55 : 전달 게이트 60 : 리셋 트랜지스터

[0024] 70 : 플로팅 확산부 75 : 플로팅 확산부

[0025] 80 : 플로팅 확산부 85 : 플로팅 확산부

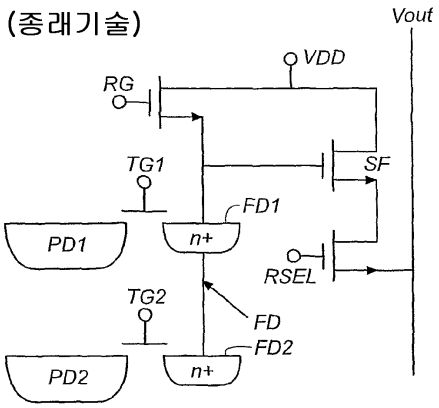
[0026] 90 : 소스 폴로워 트랜지스터 또는 증폭기

[0027] 100 : 행 선택 신호 라인 110 : 열 버스(column bus)

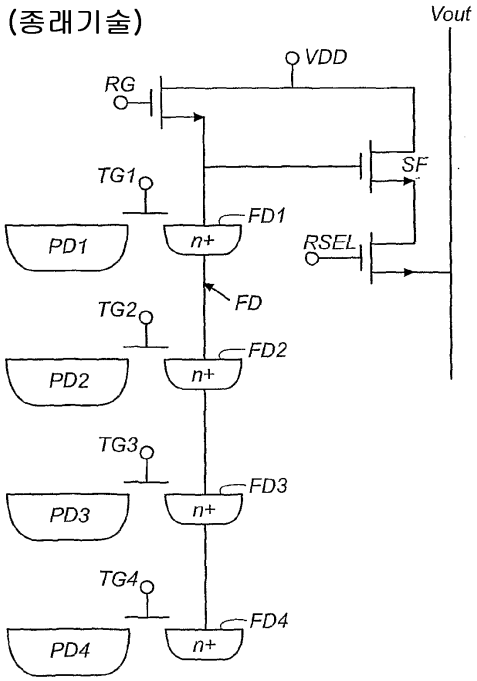
[0028] 120 : 디지털 카메라

도면

도면1

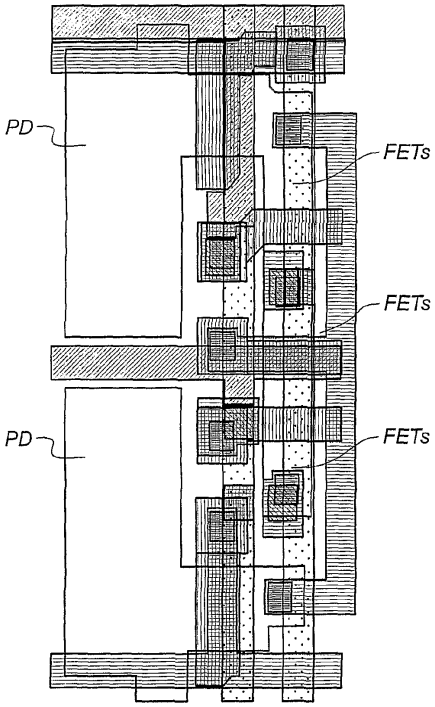

(종래기술)
Vout
VDD
RG
TG1
SF
FD1
PD1
n+
RSEL
TG2
FD
FD2
PD2
n+

도면2


(종래기술)
Vout
VDD
RG
SF
TG1
FD1
PD1
n+
RSEL
FD
TG2
FD2
PD2
n+
TG3
FD3
PD3
n+
TG4
FD4
PD4
n+

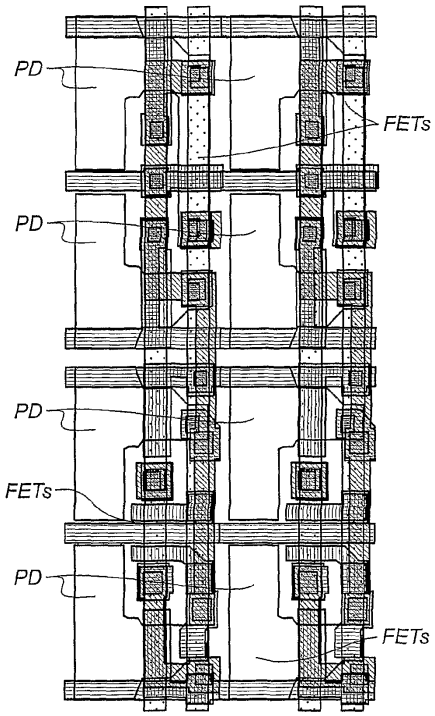
도면3

(종래기술)

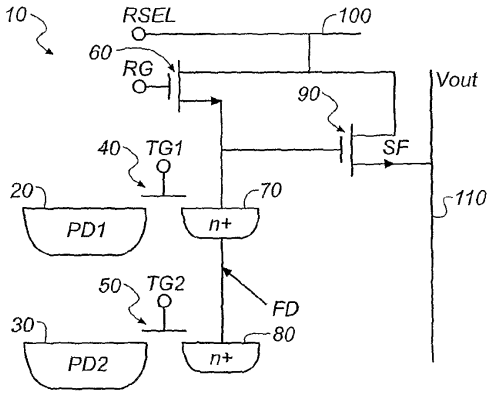


도면4

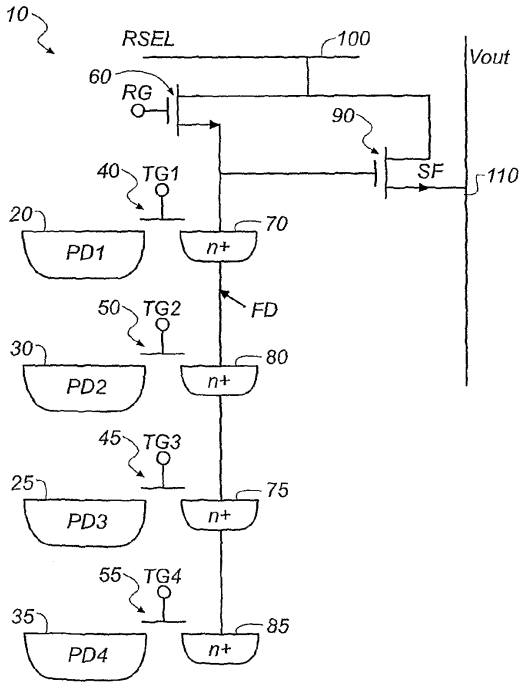
(종래기술)



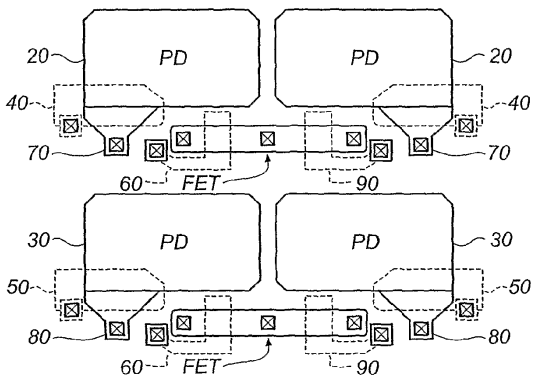
도면5


10
RSEL
100
60
RG
90
Vout
SF
40
TG1
110
20
70
PD1
n+
50
TG2
FD
30
80
PD2
n+

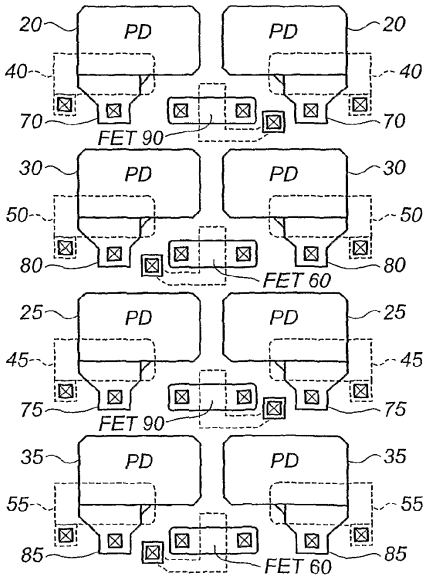
도면6


10
RSEL
100
Vout
60
RG
90
SF
110
40
TG1
20
70
PD1
n+
50
TG2
FD
30
80
PD2
n+
45
TG3
25
75
PD3
n+
55
TG4
35
85
PD4
n+

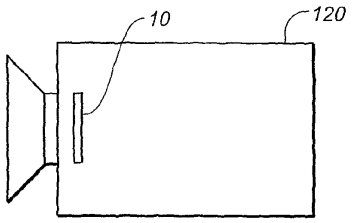
도면7


20
PD
PD
20
40
40
70
70
60
FET
90
30
PD
PD
30
50
50
80
80
60
FET
90

도면8


20
PD
PD
20
40
40
70
70
FET 90
30
PD
PD
30
50
50
80
80
FET 60
25
PD
PD
25
45
45
75
75
FET 90
35
PD
PD
35
55
55
85
85
FET 60

도면9


10
120