

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6214080号
(P6214080)

(45) 発行日 平成29年10月18日(2017.10.18)

(24) 登録日 平成29年9月29日(2017.9.29)

(51) Int.Cl. F I
H O 1 L 23/12 (2006.01)
 H O 1 L 23/12 F
 H O 1 L 23/12 5 O 1 W

請求項の数 4 (全 14 頁)

(21) 出願番号	特願2013-128001 (P2013-128001)	(73) 特許権者	504199127
(22) 出願日	平成25年6月18日(2013.6.18)		エヌエックスピー ユーエスエイ インコ
(65) 公開番号	特開2014-11456 (P2014-11456A)		ーポレイテッド
(43) 公開日	平成26年1月20日(2014.1.20)		NXP USA, Inc.
審査請求日	平成28年6月17日(2016.6.17)		アメリカ合衆国 テキサス州 78735
(31) 優先権主張番号	13/537,388		オースティン ウィリアム キャノン
(32) 優先日	平成24年6月29日(2012.6.29)		ドライブ ウェスト 6501
(33) 優先権主張国	米国 (US)	(74) 代理人	100142907
			弁理士 本田 淳
		(72) 発明者	トレント エス. ユーリン
			アメリカ合衆国 78132 テキサス州
			ニュー ブラウンフェルズ スプリング
			ホロー 443

最終頁に続く

(54) 【発明の名称】 空隙を有する半導体パッケージ構造体および形成方法

(57) 【特許請求の範囲】

【請求項 1】

パッケージ構造体であって、
 上面および底面を有するパッケージ基板と、
 上面および底面を有する半導体ダイとを備え、
 前記半導体ダイは前記パッケージ基板に据え付けられ、
 前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接し、
 前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙が存在し、
 前記パッケージ構造体は、前記半導体ダイの前記上面と、前記パッケージ基板の前記上面の一部とに直接接触するとともに、前記半導体ダイの周縁面に直接接触する封止材料をさらに備え、

前記空隙は、前記パッケージ基板の前記上面と前記半導体ダイの前記底面との間に存在し、前記空隙は、前記封止材料の外部への開口部を提供するために、前記パッケージ基板の前記上面と前記封止材料との間を前記パッケージ基板の前記上面に沿って延びているベントを有する、パッケージ構造体。

【請求項 2】

パッケージ構造体であって、
 上面および底面を有するパッケージ基板と、
 上面および底面を有する半導体ダイとを備え、
 前記半導体ダイは前記パッケージ基板に据え付けられ、

10

20

前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接し、
前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙が存在し、
前記パッケージ基板は複数の層を含み、前記空隙は、前記パッケージ基板において前記
複数の層のうちの2つの層の間に存在し、
前記空隙は前記パッケージ基板の前記上面まで延びているベントを有する、パッケージ
構造体。

【請求項3】

パッケージ構造体を形成する方法であって、

上面および底面を有する半導体ダイを、上面および底面を有するパッケージ基板に付着
させる工程であって、前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接
する、前記付着させる工程と、

前記半導体ダイの前記上面の上および前記パッケージ基板の上面の一部の上に封止材料
を被着させる工程であって、前記封止材料は、前記半導体ダイの前記上面と周縁面とに直
接接触し、前記付着させる工程は、前記被着させる工程の前に前記半導体ダイを前記パッ
ッケージ基板に付着させるために、前記半導体ダイの前記底面と前記パッケージ基板の前記
上面との間に分解性材料を使用する工程を含む、前記被着させる工程と、

分解性材料によって、前記パッケージ基板の前記底面と前記半導体ダイの前記底面との
間に空隙用領域を作成する工程と、

前記空隙用領域内に空隙が残るように、前記分解性材料を除去する工程とを含み、

前記空隙用領域は、ベントを形成するべく前記半導体ダイの下から前記封止材料の外に
延びている延在部を含む、方法。

【請求項4】

パッケージ構造体を形成する方法であって、

上面および底面を有する半導体ダイを、上面および底面を有するパッケージ基板に付着
させる工程であって、前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接
する、前記付着させる工程と、

分解性材料によって、前記パッケージ基板に空隙用領域を作成する工程と、

前記空隙用領域から前記パッケージ基板の外までベントを形成する工程と、

前記空隙用領域内に空隙が残るように、前記ベントを通じて前記分解性材料を除去する
工程とを含み、

前記付着させる工程は、前記分解性材料を除去する工程の後に実行されることをさらに
特徴とする、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般的には半導体処理に関し、より具体的には、空隙を有する半導体パッケー
ージ構造体に関する。

【背景技術】

【0002】

ボール・グリッド・アレイ(BGA)は、半導体ダイがBGAパッケージ基板の上面上
に据え付けられ、複数のはんだボールがBGAパッケージ基板の底面上に格子パターンに
形成される半導体パッケージング技術である。その後、BGAパッケージは、プリント回
路基板(PCB)に付着されることができ、BGAパッケージのはんだボールの格子がダイ
とPCBとの間の電気接続を形成する。しかしながら、半導体ダイの熱膨張率(CTE)
は、一般的に、BGAパッケージ基板と比較して、およびPCBと比較して低い。この
結果として、ダイの直下に位置するはんだボール、特に、ダイ端部の直下に位置するは
んだボールにおいて、応力の高い領域が生じる。ダイ端部は、ダイがダイ付着接着剤によ
ってBGAパッケージ基板に機械的に付着されるとともに、成形において封入されるため、
応力が最も高い領域を形成する。それによって、BGAパッケージ基板はダイによって拘
束される。応力の高い領域が存在することによって、その領域内に位置するBGA相互接

続が機械的に機能しなくなってしまう。

【 0 0 0 3 】

特許文献 1 には応力の低減された集積回路についての記載がある。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 4 】

【 特許文献 1 】 米国特許第 7 6 5 1 8 9 1 号明細書

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 5 】

空隙を有する半導体パッケージ構造体を提供する。

【 課題を解決するための手段 】

【 0 0 0 6 】

上記問題点を解決するために、請求項 1 に記載の発明は、パッケージ構造体であって、上面および底面を有するパッケージ基板と、上面および底面を有する半導体ダイとを備え、前記半導体ダイは前記パッケージ基板に据え付けられ、前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接し、前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙が存在することを要旨とする。

【 0 0 0 7 】

請求項 2 に記載の発明は、請求項 1 に記載のパッケージ構造体において、上面を有するプリント回路基板をさらに備え、前記パッケージ基板は前記プリント回路基板に据え付けられ、前記パッケージ基板の前記底面は前記プリント回路基板の前記上面に近接する、ことを要旨とする。

【 0 0 0 8 】

請求項 3 に記載の発明は、請求項 2 に記載のパッケージ構造体において、前記パッケージ基板および前記プリント回路基板は同じ材料から成る、ことを要旨とする。

請求項 4 に記載の発明は、請求項 3 に記載のパッケージ構造体において、前記半導体ダイの前記上面は前記パッケージ基板の前記上面にワイヤボンディングされる、ことを要旨とする。

【 0 0 0 9 】

請求項 5 に記載の発明は、請求項 4 に記載のパッケージ構造体において、前記パッケージ基板ははんだボールによって前記プリント回路基板に据え付けられる、ことを要旨とする。

【 0 0 1 0 】

請求項 6 に記載の発明は、請求項 1 に記載のパッケージ構造体において、前記空隙は前記パッケージ基板の前記上面と前記半導体ダイの前記底面との間に存在する、ことを要旨とする。

【 0 0 1 1 】

請求項 7 に記載の発明は、請求項 6 に記載のパッケージ構造体において、前記半導体ダイの前記上面と、前記パッケージ基板の前記上面の一部との上の封止材料をさらに備える、ことを要旨とする。

【 0 0 1 2 】

請求項 8 に記載の発明は、請求項 7 に記載のパッケージ構造体において、前記半導体ダイは前記封止材料によって前記パッケージ基板に対し所定の位置に保持される、ことを要旨とする。

【 0 0 1 3 】

請求項 9 に記載の発明は、請求項 8 に記載のパッケージ構造体において、前記空隙は前記封止材料の外部への開口部を提供するベントを有し、前記パッケージ構造体は前記ベントの栓をさらに備える、ことを要旨とする。

【 0 0 1 4 】

10

20

30

40

50

請求項 10 に記載の発明は、請求項 1 に記載のパッケージ構造体において、前記空隙は前記パッケージ基板に存在する、ことを要旨とする。

請求項 11 に記載の発明は、請求項 10 に記載のパッケージ構造体において、前記空隙は前記半導体ダイの周縁の外まで延びている、ことを要旨とする。

【0015】

請求項 12 に記載の発明は、請求項 10 に記載のパッケージ構造体において、前記空隙は前記パッケージ基板の前記上面まで延びているベントを有する、ことを要旨とする。

請求項 13 に記載の発明は、請求項 12 に記載のパッケージ構造体において、前記パッケージ基板の前記上面と前記半導体ダイの前記底面との間のダイアタッチであって、半導体ダイを前記パッケージ基板に付着させるとともに、前記ベント内に存在するダイアタッチをさらに備える、ことを要旨とする。

10

【0016】

請求項 14 に記載の発明は、パッケージ構造体を形成する方法であって、上面および底面を有する半導体ダイを、上面および底面を有するパッケージ基板に付着させる工程であって、前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接する、付着させる工程と、分解性材料によって、前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙用領域を作成する工程と、前記空隙用領域内に空隙が残るように、前記分解性材料を除去する工程とを含むことを要旨とする。

【0017】

請求項 15 に記載の発明は、請求項 14 に記載の方法において、前記半導体ダイの前記上面の上および前記パッケージ基板の上面の一部の上に封止材料を被着させる工程をさらに含み、前記付着させる工程は、前記被着させる工程の前に前記半導体ダイを前記パッケージ基板に付着させるために、前記半導体ダイの前記底面と前記パッケージ基板の前記上面との間に前記分解性材料を使用する工程を含む、ことを要旨とする。

20

【0018】

請求項 16 に記載の発明は、請求項 15 に記載の方法において、前記空隙用領域は、ベントを形成するべく前記半導体ダイの下から前記封止材料の外に延びている延在部を含む、ことを要旨とする。

【0019】

請求項 17 に記載の発明は、請求項 16 に記載の方法において、前記除去する工程は、前記ベントを通じて前記分解性材料を除去する工程を含み、前記方法は、前記除去する工程の後に前記ベントを塞ぐ工程をさらに含む、ことを要旨とする。

30

【0020】

請求項 18 に記載の発明は、請求項 14 に記載の方法において、前記空隙用領域は前記パッケージ基板に存在し、前記方法は、前記空隙用領域から前記パッケージ基板の外までベントを形成する工程をさらに含み、前記分解性材料を前記除去する工程は、前記ベントを通じて前記分解性材料を除去する工程を含む、ことを要旨とする。

【0021】

請求項 19 に記載の発明は、請求項 18 に記載の方法において、前記付着させる工程は、前記分解性材料を除去する工程の後に実行され、前記半導体ダイを前記パッケージ基板に付着させるのに使用されるダイアタッチを用いて前記ベントを塞ぐ、ことを要旨とする。

40

【0022】

請求項 20 に記載の発明は、パッケージ構造体であって、上面および底面を有するパッケージ基板と、前記パッケージ基板の前記底面に付着されるはんだボールと、上面および底面を有する半導体ダイと、前記半導体ダイの前記上面上および前記パッケージ基板の一部上の封止材料と、前記半導体ダイの前記底面と前記パッケージ基板の前記底面との間の空隙とを含み、前記半導体ダイは、前記パッケージ基板の前記上面が前記半導体ダイの前記底面に近接する状態で、前記パッケージ基板に付着される、ことを要旨とする。

【図面の簡単な説明】

50

【 0 0 2 3 】

【図 1】本開示の 1 つの実施形態による、処理の一段階におけるパッケージ構造体を示す断面図。

【図 2】図 1 のパッケージ構造体を示す上面図。

【図 3】処理の後続の段階における図 1 のパッケージ構造体を示す断面図。

【図 4】処理の後続の段階における図 3 のパッケージ構造体を示す断面図。

【図 5】図 4 のパッケージ構造体を示す上面図。

【図 6】処理の後続の段階における図 4 のパッケージ構造体を示す断面図。

【図 7】処理の後続の段階における図 6 のパッケージ構造体を示す断面図。

【図 8】処理の後続の段階における図 7 のパッケージ構造体を示す断面図。

【図 9】処理の後続の段階における図 8 のパッケージ構造体を示す断面図。

【図 10】プリント回路基板（PCB）への付着後の図 9 のパッケージ構造体を示す断面図。

【図 11】本開示の別の実施形態による、処理の一段階におけるパッケージ構造体を示す断面図。

【図 12】処理の後続の段階における図 11 のパッケージ構造体を示す断面図。

【図 13】処理の後続の段階における図 12 のパッケージ構造体を示す断面図。

【図 14】処理の後続の段階における図 13 のパッケージ構造体を示す断面図。

【図 15】処理の後続の段階における図 14 のパッケージ構造体を示す断面図。

【図 16】処理の後続の段階における図 15 のパッケージ構造体を示す断面図。

【図 17】処理の後続の段階における図 16 のパッケージ構造体を示す断面図。

【図 18】処理の後続の段階における図 17 のパッケージ構造体を示す断面図。

【図 19】処理の後続の段階における図 18 のパッケージ構造体を示す断面図。

【図 20】処理の後続の段階における図 19 のパッケージ構造体を示す断面図。

【図 21】処理の後続の段階における図 20 のパッケージ構造体を示す断面図。

【図 22】PCB への付着後の図 21 のパッケージ構造体を示す断面図。

【図 23】図 22 のパッケージ構造体を示す上面図。

【図 24】代替の実施形態による図 23 のパッケージ構造体を示す上面図。

【発明を実施するための形態】

【 0 0 2 4 】

本発明は例として示されており、添付の図面によって限定されない。図面において、同様の参照符号は類似の要素を示す。図面内の要素は簡潔かつ明瞭にするために示されており、必ずしも原寸に比例して描かれてはいない。

【 0 0 2 5 】

1 つの実施形態では、BGA パッケージ構造体などのパッケージ構造体における半導体ダイとパッケージ基板との間の CTE 不整合から生じる応力を低減するために、半導体ダイとパッケージ基板の底面との間に空隙が形成される。半導体ダイはパッケージ基板の上面に据え付けられ、半導体ダイの底面はパッケージ基板の上面に近接する。空隙は、パッケージ基板の底面と半導体ダイの底面との間に位置する。この空隙は、半導体ダイの底面とパッケージ基板の上面との間に位置してもよく、またはパッケージ基板、パッケージ基板の上面と底面との間に位置してもよい。半導体ダイの直下または半導体ダイの端部の下に位置するこの空隙は、半導体ダイをパッケージ基板の底面から分離し、それによって、パッケージ基板と PCB との間の相互接続における応力を低減する。

【 0 0 2 6 】

図 1 は、処理の一段階におけるパッケージ構造体 10 の断面図を示す。パッケージ構造体 10 は、上面 13 および底面 11 を有するパッケージ基板 12 を含む。示されている実施形態では、パッケージ構造体 10 は BGA パッケージ構造体であり、パッケージ基板 12 は BGA パッケージ基板である。パッケージ構造体 10 は、パッケージ基板 12 の上面 13 上にダイアタッチ 14 を含む。1 つの実施形態では、ダイアタッチ 14 は、共重合体などの熱分解性材料（TDM）である。この共重合体は、たとえば、ポリプロピレンカー

10

20

30

40

50

ボネート、ポリシクロヘキセンカーボネート、ポリノルボルネンカーボネート、ポリノルボルネン、またはポリ（アルキレンカーボネート）であってよい。図 2 は、ダイアタッチ 14 を有するパッケージ基板 12 の上面図を示す。ダイアタッチ 14 は、パッケージ基板 12 の端部へと伸長するベント部 16 を含む。ダイアタッチ 14 は、ダイアタッチ 14 が分解されると形成されることになる空隙の場所に対応し、ベント部 16 は、ダイアタッチ 14 が分解すると形成されることになるベントの場所に対応する。それゆえ、ダイアタッチ 14 は、ベント部 16 によって画定される伸長部を含む空隙用領域を画定するものとして記載され得る。（なお、ダイアタッチ 14 は、TDM ダイアタッチ 14 または TDM 14 と称される場合もある。）

図 3 は、処理の後続の段階におけるパッケージ構造体 10 の断面図を示し、半導体ダイ 18 がダイアタッチ 14 上に据え付けられる。なお、半導体ダイ 18 はダイアタッチ 14 の主要部上に据え付けられ、ベント部 16 はダイ 18 からパッケージ基板 12 の端部まで横方向に伸長する。ダイ 18 は、上面 19 と底面 17 とを含み、底面 17 はダイアタッチ 14 の直上に配置され、パッケージ基板 12 の上面 13 に近接する。なお、ダイ 18 は、任意のタイプの半導体ダイ、または、受動素子（たとえば、抵抗、キャパシタ）など、パッケージ基板に据え付けられ得る任意の構成要素とできる。

【0027】

図 4 は、処理の後続の段階におけるパッケージ構造体 10 の断面図を示し、例示的なワイヤボンド 20 を含むワイヤボンドが、ダイ 18 の上面 19 からパッケージ基板 12 の上面 13 へと形成される。図 5 は、図 4 のパッケージ構造体 10 の上面図を示す。示されている実施形態では、例示的なワイヤボンド 20 を含むワイヤボンド 22 が、ダイ 18 の端部の周囲に放射状に形成されている。しかしながら、ワイヤボンドはベント部 16 の上には形成されない。また、ベント部 16 の両側には直に近接するワイヤボンドが、ベント部 16 から所定の距離をおいて配置され得る。ワイヤボンド 22 は、ダイ 18 とパッケージ基板 12 との間の電気接続を提供する。

【0028】

図 6 は、処理の後続の段階におけるパッケージ構造体 10 の断面図を示し、封止材料 24 がダイ 18 およびパッケージ基板 12 の上に形成される。封止材料 24 は、ダイ 18 の周縁端部を完全に包囲し、ダイ 18 およびワイヤボンド 22 を完全に被覆する。また、封止材料 24 は、ダイ 18 の上面 19、ダイアタッチ 14 の部分、およびパッケージ基板 12 の上面 13 に直に接する。示されている実施形態では、封止材料 24 は、上面 19 の全体と直に接している。なお、パッケージ基板 12 の端部へと伸長するベント部 16 は封止材料 24 を越えて伸長し、それによって、ベント部 16 の少なくとも終端部は露出したままであり、封止材料 24 によって被覆されない。

【0029】

図 7 は、処理の後続の段階におけるパッケージ構造体 10 の断面図を示し、パッケージ構造体 10 は裏返されている（すなわち、180 度回転されている）。はんだボール 26 が、パッケージ基板 12 の底面 11 に或るパターンで配置される。1つの実施形態では、パターンは格子パターンであるが、他のパターンが使用されてもよい。1つの実施形態では、最初にフラックス材料がパッケージ基板 12 の底面 11 に格子パターンで配置され、はんだボール 26 が、フラックス材料上に配置される。なお、はんだボール 26 は、任意の適切な合金から形成されてよく、異なる形状を有して形成されてもよい。

【0030】

図 8 は、処理の後続の段階におけるパッケージ構造体 10 の断面図を示し、パッケージ構造体 10 がリフローされる。リフロー中、はんだボール 26 は溶融した後凝固し、したがって、パッケージ基板 12 の底面 11 に（たとえば、フラックス材料によって）付着する。1つの実施形態では、リフローは、たとえば、摂氏 250 度など、摂氏 200 度以上の温度で実行される。1つの実施形態では、リフローは、TDM ダイアタッチ 14 を分解させるのに十分な温度および継続時間において実行される。たとえば、多くの TDM が摂氏 180 度以上の温度で分解する。それゆえ、リフロー中、分解したダイアタッチ 28 が

10

20

30

40

50

、ベント３１（分解したため、もはやダイアタッチ１４のベント部１６は含まない）を通じて気体として放出される。この結果として、ダイ１８の底面１７とパッケージ基板１２の上面１３との間で、ダイ１８の直下に空隙２９が形成される。それゆえ、空隙２９およびベント３１は、ダイアタッチ１４によって画定された空隙用領域内に形成される。なお、パッケージ基板１２の端部におけるダイアタッチ１４の幅は、ベント３１の幅に対応し、異なる幅が使用されてもよい。

【００３１】

なお、代替の実施形態では、ＴＤＭダイアタッチ１４の分解は、リフローとは別個に実行されてもよい。たとえば、はんだボール２６を付着させる前に、パッケージ構造体１０は、ＴＤＭダイアタッチ１４を分解させるのに十分に高い温度および継続時間にさらされてもよい。たとえば、構造体１０は、摂氏１８０度以上の温度、または摂氏２００度を超える温度にさらされてもよい。なお、分解がリフロー中に実行されるか、またはリフロー前に実行されるかにかかわらず、パッケージ構造体１０は、結果としてＴＤＭダイアタッチ１４のほぼ全体が分解されるのに十分な長さの時間にわたってより高温にさらされなければならない。また、ＴＤＭダイアタッチ１４が分解し、結果として空隙２９が生じた後、封止材料２４はダイ１８を、パッケージ基板１２に対し所定の位置に保持する。

【００３２】

図９は、処理の後続の段階におけるパッケージ構造体１０の断面図を示し、栓３０が使用されてベント３１が塞がれている。たとえば、栓３０は、部分的にベント３１内に挿入され得るエポキシ樹脂ベースまたはシリコンベースの材料であってよい。それゆえ、栓３０は空隙２９を保護する。

【００３３】

図１０は、処理の後続の段階におけるパッケージ構造体１０の断面図を示し、はんだボール２６がＰＣＢ３２に付着される。すなわち、パッケージ基板１２がＰＣＢ３２に据え付けられ、それによって、パッケージ基板１２の底面１１がＰＣＢ３２の上面に近接する。それゆえ、ワイヤボンド２２によるダイ１８からの電気接続の経路はパッケージ基板１２を通じてはんだボール２６まで導かれ、はんだボール２６はＰＣＢ３２に対する電気接続を提供する。１つの実施形態では、パッケージ基板１２およびＰＣＢ３２は、同じかまたは類似の材料を含み、したがって、同じかまたは類似のＣＴＥを有し得る。

【００３４】

空隙２９はダイ１８をパッケージ基板１２の底面１１から分離し、したがって、従来技術のＢＧＡパッケージ構造体において形成される応力の高い面積を低減する。示されている実施形態では、空隙２９はダイ１８のほぼ全体の下に存在し、ダイ１８の周縁の外まで延びている。しかしながら、代替の実施形態では、ダイ１８の端部ははんだボール２６に対する応力を発生させることに限っては最も問題のある領域であり得るため、空隙２９は端部の下のみに存在してもよい。それゆえ、ダイ１８と基板１２との間、およびダイ１８とＰＣＢ３２との間のＣＴＥの不整合の影響が空隙２９によって低減され得る。

【００３５】

図１１は、処理の一段階におけるパッケージ構造体４０の断面図を示す。パッケージ構造体４０は、ラミネート層４４ならびにラミネート層４４の上面上の銅被覆４６およびラミネート４４の底面上の銅被覆４８を有するコア４２を含む。コア４２は、銅被覆ラミネートコアと称される場合もある。

【００３６】

図１２は、処理の後続の段階におけるパッケージ構造体４０の断面図を示し、銅被覆４６および４８が各々パターンニングされる。パターンニングは、必要に応じて、半導体ダイからパッケージ基板を通じてはんだボールおよびＰＣＢへと信号を導くために実行される。

【００３７】

図１３は、処理の後続の段階におけるパッケージ構造体４０の断面図を示し、銅被覆４６およびラミネート４４の上面の上にＴＤＭ５０の層が形成される。

図１４は、処理の後続の段階におけるパッケージ構造体４０の断面図を示し、ＴＤＭ５

10

20

30

40

50

0の層がパターンングされて、半導体ダイの下に位置することになる空隙用領域が画定される。

【0038】

図15は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、樹脂層52が導電層54と銅被覆46との間および導電層54とTDM50との間に存在するように、ラミネート44の上面上に樹脂層52および導電層54が積層され、樹脂層56が銅被覆48と導電層58との間に存在するように、ラミネート44の底面上に樹脂層56および導電層58が積層される。1つの実施形態では、この積層は、ラミネート44の上面上にプリプレグ層上の導電層（たとえば、銅層）を積層すること、およびラミネート44の底面上に導電層（たとえば、銅層）およびプリプレグ層を積層することによって実行される。すべての層は一体にプレスされ（各プリプレグ層はラミネート44と導電層との間に存在する）樹脂を硬化するために熱および圧力にさらされる。プリプレグ層は、特定の合成樹脂を事前に含浸した繊維製材料（たとえば、部分的に硬化されたエポキシ樹脂またはbステージであるエポキシ樹脂を事前に含浸したガラスクロスなど）である。硬化中、樹脂は流れてコア42に付着する。

10

【0039】

図16は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、パッケージ構造体40を通じてビア開口部60および62が形成される。ビア開口部60および62はその後めっきされて、パッケージ構造体40を貫通する導電性ビア64および66が形成される。

20

【0040】

図17は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、導電層54および58が各々必要に応じて、電気接続を導くとともに後続の電気接続のための場所を識別するためにパターンングされる。

【0041】

図18は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、導電層54および58の上および開口部60および62の中にはんだマスク層68が形成される。代替の実施形態（図示せず）では、開口部60および62は、はんだマスク層を形成する前にエポキシ樹脂を事前に充填されてもよい。はんだマスク層68は、導電層54および58の部分を露出させるようにパターンングされる。たとえば、パターン化はんだマスク層68は、導電層54の、ワイヤボンドが形成されることになる領域を露出させ得、パターン化はんだマスク層68は、導電層58の、はんだボールが続いて付着されることになる領域を露出させ得る。それゆえ、図18には、上面90および底面92を有するほぼ完成されたパッケージ基板75が示されている。なお、ニッケル/金めっきなどのさらなる処理が、導電層54および58の露出部分に対して実行されてもよい。

30

【0042】

図19は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、TDM50を露出させるように、パッケージ基板75内に上面90からTDM50まで延びるベントが形成される。

【0043】

40

図20は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、TDM50を分解させるのに十分な温度および継続時間がパッケージ基板75に加えられる。たとえば、多くのTDMが摂氏180度以上の温度で分解する。それゆえ、少なくとも摂氏180度の温度、または少なくとも摂氏200度の温度が加えられ、その間、分解したTDM72がベント70によって気体として放出される。この結果として、パッケージ基板75内に形成されたTDM50によって画定された空隙用領域内に空隙74が形成される。なお、パッケージ基板75は、結果としてほぼすべてのTDM50を分解するために十分な長さの時間にわたってより高い温度にさらされる。

【0044】

図21は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、半導体ダ

50

イ 7 8 が、ダイアタッチ 7 6 によってパッケージ基板 7 5 の上面 9 0 に据え付けまたは付着される。ダイアタッチ 7 6 は最初にパッケージ基板 7 5 の上に形成され、ベント 7 0 内に伸長し得る。その後、ダイ 7 8 がダイアタッチ 7 6 上に据え付けられる。ダイ 7 8 は、上面 9 4 および底面 9 6 を有する。ワイヤボンダ 8 0 が、ダイ 7 8 の上面 9 4 からパッケージ基板 7 5 の上面 9 0 までに（導電層 5 4 の露出部分までに）形成される。ダイ 7 8 およびパッケージ基板 7 5 の上に封止材料 8 2 が形成される。示されている実施形態では、封止材料 8 2 はダイ 7 8 の周縁端部を完全に包囲し、ダイ 7 8 およびワイヤボンダ 8 0 を完全に被覆している。また、封止材料 8 2 はダイ 7 8 の上面 9 4 に直に接し、上面 9 4 の全体と直に接し得る。底面 9 2 上にはんだボール 8 4 が形成される。なお、はんだボール 8 4 は、はんだボール 2 6 を参照して記載されたのと同様に形成されてよい。たとえば、はんだボール 8 4 は、フラックス材料によって、パッケージ基板 7 5 の底面 9 2 に格子パターンで付着され、その後リフローされ得る。それゆえ、ワイヤボンダ 8 0 によるダイ 7 8 からの電気接続の経路は、パッケージ基板 7 5 を通じてはんだボール 8 4 まで導かれる。

10

【 0 0 4 5 】

代替の実施形態では、ベント 7 0 は、TDM 5 0 の分解後でかつダイアタッチ 7 6 の形成の前に塞がれてもよい。さらに別の代替の実施形態では、ベント 7 0 は形成されない。この実施形態では、分解した TDM は樹脂およびはんだマスクを通じて拡散し得る。

【 0 0 4 6 】

図 2 2 は、処理の後続の段階におけるパッケージ構造体 4 0 の断面図を示し、はんだボール 8 4 が PCB 8 6 に付着される。すなわち、パッケージ基板 7 5 が PCB 8 6 に据え付けられ、それによって、パッケージ基板 7 5 の底面 9 2 が PCB 8 6 の上面に近接する。それゆえ、はんだボール 8 4 は PCB 8 6 に対する電気接続を提供する。1 つの実施形態では、パッケージ基板 7 5 および PCB 8 6 は、同じかまたは類似の材料から形成され、したがって、同じかまたは類似の CTE を有し得る。

20

【 0 0 4 7 】

空隙 7 4 はダイ 7 8 をパッケージ基板 7 5 の底面 9 2 から分離し、したがって、従来技術の BGA パッケージ構造体において形成される応力の高い面積を低減する。示されている実施形態では、空隙 7 4 は、図 2 3 の上面図（点線は空隙 7 4 の輪郭を示す）によって示されるように、ダイ 7 8 のほぼ全体の下に存在し、ダイ 7 8 の周縁の外まで延びている。しかしながら、代替の実施形態では、ダイ 7 8 の端部ははんだボール 8 4 に対する応力を発生させることに關しては最も問題のある領域であり得るため、空隙 7 4 は端部の下のみに存在してもよい。この実施形態は図 2 4 の上面図によって示されており、点線の間の領域はダイ 7 8 の端部の下に存在する空隙 8 8 を表す。空隙用領域 8 8 は図 1 1 ~ 図 2 2 を参照して上述したように形成され得、したがって、TDM 5 0 がそれにしたがって、空隙用領域を画定するようにパターンニングされる。それゆえ、ダイ 7 8 と基板 7 5 との間、およびダイ 7 8 と PCB 8 6 との間の CTE の不整合の影響が空隙 7 4 または 8 8 によって低減され得る。

30

【 0 0 4 8 】

ここまでの、半導体ダイの底面とパッケージ基板の底面との間で、BGA パッケージ構造体内に空隙が形成される結果として、ダイをパッケージ基板の底面から分離することによっていかに応力が低減され得るかを理解されたい。それゆえ、この結果として、BGA パッケージ構造体と PCB との間の電気接続の信頼性が向上し得る。

40

【 0 0 4 9 】

その上、本明細書および特許請求の範囲における「正面 (front)」、「裏 (back)」、「上部 (top)」、「底 (bottom)」、「上 (over)」、「下 (under)」などの用語は、存在する場合、説明を目的として使用されており、必ずしも絶対的な相対位置を記述するために使用されてはいない。このように使用される用語は、本明細書に記載されている本発明の実施形態がたとえば、本明細書において例示または他の様態で記載されている以外の方向性で動作することが可能であるように、適切な状況

50

下で置き換え可能であることが理解される。

【 0 0 5 0 】

本明細書において、具体的な実施形態を参照して本発明を説明したが、添付の特許請求の範囲に明記されているような本発明の範囲から逸脱することなくさまざまな改変および変更を為すことができる。たとえば、空隙は、パッケージ構造体のダイアタッチ内またはパッケージ基板に形成されることができる。したがって、本明細書および図面は限定的な意味ではなく例示とみなされるべきであり、すべてのこのような改変が本発明の範囲内に含まれることが意図されている。本明細書において具体的な実施形態に関して記載されているいかなる利益、利点、または問題に対する解決策も、任意のまたはすべての請求項の重要な、必要とされる、または基本的な特徴または要素として解釈されるようには意図されていない。

10

【 0 0 5 1 】

さらに、本明細書において使用される場合、「1つ(“ a ” or “ a n ”)」という用語は、1つまたは2つ以上として定義される。さらに、特許請求の範囲における「少なくとも1つの」および「1つまたは複数の」のような前置きの語句の使用は、不定冠詞「1つの(“ a ” or “ a n ”)」による別の請求項要素の付加が、このように付加された請求項要素を含む任意の特定の請求項を、たとえ同じ請求項が前置きの語句「1つまたは複数の」または「少なくとも1つの」および「1つの(“ a ” or “ a n ”)」のような不定冠詞を含む場合であっても、1つだけのこのような要素を含む発明に限定することを暗示するように解釈されるべきではない。同じことが、定冠詞の使用についても当てはまる。

20

【 0 0 5 2 】

別途記載されない限り、「第1の」および「第2の」のような用語は、そのような用語が説明する要素間で適宜区別するように使用される。したがって、これらの用語は必ずしも、このような要素の時間的なまたは他の優先順位付けを示すようには意図されていない。

【 0 0 5 3 】

以下は本発明のさまざまな実施形態である。

項目1は、パッケージ基板であって、上面および底面を有するパッケージ基板と、上面および底面を有する半導体ダイとを含み、半導体ダイはパッケージ基板に据え付けられ、半導体ダイの底面はパッケージ基板の上面に近接し、パッケージ基板の底面と半導体ダイの底面との間に空隙が存在する、パッケージ基板を含む。項目2は、上面を有するプリント回路基板をさらに含み、パッケージ基板がプリント回路基板に据え付けられ、パッケージ基板の底面はプリント回路基板の上面に近接する、項目1のパッケージ構造体を含む。項目3は、パッケージ基板およびプリント回路基板が同じ材料から成る、項目2のパッケージ構造体を含む。項目4は、半導体ダイの上面がパッケージ基板の上面にワイヤボンディングされる、項目3のパッケージ構造体を含む。項目5は、パッケージ基板がはんだボールによってプリント回路基板に据え付けられる、項目4のパッケージ構造体を含む。項目6は、空隙がパッケージ基板の上面と半導体ダイの底面との間に存在する、項目1のパッケージ構造体を含む。項目7は、半導体ダイの上面およびパッケージ基板の上面の一部上の封止材料をさらに含む、項目1のパッケージ構造体を含む。項目8は、半導体ダイが封止材料によってパッケージ基板に対し所定の位置に保持される、項目7のパッケージ構造体を含む。項目9は、空隙が封止材料の外部に対する開口部を提供するベントを有し、パッケージ構造体がベントの栓をさらに備える、項目8のパッケージ構造体を含む。項目10は、空隙がパッケージ基板に存在する、項目1のパッケージ構造体を含む。項目11は、空隙が半導体ダイの周縁の外まで延びている、項目10のパッケージ構造体を含む。項目12は、空隙がパッケージ基板の上面まで延びるベントを有する、項目10のパッケージ構造体を含む。項目13は、パッケージ基板の上面と半導体ダイの底面との間のダイアタッチであって、半導体ダイをパッケージ基板に付着させるとともに、ベント内に存在するダイアタッチをさらに含む、項目12のパッケージ構造体を含む。

30

40

50

【 0 0 5 4 】

項目 1 4 は、パッケージ構造体を形成する方法であって、方法は、上面および底面を有する半導体ダイを、上面および底面を有するパッケージ基板に付着させる工程であって、半導体ダイの底面はパッケージ基板の上面に近接する、付着させる工程と、分解性材料によって、パッケージ基板の底面と半導体ダイの底面との間に空隙用領域を作成する工程と、空隙用領域内に空隙が残るように、分解性材料を除去する工程とを含む、方法を含む。項目 1 5 は、半導体ダイの上面の上およびパッケージ基板の上面の一部の上に封止材料を被着させる工程をさらに含み、付着させる工程は、被着させる工程の前に半導体ダイをパッケージ基板に付着させるために、半導体ダイの底面とパッケージ基板の上面との間に分解性材料を使用する工程を含む、項目 1 4 の方法を含む。項目 1 6 は、空隙用領域が、ベントを形成するために、半導体ダイの下から封止材料の外側への延在部を含む、項目 1 5 の方法を含む。項目 1 7 は、除去する工程が、ベントを通じて分解性材料を除去する工程を含み、方法が、除去する工程の後にベントを塞ぐ工程をさらに含み、項目 1 6 の方法を含む。項目 1 8 は、空隙用領域がパッケージ基板に存在し、方法が、空隙用領域からパッケージ基板の外側までのベントを形成する工程をさらに含み、分解性材料を除去する工程は、ベントを通じて分解性材料を除去する工程を含む、項目 1 4 の方法を含む。項目 1 9 は、付着させる工程が、分解性材料を除去する工程の後に実行されること、および半導体ダイをパッケージ基板に付着させるのに使用されるダイアタッチを用いてベントを塞ぐことをさらに特徴とする、項目 1 8 の方法を含む。

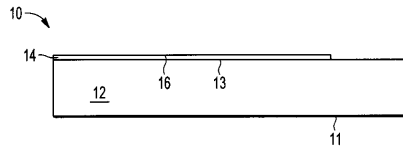
10

【 0 0 5 5 】

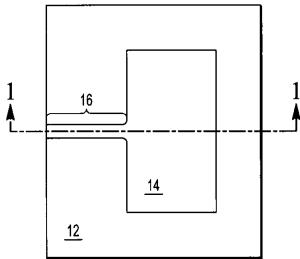
項目 2 0 は、パッケージ構造体であって、上面および底面を有するパッケージ基板と、パッケージ基板の底面に付着されるはんだボールと、上面および底面を有する半導体ダイと、半導体ダイの上面上およびパッケージ基板の一部上の封止材料と、半導体ダイの底面とパッケージ基板の底面との間の空隙とを含み、半導体ダイは、パッケージ基板の上面が半導体ダイの底面に近接する状態で、パッケージ基板に付着される、パッケージ構造体を含む。

20

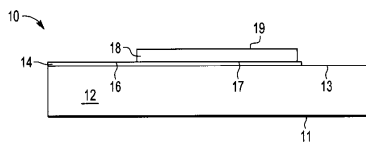
【図 1】



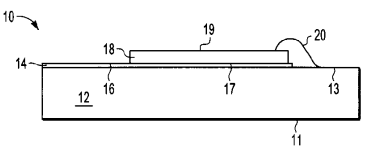
【図 2】



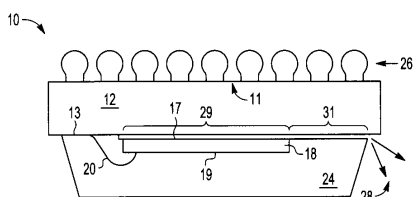
【図 3】



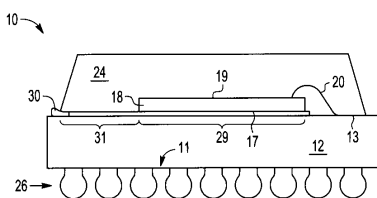
【図 4】



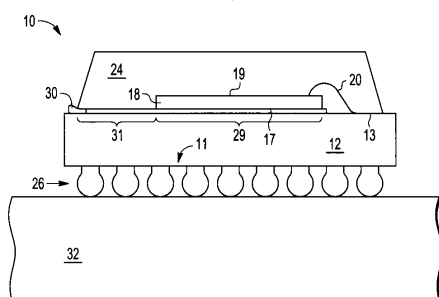
【図 8】



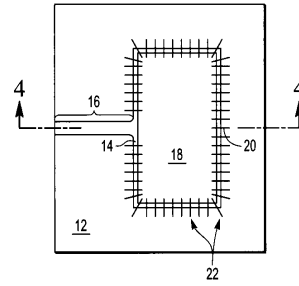
【図 9】



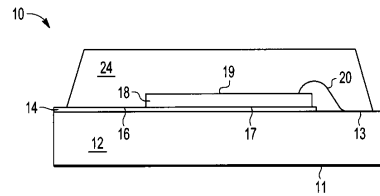
【図 10】



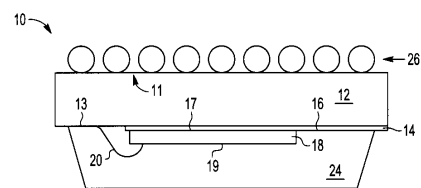
【図 5】



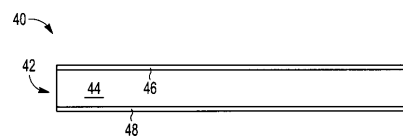
【図 6】



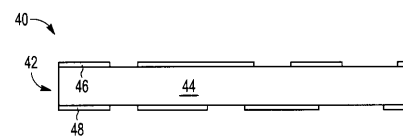
【図 7】



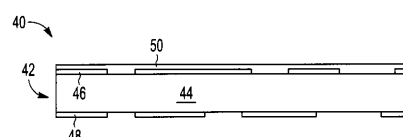
【図 11】



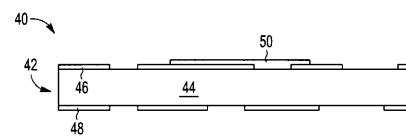
【図 12】



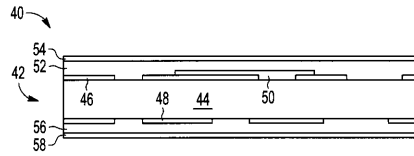
【図 13】



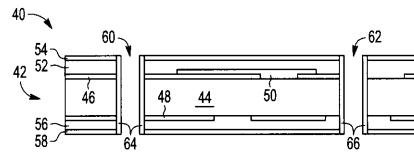
【図 14】



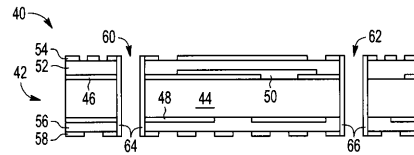
【図 15】



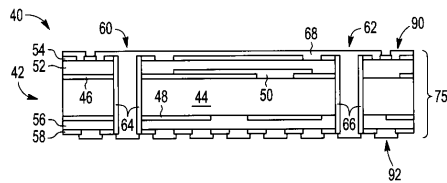
【図 16】



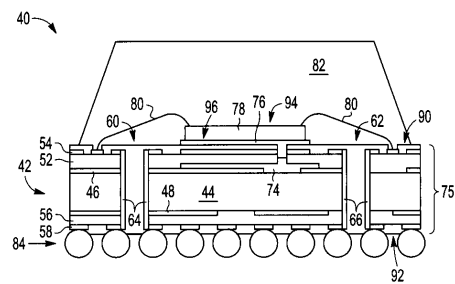
【図 17】



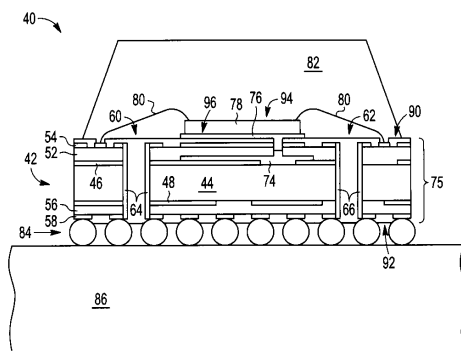
【図 18】



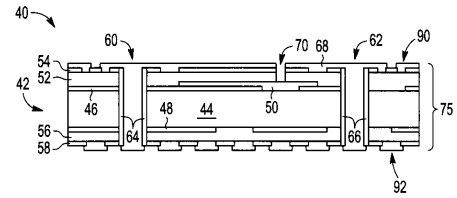
【図 21】



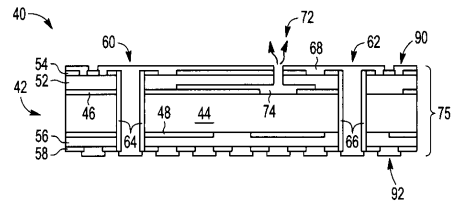
【図 22】



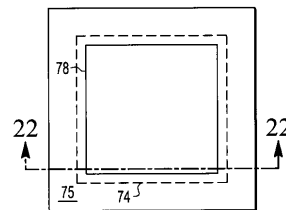
【図 19】



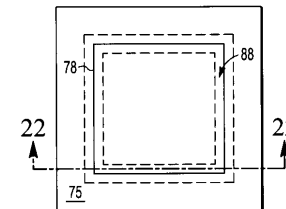
【図 20】



【図 23】



【図 24】



フロントページの続き

(72)発明者 バートン ジェイ・カーペンター

アメリカ合衆国 78754 テキサス州 オースティン ブラフ キャニオン ドライブ 11
103

(72)発明者 ブレット ピー・ウィルカーソン

アメリカ合衆国 78736 テキサス州 オースティン ダンケルク ドライブ 7102

審査官 井上 和俊

(56)参考文献 特開2010-238731(JP,A)

特開2010-040890(JP,A)

特開2009-094419(JP,A)

特開平11-345901(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 23/12