

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6214080号
(P6214080)

(45) 発行日 平成29年10月18日(2017.10.18)

(24) 登録日 平成29年9月29日(2017.9.29)

(51) Int.Cl.

H01L 23/12 (2006.01)

F 1

H01L 23/12
H01L 23/12F
501W

請求項の数 4 (全 14 頁)

(21) 出願番号 特願2013-128001 (P2013-128001)
 (22) 出願日 平成25年6月18日 (2013.6.18)
 (65) 公開番号 特開2014-11456 (P2014-11456A)
 (43) 公開日 平成26年1月20日 (2014.1.20)
 審査請求日 平成28年6月17日 (2016.6.17)
 (31) 優先権主張番号 13/537,388
 (32) 優先日 平成24年6月29日 (2012.6.29)
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127
 エヌエックスピー ユーエスエイ インコ
 ーポレイテッド
 N X P U S A, I n c.
 アメリカ合衆国 テキサス州 78735
 オースティン ウィリアム キャノン
 ドライブ ウエスト 6501
 (74) 代理人 100142907
 弁理士 本田 淳
 (72) 発明者 トレン特エス.ユーリン
 アメリカ合衆国 78132 テキサス州
 ニューブラウンフェルズ スプリング
 ホロー 443

最終頁に続く

(54) 【発明の名称】空隙を有する半導体パッケージ構造体および形成方法

(57) 【特許請求の範囲】

【請求項 1】

パッケージ構造体であって、
 上面および底面を有するパッケージ基板と、
 上面および底面を有する半導体ダイとを備え、
 前記半導体ダイは前記パッケージ基板に据え付けられ、
 前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接し、
 前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙が存在し、
 前記パッケージ構造体は、前記半導体ダイの前記上面と、前記パッケージ基板の前記上面の一部とに直接接触するとともに、前記半導体ダイの周縁面に直接接触する封止材料をさらに備え、
 前記空隙は、前記パッケージ基板の前記上面と前記半導体ダイの前記底面との間に存在し、前記空隙は、前記封止材料の外部への開口部を提供するために、前記パッケージ基板の前記上面と前記封止材料との間を前記パッケージ基板の前記上面に沿って延びているベントを有する、パッケージ構造体。

【請求項 2】

パッケージ構造体であって、
 上面および底面を有するパッケージ基板と、
 上面および底面を有する半導体ダイとを備え、
 前記半導体ダイは前記パッケージ基板に据え付けられ、

10

20

前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接し、
 前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙が存在し、
 前記パッケージ基板は複数の層を含み、前記空隙は、前記パッケージ基板において前記複数の層のうちの2つの層の間に存在し、
前記空隙は前記パッケージ基板の前記上面まで延びているベントを有する、パッケージ構造体。

【請求項3】

パッケージ構造体を形成する方法であって、
 上面および底面を有する半導体ダイを、上面および底面を有するパッケージ基板に付着させる工程であって、前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接する、前記付着させる工程と、

前記半導体ダイの前記上面の上および前記パッケージ基板の上面の一部の上に封止材料を被着させる工程であって、前記封止材料は、前記半導体ダイの前記上面と周縁面とに直接接触し、前記付着させる工程は、前記被着させる工程の前に前記半導体ダイを前記パッケージ基板に付着させるために、前記半導体ダイの前記底面と前記パッケージ基板の前記上面との間に分解性材料を使用する工程を含む、前記被着させる工程と、

分解性材料によって、前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙用領域を作成する工程と、

前記空隙用領域内に空隙が残るよう、前記分解性材料を除去する工程とを含み、
前記空隙用領域は、ベントを形成するべく前記半導体ダイの下から前記封止材料の外に延びている延在部を含む、方法。

【請求項4】

パッケージ構造体を形成する方法であって、
 上面および底面を有する半導体ダイを、上面および底面を有するパッケージ基板に付着させる工程であって、前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接する、前記付着させる工程と、

分解性材料によって、前記パッケージ基板に空隙用領域を作成する工程と、
 前記空隙用領域から前記パッケージ基板の外までベントを形成する工程と、
 前記空隙用領域内に空隙が残るよう、前記ベントを通じて前記分解性材料を除去する工程とを含み、

前記付着させる工程は、前記分解性材料を除去する工程の後に実行されることをさらに特徴とする、方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、一般的には半導体処理に関し、より具体的には、空隙を有する半導体パッケージ構造体に関する。

【背景技術】

【0002】

ボール・グリッド・アレイ (BGA) は、半導体ダイがBGAパッケージ基板の上面に据え付けられ、複数のはんだボールがBGAパッケージ基板の底面上に格子パターンに形成される半導体パッケージング技術である。その後、BGAパッケージは、プリント回路基板 (PCB) に付着されることができ、BGAパッケージのはんだボールの格子がダイとPCBとの間の電気接続を形成する。しかしながら、半導体ダイの熱膨張率 (CTE) は、一般的に、BGAパッケージ基板と比較して、およびPCBと比較して低い。この結果として、ダイの直下に位置するはんだボール、特に、ダイ端部の直下に位置するはんだボールにおいて、応力の高い領域が生じる。ダイ端部は、ダイがダイ付着接着剤によってBGAパッケージ基板に機械的に付着されるとともに、成形において封入されるため、応力が最も高い領域を形成する。それによって、BGAパッケージ基板はダイによって拘束される。応力の高い領域が存在することによって、その領域内に位置するBGA相互接

10

20

30

40

50

続が機械的に機能しなくなってしまう。

【0003】

特許文献1には応力の低減された集積回路についての記載がある。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】米国特許第7651891号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

空隙を有する半導体パッケージ構造体を提供する。

【課題を解決するための手段】

【0006】

上記問題点を解決するために、請求項1に記載の発明は、パッケージ構造体であって、上面および底面を有するパッケージ基板と、上面および底面を有する半導体ダイとを備え、前記半導体ダイは前記パッケージ基板に据え付けられ、前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接し、前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙が存在することを要旨とする。

【0007】

請求項2に記載の発明は、請求項1に記載のパッケージ構造体において、上面を有するプリント回路基板をさらに備え、前記パッケージ基板は前記プリント回路基板に据え付けられ、前記パッケージ基板の前記底面は前記プリント回路基板の前記上面に近接する、ことを要旨とする。

【0008】

請求項3に記載の発明は、請求項2に記載のパッケージ構造体において、前記パッケージ基板および前記プリント回路基板は同じ材料から成る、ことを要旨とする。

請求項4に記載の発明は、請求項3に記載のパッケージ構造体において、前記半導体ダイの前記上面は前記パッケージ基板の前記上面にワイヤボンディングされる、ことを要旨とする。

【0009】

請求項5に記載の発明は、請求項4に記載のパッケージ構造体において、前記パッケージ基板ははんだボールによって前記プリント回路基板に据え付けられる、ことを要旨とする。

【0010】

請求項6に記載の発明は、請求項1に記載のパッケージ構造体において、前記空隙は前記パッケージ基板の前記上面と前記半導体ダイの前記底面との間に存在する、ことを要旨とする。

【0011】

請求項7に記載の発明は、請求項6に記載のパッケージ構造体において、前記半導体ダイの前記上面と、前記パッケージ基板の前記上面の一部との上の封止材料をさらに備える、ことを要旨とする。

【0012】

請求項8に記載の発明は、請求項7に記載のパッケージ構造体において、前記半導体ダイは前記封止材料によって前記パッケージ基板に対し所定の位置に保持される、ことを要旨とする。

【0013】

請求項9に記載の発明は、請求項8に記載のパッケージ構造体において、前記空隙は前記封止材料の外部への開口部を提供するベントを有し、前記パッケージ構造体は前記ベントの栓をさらに備える、ことを要旨とする。

【0014】

10

20

30

40

50

請求項 10 に記載の発明は、請求項 1 に記載のパッケージ構造体において、前記空隙は前記パッケージ基板に存在する、ことを要旨とする。

請求項 11 に記載の発明は、請求項 10 に記載のパッケージ構造体において、前記空隙は前記半導体ダイの周縁の外まで延びている、ことを要旨とする。

【 0 0 1 5 】

請求項 12 に記載の発明は、請求項 10 に記載のパッケージ構造体において、前記空隙は前記パッケージ基板の前記上面まで延びているベントを有する、ことを要旨とする。

請求項 13 に記載の発明は、請求項 12 に記載のパッケージ構造体において、前記パッケージ基板の前記上面と前記半導体ダイの前記底面との間のダイアタッチであって、半導体ダイを前記パッケージ基板に付着させるとともに、前記ベント内に存在するダイアタッチをさらに備える、ことを要旨とする。 10

【 0 0 1 6 】

請求項 14 に記載の発明は、パッケージ構造体を形成する方法であって、上面および底面を有する半導体ダイを、上面および底面を有するパッケージ基板に付着させる工程であって、前記半導体ダイの前記底面は前記パッケージ基板の前記上面に近接する、付着させる工程と、分解性材料によって、前記パッケージ基板の前記底面と前記半導体ダイの前記底面との間に空隙用領域を作成する工程と、前記空隙用領域内に空隙が残るように、前記分解性材料を除去する工程とを含むことを要旨とする。

【 0 0 1 7 】

請求項 15 に記載の発明は、請求項 14 に記載の方法において、前記半導体ダイの前記上面の上および前記パッケージ基板の上面の一部の上に封止材料を被着させる工程をさらに含み、前記付着させる工程は、前記被着させる工程の前に前記半導体ダイを前記パッケージ基板に付着させるために、前記半導体ダイの前記底面と前記パッケージ基板の前記上面との間に前記分解性材料を使用する工程を含む、ことを要旨とする。 20

【 0 0 1 8 】

請求項 16 に記載の発明は、請求項 15 に記載の方法において、前記空隙用領域は、ベントを形成するべく前記半導体ダイの下から前記封止材料の外に延びている延在部を含む、ことを要旨とする。

【 0 0 1 9 】

請求項 17 に記載の発明は、請求項 16 に記載の方法において、前記除去する工程は、前記ベントを通じて前記分解性材料を除去する工程を含み、前記方法は、前記除去する工程の後に前記ベントを塞ぐ工程をさらに含む、ことを要旨とする。 30

【 0 0 2 0 】

請求項 18 に記載の発明は、請求項 14 に記載の方法において、前記空隙用領域は前記パッケージ基板に存在し、前記方法は、前記空隙用領域から前記パッケージ基板の外までベントを形成する工程をさらに含み、前記分解性材料を前記除去する工程は、前記ベントを通じて前記分解性材料を除去する工程を含む、ことを要旨とする。

【 0 0 2 1 】

請求項 19 に記載の発明は、請求項 18 に記載の方法において、前記付着させる工程は、前記分解性材料を除去する工程の後に実行され、前記半導体ダイを前記パッケージ基板に付着させるのに使用されるダイアタッチを用いて前記ベントを塞ぐ、ことを要旨とする。 40

。

【 0 0 2 2 】

請求項 20 に記載の発明は、パッケージ構造体であって、上面および底面を有するパッケージ基板と、前記パッケージ基板の前記底面に付着されるはんだボールと、上面および底面を有する半導体ダイと、前記半導体ダイの前記上面上および前記パッケージ基板の一部上の封止材料と、前記半導体ダイの前記底面と前記パッケージ基板の前記底面との間の空隙とを含み、前記半導体ダイは、前記パッケージ基板の前記上面が前記半導体ダイの前記底面に近接する状態で、前記パッケージ基板に付着される、ことを要旨とする。

【 図面の簡単な説明 】

10

20

30

40

50

【0023】

【図1】本開示の1つの実施形態による、処理の一段階におけるパッケージ構造体を示す断面図。

【図2】図1のパッケージ構造体を示す上面図。

【図3】処理の後続の段階における図1のパッケージ構造体を示す断面図。

【図4】処理の後続の段階における図3のパッケージ構造体を示す断面図。

【図5】図4のパッケージ構造体を示す上面図。

【図6】処理の後続の段階における図4のパッケージ構造体を示す断面図。

【図7】処理の後続の段階における図6のパッケージ構造体を示す断面図。

【図8】処理の後続の段階における図7のパッケージ構造体を示す断面図。

10

【図9】処理の後続の段階における図8のパッケージ構造体を示す断面図。

【図10】プリント回路基板（P C B）への付着後の図9のパッケージ構造体を示す断面図。

【図11】本開示の別の実施形態による、処理の一段階におけるパッケージ構造体を示す断面図。

【図12】処理の後続の段階における図11のパッケージ構造体を示す断面図。

【図13】処理の後続の段階における図12のパッケージ構造体を示す断面図。

【図14】処理の後続の段階における図13のパッケージ構造体を示す断面図。

【図15】処理の後続の段階における図14のパッケージ構造体を示す断面図。

【図16】処理の後続の段階における図15のパッケージ構造体を示す断面図。

20

【図17】処理の後続の段階における図16のパッケージ構造体を示す断面図。

【図18】処理の後続の段階における図17のパッケージ構造体を示す断面図。

【図19】処理の後続の段階における図18のパッケージ構造体を示す断面図。

【図20】処理の後続の段階における図19のパッケージ構造体を示す断面図。

【図21】処理の後続の段階における図20のパッケージ構造体を示す断面図。

【図22】P C Bへの付着後の図21のパッケージ構造体を示す断面図。

【図23】図22のパッケージ構造体を示す上面図。

【図24】代替の実施形態による図23のパッケージ構造体を示す上面図。

【発明を実施するための形態】

【0024】

30

本発明は例として示されており、添付の図面によって限定されない。図面において、同様の参照符号は類似の要素を示す。図面内の要素は簡潔かつ明瞭にするために示されており、必ずしも原寸に比例して描かれてはいない。

【0025】

1つの実施形態では、B G Aパッケージ構造体などのパッケージ構造体における半導体ダイとパッケージ基板との間のC T E不整合から生じる応力を低減するために、半導体ダイとパッケージ基板の底面との間に空隙が形成される。半導体ダイはパッケージ基板の上面に据え付けられ、半導体ダイの底面はパッケージ基板の上面に近接する。空隙は、パッケージ基板の底面と半導体ダイの底面との間に位置する。この空隙は、半導体ダイの底面とパッケージ基板の上面との間に位置してもよく、またはパッケージ基板、パッケージ基板の上面と底面との間に位置してもよい。半導体ダイの直下または半導体ダイの端部の下に位置するこの空隙は、半導体ダイをパッケージ基板の底面から分離し、それによって、パッケージ基板とP C Bとの間の相互接続における応力を低減する。

40

【0026】

図1は、処理の一段階におけるパッケージ構造体10の断面図を示す。パッケージ構造体10は、上面13および底面11を有するパッケージ基板12を含む。示されている実施形態では、パッケージ構造体10はB G Aパッケージ構造体であり、パッケージ基板12はB G Aパッケージ基板である。パッケージ構造体10は、パッケージ基板12の上面13上にダイアタッチ14を含む。1つの実施形態では、ダイアタッチ14は、共重合体などの熱分解性材料（T D M）である。この共重合体は、たとえば、ポリプロピレンカーボネート

50

ボネット、ポリシクロヘキセンカーボネット、ポリノルボルネンカーボネット、ポリノルボルネン、またはポリ(アルキレンカーボネット)であってよい。図2は、ダイアタッチ14を有するパッケージ基板12の上面図を示す。ダイアタッチ14は、パッケージ基板12の端部へと伸長するベント部16を含む。ダイアタッチ14は、ダイアタッチ14が分解されると形成されることになる空隙の場所に対応し、ベント部16は、ダイアタッチ14が分解すると形成されることになるベントの場所に対応する。それゆえ、ダイアタッチ14は、ベント部16によって画定される伸長部を含む空隙用領域を画定するものとして記載され得る。(なお、ダイアタッチ14は、TDMダイアタッチ14またはTDM14と称される場合もある。)

図3は、処理の後続の段階におけるパッケージ構造体10の断面図を示し、半導体ダイ18がダイアタッチ14上に据え付けられる。なお、半導体ダイ18はダイアタッチ14の主要部上に据え付けられ、ベント部16はダイ18からパッケージ基板12の端部まで横方向に伸長する。ダイ18は、上面19と底面17とを含み、底面17はダイアタッチ14の直上に配置され、パッケージ基板12の上面13に近接する。なお、ダイ18は、任意のタイプの半導体ダイ、または、受動素子(たとえば、抵抗、キャパシタ)など、パッケージ基板に据え付けられ得る任意の構成要素とできる。

【0027】

図4は、処理の後続の段階におけるパッケージ構造体10の断面図を示し、例示的なワイヤボンド20を含むワイヤボンドが、ダイ18の上面19からパッケージ基板12の上面13へと形成される。図5は、図4のパッケージ構造体10の上面図を示す。示されている実施形態では、例示的なワイヤボンド20を含むワイヤボンド22が、ダイ18の端部の周囲に放射状に形成されている。しかしながら、ワイヤボンドはベント部16の上には形成されない。また、ベント部16の両側には直に近接するワイヤボンドが、ベント部16から所定の距離をおいて配置され得る。ワイヤボンド22は、ダイ18とパッケージ基板12との間の電気接続を提供する。

【0028】

図6は、処理の後続の段階におけるパッケージ構造体10の断面図を示し、封止材料24がダイ18およびパッケージ基板12の上に形成される。封止材料24は、ダイ18の周縁端部を完全に包囲し、ダイ18およびワイヤボンド22を完全に被覆する。また、封止材料24は、ダイ18の上面19、ダイアタッチ14の部分、およびパッケージ基板12の上面13に直に接する。示されている実施形態では、封止材料24は、上面19の全体と直に接している。なお、パッケージ基板12の端部へと伸長するベント部16は封止材料24を越えて伸長し、それによって、ベント部16の少なくとも終端部は露出したままであり、封止材料24によって被覆されない。

【0029】

図7は、処理の後続の段階におけるパッケージ構造体10の断面図を示し、パッケージ構造体10は裏返されている(すなわち、180度回転されている)。はんだボール26が、パッケージ基板12の底面11に或るパターンで配置される。1つの実施形態では、パターンは格子パターンであるが、他のパターンが使用されてもよい。1つの実施形態では、最初にフラックス材料がパッケージ基板12の底面11に格子パターンで配置され、はんだボール26が、フラックス材料上に配置される。なお、はんだボール26は、任意の適切な合金から形成されてよく、異なる形状を有して形成されてもよい。

【0030】

図8は、処理の後続の段階におけるパッケージ構造体10の断面図を示し、パッケージ構造体10がリフローされる。リフロー中、はんだボール26は溶融した後凝固し、したがって、パッケージ基板12の底面11に(たとえば、フラックス材料によって)付着する。1つの実施形態では、リフローは、たとえば、摂氏250度など、摂氏200度以上の温度で実行される。1つの実施形態では、リフローは、TDMダイアタッチ14を分解させるのに十分な温度および継続時間において実行される。たとえば、多くのTDMが摂氏180度以上の温度で分解する。それゆえ、リフロー中、分解したダイアタッチ28が

10

20

30

40

50

、ベント31（分解したため、もはやダイアタッチ14のベント部16は含まない）を通じて気体として放出される。この結果として、ダイ18の底面17とパッケージ基板12の上面13との間で、ダイ18の直下に空隙29が形成される。それゆえ、空隙29およびベント31は、ダイアタッチ14によって画定された空隙用領域内に形成される。なお、パッケージ基板12の端部におけるダイアタッチ14の幅は、ベント31の幅に対応し、異なる幅が使用されてもよい。

【0031】

なお、代替の実施形態では、TDMダイアタッチ14の分解は、リフローとは別個に実行されてもよい。たとえば、はんだボール26を付着させる前に、パッケージ構造体10は、TDMダイアタッチ14を分解させるのに十分に高い温度および継続時間にさらされてもよい。たとえば、構造体10は、摂氏180度以上の温度、または摂氏200度を超える温度にさらされてもよい。なお、分解がリフロー中に実行されるか、またはリフロー前に実行されるかにかかわらず、パッケージ構造体10は、結果としてTDMダイアタッチ14のほぼ全体が分解されるのに十分な長さの時間にわたってより高温にさらされなければならない。また、TDMダイアタッチ14が分解し、結果として空隙29が生じた後、封止材料24はダイ18を、パッケージ基板12に対し所定の位置に保持する。

【0032】

図9は、処理の後続の段階におけるパッケージ構造体10の断面図を示し、栓30が使用されてベント31が塞がれている。たとえば、栓30は、部分的にベント31内に挿入され得るエポキシ樹脂ベースまたはシリコーンベースの材料であってよい。それゆえ、栓30は空隙29を保護する。

【0033】

図10は、処理の後続の段階におけるパッケージ構造体10の断面図を示し、はんだボール26がPCB32に付着される。すなわち、パッケージ基板12がPCB32に据え付けられ、それによって、パッケージ基板12の底面11がPCB32の上面に近接する。それゆえ、ワイヤボンド22によるダイ18からの電気接続の経路はパッケージ基板12を通じてはんだボール26まで導かれ、はんだボール26はPCB32に対する電気接続を提供する。1つの実施形態では、パッケージ基板12およびPCB32は、同じかまたは類似の材料を含み、したがって、同じかまたは類似のCTEを有し得る。

【0034】

空隙29はダイ18をパッケージ基板12の底面11から分離し、したがって、従来技術のBGAパッケージ構造体において形成される応力の高い面積を低減する。示されている実施形態では、空隙29はダイ18のほぼ全体の下に存在し、ダイ18の周縁の外まで延びている。しかしながら、代替の実施形態では、ダイ18の端部ははんだボール26に対する応力を発生させることに関しては最も問題のある領域であり得るため、空隙29は端部の下のみに存在してもよい。それゆえ、ダイ18と基板12との間、およびダイ18とPCB32との間のCTEの不整合の影響が空隙29によって低減され得る。

【0035】

図11は、処理の一段階におけるパッケージ構造体40の断面図を示す。パッケージ構造体40は、ラミネート層44ならびにラミネート層44の上面上の銅被覆46およびラミネート44の底面上の銅被覆48を有するコア42を含む。コア42は、銅被覆ラミネートコアと称される場合もある。

【0036】

図12は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、銅被覆46および48が各々パターニングされる。パターニングは、必要に応じて、半導体ダイからパッケージ基板を通じてはんだボールおよびPCBへと信号を導くために実行される。

【0037】

図13は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、銅被覆46およびラミネート44の上面の上にTDM50の層が形成される。

図14は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、TDM5

10

20

30

40

50

0の層がパターニングされて、半導体ダイの下に位置することになる空隙用領域が画定される。

【0038】

図15は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、樹脂層52が導電層54と銅被覆46との間および導電層54とTDM50との間に存在するよう10に、ラミネート44の上面上に樹脂層52および導電層54が積層され、樹脂層56が銅被覆48と導電層58との間に存在するよう、ラミネート44の底面上に樹脂層56および導電層58が積層される。1つの実施形態では、この積層は、ラミネート44の上面上にプリプレグ層上の導電層（たとえば、銅層）を積層すること、およびラミネート44の底面上に導電層（たとえば、銅層）およびプリプレグ層を積層することによって実行される。すべての層は一体にプレスされ（各プリプレグ層はラミネート44と導電層との間に存在する）樹脂を硬化するために熱および圧力にさらされる。プリプレグ層は、特定の合成樹脂を事前に含浸した纖維製材料（たとえば、部分的に硬化されたエポキシ樹脂またはbステージであるエポキシ樹脂を事前に含浸したガラスクロスなど）である。硬化中、樹脂は流れてコア42に付着する。

【0039】

図16は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、パッケージ構造体40を通じてビア開口部60および62が形成される。ビア開口部60および62はその後めっきされて、パッケージ構造体40を貫通する導電性ビア64および66が形成される。20

【0040】

図17は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、導電層54および58が各々必要に応じて、電気接続を導くとともに後続の電気接続のための場所を識別するためにパターニングされる。

【0041】

図18は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、導電層54および58の上および開口部60および62の中にはんだマスク層68が形成される。代替の実施形態（図示せず）では、開口部60および62は、はんだマスク層を形成する前にエポキシ樹脂を事前に充填されてもよい。はんだマスク層68は、導電層54および58の部分を露出させるようにパターニングされる。たとえば、パターン化はんだマスク層68は、導電層54の、ワイヤボンドが形成されることになる領域を露出させ得、パターン化はんだマスク層68は、導電層58の、はんだボールが続いて付着されることになる領域を露出させ得る。それゆえ、図18には、上面90および底面92を有するほぼ完成されたパッケージ基板75が示されている。なお、ニッケル／金めっきなどのさらなる処理が、導電層54および58の露出部分に対して実行されてもよい。30

【0042】

図19は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、TDM50を露出させるように、パッケージ基板75内に上面90からTDM50まで延びるベントが形成される。

【0043】

図20は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、TDM50を分解させるのに十分な温度および継続時間がパッケージ基板75に加えられる。たとえば、多くのTDMが摂氏180度以上の温度で分解する。それゆえ、少なくとも摂氏180度の温度、または少なくとも摂氏200度の温度が加えられ、その間、分解したTDM72がベント70によって気体として放出される。この結果として、パッケージ基板75内に形成されたTDM50によって画定された空隙用領域内に空隙74が形成される。なお、パッケージ基板75は、結果としてほぼすべてのTDM50を分解するために十分な長さの時間にわたってより高い温度にさらされる。

【0044】

図21は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、半導体ダ

10

20

30

40

50

イ78が、ダイアタッチ76によってパッケージ基板75の上面90に据え付けまたは付着される。ダイアタッチ76は最初にパッケージ基板75の上に形成され、ベント70内に伸長し得る。その後、ダイ78がダイアタッチ76上に据え付けられる。ダイ78は、上面94および底面96を有する。ワイヤボンド80が、ダイ78の上面94からパッケージ基板75の上面90までに（導電層54の露出部分までに）形成される。ダイ78およびパッケージ基板75の上に封止材料82が形成される。示されている実施形態では、封止材料82はダイ78の周縁端部を完全に包囲し、ダイ78およびワイヤボンド80を完全に被覆している。また、封止材料82はダイ78の上面94に直に接し、上面94の全体と直に接し得る。底面92上にはんだボール84が形成される。なお、はんだボール84は、はんだボール26を参照して記載されたのと同様に形成されてよい。たとえば、はんだボール84は、フラックス材料によって、パッケージ基板75の底面92に格子パターンで付着され、その後リフローされ得る。それゆえ、ワイヤボンド80によるダイ78からの電気接続の経路は、パッケージ基板75を通じてはんだボール84まで導かれる。

【0045】

代替の実施形態では、ベント70は、TDM50の分解後でかつダイアタッチ76の形成の前に塞がれてもよい。さらに別の代替の実施形態では、ベント70は形成されない。この実施形態では、分解したTDMは樹脂およびはんだマスクを通じて拡散し得る。

【0046】

図22は、処理の後続の段階におけるパッケージ構造体40の断面図を示し、はんだボール84がPCB86に付着される。すなわち、パッケージ基板75がPCB86に据え付けられ、それによって、パッケージ基板75の底面92がPCB86の上面に近接する。それゆえ、はんだボール84はPCB86に対する電気接続を提供する。1つの実施形態では、パッケージ基板75およびPCB86は、同じかまたは類似の材料から形成され、したがって、同じかまたは類似のCTEを有し得る。

【0047】

空隙74はダイ78をパッケージ基板75の底面92から分離し、したがって、従来技術のBGAパッケージ構造体において形成される応力の高い面積を低減する。示されている実施形態では、空隙74は、図23の上面図（点線は空隙74の輪郭を示す）によって示されるように、ダイ78のほぼ全体の下に存在し、ダイ78の周縁の外まで延びている。しかしながら、代替の実施形態では、ダイ78の端部ははんだボール84に対する応力を発生させることに関しては最も問題のある領域であり得るため、空隙74は端部の下のみに存在してもよい。この実施形態は図24の上面図によって示されており、点線の間の領域はダイ78の端部の下に存在する空隙88を表す。空隙用領域88は図11～図22を参照して上述したように形成され得、したがって、TDM50がそれにしたがって、空隙用領域を画定するようにパターニングされる。それゆえ、ダイ78と基板75との間、およびダイ78とPCB86との間のCTEの不整合の影響が空隙74または88によって低減され得る。

【0048】

ここまでで、半導体ダイの底面とパッケージ基板の底面との間で、BGAパッケージ構造体内に空隙が形成される結果として、ダイをパッケージ基板の底面から分離することによっていかに応力が低減され得るかを理解されたい。それゆえ、この結果として、BGAパッケージ構造体とPCBとの間の電気接続の信頼性が向上し得る。

【0049】

その上、本明細書および特許請求の範囲における「正面(front)」、「裏(back)」、「上部(top)」、「底(bottom)」、「上(over)」、「下(under)」などの用語は、存在する場合、説明を目的として使用されており、必ずしも絶対的な相対位置を記述するために使用されてはいない。このように使用される用語は、本明細書に記載されている本発明の実施形態がたとえば、本明細書において例示または他の様態で記載されている以外の方向性で動作することが可能であるように、適切な状況

10

20

30

40

50

下で置き換え可能であることが理解される。

【0050】

本明細書において、具体的な実施形態を参照して本発明を説明したが、添付の特許請求の範囲に明記されているような本発明の範囲から逸脱することなくさまざまな改変および変更を為すことができる。たとえば、空隙は、パッケージ構造体のダイアタッチ内またはパッケージ基板に形成されることができる。したがって、本明細書および図面は限定的な意味ではなく例示とみなされるべきであり、すべてのこののような改変が本発明の範囲内に含まれることが意図されている。本明細書において具体的な実施形態に関して記載されているいかなる利益、利点、または問題に対する解決策も、任意のまたはすべての請求項の重要な、必要とされる、または基本的な特徴または要素として解釈されるようには意図されていない。

10

【0051】

さらに、本明細書において使用される場合、「1つ（“a” or “an”）」という用語は、1つまたは2つ以上として定義される。さらに、特許請求の範囲における「少なくとも1つの」および「1つまたは複数の」のような前置きの語句の使用は、不定冠詞「1つの（“a” or “an”）」による別の請求項要素の付加が、このように付加された請求項要素を含む任意の特定の請求項を、たとえ同じ請求項が前置きの語句「1つまたは複数の」または「少なくとも1つの」および「1つの（“a” or “an”）」のような不定冠詞を含む場合であっても、1つだけのこののような要素を含む発明に限定することを暗示するように解釈されるべきではない。同じことが、定冠詞の使用についても当てはまる。

20

【0052】

別途記載されない限り、「第1の」および「第2の」のような用語は、そのような用語が説明する要素間で適宜区別するように使用される。したがって、これらの用語は必ずしも、このような要素の時間的なまたは他の優先順位付けを示すようには意図されていない。

【0053】

以下は本発明のさまざまな実施形態である。

項目1は、パッケージ基板であって、上面および底面を有するパッケージ基板と、上面および底面を有する半導体ダイとを含み、半導体ダイはパッケージ基板に据え付けられ、半導体ダイの底面はパッケージ基板の上面に近接し、パッケージ基板の底面と半導体ダイの底面との間に空隙が存在する、パッケージ基板を含む。項目2は、上面を有するプリント回路基板をさらに含み、パッケージ基板がプリント回路基板に据え付けられ、パッケージ基板の底面はプリント回路基板の上面に近接する、項目1のパッケージ構造体を含む。項目3は、パッケージ基板およびプリント回路基板が同じ材料から成る、項目2のパッケージ構造体を含む。項目4は、半導体ダイの上面がパッケージ基板の上面にワイヤボンディングされる、項目3のパッケージ構造体を含む。項目5は、パッケージ基板がはんだボールによってプリント回路基板に据え付けられる、項目4のパッケージ構造体を含む。項目6は、空隙がパッケージ基板の上面と半導体ダイの底面との間に存在する、項目1のパッケージ構造体を含む。項目7は、半導体ダイの上面およびパッケージ基板の上面の一部上の封止材料をさらに含む、項目1のパッケージ構造体を含む。項目8は、半導体ダイが封止材料によってパッケージ基板に対し所定の位置に保持される、項目7のパッケージ構造体を含む。項目9は、空隙が封止材料の外部に対する開口部を提供するペントを有し、パッケージ構造体がペントの栓をさらに備える、項目8のパッケージ構造体を含む。項目10は、空隙がパッケージ基板に存在する、項目1のパッケージ構造体を含む。項目11は、空隙が半導体ダイの周縁の外まで延びている、項目10のパッケージ構造体を含む。項目12は、空隙がパッケージ基板の上面まで延びるペントを有する、項目10のパッケージ構造体を含む。項目13は、パッケージ基板の上面と半導体ダイの底面との間のダイアタッチであって、半導体ダイをパッケージ基板に付着させるとともに、ペント内に存在するダイアタッチをさらに含む、項目12のパッケージ構造体を含む。

40

50

【0054】

項目14は、パッケージ構造体を形成する方法であって、方法は、上面および底面を有する半導体ダイを、上面および底面を有するパッケージ基板に付着させる工程であって、半導体ダイの底面はパッケージ基板の上面に近接する、付着させる工程と、分解性材料によって、パッケージ基板の底面と半導体ダイの底面との間に空隙用領域を作成する工程と、空隙用領域内に空隙が残るように、分解性材料を除去する工程とを含む、方法を含む。項目15は、半導体ダイの上面の上およびパッケージ基板の上面の一部の上に封止材料を被着させる工程をさらに含み、付着させる工程は、被着させる工程の前に半導体ダイをパッケージ基板に付着させるために、半導体ダイの底面とパッケージ基板の上面との間に分解性材料を使用する工程を含む、項目14の方法を含む。項目16は、空隙用領域が、ベントを形成するために、半導体ダイの下から封止材料の外側への延在部を含む、項目15の方法を含む。項目17は、除去する工程が、ベントを通じて分解性材料を除去する工程を含み、方法が、除去する工程の後にベントを塞ぐ工程をさらに含む、項目16の方法を含む。項目18は、空隙用領域がパッケージ基板に存在し、方法が、空隙用領域からパッケージ基板の外側までのベントを形成する工程をさらに含み、分解性材料を除去する工程は、ベントを通じて分解性材料を除去する工程を含む、項目14の方法を含む。項目19は、付着させる工程が、分解性材料を除去する工程の後に実行されること、および半導体ダイをパッケージ基板に付着させるのに使用されるダイアタッチを用いてベントを塞ぐことをさらに特徴とする、項目18の方法を含む。

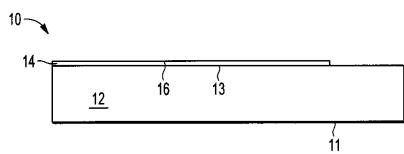
10

【0055】

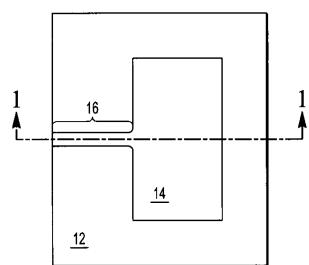
20

項目20は、パッケージ構造体であって、上面および底面を有するパッケージ基板と、パッケージ基板の底面に付着されるはんだボールと、上面および底面を有する半導体ダイと、半導体ダイの上面上およびパッケージ基板の一部上の封止材料と、半導体ダイの底面とパッケージ基板の底面との間の空隙とを含み、半導体ダイは、パッケージ基板の上面が半導体ダイの底面に近接する状態で、パッケージ基板に付着される、パッケージ構造体を含む。

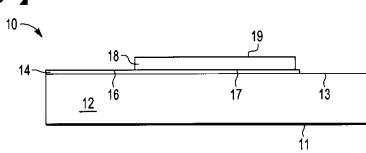
【図1】



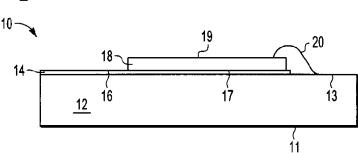
【図2】



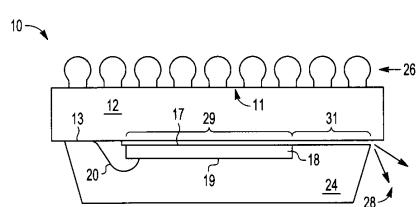
【図3】



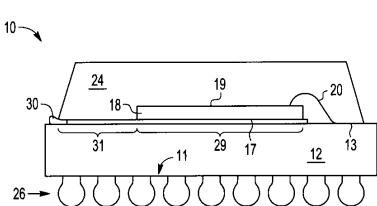
【図4】



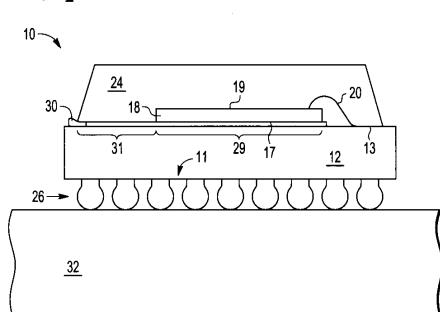
【図8】



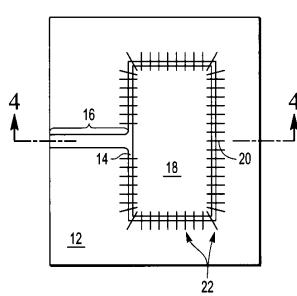
【図9】



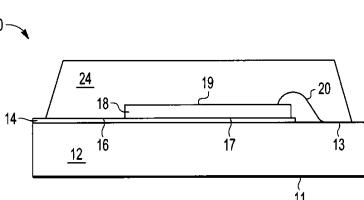
【図10】



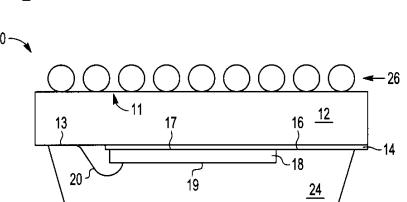
【図5】



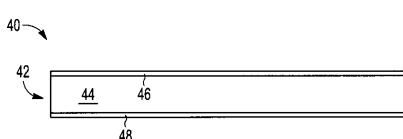
【図6】



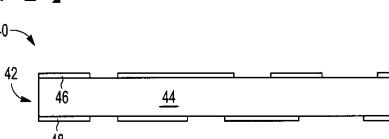
【図7】



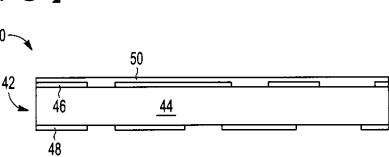
【図11】



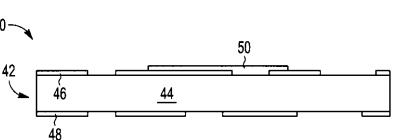
【図12】



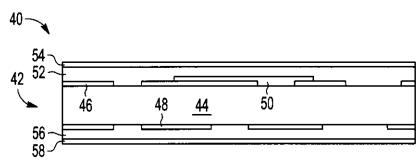
【図13】



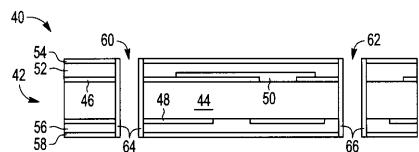
【図14】



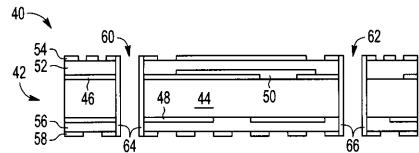
【図15】



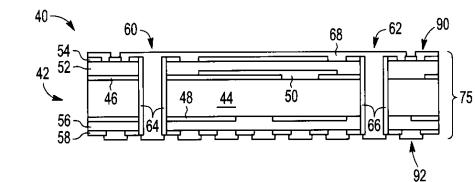
【図16】



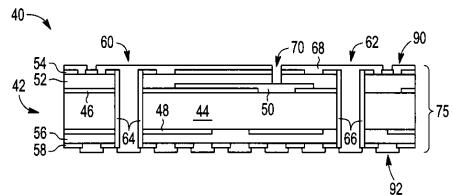
【図17】



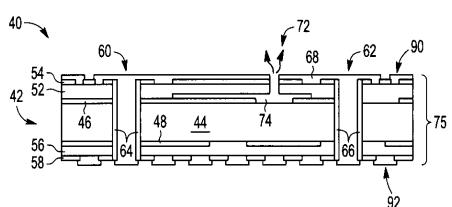
【図18】



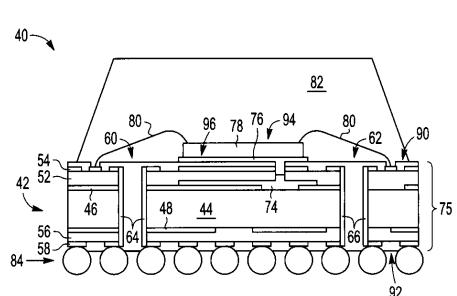
【図19】



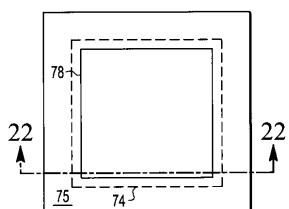
【図20】



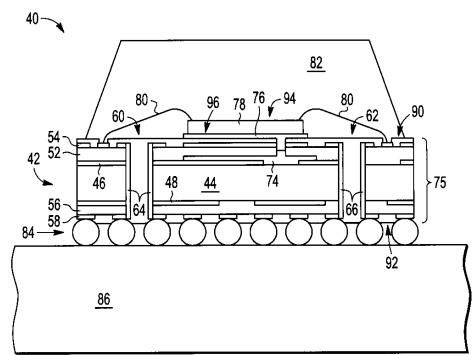
【図21】



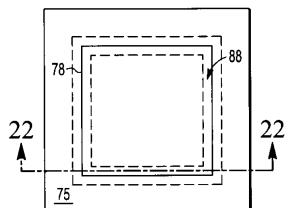
【図23】



【図22】



【図24】



フロントページの続き

(72)発明者 バートン ジェイ . カーペンター

アメリカ合衆国 78754 テキサス州 オースティン ブラフ キャニオン ドライブ 11
103

(72)発明者 ブレット ピー . ウィルカーソン

アメリカ合衆国 78736 テキサス州 オースティン ダンケルク ドライブ 7102

審査官 井上 和俊

(56)参考文献 特開2010-238731 (JP, A)

特開2010-040890 (JP, A)

特開2009-094419 (JP, A)

特開平11-345901 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H01L 23/12