

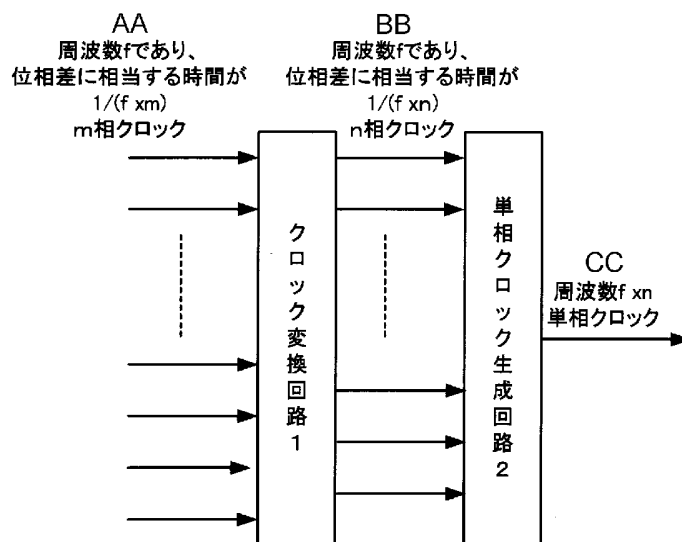


- (51) 国際特許分類:
G06F 1/06 (2006.01) H03K 5/00 (2006.01)
- (21) 国際出願番号: PCT/JP2005/017166
- (22) 国際出願日: 2005 年 9 月 16 日 (16.09.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2004-270742 2004 年 9 月 17 日 (17.09.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 野瀬 浩一
- (NOSE, Koichi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 水野 正之 (MIZUNO, Masayuki) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 柴山 充文 (SHIBAYAMA, Atsufumi) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 宇高 克己 (UDAKA, Katsuki); 〒1010025 東京都千代田区神田佐久間町 1-14 第二東ビル 5 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR,

[続葉有]

(54) Title: CLOCK GENERATING CIRCUIT AND CLOCK GENERATING METHOD

(54) 発明の名称: クロック生成回路、及びクロック生成方法



AA- M-PHASE CLOCKS OF FREQUENCY f HAVING PHASE DIFFERENCE EQUIVALENT TIME OF $1/(f \times m)$
BB- N-PHASE CLOCKS OF FREQUENCY f HAVING PHASE DIFFERENCE EQUIVALENT TIME OF $1/(f \times n)$
1- CLOCK CONVERTING CIRCUIT
2- SINGLE-PHASE CLOCK GENERATING CIRCUIT
CC- SINGLE-PHASE CLOCKS OF FREQUENCY $(f \times n)$

(57) Abstract: A clock converting circuit (1) receives and then converts m -phase clocks of a frequency f having a phase difference of $1/(f \times m)$ to n -phase clocks of the frequency f having a phase difference of $1/(f \times n)$. A single-phase clock generating circuit (2) receives the n -phase clocks of the frequency f having a phase difference equivalent time of $1/(f \times n)$ to generate single-phase clocks in synchronism with the rising or falling edges of the n -phase clocks. Since the frequency of the m -phase clocks inputted to the clock converting circuit (1) is " f ", if a desired frequency of the single-phase clocks is decided, then " n " can be obtained from the equation: the frequency of the single-phase clocks is equal to $(f \times n)$. This value of " n " is set to the clock converting circuit (1), thereby obtaining the n -phase clocks of the frequency f from the m -phase clocks of the frequency f to provide single-phase clocks of a desired frequency.

(57) 要約: 位相差 $1/(f \times m)$ 、周波数 f の m 相のクロックがクロック変換回路

1に入力されると、位相差 $1/(f \times n)$ 、周波数 f の n 相のクロックに変換される。単相クロック生

[続葉有]



LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

成回路2には、位相差に相当する時間が $1/(f \times n)$ 、周波数 f の n 相のクロックが入力され、単相クロック生成回路2は各 n 相クロックの立ち上り又立ち下りに同期して単相クロックを生成する。クロック変換回路1に入力される m 相のクロックの周波数は f であるので、希望する単相クロックの周波数が決定すれば、単相クロックの周波数 $= (f \times n)$ より n を求めることができる。この n をクロック変換回路1に設定することにより、周波数 f の m 相クロックから周波数 f の n 相クロックを得て、希望の周波数の単相クロックを得ることができる。

明 細 書

クロック生成回路、及びクロック生成方法

技術分野

- [0001] 本発明はクロック生成回路及びクロック生成方法に関し、特に多相クロックを用いて希望の周波数のクロックを生成するクロック生成回路及びクロック生成方法に関する。

背景技術

- [0002] 従来、複数の異なった周波数のクロックを生成する回路としては、PLL (Phase Locked Loop) 回路等を用い、それらの最小公倍数の周波数クロックを作り、それを適当な比率で分周することにより希望の周波数のクロック信号を生成する回路が知られている。一方、各種規格等の事情より、多くの種類の周波数が混在して必要となる場合がある。
- [0003] このような場合、従来の技術では、周波数の高いクロック信号を用意し、これを分周することにより得ている。例えば、400MHz、500MHzのクロックが必要な場合、これらの最小公倍数である周波数が2GHzのクロックを生成し、この2GHzのクロックを5分周および4分周することで、それぞれ400MHz、500MHzクロックを生成していた。
- [0004] しかし、2GHzクロックを生成する回路の実現は、たとえば0.4 μ m CMOSなどのデバイスでは非常に困難である。このため、PLL回路を400MHzと500MHzにそれぞれ独立して持つ必要が出てくる。これはPLL同士の干渉が起きたり、2つのPLL回路を持つため消費電流の増加、並びにレイアウト面積の増大などを招く欠点があった。
- [0005] さらに、PLL回路により動作周波数を切り替える場合には、数〜数百 μ sの切り替え時間が必要となり、その間クロック回路の動作が不安定になるという欠点もある。
- [0006] そこで、消費電力の増加、並びにチップ面積の増大を招くことなく、所望の周波数のクロック出力を得ることができるクロック生成回路が提案されている(例えば、特許文献1)。

[0007] この特許文献1に記載されたクロック生成回路は、図22に示す如く、単相クロックより所定周波数の多相クロックを生成する多相クロック発生回路110と、多相クロック発生回路110による多相クロックの一部を用いて互いにオーバーラップしないノン・オーバーラップ・パルス $p_0 \sim p_n$ を生成するパルス生成回路120-1～120-nと、パルス生成回路120-1～120-nによる複数のノン・オーバーラップ・パルス $p_0 \sim p_n$ の論理和を行うOR回路130とから構成されている。

[0008] 実際の動作を説明すると、多相クロック発生回路110により、例えば周波数250MHzの8相のクロック信号を発生させた場合、パルス生成回路120-1～120-nから得られるパルスをオーバーラップせずに選択することにより、得られるクロックの周波数は、2GHz、1GHz、666MHz、500MHz…となる。

特許文献1:特開2001-209454号公報

発明の開示

発明が解決しようとする課題

[0009] しかしながら、上述した特許文献1の技術では、2GHzから1GHzの範囲の周波数は生成することはできず、多相のクロック信号から得られる最高の周波数の次に得られる周波数は最高の周波数の $1/2$ の周波数である。

[0010] また、多くの回路は一つのクロックで動作することではなく、一般にある基準クロックと一緒に用いられる場合が多く、この場合、基準クロックとのタイミングが一致していなければならない。

[0011] しかしながら、上述の技術は他のクロック信号とタイミングを一致させる機能はなく、別途位相補正を行う回路が必要となり、回路面積の増大を招いていた。

[0012] そこで、本発明は上記課題に鑑みて発明されたものであって、その目的は一種類の多相クロックより多くの周波数の種類の単相クロックを得ることができるクロック生成回路及びその方法を提供することにある。

[0013] また、本発明の目的は、小面積、低電力であり、かつ、クロック生成時間を短縮することができるクロック生成回路及びその方法を提供することにある。

[0014] 更に、本発明の目的は、所定のクロックのタイミングとのずれを補正する機能を、クロック生成の機能と兼用させることにより、更なる小面積化を図れるクロック生成回路

及びその方法を提供することにある。

課題を解決するための手段

- [0015] 上記本発明の目的を達成する第1の発明は、クロック生成回路であって、周波数 f の m 相のクロックを、周波数 f の n 相のクロックに変換するクロック変換回路と、前記 n 相の各クロックの少なくとも一部を用いて単相のクロック信号を生成する単相クロック生成回路とを有することを特徴とする。
- [0016] 上記本発明の目的を達成する第2の発明は、クロック生成回路であって、同一の周波数 f であり、位相差に相当する時間が $1/(f \times m)$ ずつ異なる m 相のクロック信号を、同一の周波数 f であり、位相差に相当する時間が $1/(f \times n)$ ずつ異なる n 相のクロック信号に変換するクロック変換回路と、前記 n 相のクロック信号の一部又は全部のクロック信号を用いて、周波数 $(f \times n)/A$ (A は自然数)の単相のクロック信号を生成する単相クロック生成回路とを有することを特徴とする。
- [0017] 上記本発明の目的を達成する第3の発明は、クロック生成回路であって、周波数 f であり、位相差に相当する時間が $1/(f \times m)$ ずつ異なる m 相のクロック信号を、周波数 f であり、位相差に相当する時間が $1/(f \times n)$ ずつ異なる n 相のクロック信号に変換するクロック変換回路と、前記 n 相のクロックの立ち上り又は立ち下りに同期して、オーバーラップしないパルスを発生させ、このパルスを X おきに選択し、選択したパルスの論理和を取り、周波数 $(f \times n)/(X+1)$ (X は自然数)の単相のクロック信号を生成する単相クロック生成回路とを有することを特徴とする。
- [0018] 上記本発明の目的を達成する第4の発明は、上記第1から第3のいずれかの発明において、前記クロック変換回路は、少なくとも n 個の位相補間器を有し、前記各位相補間器は、前記 m 相のクロックの位相の異なる二つのクロックを入力し、前記二つのクロックのタイミング差を所定の内分比 ($a:b$, $a+b=n$) で分割した時間で規定される遅延時間のクロックを出力し、前記内分比が可変に構成されていることを特徴とする。
- [0019] 上記本発明の目的を達成する第5の発明は、上記第1から第4のいずれかの発明において、前記位相補間器に設定する内分比を制御する制御回路を有することを特徴とする。

- [0020] 上記本発明の目的を達成する第6の発明は、上記第5の発明において、前記制御回路は、基準クロックと前記単相クロックが供給された回路の末端で分配されたクロックとの位相差に相当する時間に基づいて、基準クロックのタイミングと前記単相クロックのタイミングとが一致するように前記所定の内分比を制御するように構成されていることを特徴とする。
- [0021] 上記本発明の目的を達成する第7の発明は、クロック生成回路であって、周波数 f であり、位相差に相当する時間が $1/(f \times m)$ づつ異なる m 相のクロック信号を、周波数 f であり、位相差に相当する時間が $1/(f \times n)$ づつ異なる n 相のクロック信号に変換するクロック変換回路と、前記 n 相のクロック信号から周波数 $(f \times n)$ の単相のクロック信号を生成する単相クロック生成回路とを有し、前記クロック変換回路は、 m 相のクロックの位相の異なる二つのクロックを入力し、前記二つのクロックのタイミング差を所定の内分比($a:b$ 、 $a+b=n$)で分割した時間で規定される遅延時間のクロックを出力し、前記内分比が可変に構成されている m 個の位相補間器を有し、前記単相クロック生成回路は、前記クロック変換回路から出力された n 相のクロックの立ち上り又は立ち下りのタイミングで、オーバーラップしないパルスが発生する n 個のパルス発生器と、前記パルス発生器が発生したパルスの論理和を取り、周波数 $(f \times n)$ の単相のクロックを生成する論理回路とを有することを特徴とする。
- [0022] 上記本発明の目的を達成する第8の発明は、上記第7の発明において、前記位相補間器に設定する内分比を制御する制御回路を有することを特徴とする。
- [0023] 上記本発明の目的を達成する第9の発明は、上記第8の発明において、前記制御回路は、基準クロックと、前記単相クロックが供給された回路の末端で分配されたクロックとの位相差に相当する時間に基づいて、基準クロックのタイミングと前記単相クロックのタイミングとが一致するように前記所定の内分比を制御するように構成されていることを特徴とする。
- [0024] 上記本発明の目的を達成する第10の発明は、集積回路であって、少なくとも一以上の本体回路と、前記本体回路に対応して設けられた上記第1から第9のいずれかのクロック生成回路とを有し、前記クロック生成回路に入力される m 相のクロックが同一のクロックであることを特徴とする。

- [0025] 上記本発明の目的を達成する第11の発明は、クロックの生成方法であって、周波数 f の m 相のクロックを、周波数 f の n 相のクロックに変換し、前記 n 相の各クロックの立ち上り又は立ち下りに同期したパルスが発生させ、このパルスの論理和を取り、周波数 $(f \times n)$ の単相のクロックを生成することを特徴とする。
- [0026] 上記本発明の目的を達成する第12の発明は、上記第11の発明において、 m 相のクロックから、位相の異なる二つのクロックを1組として n 組選択し、二つのクロックのタイミング差を所定の内分比($a:b$ 、 $a+b=n$)で分割した時間で規定される遅延時間のクロックを各組毎に生成することにより、 n 相クロックを生成することを特徴とする。
- [0027] 本発明のクロック生成回路は、図1に示される如く、クロック変換回路1と、単相クロック生成回路2とから構成される。
- [0028] クロック変換回路1は、周波数 f の m (m は自然数)相のクロックを入力とし、これを周波数 f の n (n は自然数)相のクロックに変換する回路であり、変換する n 相クロックについては n を自由に変更可能に構成されている。ここで、周波数 f の m 相のクロックとは、図2に示す如く、位相 0° のクロックから位相差に相当する時間が $1/(f \times m)$ ずつ増加していくクロックである。同様に、周波数 f の n 相クロックは、位相 0° のクロックから位相差に相当する時間が $1/(f \times n)$ ずつ増加していくクロックである。
- [0029] 単相クロック生成回路2は、周波数 f の n 相クロックの立ち上り又立ち下りに同期して単相クロックを生成する。
- [0030] このような構成における動作を説明する。
- [0031] 位相差 $1/(f \times m)$ 、周波数 f の m 相のクロックがクロック変換回路1に入力されると、位相差 $1/(f \times n)$ 、周波数 f の n 相のクロックに変換される。ここで、 n は希望する単相クロックの周波数により決定されるが、これについては後述する。
- [0032] 単相クロック生成回路2には、位相差に相当する時間が $1/(f \times n)$ 、周波数 f の n 相のクロックが入力され、単相クロック生成回路2は各 n 相クロックの立ち上り又立ち下りに同期して単相クロックを生成する。図2では、各 n 相クロックの立ち上りに同期した単相クロックを示したものである。この単相クロックの周波数は $(f \times n)$ であり、 n 相のクロックの位相差に相当する時間 $1/(f \times n)$ で決定される。
- [0033] クロック変換回路1に入力される m 相のクロックの周波数は f であるので、希望する単

相クロックの周波数が決定すれば、希望する単相クロックの周波数 $= (f \times n)$ より n を求めることができる。そして、この n をクロック変換回路1に設定することにより、周波数 f の m 相クロックから周波数 f の n 相クロックを得て、希望の周波数の単相クロックを得ることができる。

- [0034] 尚、図2では、各 n 相クロックの立ち上り間の時間を1周期とする周波数 $(f \times n)$ の単相クロックを生成する例を示したが、構成によっては、各 n 相クロックの立ち上り間の時間を半周期とする周波数 $(f \times n) / 2$ の単相クロックを生成することも可能である。また、 n 相のクロックの一部、例えば、任意の数おきに位相が重ならないよう選択することにより、周波数 $(f \times n) / A$ (A は自然数) の単相クロックを生成することも可能である。

発明の効果

- [0035] 本発明は、希望する単相クロックの周波数に従って、一種類の m 相クロックを、 n 相クロックに変換し、この n 相クロックの各クロックの立ち上り又は立ち下りに同期させて、希望の周波数の単相クロックを生成するようにしたので、従来のように、分周器や、一種類の多相クロックを用いて単相クロックを生成するものに比較して、多くの周波数の種類の単相クロックを得ることができる。
- [0036] また、本発明は、希望の周波数の単相クロックを生成する為に動作状態を記憶する複雑な制御回路が必要なく、小面積化、低電力化が図れる。
- [0037] また、本発明は、 m 相クロックを変換する回路として、少なくとも n 個の位相補間器を設け、各位相補間器は、 m 相のクロックの位相の異なる二つのクロックを入力し、二つのクロックのタイミング差を所定の内分比 ($a:b$, $a+b=n$) で分割した時間で規定される遅延時間のクロックを出力し、内分比を可変に構成したので、フィードバック制御が必要なく、瞬時に m 相クロックから n 相クロックを得て、希望の周波数の単相クロックを得ることができる。
- [0038] また、本発明は、 n の値を切り替えることで、クロックの周波数を数サイクルの期間で切り替えることができる。
- [0039] また、本発明は、従来のPLLによる周波数変換のように、フィードバック時の動作安定性を考慮する必要がなく、常に安定動作が保証できるため、設計がより容易になる。

[0040] 更に、本発明は、上述の少なくともn個の位相補間器は、ある基準となるクロックとのタイミングを一致させる補正機能も持つため、補正機能を別途設ける従来技術と比較して、大きな小面積化を図れる。

図面の簡単な説明

- [0041] [図1]図1は本発明のクロック生成回路の概略を説明する為の図である。
- [図2]図2は本発明のクロック生成回路の概略を説明する為の図である。
- [図3]図3は実施の形態におけるクロック生成回路の構成を示す図である。
- [図4]図4は位相補間器 $10_1 \sim 10_m$ を説明する為の図である。
- [図5]図5は実施の形態における動作を説明する為の図である。
- [図6]図6は実施例1におけるクロック生成回路の構成を示す図である。
- [図7]図7は位相補間器 $11_1 \sim 11_8$ を説明する為の図である。
- [図8]図8は位相補間器の具体的な回路構成を示す図である。
- [図9]図9は制御回路3の回路構成を示す図である。
- [図10]図10は制御回路3による値aと値bとの設定を説明する為の図である。
- [図11]図11は制御回路3による値aと値bとの設定を説明する為の図である。
- [図12]図12は1.75GHzの単相クロックを生成する動作を説明する為の図である。
- [図13]図13は1.5GHzの単相クロックを生成する動作を説明する為の図である。
- [図14]図14は実施例2の構成を示す図である。
- [図15]図15は実施例2を説明する為の図である。
- [図16]図16は実施例2における位相を調整することができる制御回路3及び位相補間器 $11_1 \sim 11_8$ の構成を示した図である。
- [図17]図17は実施例3の構成を示した図である。
- [図18]図18は実施例3の動作を説明する為の図である。
- [図19]図19は実施例4の構成を示した図である。
- [図20]図20は実施例5の構成を示した図である。
- [図21]図21は実施例5におけるクロック生成回路の構成を示した図である。
- [図22]図22は従来技術を説明する為の図である。
- [図23]図23は実施例1における他のクロック生成回路の構成を示す図である。

符号の説明

- [0042] 1 クロック変換回路
 2 単相クロック生成回路
 3 制御回路
 $11_1 \sim 11_8$ 位相補間器
 $21_1 \sim 21_8$ パルス発生器

発明を実施するための最良の形態

- [0043] 本発明の実施の形態を説明する。
- [0044] 図3は実施の形態におけるクロック生成回路の構成を示す図である。
- [0045] クロック変換回路1は、周波数 f の m (m は自然数)相クロックを入力とし、これを周波数 f の n (n は自然数)相のクロックに変換するクロック変換回路1と、周波数 f の n 相のクロックの立ち上りに同期して単相のクロックを生成する単相のクロック回路2、希望の周波数の単相クロックを得るため、クロック変換回路1に対して、変換する多相クロックの相数 n を指示する制御回路3とを有する。
- [0046] クロック変換回路1は、 m 相のクロック $CLK(1) \sim CLK(m)$ を入力とし、このクロック $CLK(1) \sim CLK(m)$ を、希望する単相のクロックの周波数に応じて決定される n 相のクロック $CLK(1') \sim CLK(n)$ に変換するものである。このクロック変換回路1は、 m 個の位相補間器 $10_1 \sim 10_m$ を有しており、各位相補間器 $10_1 \sim 10_m$ には互いに位相が異なる2つのクロックが入力され、この2つのクロックにより所定の位相を有する一つのクロックが出力される。例えば、位相補間器 10_1 には、位相の異なるクロック $CLK(1)$ とクロック $CLK(2)$ とが入力され、クロック $CLK(1')$ が出力される。各位相補間器 $10_1 \sim 10_m$ は、設定値 a と設定値 b ($a+b=n$)とが制御回路3から与えられ、図4に示される如く、第1の入力信号 $CLK(k)$ と第2の入力信号 $CLK(k+1)$ の位相差に相当する時間差 T を $b:a$ に分割した時間で規定される遅延時間のクロック $CLK(X)$ を出力する。
- [0047] 制御回路3は、希望する単相クロックの周波数を f_a とすると、 n 相のクロック $CLK(1') \sim CLK(n)$ の各位相差に相当する時間が $f_a = 1/(f \times n)$ となるように、各位相補間器 $10_1 \sim 10_m$ の設定値 a 及び設定値 b をコントロールし、クロック変換回路1に n 相のクロック $CLK(1') \sim CLK(n)$ を生成させる。

- [0048] 単相クロック生成回路2は、 n 相のクロックCLK(1')～CLK(n)を入力とし、図5に示す如く、各クロックCLK(1')～CLK(n)の立ち上り又は立ち下りに同期したパルスが発生し、このパルスの論理和を取ることにより、単相クロックを生成する。
- [0049] 尚、生成した n 個のパルスを、オーバーラップせずに X 個おきに選択し、この選択したパルスの論理和を取ることにより、周波数が $(f \times n) / (X + 1)$ である単相クロックを生成することもできる。図5に示した例は、生成した n 個のパルスを、オーバーラップせずに1個おきに選択し、この選択したパルスの論理和を取ることにより、周波数が $(f \times n) / (1 + 1) = (f \times n) / 2$ である単相クロックを生成したものである。
- [0050] 本実施の形態によれば、従来と比べて、一種類の多相クロックにより多くの種類の周波数のクロックを生成することができる。また、生成するクロックの周波数を変更する場合であっても、変更する為のフィードバック制御がなく、各位相補間器の値を変更するだけで、瞬時に周波数の変更が可能である。
- [0051] 以下に本発明の具体的な実施例を説明する。

実施例 1

- [0052] 図6は実施例1におけるクロック生成回路の構成を示す図である。尚、以下の実施例1では、具体的な説明を行うため、クロック生成回路に入力される多相クロックを8相クロックとして説明する。
- [0053] クロック生成回路は、周波数 f の8相クロックを入力とし、これを周波数 f の、例えば、7相クロックに変換するクロック変換回路1と、クロック変換回路1から出力される周波数 f の多相クロックの立ち上に同期して周波数 $(f \times n)$ 単相クロックを生成する単相クロック生成回路2、希望の周波数の単相クロックを得るため、クロック変換回路1に対して、変換する多相クロックの相数を指示する制御回路3とを有する。
- [0054] クロック変換回路1は、8相クロックを入力とし、この8相クロックを、希望する単相クロックの周波数に応じて決定される n 相クロックに変換するものである。このクロック変換回路1は、8個の位相補間器 $11_1 \sim 11_8$ を有しており、各位相補間器 $11_1 \sim 11_8$ には互いに位相が異なる2つのクロックが入力され、この2つのクロックにより所定の位相を有する一つのクロックが出力される。例えば、図6においては、位相補間器 11_1 には位相 0° のクロックと位相 45° のクロックとが入力され、位相補間器 11_2 には位相 45°

° のクロックと位相90° のクロックとが入力され、位相補間器11₃には位相90° のクロックと位相135° のクロックとが入力され、位相補間器11₄には位相135° のクロックと位相180° のクロックとが入力され、位相補間器11₅には位相180° のクロックと位相225° のクロックとが入力され、位相補間器11₆には位相225° のクロックと位相270° のクロックとが入力され、位相補間器11₇には位相270° のクロックと位相315° のクロックとが入力され、位相補間器11₈には位相315° のクロックと位相0° のクロックとが入力される。

[0055] 各位相補間器11₁～11₈は、設定値aと設定値b($a+b=n$)とが制御回路3から与えられ、図4に示される如く、第1の入力信号CLK (k)と第2の入力信号CLK (k+1)の位相差に相当する時間差Tをb:aに分割した時間で規定される遅延時間のクロックCLK (X)を出力する。具体的には、図7に示すように、 $a=4$, $b=3$ 、第1の入力信号CLK (k)が位相135°、第2の入力信号CLK (k+1)が位相180°である場合、これらの信号の位相差45°に相当する時間差Tを3:4に分割した時間で規定される遅延時間のクロック、すなわち、位相154°のクロックが出力される。

[0056] このような位相補間器11₁～11₈の具体的な回路構成を図8に示す。

[0057] 位相補間器11₁～11₈は、図8に示すように、ダイナミック回路と定電流源回路とを組み合わせ、第1の入力信号(CLK(k))により動作するNMOSTランジスタの数と第2の入力信号(CLK(k+1))により動作するNMOSTランジスタの数との比をa:bにすることで、2つの入力信号の位相差に相当する時間差Tをb:aに分割した時間で規定される遅延時間のクロックCLK (X)を出力することができる。尚、ランジスタの電流値をコントロールするのが制御回路3である。

[0058] 次に、上述した値aと値bとの設定の方法を説明する。

[0059] 図9は制御回路3による値aと値bとの設定を説明する為の図である。

[0060] まず、m相クロックをn相クロックに変換する場合、各位相補間器11₁～11_mの基準値Xとしてnをセットする。

[0061] 次に、制御回路3により値bを設定するが、その制御回路3は図9に示す如く、m個のシリアルに接続された加算器31₁～31_mにより構成されている。この加算器31₁～31_mは0から(m-1)までの2つの値を加算でき、その和SUが0から(m-1)の場合はSU

を、 m 以上の場合は $SU-M$ を、対応する位相補間器に出力する。尚、位相補間器 11_1 の値 b は通常0であるので、位相補間器 11_1 は加算器 $31_1 \sim 31_m$ に接続されていなくても良い。

[0062] このような制御回路3において、 m 相クロックを n 相クロックに変換する場合、制御回路3に、 $(m-n)$ となる値を入力する。

[0063] 位相補間器 $11_1 \sim 11_m$ は、3ビット加算器 $31_1 \sim 31_m$ からの出力値を値 b に設定し、この値 b より、 $a = X(n) - b$ となるように、値 a を設定する。尚、値 b が基準値 X 以上となった場合、位相補間器 $11_1 \sim 11_m$ は動作を停止するように構成されている。

[0064] 次に、具体例として、8相クロックを7相クロックに変換する場合を、図10を用いて説明する。図10に示す如く、制御回路3は7個のシリアルに接続された3ビット加算器 $31_1 \sim 31_m$ により構成されている。

[0065] このような構成において、8相クロックを7相クロックに変換する場合を説明すると、基準値 X は7であり、制御回路3に入力される値は $8-7=1$ である。そして、各位相補間器 $11_1 \sim 11_8$ の基準値 X は、7に設定される。尚、位相補間器 11_1 については、設定時に値 $a=7$ 、 $b=0$ が設定される。

[0066] 制御回路3に1が入力されると、3ビット加算器 31_1 は位相補間器 11_2 に“1(001)”を出力し、位相補間器 11_2 は値 b に“1”を設定し、値 a に“6(7-1)”を設定する。3ビット加算器 31_2 は位相補間器 11_3 に“2(010)”を出力し、位相補間器 11_3 は値 b に“2”を設定し、値 a に“5(7-2)”を設定する。続いて、3ビット加算器 31_3 は位相補間器 11_4 に“3(011)”を出力し、位相補間器 11_4 は値 b に“3”を設定し、値 a に“4(7-3)”を設定する。続いて、3ビット加算器 31_4 は位相補間器 11_5 に“4(100)”を出力し、位相補間器 11_5 は値 b に“4”を設定し、値 a に“3(7-4)”を設定する。3ビット加算器 31_5 は位相補間器 11_6 に“5(101)”を出力し、位相補間器 11_6 は値 b に“5”を設定し、値 a に“2(7-5)”を設定する。続いて、3ビット加算器 31_6 は位相補間器 11_7 に“6(111)”を出力し、位相補間器 11_7 は値 b に“6”を設定し、値 a に“1(7-6)”を設定する。最後に、3ビット加算器 31_6 は位相補間器 11_8 に“7(111)”を出力するが、値 b が“7”である為、値 b が基準値 X と等しくなり、位相補間器 11_8 は動作を停止する。

[0067] このようにして、8相のクロックを7相のクロックに変換する場合の値 a 及び値 b を設定

する。

- [0068] 値a及び値bを設定された各位相補間器 $11_1 \sim 11_8$ は、上述したように二つのクロックの時間差Tをb:aの内分比で分割した時間で規定される遅延時間のクロックを出力することにより、8相クロックから7相クロックに変換することが可能となる。本例では、位相補間器 11_1 から位相 0° のクロックが出力され、位相補間器 11_2 から位相 51° のクロックが出力され、位相補間器 11_3 から位相 103° のクロックが出力され、位相補間器 11_4 から位相 154° のクロックが出力され、位相補間器 11_5 から位相 205° のクロックが出力され、位相補間器 11_6 から位相 257° のクロックが出力され、位相補間器 11_7 から位相 308° のクロックが出力され、位相補間器 11_8 からはクロックが出力されない。
- [0069] 次に、8相クロックを6相クロックに変換する場合について、図11を用いて説明する。
- [0070] 8相クロックを6相クロックに変換する場合は、基準値Xは6であり、制御回路3に入力される値は $8-6=2$ である。そして、制御回路3に2が入力されると、3ビット加算器 31_1 は位相補間器 11_2 に“2(010)”を出力し、位相補間器 11_2 は値bに“2”を設定し、値aに“4(6-2)”を設定する。続いて、3ビット加算器 31_2 は位相補間器 11_3 に“4(100)”を出力し、位相補間器 11_3 は値bに“4”を設定し、値aに“2(6-4)”を設定する。
- [0071] 次に、3ビット加算器 31_3 は位相補間器 11_4 に“6(110)”を出力するが、値bが“6”である為、値bが基準値Xと等しくなり、位相補間器 11_4 は動作を停止する。
- [0072] 更に、3ビット加算器 31_4 は位相補間器 11_5 に“0(000)”(下位3ビット)を出力し、位相補間器 11_5 は値bに“0”を設定し、値aに“6(6-0)”を設定する。続いて、3ビット加算器 31_5 は位相補間器 11_6 に“2(010)”を出力し、位相補間器 11_6 は値bに“2”を設定し、値aに“4(6-2)”を設定する。続いて、3ビット加算器 31_6 は位相補間器 11_7 に“4(100)”を出力し、位相補間器 11_7 は値bに“4”を設定し、値aに“2(6-4)”を設定する。
- [0073] 最後に、3ビット加算器 31_6 は位相補間器 11_8 に“6(110)”を出力するが、値bが“6”である為、値bが基準値Xと等しくなり、位相補間器 11_8 は動作を停止する。
- [0074] このようにして、8相のクロックを6相のクロックに変換する場合の値a及び値bを設定

する。

[0075] 値a及び値bを設定された各位相補間器 $11_1 \sim 11_8$ は、上述したように二つのクロックの時間差Tをb:aの内分比で分割した時間で規定される遅延時間のクロックを出力することにより、8相クロックから6相クロックに変換することが可能となる。本例では、位相補間器 11_1 から位相 0° のクロックが出力され、位相補間器 11_2 から位相 60° のクロックが出力され、位相補間器 11_3 から位相 120° のクロックが出力され、位相補間器 11_4 からはクロックが出力されず、位相補間器 11_5 から位相 180° のクロックが出力され、位相補間器 11_6 から位相 240° のクロックが出力され、位相補間器 11_7 から位相 300° のクロックが出力され、位相補間器 11_8 からはクロックが出力されない。

[0076] 次に、単相クロック生成回路2について説明する。

[0077] 単相クロック生成回路2は、8個のパルス発生器 $21_1 \sim 21_8$ と、OR回路22とから構成される。各パルス発生器21は8個の位相補間器 $11_1 \sim 11_8$ に1対1に接続されており、位相補間器11から出力されるクロックに同期してパルスを発生するものである。OR回路22は、各パルス発生器21からパルスを受け、このパルスの論理和をとることにより、単相クロックを生成する。

[0078] このような構成において、以下に具体的な動作を、図12を用いて説明する。尚、以下の説明において、クロック変換回路1に入力される多相クロックを、周波数fが250MHzである8相クロックとして、希望する単相クロックの周波数を1.75GHzとして説明する。

[0079] まず、希望する単相クロックの周波数faが1.75GHzであり、 $fa = f \times n$ であるので、 $n = 7$ である。従って、制御回路3は、クロック変換回路1に入力される8相クロックを、周波数250MHzの7相クロックに変換するように制御する。

[0080] このとき、制御回路3により設定される各位相補間器 $11_1 \sim 11_8$ の(a, b)の値は、位相補間器 11_1 が(7, 0)であり、位相補間器 11_2 が(6, 1)であり、位相補間器 11_3 が(5, 2)であり、位相補間器 11_4 が(4, 3)であり、位相補間器 11_5 が(3, 4)であり、位相補間器 11_6 が(2, 5)であり、位相補間器 11_7 が(1, 6)であり、位相補間器 11_8 が(0, 0)である。

[0081] これにより、位相補間器 11_1 から位相 0° のクロックが出力され、位相補間器 11_2 から

位相 51° のクロックが出力され、位相補間器 11_3 から位相 103° のクロックが出力され、位相補間器 11_4 から位相 154° のクロックが出力され、位相補間器 11_5 から位相 205° のクロックが出力され、位相補間器 11_6 から位相 257° のクロックが出力され、位相補間器 11_7 から位相 308° のクロックが出力され、位相補間器 11_8 からはクロックが出力されない。

[0082] この様子を示したのが図12である。図12に示される如く、8相クロックから変換された7相クロックは、各クロックの位相差に相当する時間が $1/(250 \times 7)$ である。

[0083] 続いて、これらの7相クロックはパルス発生器 $21_1 \sim 21_8$ に入力され、各クロックの立ち上りに同期してパルスが発生される。例えば、パルス発生器 21_1 では位相 0° のクロックによりパルスが発生し、パルス発生器 21_3 では位相 51° のクロックによりパルスが発生し、パルス発生器 21_3 では位相 103° のクロックによりパルスが発生し、パルス発生器 21_4 では位相 154° のクロックによりパルスが発生し、パルス発生器 21_5 では位相 205° のクロックによりパルスが発生し、パルス発生器 21_6 では位相 257° のクロックによりパルスが発生し、パルス発生器 21_7 では位相 308° のクロックによりパルスが発生し、パルス発生器 21_8 ではパルスが発生しない。各パルスの周期は $1/(250 \times 7)$ である。

[0084] パルス発生器 $21_1 \sim 21_8$ により発生されたパルスはOR回路22に入力され、これらのパルスの論理和を取ることで、 $250 \times 7 = 1750 = 1.75\text{GHz}$ の単相クロックが発生される。

[0085] 続いて、1.5 GHzの単相クロックを生成する場合について説明する。

[0086] 希望する周波数 f_a は1.5 GHzであり、 f は250MHzなので、 $f_a = f \times n$ より、 $n = 6$ である。従って、制御回路3は、クロック変換回路1に入力される8相のクロックを、周波数250MHzの6相のクロックに変換するように制御する。

[0087] このとき、各位相補間器 $11_1 \sim 11_8$ の(a, b)の値は、位相補間器 11_1 が(6, 0)であり、位相補間器 11_2 が(4, 2)であり、位相補間器 11_3 が(2, 4)であり、位相補間器 11_4 が(0, 0)であり、位相補間器 11_5 が(6, 0)であり、位相補間器 11_6 が(4, 2)であり、位相補間器 11_7 が(2, 4)であり、位相補間器 11_8 が(0, 0)である。これにより、位相補間器 11_1 から位相 0° のクロックが出力され、位相補間器 11_2 から位相 60° のクロック

クが出力され、位相補間器11₃から位相120°のクロックが出力され、位相補間器11₄からはクロックが出力されず、位相補間器11₅から位相180°のクロックが出力され、位相補間器11₆から位相240°のクロックが出力され、位相補間器11₇から位相300°のクロックが出力され、位相補間器11₈からはクロックが出力されない。

[0088] この様子を示したのが図13である。図13に示される如く、8相クロックから変換された6相クロックは、各クロックの位相差に相当する時間が $1/(250 \times 6)$ である。

[0089] 続いて、これらの6相クロックはパルス発生器21₁～21₈に入力され、各クロックの立ち上りに同期してパルスが発生される。例えば、パルス発生器21₁では位相0°のクロックによりパルスが発生し、パルス発生器21₂では位相60°のクロックによりパルスが発生し、パルス発生器21₃では位相120°のクロックによりパルスが発生し、パルス発生器21₄ではクロックが発生せず、パルス発生器21₅では位相180°のクロックによりパルスが発生し、パルス発生器21₆では位相240°のクロックによりパルスが発生し、パルス発生器21₇では位相300°のクロックによりパルスが発生し、パルス発生器21₈ではパルスが発生しない。各パルスの周期は $1/(250 \times 6)$ である。

[0090] パルス発生器21₁～21₈により発生されたパルスはOR回路22に入力され、これらのパルスの論理和を取ることで、 $250 \times 6 = 1500 = 1.5\text{GHz}$ の単相クロックが発生される。

尚、本実施例では、クロック変換回路1に入力されるm相クロックのクロック数に合わせて、位相補間器及びパルス発生器の数をm個とした例を説明したが、クロック変換回路1で変換される多相クロックがn相クロック以下である場合には、位相補間器及びパルス発生器の数が少なくともn個あれば、本発明を実現することができる。例えば、図23に示される如く、8相クロックを6相クロック以下の多相クロックに変換する場合には、6個の位相補間器11₁～11₆及びパルス発生器21₁～21₆を設ける。そして、制御回路3の制御に従って、8相クロックから必要とする6つの位相のクロックを選択するクロック選択回路40を設け、このクロック選択回路40が各位相のクロックを対応する位相補間器11₁～11₆に出力するように構成する。図23では、8相クロックを6相クロックに変換する場合を示しており、位相補間器11₁には位相0°のクロックと位相45°のクロックとが入力され、位相補間器11₂には位相45°のクロックと位相90°のクロック

とが入力され、位相補間器 11_3 には位相 90° のクロックと位相 135° のクロックとが入力され、位相補間器 11_4 には位相 180° のクロックと位相 225° のクロックとが入力され、位相補間器 11_5 には位相 225° のクロックと位相 270° のクロックとが入力され、位相補間器 11_6 には位相 270° のクロックと位相 315° のクロックとが入力されている。後の動作は上述した実施例と同様である。

実施例 2

[0091] 本発明の実施例2を説明する。

[0092] 実施例2では上述した本発明のクロック生成回路に、位相補正の機能を追加した例を説明する。尚、以下の説明において、上述した実施の形態及び実施例1と同様な構成のものについては詳細な説明は省略する。

[0093] 図14は実施例2の構成を示す図であり、図14中、100は本発明のクロック生成回路であり、101はクロック生成回路100で生成されたクロックを分配し、このクロックにより動作される回路領域であり、102は回路領域101の末端で分配されたクロック(以下、末端分配クロックと呼ぶ)と回路全体の基準クロックとの位相を比較する位相比較器である。

[0094] クロック生成回路100は、位相補間器 $11_1 \sim 11_8$ により、各多相クロックの位相を調整することができることは上述した。8相のクロックの場合、位相補間器 $11_1 \sim 11_8$ によって位相差に相当する時間を調整することにより、 $45/7 \div 6.4^\circ$ ずつ位相を調整することができる。尚、 m 相クロックを n 相クロックに変換した場合は、 $360/(m \times n)^\circ$ ずつ位相を調整することができる。これを利用し、末端分配クロックのタイミングと、基準クロックのタイミングとを一致させる位相補正を行うことができる。

[0095] 例えば、図15に示す如く、末端分配クロックが8相クロックから変換した7相クロックを用いて生成された単相クロックの分配クロックであり、この末端分配クロックと基準クロックとのタイミング差が位相差 6.4° に相当する時間である場合、7相クロックを位相差 6.4° に相当する時間だけ遅延させ、7相クロックの位相を調整すればよい。

[0096] そこで、このような位相を調整することができる制御回路3及び位相補間器 $11_1 \sim 11_8$ の構成を図16に示す。

[0097] 上述した図9、10、11で示される制御回路3及び位相補間器 $11_1 \sim 11_8$ と異なる所

は、制御回路3に位相を制御する位相制御信号が入力され、この制御信号が3ビット加算器31₁と位相補間器11₁とに入力されていることである。

[0098] また、位相比較回路102は、回路領域101の末端分配クロックと基準クロックとの位相を比較し、この位相差を数値に置き換えて出力する。例えば、8相のクロックの場合、位相差を6.4°毎の7段階を、0° = 0、6.4° = 1、12.8° = 2というように、0から6の数値に対応させて出力する。

[0099] 尚、位相補間器11₁ ~ 11₈の構成は、上述したものと同一なので、構成の詳細な説明は省略する。

[0100] このように構成された制御回路3、位相補間器11₁ ~ 11₈及び位相比較回路102は以下の通り動作する。

[0101] 末端分配クロックと基準クロックとのタイミング差が位相差6.4°に相当する時間である場合、位相比較回路102は、位相制御信号として“1”を出力する。位相補間器11₁ ~ 11₈の基準値Xは7であり、周波数制御信号は“1”である。

[0102] 位相制御信号として“1”、周波数制御信号として“1”が入力されると、位相補間器11₁に“1(001)”が入力され、位相補間器11₁は値bに“1”を設定し、値aに“6(7-1)”を設定する。

[0103] 続いて、3ビット加算器31₁は位相補間器11₂に“2(010)”を出力し、位相補間器11₂は値bに“2”を設定し、値aに“5(7-2)”を設定する。3ビット加算器31₂は位相補間器11₃に“3(011)”を出力し、位相補間器11₃は値bに“3”を設定し、値aに“4(7-3)”を設定する。

[0104] 次に、3ビット加算器31₃は位相補間器11₄に“4(100)”を出力し、位相補間器11₄は値bに“4”を設定し、値aに“3(7-4)”を設定する。続いて、3ビット加算器31₄は位相補間器11₅に“5(101)”を出力し、位相補間器11₅は値bに“5”を設定し、値aに“2(7-5)”を設定する。

[0105] 更に、3ビット加算器31₅は位相補間器11₆に“6(110)”を出力し、位相補間器11₆は値bに“6”を設定し、値aに“1(7-6)”を設定する。続いて、3ビット加算器31₆は位相補間器11₇に“7(111)”を出力するが、値bが“7”である為、値bが基準値Xと等しくなり、位相補間器11₇は動作を停止する。

- [0106] 最後に、3ビット加算器31₇は位相補間器11₈に“0(000)”(下位3ビット)を出力し、位相補間器11₇は値bに“0”を設定し、値aに“7(7-0)”を設定する。
- [0107] これにより、位相補間器11₁から位相6.4°のクロックが出力され、位相補間器11₂から位相57.8°のクロックが出力され、位相補間器11₃から位相109°のクロックが出力され、位相補間器11₄から位相160°のクロックが出力され、位相補間器11₅から位相212°のクロックが出力され、位相補間器11₆から位相263°のクロックが出力され、位相補間器11₇からはクロックが出力されず、位相補間器11₈から位相315°のクロックが出力される。
- [0108] 続いて、これらの7相クロックはパルス発生器21₁～21₈に入力され、各クロックの立ち上りに同期してパルスが発生される。パルス発生器21₁～21₈により発生されたパルスはOR回路22に入力され、これらのパルスの論理和を取ることににより、6.4°位相がずれ、基準クロックとタイミングが一致した単相クロックが生成され、末端分配クロックのタイミングと基準クロックのタイミングとが一致する。

実施例 3

- [0109] 実施例3を説明する。
- [0110] 上述した実施例1及び実施例2では、m相のクロックに対して一対一の関係になるように位相補間器及びパルス発生器を設けた。例えば、8相のクロックでは、8個の位相補間器11₁～11₈と、パルス発生器21₁～21₈とを設けて構成した。しかしながら、多相クロックが偶数(mが偶数)の場合には、位相補間器及びパルス発生器を半分の数に減らすことも可能である。そこで、実施例3では、位相補間器及びパルス発生器を半分の数に減らして構成したクロック生成回路について説明する。
- [0111] 図17は実施例3におけるクロック生成回路の構成を示した図である。尚、実施例1及び実施例2と同様な構成のものについては、同じ符号を付してある。
- [0112] 実施例3が実施例1及び実施例2と異なる所は、位相補間器及びパルス発生器を半分の数に減らし、多相クロックを選択するクロック選択回路12₁～12₄と、位相補間器11₁～11₄の内分比を決定する値(a, b)を選択する内分比選択回路13₁～13₄とを設けている点である。
- [0113] クロック選択回路12₁～12₄には、位相の異なる2つのクロックが入力され、選択制

御信号により一つのクロック信号を出力するように構成されている。

- [0114] 図17では、クロック選択回路12₁には位相0°のクロックCLK1と位相180°のクロックCLK5が入力され、選択制御信号としてクロックCLK3が入力されている。そして、クロックCLK3のローレベルでクロックCLK1を選択し、ハイレベルでクロックCLK5を選択するように構成されている。
- [0115] また、クロック選択回路12₂には位相45°のクロックCLK2と位相225°のクロックCLK6が入力され、選択制御信号としてクロックCLK4が入力されている。そして、クロックCLK4のローレベルでクロックCLK2を選択し、ハイレベルでクロックCLK6を選択するように構成されている。
- [0116] また、クロック選択回路12₃には位相180°のクロックCLK3と位相270°のクロックCLK7が入力され、選択制御信号としてクロックCLK5が入力されている。そして、クロックCLK5のローレベルでクロックCLK3を選択し、ハイレベルでクロックCLK6を選択するように構成されている。
- [0117] また、クロック選択回路12₄には位相90°のクロックCLK4と位相315°のクロックCLK8が入力され、選択制御信号としてクロックCLK6が入力されている。そして、クロックCLK6のローレベルでクロックCLK4を選択し、ハイレベルでクロックCLK7を選択するように構成されている。
- [0118] 内分比選択回路13₁～13₄には、制御回路3から出力される二つの値bが入力され、選択制御信号により一つの値bを位相補間器11₁～11₄に出力するように構成されている。
- [0119] 図17は、制御回路3に入力される位相制御信号が“0”、周波数が“1”の場合を示しており、内分比選択回路13₁には出力S1と、3ビット加算器31₄の出力S5とが入力され、選択制御信号としてクロックCLK3が入力されている。そして、クロックCLK3のローレベルで出力S1を選択し、ハイレベルで出力S2を選択して、位相補間器11₁に出力するように構成されている。
- [0120] また、内分比選択回路13₂には3ビット加算器31₁の出力S2と、3ビット加算器31₅の出力S6とが入力され、選択制御信号としてクロックCLK4が入力されている。そして、クロックCLK4のローレベルで出力S2を選択し、ハイレベルで出力S6を選択して、位相

補間器 11_2 に出力するように構成されている。

[0121] また、内分比選択回路 13_3 には3ビット加算器 31_2 の出力S3と、3ビット加算器 31_6 の出力S7とが入力され、選択制御信号としてクロックCLK5が入力されている。そして、クロックCLK5のローレベルで出力S3を選択し、ハイレベルで出力S7を選択して、位相補間器 11_3 に出力するように構成されている。

[0122] また、内分比選択回路 13_4 には3ビット加算器 31_3 の出力S4と、3ビット加算器 31_7 の出力S8とが入力され、選択制御信号としてクロックCLK6が入力されている。そして、クロックCLK6のローレベルで出力S4を選択し、ハイレベルで出力S8を選択して、位相補間器 11_4 に出力するように構成されている。

[0123] 各位相補間器 $11_1 \sim 11_4$ は、実施例1及び実施例2と同様に値a、値bとで決定される内分比に従った位相のクロック信号を出力する。

[0124] また、各パルス発生器 $21_1 \sim 21_4$ は、各位相補間器 $11_1 \sim 11_4$ に一对一に対応して設けられ、実施例1及び実施例2と同様にパルスを発生する。

[0125] このような構成において動作を説明する。

[0126] 図18はクロック選択回路 12_1 及び各位相補間器 11_1 の動作に着目したタイミング図である。

[0127] 図18によれば、まず、クロック選択回路 12_1 には位相 0° のクロックCLK1と位相 180° のクロックCLK5が入力され、選択制御信号としてクロックCLK3が入力されている。そして、クロックCLK3のローレベルでクロックCLK1を選択している。一方、クロック選択回路 12_2 には位相 45° のクロックCLK2と位相 225° のクロックCLK6が入力され、選択制御信号としてクロックCLK4が入力されている。そして、クロックCLK4のローレベルでクロックCLK2を選択している。

[0128] 従って、この時点で、位相補間器 11_1 に入力されるクロックは、位相 0° のクロックCLK1と位相 45° のクロックCLK2とである。そして、内分比選択回路 13_1 も選択制御信号としてクロックCLK3が入力されているので、位相 0° のクロックCLK1と位相 45° のクロックCLK2とが入力されている時の位相補間器 11_1 の(a, b)の値は、(7, 0)である。従って、位相補間器 11_1 から出力されるクロックは、位相 0° のクロックである。

[0129] 次に、クロックCLK3がハイレベルになったとき、クロック選択回路 12_1 はクロックCLK5

選択して出力する。また、一方、クロック選択回路12₂はクロックCLK6選択して出力する。

[0130] 従って、この時点で、位相補間器11₁に入力されるクロックは、位相180°のクロックCLK5と位相225°のクロックCLK6とである。そして、内分比選択回路13₁も選択制御信号としてクロックCLK3が入力されているので、位相180°のクロックCLK5と位相225°のクロックCLK6とが入力されている時の位相補間器11₁の(a, b)の値は、(3, 4)である。従って、位相補間器11₁から出力されるクロックは、位相206°のクロックである。

[0131] 一つの位相補間器11₁から2つの位相の異なるクロックが必要なタイミングで、パルス発生器21₁に出力される。同様に、各位相補間器からも2つの位相の異なるクロックが必要なタイミングで各パルス発生器に出力されるので、実施例1及び実施例2と同様に希望の単相クロックを生成することができる。

実施例 4

[0132] 実施例4を説明する。

[0133] 実施例4では、上述した実施例2の構成のものを、異なるクロックで動く回路領域毎に設けたことを特徴とする。

[0134] 図19は実施例の構成を示した図である。図19に示される如く、一つの8相クロックをクロック生成回路100₁～100_nまで分配し、各クロック生成回路100₁～100_nで各回路領域101₁～101_nに必要なクロックを生成するようにしている。

[0135] また、各位相比較器102₁～102_nにより、各回路領域101₁～101_nの末端分配クロックと基準クロックとを比較し、各クロック生成回路100₁～100_nによって、基準クロックと位相が一致するように位相補正を行うようにしている。

[0136] 本実施例によれば、一つの多相クロックにより、各回路領域に必要なクロックを生成することができると共に、基準クロックとの位相調整ができるという効果を有し、更に回路の小面積化が実現できる。

更に、基準クロックのみを等長配線等の技術を用いて、各回路領域のクロック変換回路間のタイミングをそろえることで、多相クロックの各回路領域へ分配するタイミングが一致しなくとも、各回路領域の位相を一致させることができるという効果がある。

実施例 5

- [0137] 本発明の実施例5を説明する。
- [0138] 実施例5は上述した実施例4の変形例である。実施例4では、一つの8相クロックを複数領域に供給するように構成したが、このような構成では配線パターンが複雑になり、また、回路面積の増大につながる。そこで、実施例5では、周波数の高いマスタークロックを各領域に供給し、クロック生成回路の直前で分周することにより多相クロックを得る場合の例について説明する。
- [0139] 図20は実施例5の構成を示す図である。図20に示される如く、一つのマスタークロックをクロック生成回路 $100_1 \sim 100_n$ に供給し、各クロック生成回路 $100_1 \sim 100_n$ で各回路領域 $101_1 \sim 101_n$ に必要なクロックを生成するようにしている。
- [0140] 各クロック生成回路 $100_1 \sim 100_n$ は、図21に示す如く、 m 相クロックを n 相クロックに変換するクロック変換回路1の前に m 相クロック発生回路50を有している。この m 相クロック発生回路50は、マスタークロックを分周等することによりから m 相クロックを発生する。
- [0141] このような構成にすることの効果は、上述したように多相クロックを複数領域に供給することによる配線パターンの複雑化及び回路面積の増大を防止することにあるが、更なる効果として、本発明は位相調整の機能を有することからマスタークロックと基準クロックとのタイミング調整に多くの労力をかけなくても済むという効果がある。
- [0142] 各領域に供給される単相クロックはマスタークロックから得られた多相クロックから生成される。従って、マスタークロックのタイミングが基準クロックと合っていない場合には、単相クロックと基準クロックとのタイミングがずれているはずである。
- [0143] このため、マスタークロックと基準クロックとのタイミングを一致させる必要があるが、多相クロックを得るためには、このクロックよりも周波数の高いマスタークロックを必要とする為、等長配線等の技術を用いて周波数の低い基準クロックとのタイミングの調整を図っており、これらが回路設計を困難にする。
- [0144] しかしながら、本発明のクロック生成回路は、基準クロックとのタイミング調整を図る補正機能を有するので、マスタークロックと基準クロックとのタイミングに注力することなく、回路設計の自由度を確保できる。

更に、基準クロックのみを等長配線等の技術を用いて、各回路領域のクロック変換回路間のタイミングをそろえることで、マスタークロックの各回路領域へ分配するタイミングが一致しなくとも、各回路領域の位相を一致させることができるという効果がある。

請求の範囲

- [1] クロック生成回路であって、
周波数 f の m 相のクロックを、周波数 f の n 相のクロックに変換するクロック変換回路と、
前記 n 相の各クロックの少なくとも一部を用いて単相のクロック信号を生成する単相クロック生成回路と
を有することを特徴とするクロック生成回路。
- [2] クロック生成回路であって、
同一の周波数 f であり、位相差に相当する時間が $1/(f \times m)$ ずつ異なる m 相のクロック信号を、同一の周波数 f であり、位相差に相当する時間が $1/(f \times n)$ ずつ異なる n 相のクロック信号に変換するクロック変換回路と、
前記 n 相のクロック信号の一部又は全部のクロック信号を用いて、周波数 $(f \times n)/A$ (A は自然数)の単相のクロック信号を生成する単相クロック生成回路と
を有することを特徴とするクロック生成回路。
- [3] クロック生成回路であって、
周波数 f であり、位相差に相当する時間が $1/(f \times m)$ ずつ異なる m 相のクロック信号を、周波数 f であり、位相差に相当する時間が $1/(f \times n)$ ずつ異なる n 相のクロック信号に変換するクロック変換回路と、
前記 n 相のクロックの立ち上り又は立ち下りに同期して、オーバーラップしないパルスが発生させ、このパルスを X おきに選択し、選択したパルスの論理和を取り、周波数 $(f \times n)/(X + 1)$ (X は自然数)の単相のクロック信号を生成する単相クロック生成回路と
を有することを特徴とするクロック生成回路。
- [4] 前記クロック変換回路は、少なくとも n 個の位相補間器を有し、
前記各位相補間器は、前記 m 相のクロックの位相の異なる二つのクロックを入力し、前記二つのクロックのタイミング差を所定の内分比($a:b$ 、 $a+b=n$)で分割した時間で規定される遅延時間のクロックを出力し、前記内分比が可変に構成されていることを特徴とする請求項1から請求項3のいずれかに記載のクロック生成回路。

- [5] 前記位相補間器に設定する内分比を制御する制御回路を有することを特徴とする請求項1から請求項4のいずれかに記載のクロック生成回路。
- [6] 前記制御回路は、基準クロックと前記単相クロックが供給された回路の末端で分配されたクロックとの位相差に相当する時間に基づいて、基準クロックのタイミングと前記単相クロックのタイミングとが一致するように前記所定の内分比を制御するように構成されていることを特徴とする請求項5のいずれかに記載のクロック生成回路。
- [7] クロック生成回路であって、
周波数 f であり、位相差に相当する時間が $1/(f \times m)$ ずつ異なる m 相のクロック信号を、周波数 f であり、位相差に相当する時間が $1/(f \times n)$ ずつ異なる n 相のクロック信号に変換するクロック変換回路と、
前記 n 相のクロック信号から周波数 $(f \times n)$ の単相のクロック信号を生成する単相クロック生成回路とを有し、
前記クロック変換回路は、 m 相のクロックの位相の異なる二つのクロックを入力し、前記二つのクロックのタイミング差を所定の内分比($a:b$ 、 $a+b=n$)で分割した時間で規定される遅延時間のクロックを出力し、前記内分比が可変に構成されている m 個の位相補間器を有し、
前記単相クロック生成回路は、前記クロック変換回路から出力された n 相のクロックの立ち上り又は立ち下りのタイミングで、オーバーラップしないパルスが発生する n 個のパルス発生器と、前記パルス発生器が発生したパルスの論理和を取り、周波数 $(f \times n)$ の単相のクロックを生成する論理回路とを有することを特徴とするクロック生成回路。
- [8] 前記位相補間器に設定する内分比を制御する制御回路を有することを特徴とする請求項7に記載のクロック生成回路。
- [9] 前記制御回路は、基準クロックと、前記単相クロックが供給された回路の末端で分配されたクロックとの位相差に相当する時間に基づいて、基準クロックのタイミングと前記単相クロックのタイミングとが一致するように前記所定の内分比を制御するように構成されていることを特徴とする請求項8に記載のクロック生成回路。
- [10] 集積回路であって、

少なくとも一以上の本体回路と、

前記本体回路に対応して設けられた請求項1から請求項9のいずれかに記載のクロック生成回路とを有し、

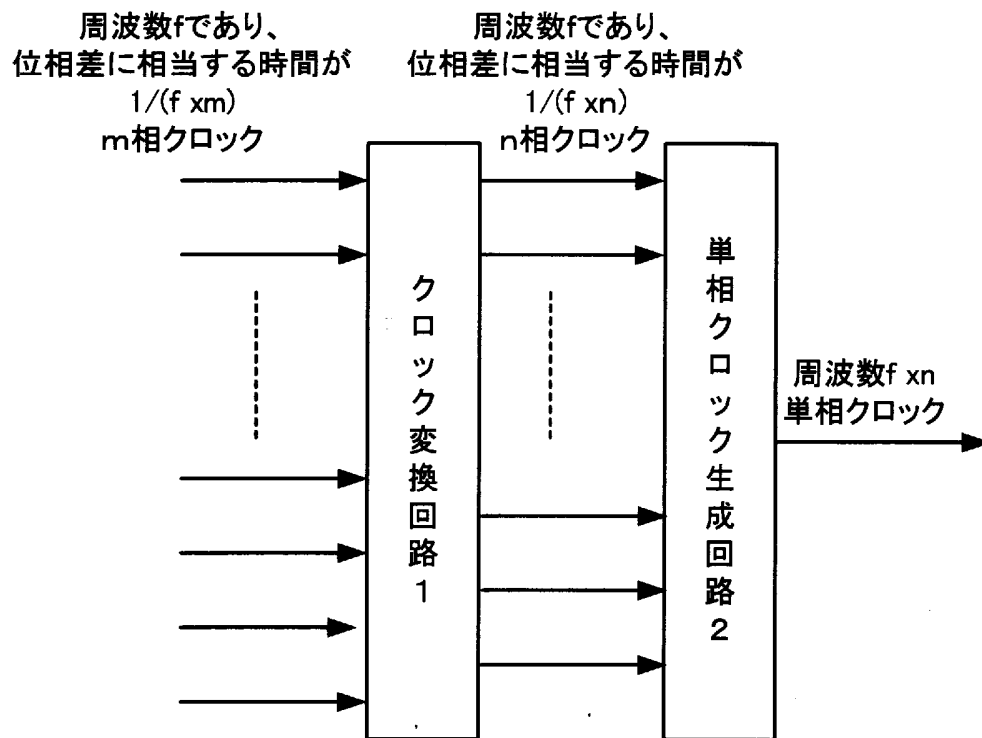
前記クロック生成回路に入力される m 相のクロックが同一のクロックであることを特徴とする集積回路。

[11] クロックの生成方法であって、

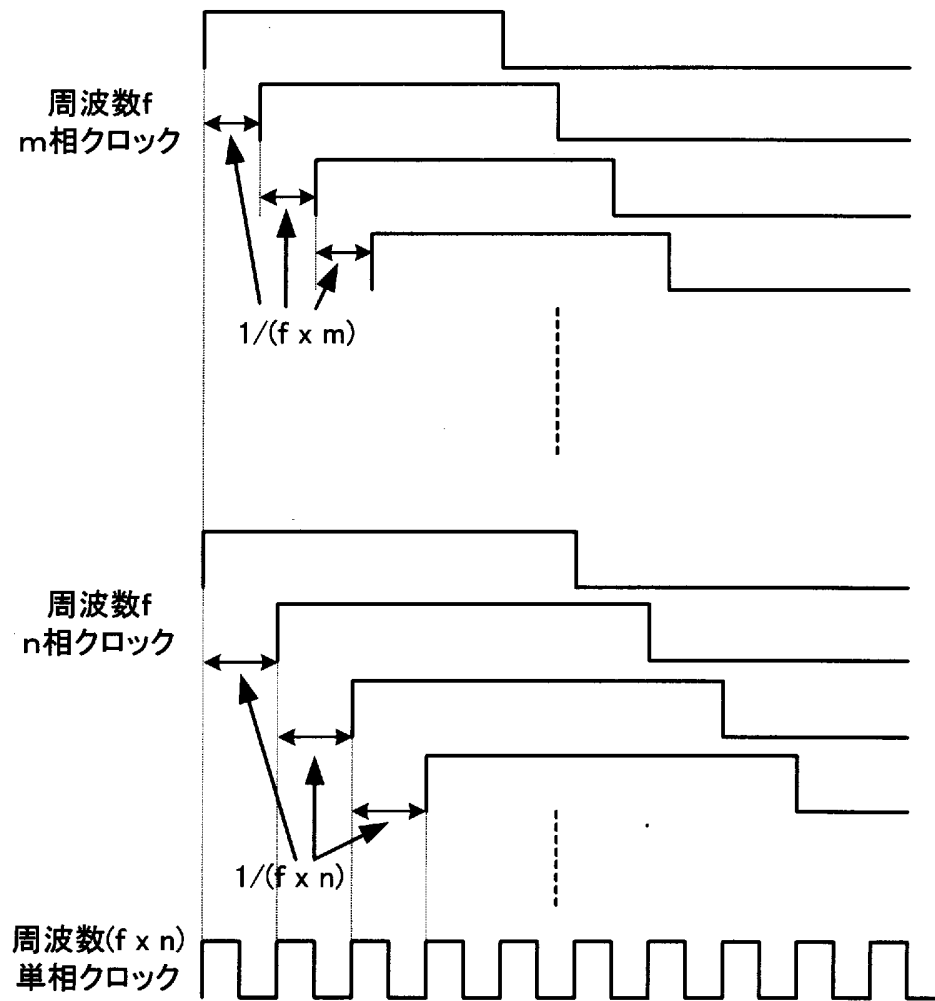
周波数 f の m 相のクロックを、周波数 f の n 相のクロックに変換し、前記 n 相の各クロックの立ち上り又は立ち下りに同期したパルスが発生させ、このパルスの論理和を取り、周波数($f \times n$)の単相のクロックを生成することを特徴とするクロックの生成方法。

[12] m 相のクロックから、位相の異なる二つのクロックを1組として n 組選択し、二つのクロックのタイミング差を所定の内分比($a:b$, $a+b=n$)で分割した時間で規定される遅延時間のクロックを各組毎に生成することにより、 n 相クロックを生成することを特徴とする請求項11に記載のクロック生成方法。

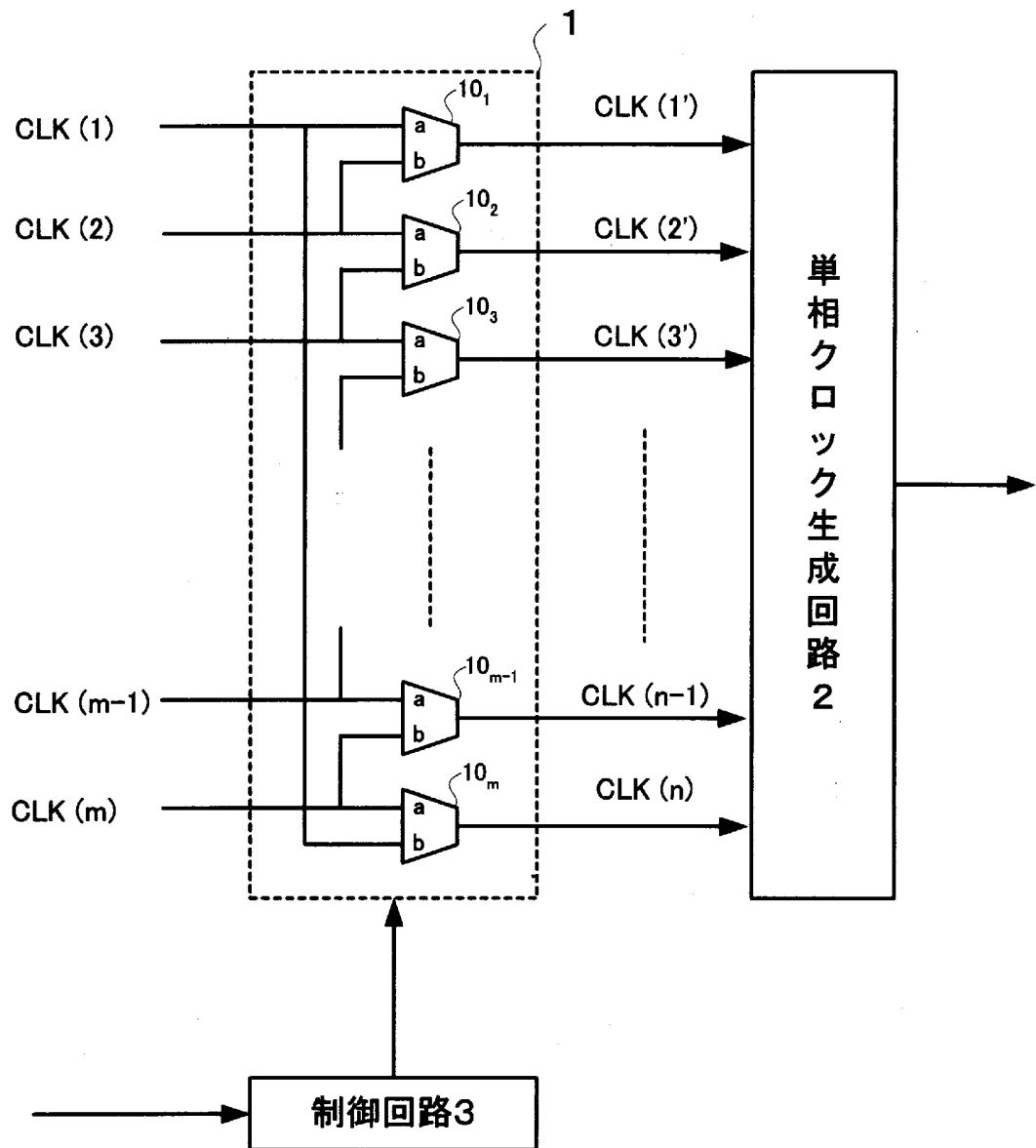
[図1]



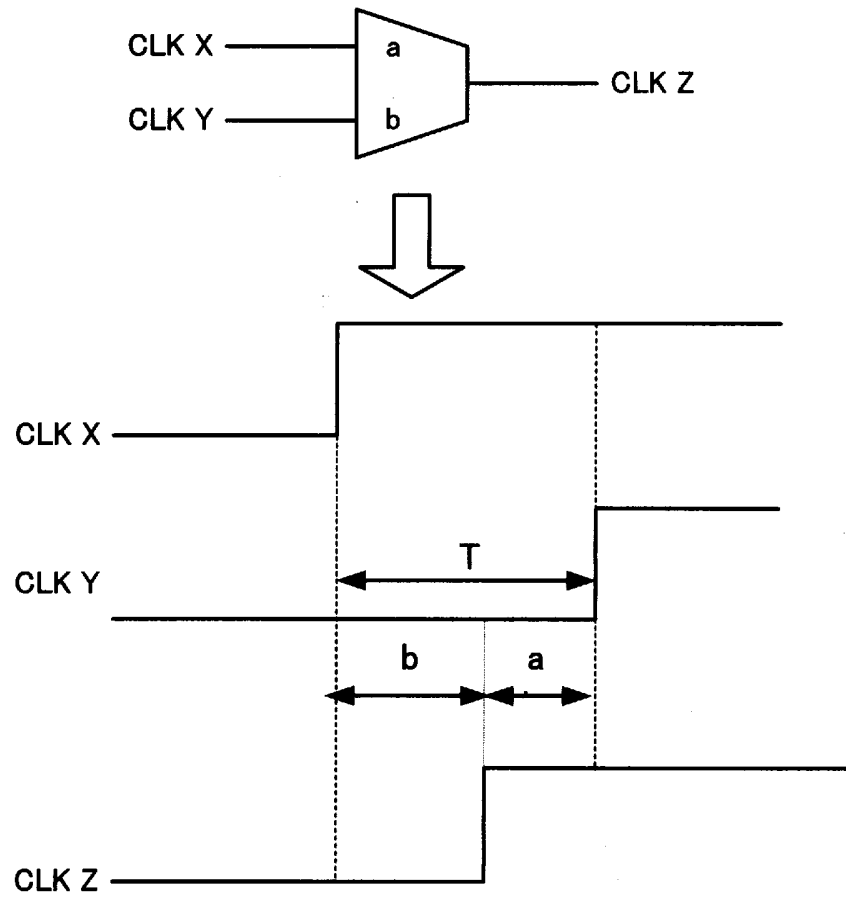
[図2]



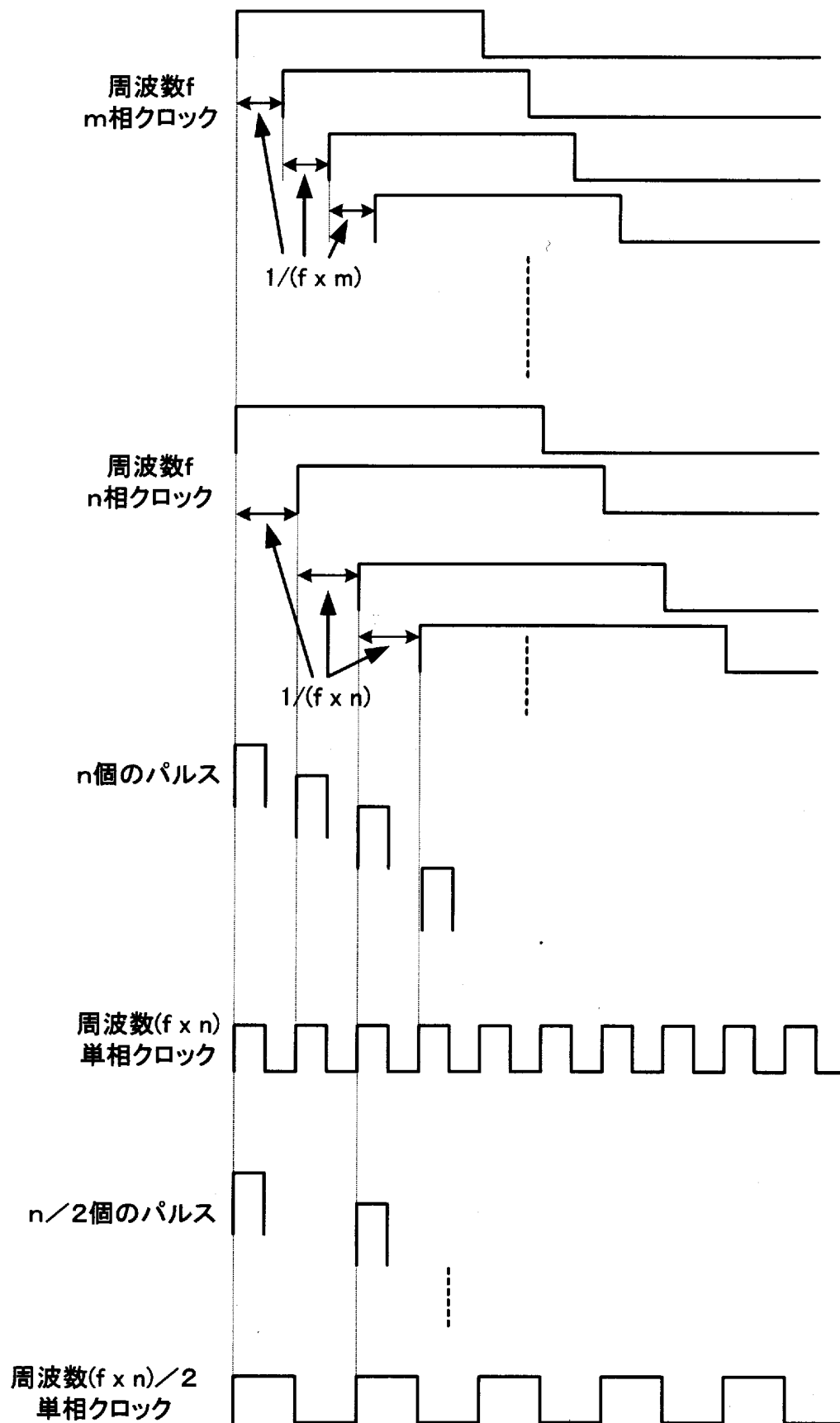
[図3]



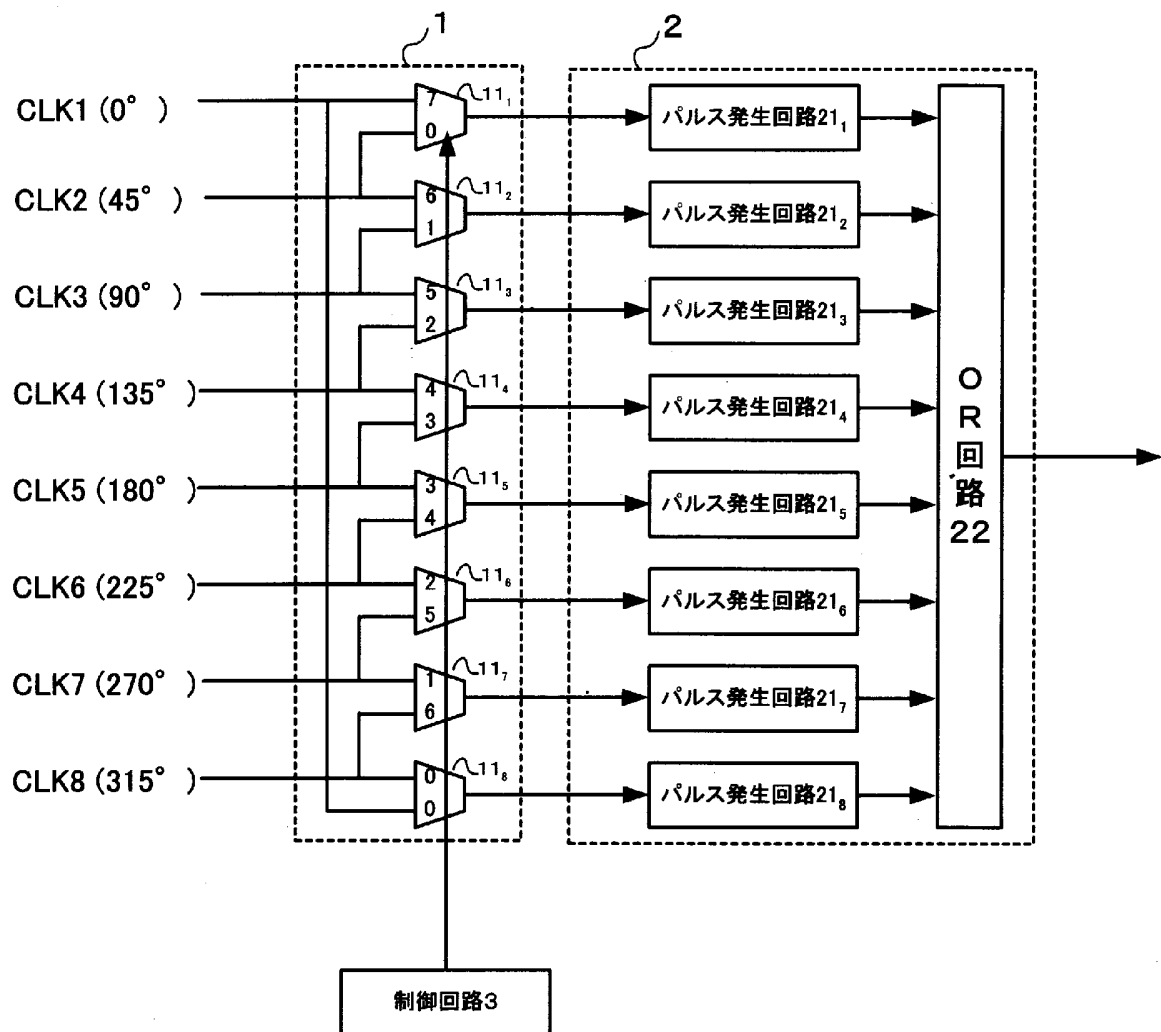
[図4]



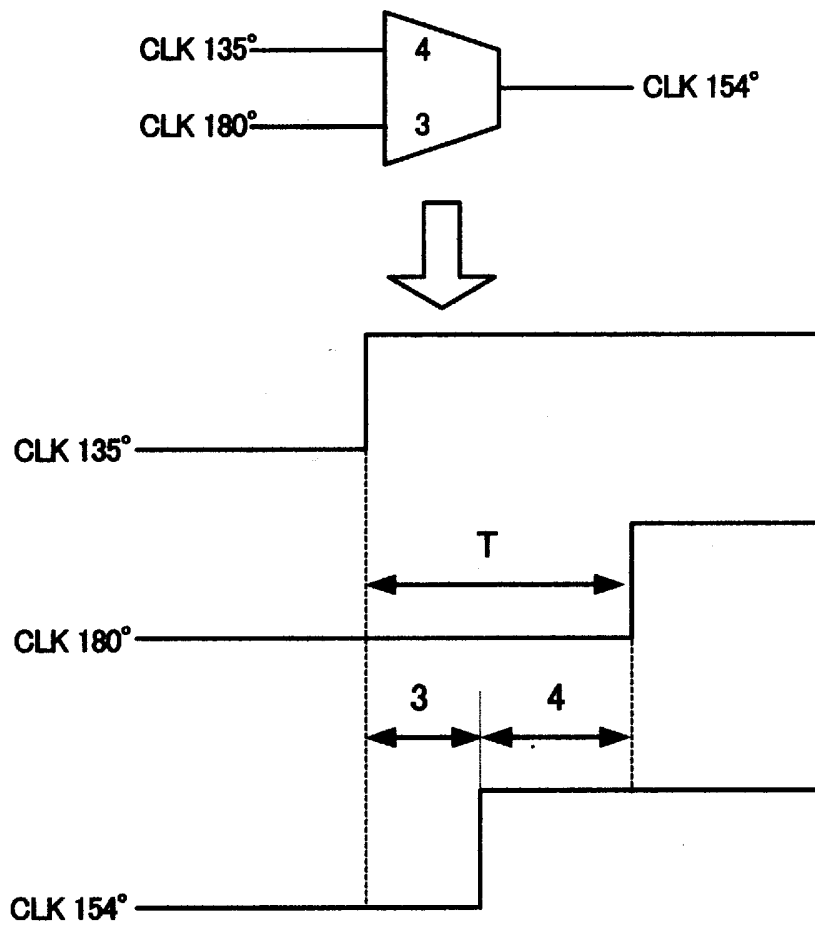
[図5]



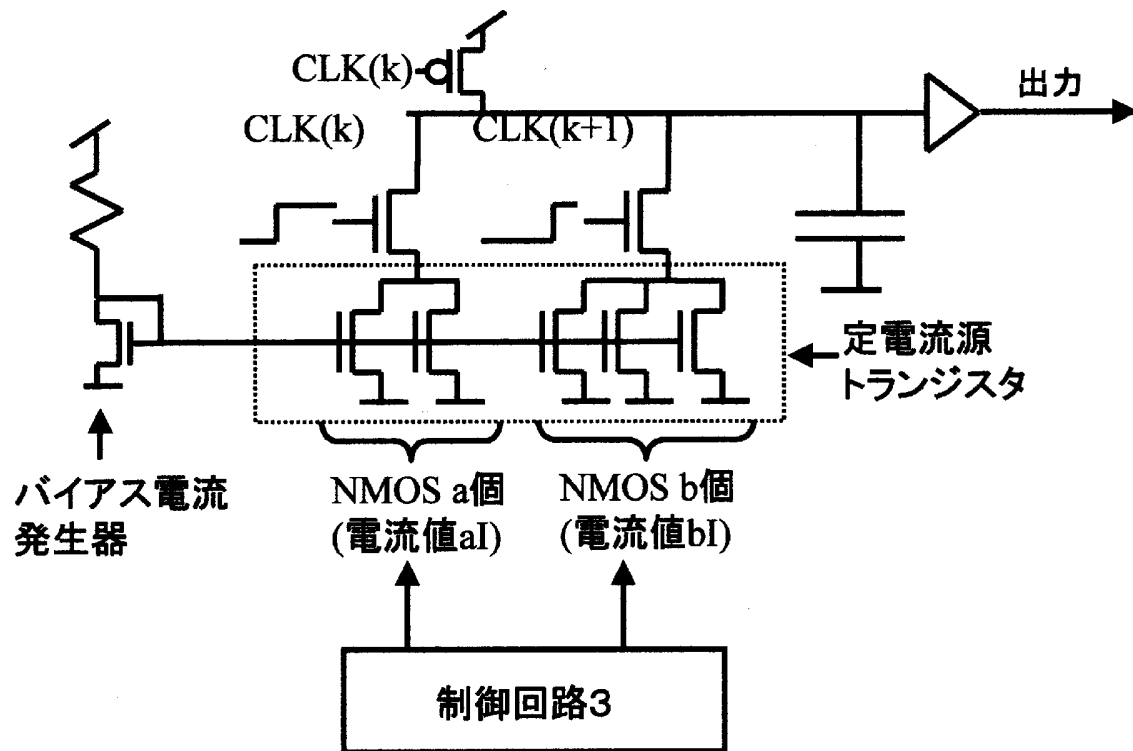
[図6]



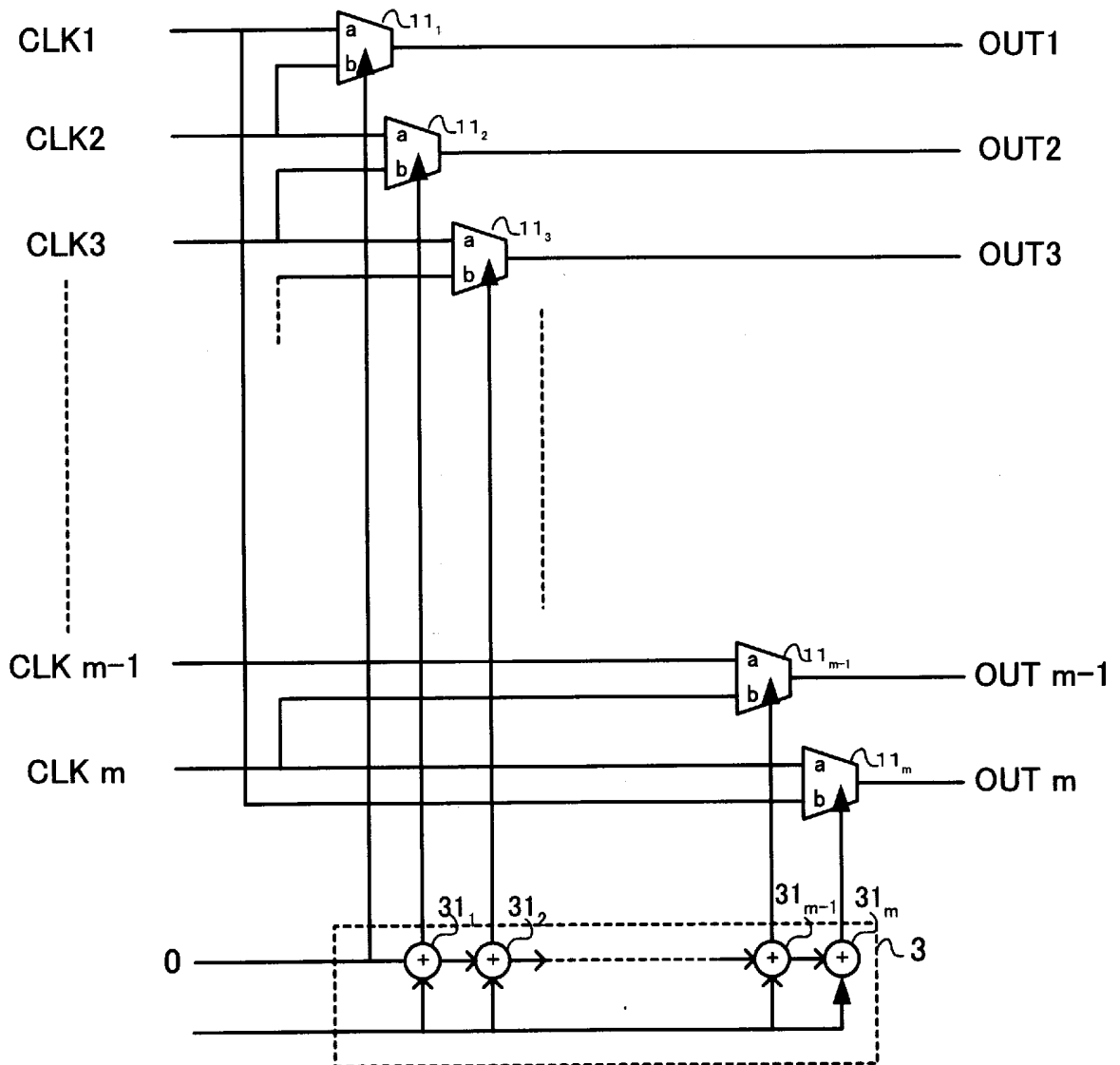
[図7]



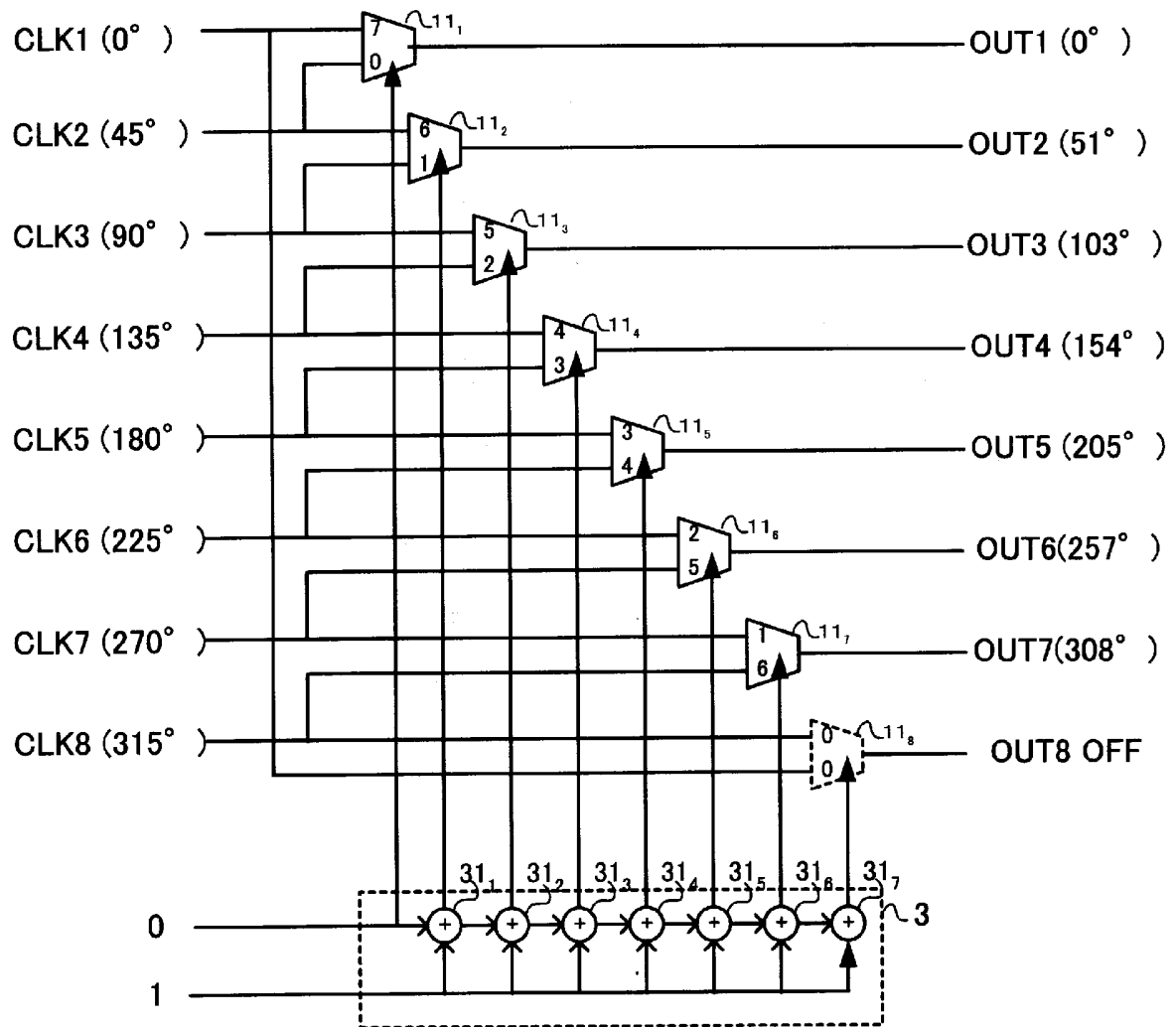
[図8]



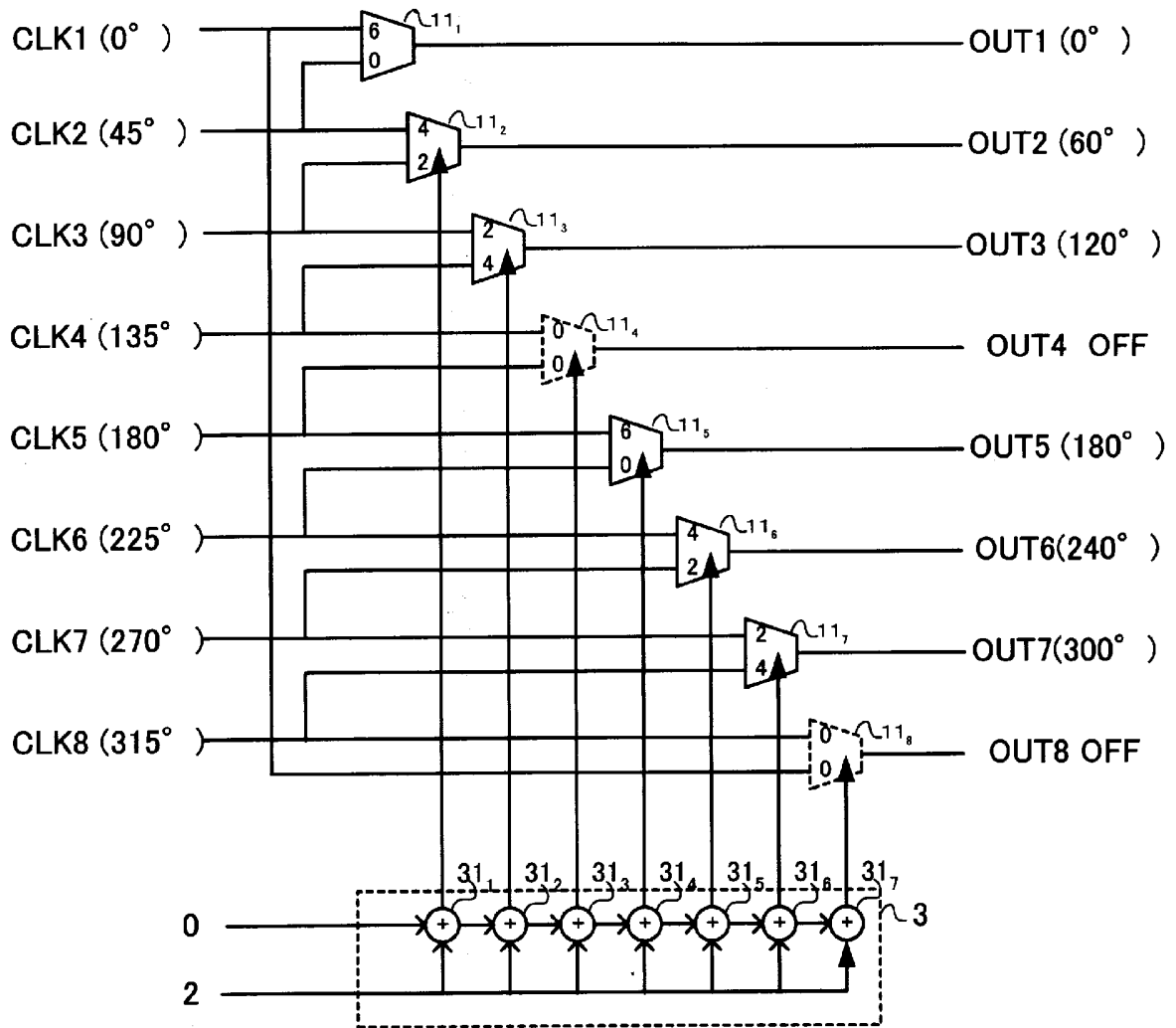
[図9]



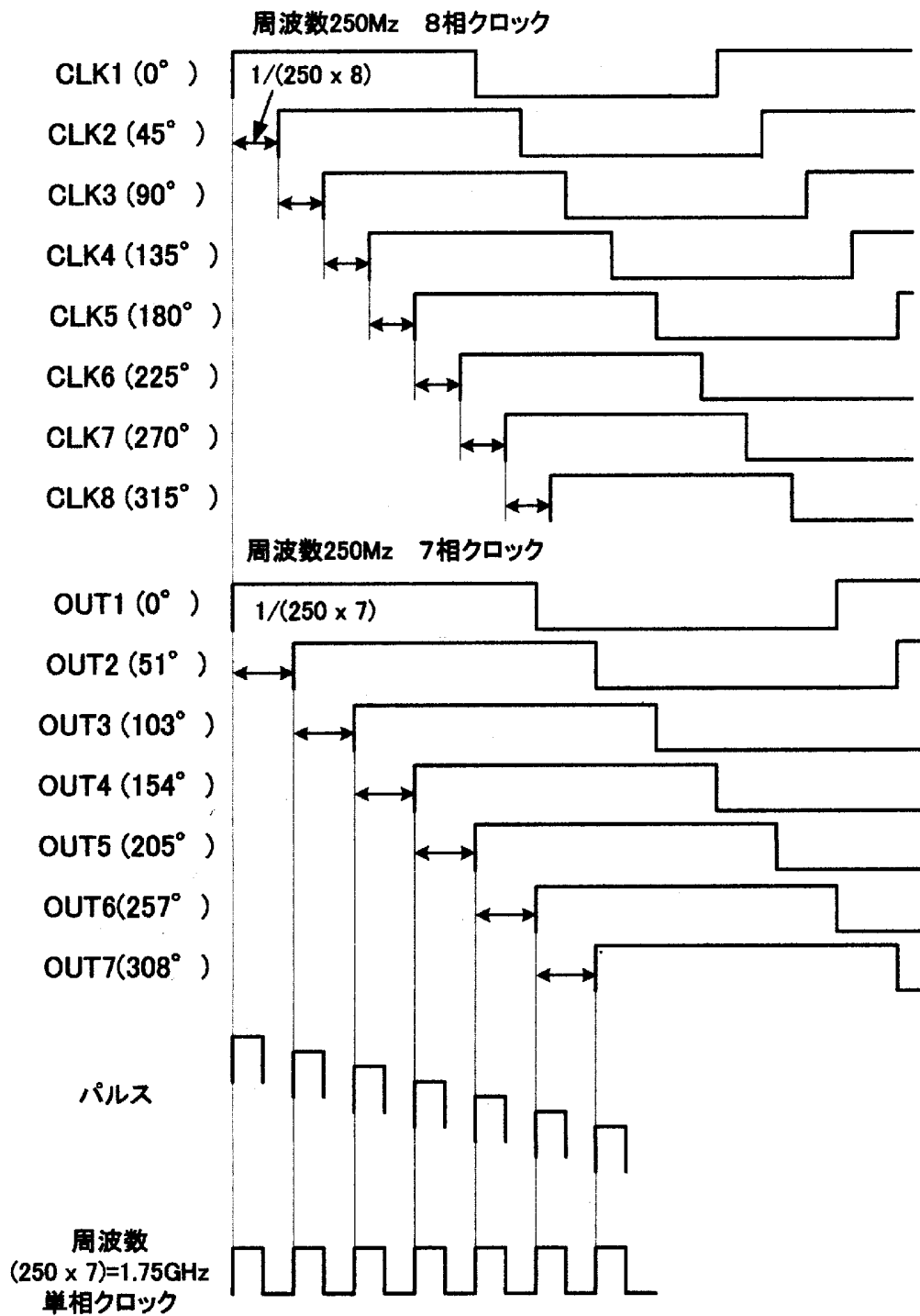
[図10]



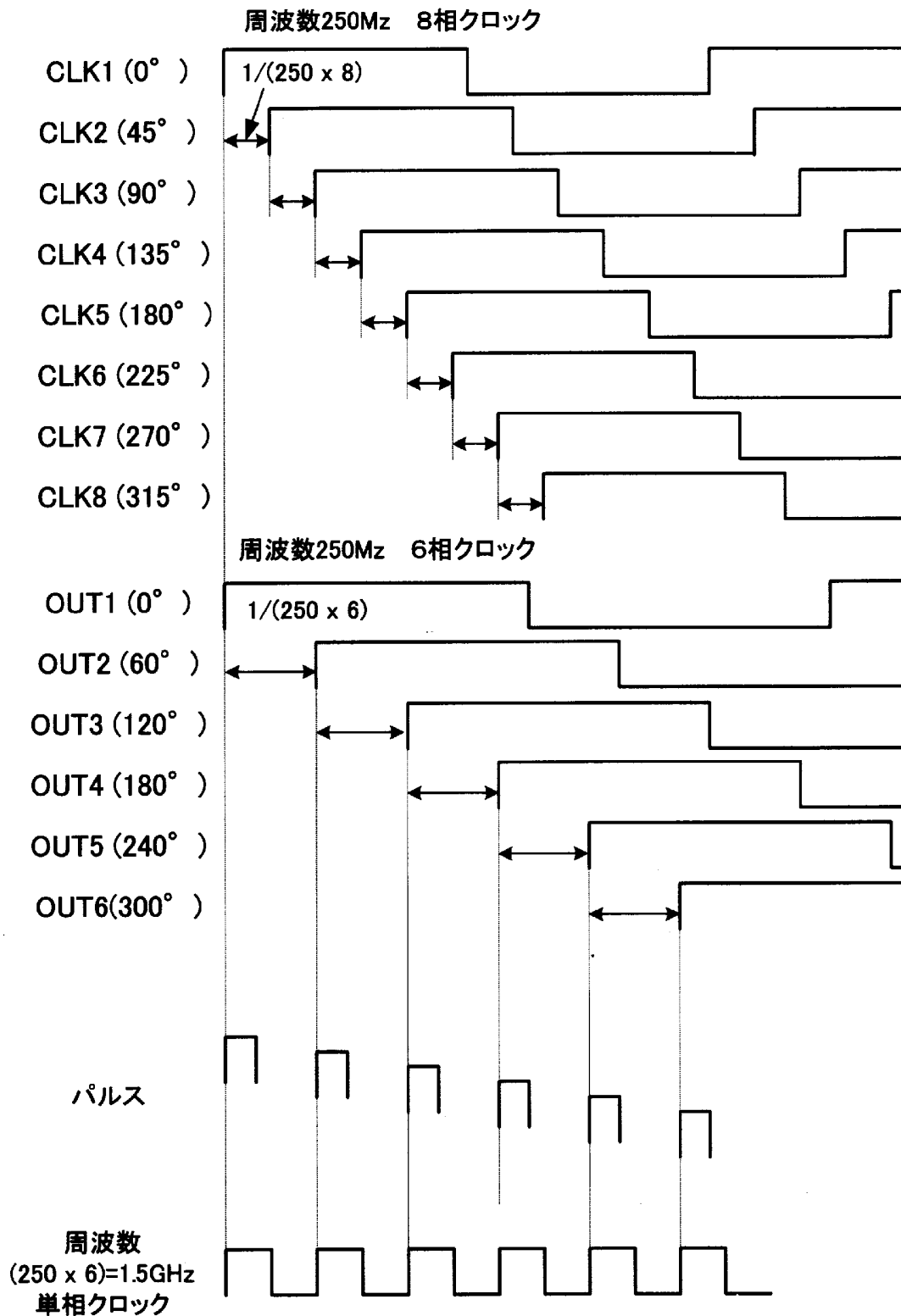
[図11]



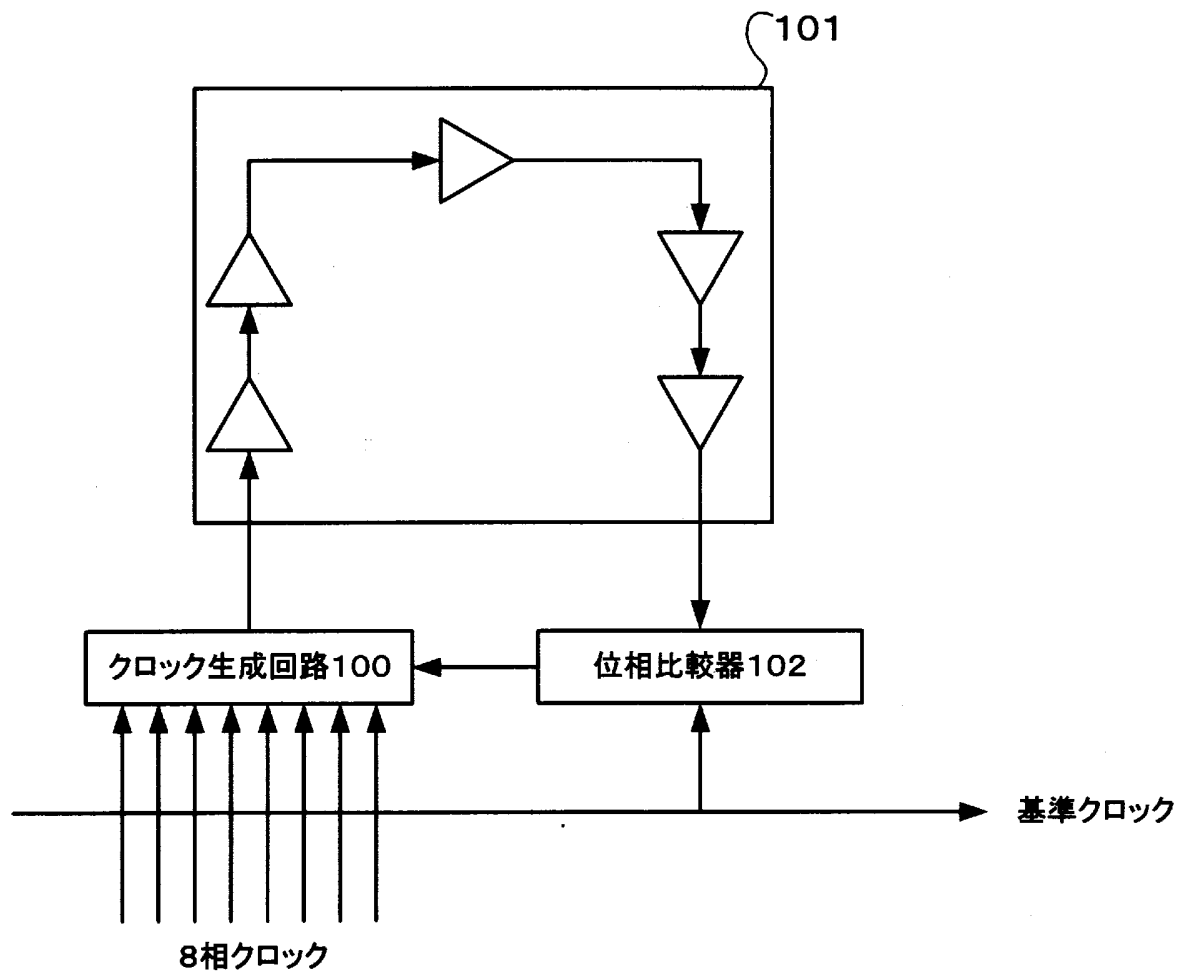
[図12]



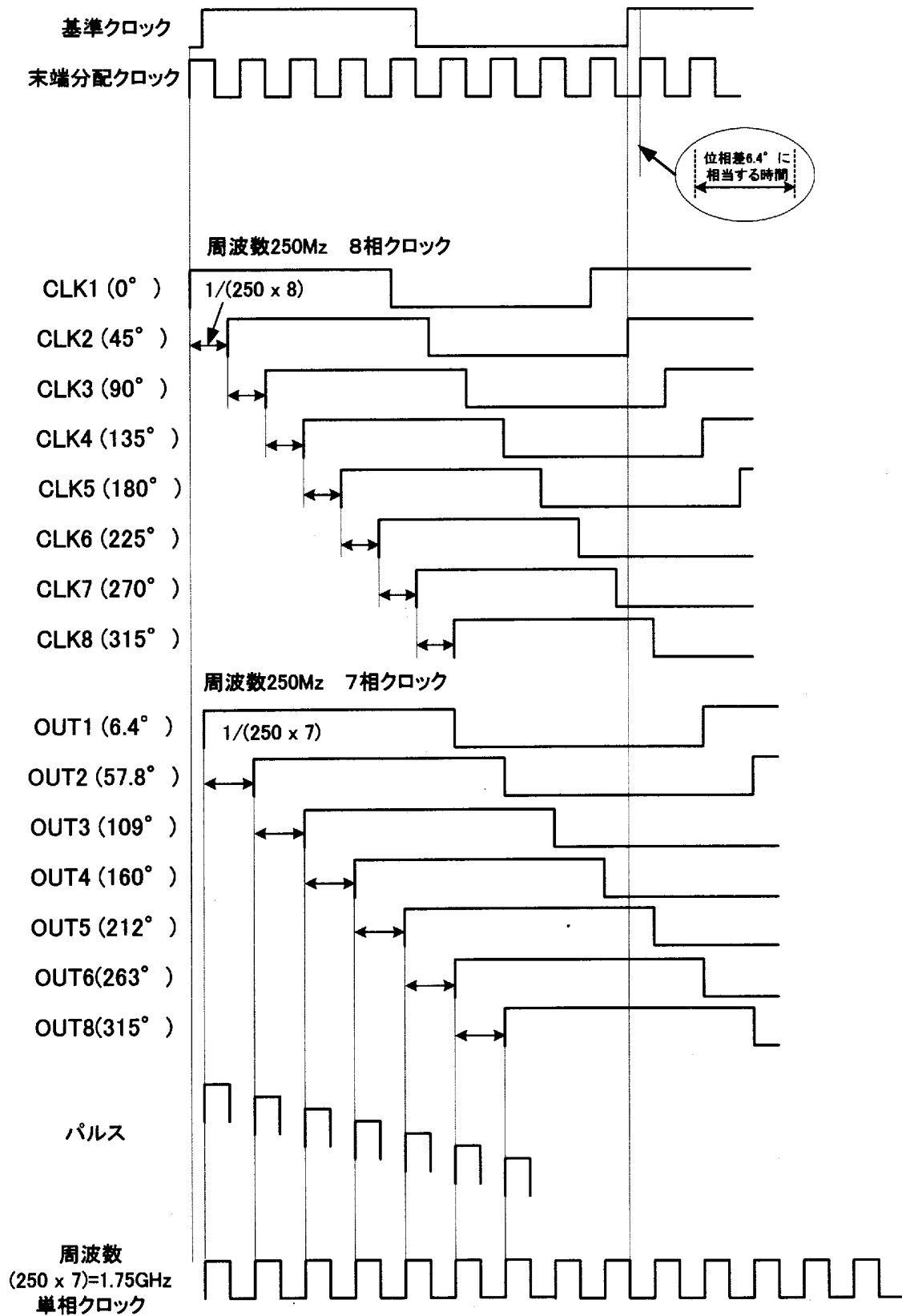
[図13]



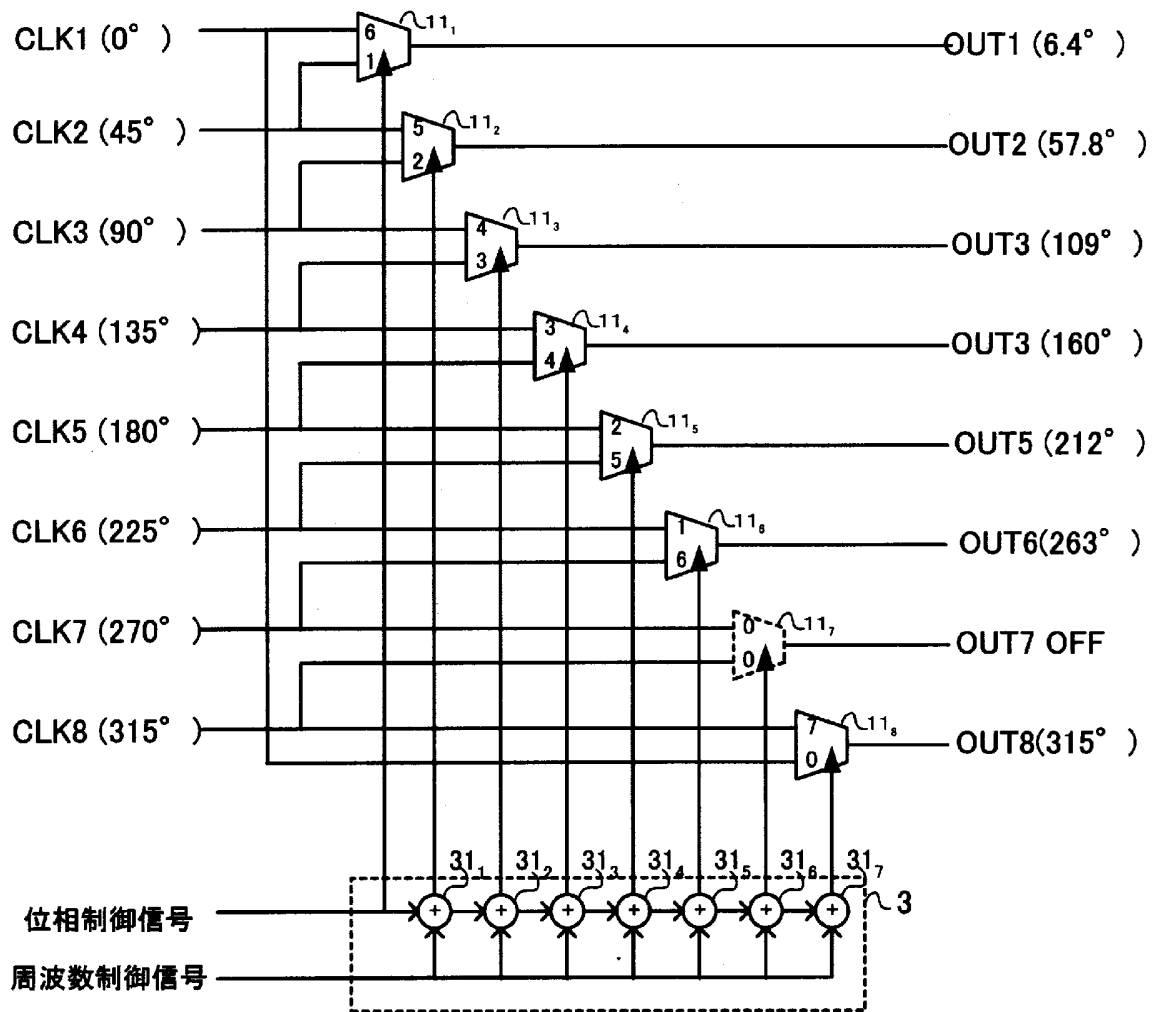
[図14]



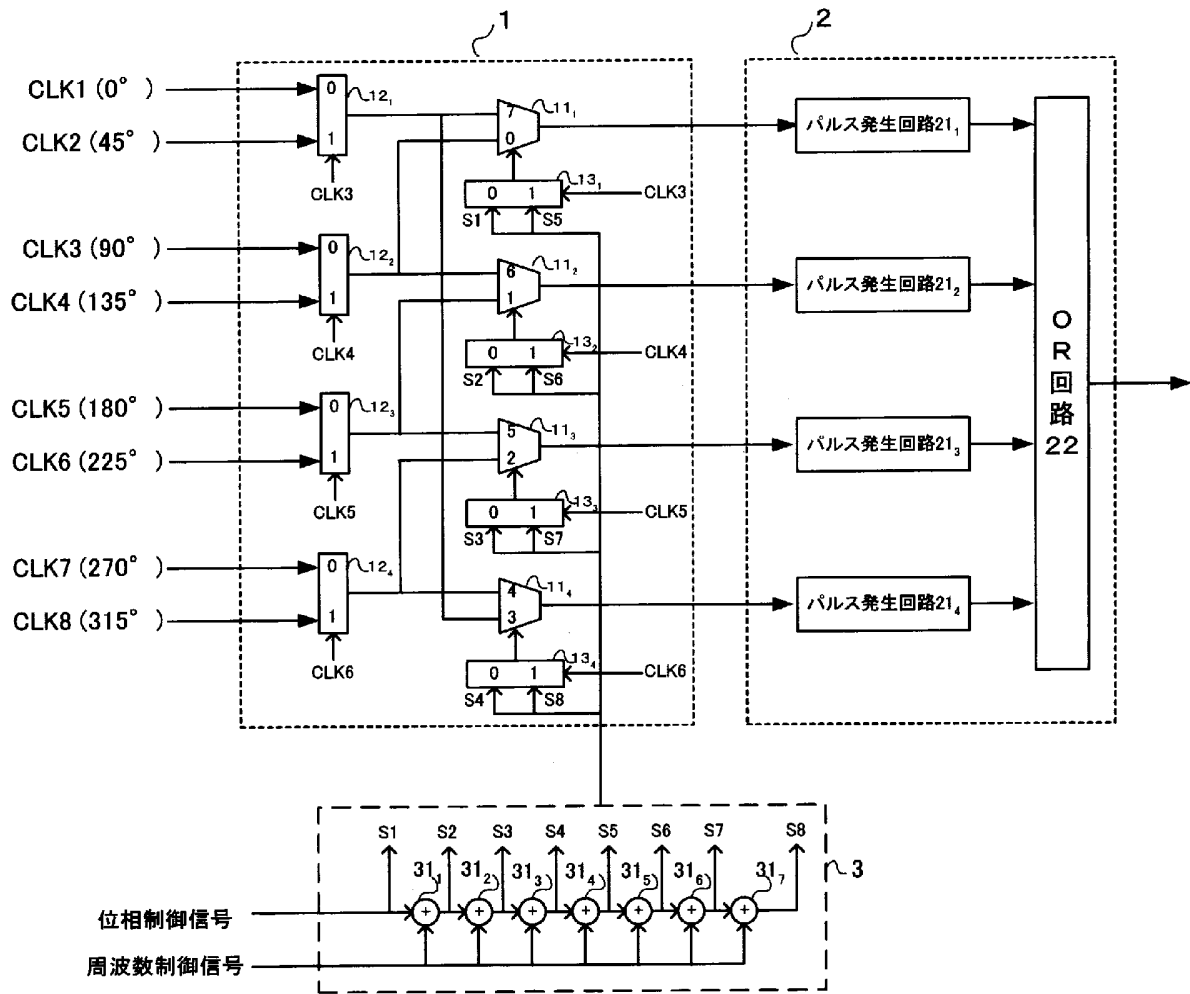
[図15]



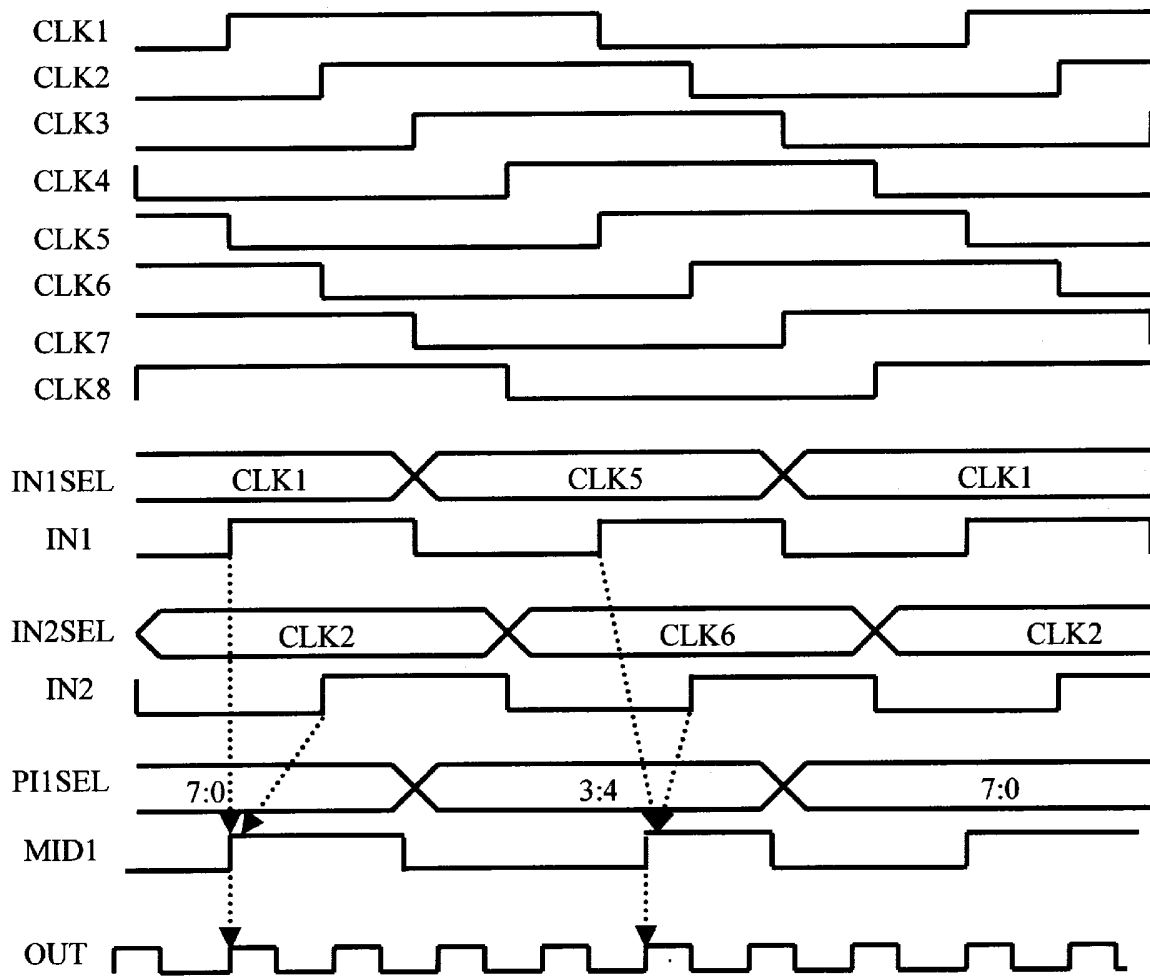
[図16]



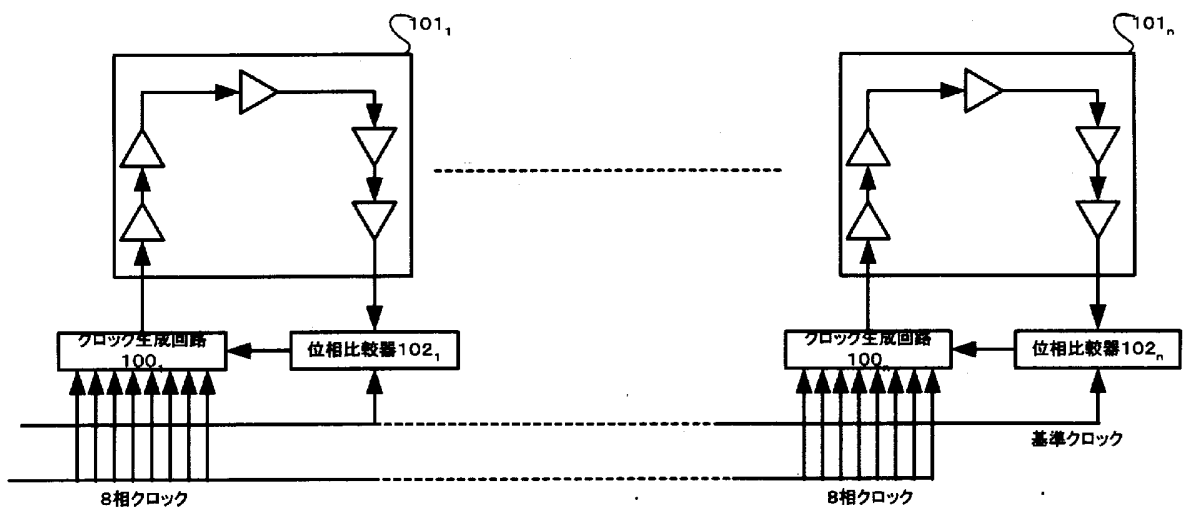
[図17]



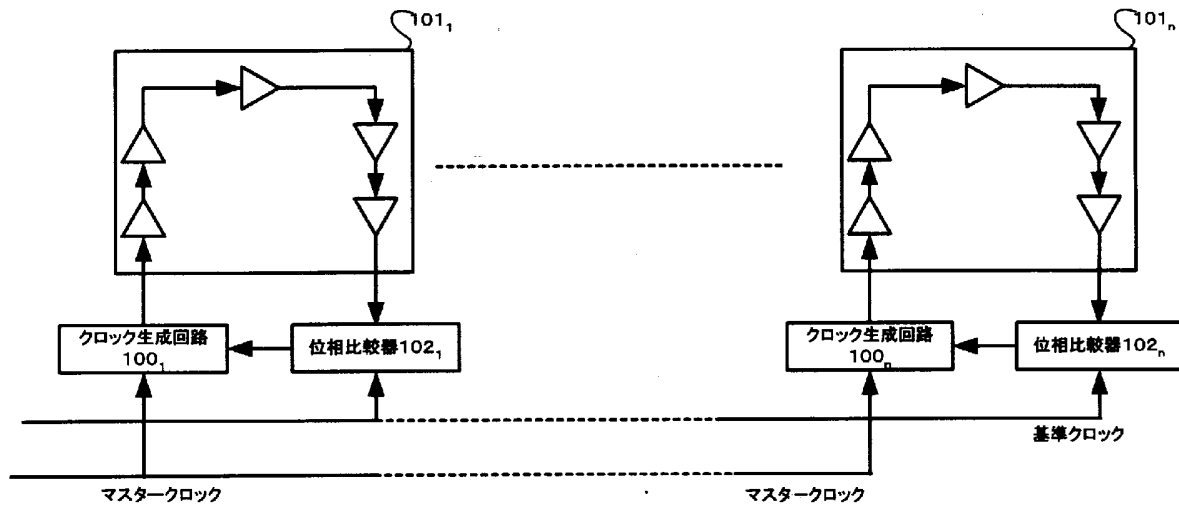
[図18]



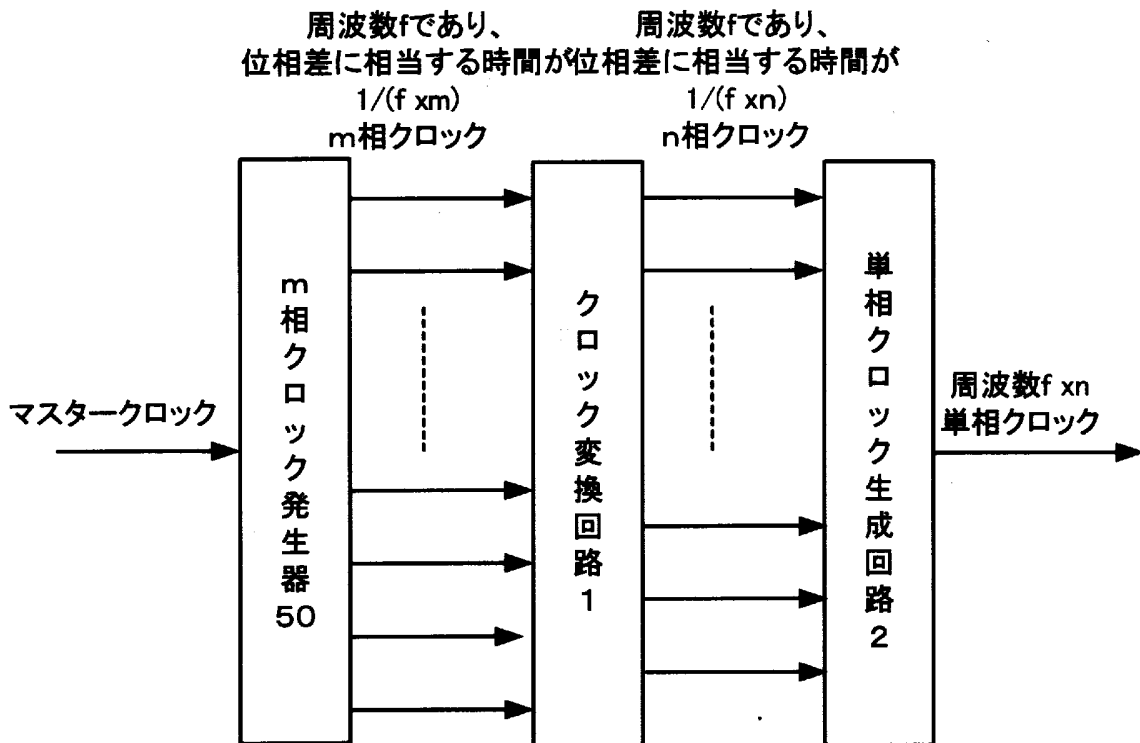
[図19]



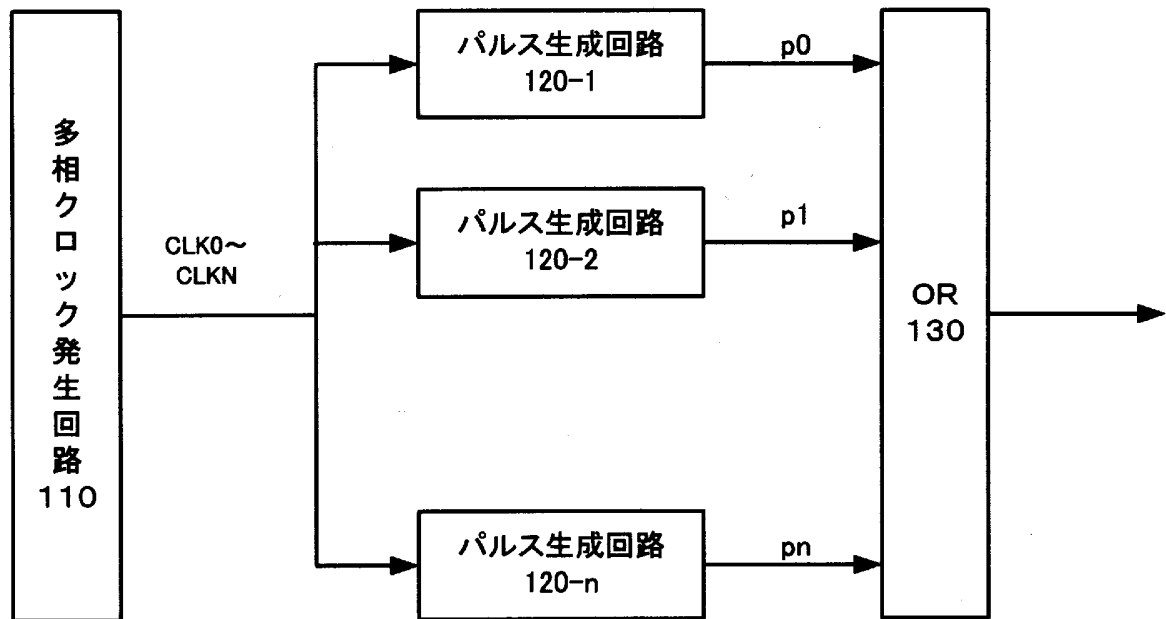
[図20]



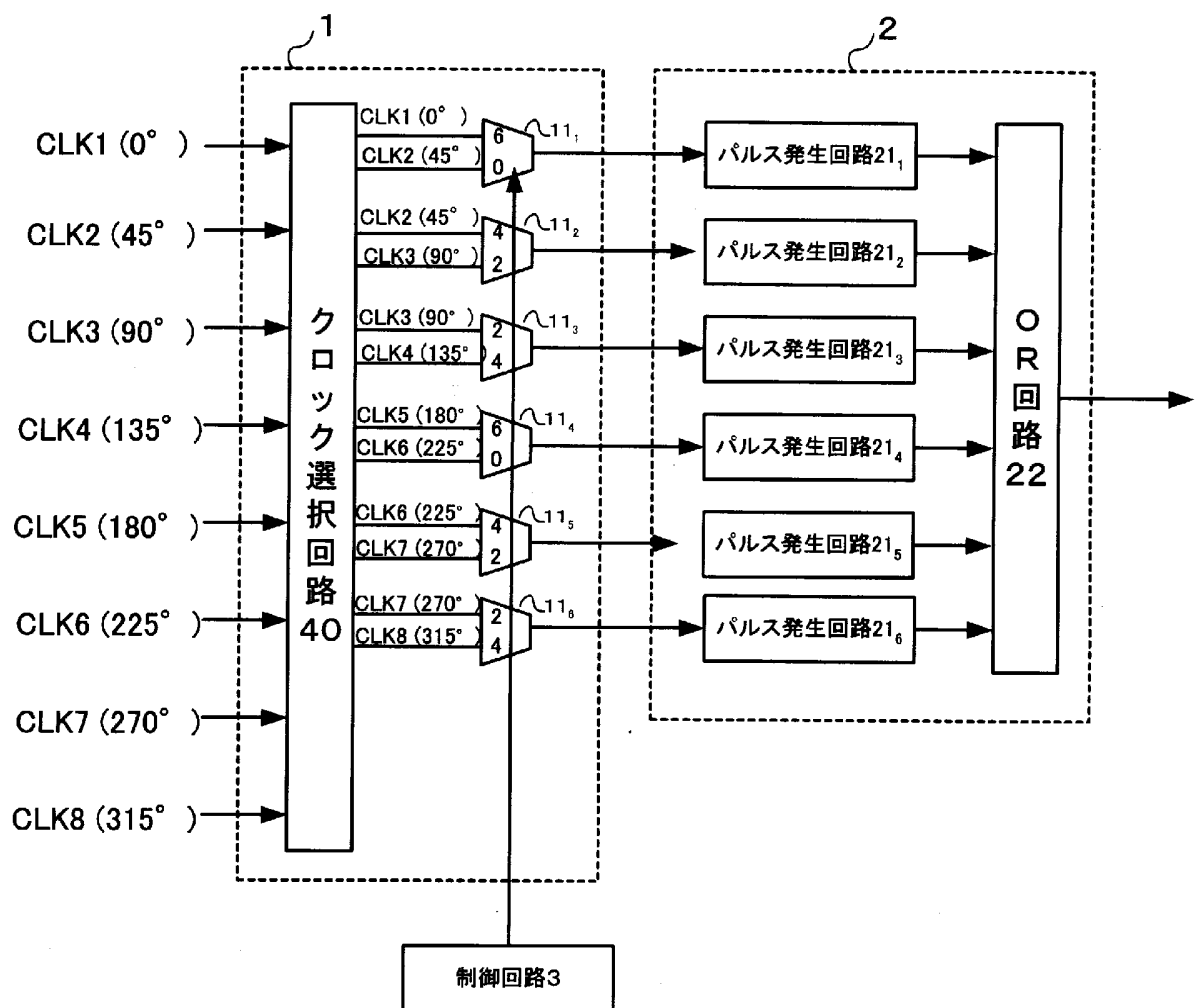
[図21]



[図22]



[図23]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/017166

A. CLASSIFICATION OF SUBJECT MATTER

G06F1/06(2006.01) , **H03K5/00**(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F1/06(2006.01) , **H03K5/00**(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-209454 A (Sony Corp.), 03 August, 2001 (03.08.01), Par. Nos. [0018] to [0063]; all drawings & US 2001/0010475 A1	1-12

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
12 December, 2005 (12.12.05)

Date of mailing of the international search report
20 December, 2005 (20.12.05)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. **G06F1/06** (2006.01), **H03K5/00** (2006.01)

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. **G06F1/06** (2006.01), **H03K5/00** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2001-209454 A (ソニー株式会社) 2001.08.03, 段落【0018】-【0063】, 全図 & US 2001/0010475 A1	1-12

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

12.12.2005

国際調査報告の発送日

20.12.2005

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

中田 剛史

電話番号 03-3581-1101 内線 3521

5 E

3 4 5 6