

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 10 月 30 日 (30.10.2014)



(10) 国际公布号
WO 2014/172973 A1

- (51) 国际专利分类号:
G09G 3/32 (2006.01)
- (21) 国际申请号: PCT/CN2013/077428
- (22) 国际申请日: 2013 年 6 月 18 日 (18.06.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310153391.6 2013 年 4 月 27 日 (27.04.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 王颖 (WANG, Ying); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第 21 条(3))。

(54) Title: PIXEL CIRCUIT AND ORGANIC LIGHT EMITTING DISPLAY

(54) 发明名称: 像素电路和有机发光显示器

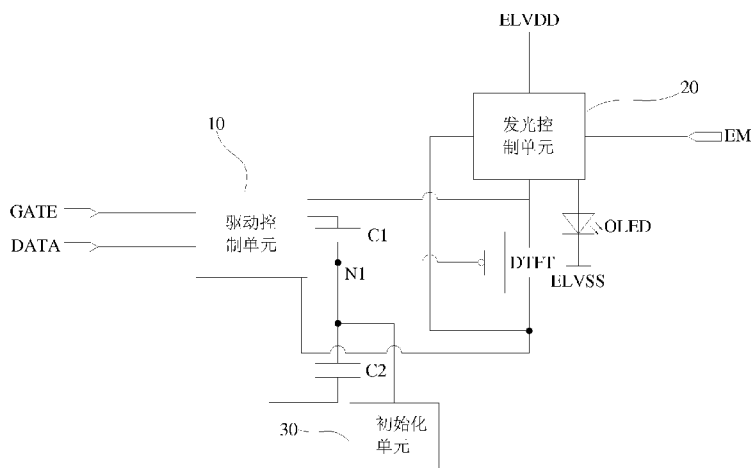


图 1 / FIG. 1

10 DRIVING CONTROL UNIT
20 LIGHT EMITTING CONTROL UNIT
30 INITIALIZING UNIT

(57) Abstract: A pixel circuit and an organic light emitting display. The pixel circuit comprises a driving thin film transistor and a light emitting diode. The light emitting diode is connected in series between a low-level input end and a high-level input end of a driving power supply. The pixel circuit also comprises a first capacitor and a driving control unit. A first end of the first capacitor is electrically connected to a first pole of the driving thin film transistor by using the driving control unit. A second end of the first capacitor is connected to a gate of the driving thin film transistor. A second pole of the driving thin film transistor is electrically connected to the gate of the driving thin film transistor by using the driving control unit. The driving control unit is connected to a gate line and a data line. The pixel circuit can output a uniform current, so that the brightness of the light emitting diode in the pixel circuit is uniform, and the display brightness of the organic light emitting display comprising the pixel circuit is uniform.

(57) 摘要:

[见续页]

WO 2014/172973 A1

一种像素电路及一种有机发光显示器。该像素电路包括驱动薄膜晶体管和发光二极管，该发光二极管串联在驱动电源的低电平输入端和高电平输入端之间，像素电路还包括第一电容和驱动控制单元，第一电容的第一端通过驱动控制单元与驱动薄膜晶体管的第一极电连接，第一电容的第二端与驱动薄膜晶体管的栅极连接，驱动薄膜晶体管的第二极和驱动薄膜晶体管的栅极通过驱动控制单元电连接，驱动控制单元与栅线和数据线连接。该像素电路可以输出均匀的电流，从而使像素电路中的发光二极管亮度均匀，进而使得包括像素电路的有机发光显示器的显示亮度均匀。

像素电路和有机发光显示器

技术领域

本发明涉及有机发光显示领域，具体地，涉及一种像素电路和一种包括
5 该像素电路的有机发光显示器。

背景技术

AMOLED(有源发光二极管, Active Matrix/Organic Light Emitting Diode)
显示背板的发光亮度和提供给 OLED(有机发光二极管, Organic
10 Light-Emitting Diode)的驱动电流大小成正比。为了实现最佳的显示效果,需
要较大的驱动电流。低温多晶硅技术由于可以提供较高的迁移率而成为
AMOLED 显示背板的最佳选择。但是低温多晶硅技术固有的薄膜晶体管阈值
电压 V_{th} 漂移的问题造成像素电路输出的电流不均匀,从而也使得显示亮度
不均匀。

15 因此,如何使像素电路输出均匀的电流成为本领域亟待解决的技术问题。

发明内容

本发明的目的在于提供一种像素电路和一种包括该像素电路的有机发光
显示器。所述像素电路可以输出均匀的电流,从而使像素电路中的发光二极
20 管亮度均匀,进而使得包括所述像素电路的有机发光显示器的显示亮度均匀。

作为本发明的一个方面,提供一种像素电路,所述像素电路包括驱动薄
膜晶体管和发光二极管,所述发光二极管串联在驱动电源的低电平输入端和
高电平输入端之间,其中,所述像素电路还包括第一电容和驱动控制单元,
所述第一电容的第一端通过所述驱动控制单元与所述驱动薄膜晶体管的第一
25 极电连接,所述第一电容的第二端与所述驱动薄膜晶体管的栅极连接,所述
驱动薄膜晶体管的第二极和所述驱动薄膜晶体管的栅极通过所述驱动控制单
元电连接,所述驱动控制单元与栅线和数据线连接,所述驱动控制单元在数
据写入阶段控制导通所述第一电容的第一端与所述驱动薄膜晶体管的第一极
之间的连接、导通所述驱动薄膜晶体管的栅极与所述驱动薄膜晶体管的第二
30 极导通之间的连接,所述驱动薄膜晶体管导通。

优选地,所述像素电路还包括第二电容,该第二电容的第一端与所述第

一电容的第二端连接，所述第二电容的第二端通过所述驱动控制单元与所述数据线电连接。

优选地，所述驱动控制单元还包括第一驱动控制晶体管，所述第一驱动控制晶体管的栅极与所述栅线连接，所述第一驱动控制晶体管的第一极与数据线连接，所述第一驱动控制晶体管的第二极与所述第二电容的第二端连接。

优选地，所述像素电路还包括提供低电平的初始化单元，所述初始化单元电连接到所述第一电容的第二端和所述第二电容的第一端。

优选地，所述初始化单元包括初始化晶体管，所述初始化晶体管的第一极连接到所述第一电容的第二端和所述第二电容的第一端，所述初始化晶体管的第二极与低电平输入端连接，所述初始化晶体管的栅极与复位信号输入端相连。

优选地，所述驱动控制单元包括第二驱动控制晶体管和第三驱动控制晶体管，所述第二驱动控制晶体管的栅极与所述栅线连接，所述第二驱动控制晶体管的第一极与所述驱动薄膜晶体管的第二极连接，所述第二驱动控制晶体管的第二极与所述驱动薄膜晶体管的栅极连接，所述第三驱动控制晶体管的栅极与栅线连接，所述第三驱动控制晶体管的第一极与所述第一电容的第一端连接，所述第三驱动控制晶体管的第二极与所述驱动薄膜晶体管的第一极连接。

优选地，所述像素电路还包括发光控制单元，所述发光控制单元与发光控制线连接，所述发光控制单元能够根据所述发光控制线给出的信号导通驱动电源的高电平输入端与所述驱动薄膜晶体管的第一极之间的连接，和/或导通所述驱动电源低电平输入端与所述驱动薄膜晶体管的第二极之间的连接。

优选地，所述发光控制单元包括第一发光控制晶体管和第二发光控制晶体管，所述第一发光控制晶体管的栅极与所述发光控制线连接，所述第一发光控制晶体管的第一极与所述驱动薄膜晶体管的第一极连接，所述第一发光控制晶体管的第二极与所述驱动电源的高电平输入端连接，所述第二发光控制晶体管的栅极与所述发光控制线连接，所述第二发光控制晶体管的第一极与所述驱动薄膜晶体管的第二极连接，所述第二发光控制晶体管的第二极与所述发光二极管的阳极连接，所述发光二极管的阴极与所述驱动电源的低电平输入端连接。

优选地，所述驱动薄膜晶体管、所述第一驱动控制晶体管、所述第二驱

动控制晶体管、所述第三驱动控制晶体管、所述初始化晶体管、所述第一发光控制晶体管和所述第二发光控制晶体管均为 P 型晶体管。

作为本发明的另一个方面，还提供一种有机发光显示器，其中，所述有机发光显示器包括本发明所提供的上述像素电路。

- 5 在本发明提供的像素电路中，在像素电路的数据写入阶段，驱动控制单元控制导通第一电容的第一端与所述驱动薄膜晶体管的第一极之间的连接，导通所述驱动薄膜晶体管的栅极与所述驱动薄膜晶体管的第二极之间的连接，此时的驱动薄膜晶体管实际上形成了一个处于临界导通状态的二极管，驱动薄膜晶体管的栅极电压 V_g 即为第一电容的第二端的电压 V_{N1} 减去所述驱动薄膜晶体管的阈值电压 $V_{th,DTFT}$ ，（即， $V_g = V_{N1} - V_{th,DTFT}$ ）。在该数据写入阶段，第一电容将驱动薄膜晶体管的栅极电压记录下来并保持至像素电路的发光二极管发光阶段。在像素电路的发光二极管 OLED 发光阶段，驱动薄膜晶体管处于饱和状态，该驱动薄膜晶体管的栅极电压为第一电容所保持的电压 $V_{N1} - V_{th,DTFT}$ ，所述驱动薄膜晶体管的栅极与第一极之间的电压 V_{gs} 为该驱动薄
- 10 膜晶体管的第一极输入的电压 V_{dd} 与该薄膜晶体管的栅极电压之差，即， $V_{gs} = V_{dd} - (V_{N1} - V_{th,DTFT})$ 。而计算驱动薄膜晶体管的漏极电流的公式如下：

$$\begin{aligned} I_d &= \frac{1}{2} \mu C_{ox} (W/L) \left(|V_{gs, DTFT}| - |V_{th,DTFT}| \right)^2 \\ &= \frac{1}{2} \mu C_{ox} (W/L) \left[V_{dd} - (V_{N1} - V_{th,DTFT}) - V_{th,DTFT} \right]^2 \\ &= \frac{1}{2} \mu C_{ox} (W/L) (V_{dd} - V_{N1})^2 \end{aligned}$$

- 20 通过上述公式可知，在发光二极管的发光阶段，驱动薄膜晶体管的漏极电流与驱动薄膜晶体管的阈值电压无关（换言之，驱动薄膜晶体管的阈值电压得到了补偿）进而解决了 AMOLED 面板亮度不均匀和亮度衰减的问题。

附图说明

- 附图是用来提供对本发明的进一步理解，并且构成说明书的一部分，与下面的具体实施方式一起用于解释本发明，但并不构成对本发明的限制。在
- 25 附图中：

图 1 是本发明所提供的像素电路的第一种实施方式的电路图；

图 2 是本发明所提供的像素电路的第二种实施方式的电路图；

图 3 是本发明所提供的像素电路的控制信号时序图；

图 4 是图 2 中所示的像素电路在 t1 阶段的等效电路图;

图 5 是图 2 中所示的像素电路在 t2 阶段的等效电路图;

图 6 是图 2 中所示的像素电路在 t3 阶段的等效电路图。

5 附图标记说明

10: 驱动控制单元

20: 发光控制单元

30: 初始化单元

EM: 发光控制线

C1: 第一电容

C2: 第二电容

T1: 第一驱动控制晶体管

T2: 第二驱动控制晶体管

10 T3: 初始化晶体管

T4: 第二发光控制晶体管

T5: 第一发光控制晶体管

T6: 第三驱动控制晶体管

DTFT: 驱动薄膜晶体管

OLED: 发光二极管

GATE: 栅线

DATA: 数据线

ELVDD: 驱动电源的高电平输入端

15 ELVSS: 驱动电源的低电平输入端

RESET: 复位信号输入端

具体实施方式

以下结合附图对本发明的具体实施方式进行详细说明。应当理解的是，
20 此处所描述的具体实施方式仅用于说明和解释本发明，并不用于限制本发明。

本发明实施例提供一种像素电路，如图 1 所示，该像素电路包括驱动薄膜晶体管 DTFT 和发光二极管 OLED，发光二极管 OLED 串联在驱动电源的低电平输入端 ELVSS 和高电平输入端 ELVDD 之间。

其中，所述像素电路还包括第一电容 C1 和驱动控制单元 10，第一电容
25 C1 的第一端通过驱动控制单元 10 与驱动薄膜晶体管 DTFT 的第一极（驱动薄膜晶体管 DTFT 的源极和漏极中的一个）电连接，第一电容 C1 的第二端与驱动薄膜晶体管 DTFT 的栅极连接，驱动薄膜晶体管 DTFT 的第二极（驱动薄膜晶体管 DTFT 的源极和漏极中的另一个）和驱动薄膜晶体管 DTFT 的栅极通过驱动控制单元 10 电连接，驱动控制单元 10 与栅线 GATE、数据线 DATA
30 连接，驱动控制单元 10 在数据写入阶段（即，图 3 中的 t2 阶段）控制导通第一电容 C1 的第一端与驱动薄膜晶体管 DTFT 的第一极之间的连接，并且控

制导通驱动薄膜晶体管 DTFT 的栅极与驱动薄膜晶体管 DTFT 的第二极之间的连接, 此外还可以控制驱动薄膜晶体管 DTFT 导通。

本领域技术人员应当理解的是, 驱动薄膜晶体管 DTFT 的第一极和第二极串联在驱动电源的低电平输入端 ELVSS 和高电平输入端 ELVDD 之间。在
5 除数据写入阶段之外的其他阶段, 驱动薄膜晶体管 DTFT 的栅极与该驱动薄膜晶体管 DTFT 第一极之间的连接, 以及驱动薄膜晶体管 DTFT 的栅极与驱动薄膜晶体管 DTFT 的第二极之间的连接都是断开的。

在数据写入阶段, 栅线 GATE 和数据线 DATA 输入的信号有效 (如图 3 所示), 驱动控制单元 10 使得导通第一电容 C1 的第一端与驱动薄膜晶体管
10 DTFT 的第一极之间的连接, 导通驱动薄膜晶体管 DTFT 的栅极与驱动薄膜晶体管的第二极之间的连接, 此时的驱动薄膜晶体管 DTFT 实际上形成了一个处于临界导通状态的二极管, 此时驱动薄膜晶体管 DTFT 的阈值电压 $V_{th,DTFT}$ 被记录下来, 且由第一电容 C1 存储。

由于此时驱动薄膜晶体管 DTFT 的栅极电压为 $(V_{N1}-V_{th,DTFT})$, 此处, V_{N1}
15 指的是, 第一电容 C1 的第二端与数据线 DATA 相连的节点 N1 处的电压, V_{N1} 与驱动薄膜晶体管 DTFT 的阈值电压 $V_{th,DTFT}$ 无关。在发光二极管 OLED 发光阶段 (即, 图 3 中的 t3 阶段), 驱动薄膜晶体管 DTFT 的栅极电压 $(V_{N1}-V_{th,DTFT})$ 被第一电容 C1 保持, 因此, 在发光二极管 OLED 发光阶段, 驱动薄膜晶体管 DTFT 的第一极与驱动薄膜晶体管 DTFT 的第二极之间经过的电流 I_d (即,
20 驱动薄膜晶体管的源极与漏极之间经过的电流) 为:

$$\begin{aligned} I_d &= \frac{1}{2} \mu C_{ox} (W/L) \left(|V_{gs, DTFT}| - |V_{th,DTFT}| \right)^2 \\ &= \frac{1}{2} \mu C_{ox} (W/L) \left[V_{dd} - (V_{N1} - V_{th,DTFT}) - V_{th,DTFT} \right]^2 \\ &= \frac{1}{2} \mu C_{ox} (W/L) (V_{dd} - V_{N1})^2 \end{aligned}$$

其中, μ 为驱动薄膜晶体管 DTFT 的场效应迁移率;

C_{ox} 为驱动薄膜晶体管 DTFT 的栅绝缘层单位面积电容;

W 为驱动薄膜晶体管 DTFT 的沟道宽度;

25 L 为驱动薄膜晶体管 DTFT 的沟道长度;

V_{dd} 为驱动电源的高电平输入端输入的电压。

从上文中的描述可知, 驱动薄膜晶体管 DTFT 的第一极与驱动薄膜晶体管 DTFT 的第二极之间经过的电流 I_d 与驱动薄膜二极管的阈值电压 $V_{th,DTFT}$ 无

关。因此，驱动薄膜晶体管 DTFT 的阈值电压 $V_{th,DTFT}$ 的漂移不会对驱动薄膜晶体管 DTFT 输出的电流（即，该驱动薄膜晶体管 DTFT 的漏极电流）产生影响，发光二极管 OLED 的亮度不会受到影响。

5 优选地，所述像素电路还可以包括第二电容 C2，该第二电容 C2 的第一端与第一电容 C1 的第二端连接，第二电容 C2 的第二端通过驱动控制单元 10 与数据线 DATA 电连接。

在数据写入阶段（即图 3 所示 t2 阶段），数据线 DATA 通过驱动控制单元 10 向第二电容 C2 充电。在发光二极管 OLED 发光阶段（即图 3 所示 t3 阶段），第二电容 C2 将驱动薄膜晶体管 DTFT 的栅极与数据线 DATA 隔断，
10 从而可以防止漏电。

为了进一步防止在发光二极管 OLED 发光阶段（t3 阶段）驱动薄膜晶体管 DTFT 的栅极漏电，优选地，如图 2 所示，驱动控制单元 10 还可以包括第一驱动控制晶体管 T1。

第一驱动控制晶体管 T1 的栅极与栅线 GATE 连接，第一驱动控制晶体管 T1 的第一极（第一驱动控制晶体管 T1 的源极和漏极中的一个）与数据线 DATA 连接，所述第一驱动控制晶体管 T1 的第二极（第一驱动控制晶体管 T1 的源极和漏极中的另一个）与所述第二电容 C2 的第二端连接。
15

在数据写入阶段（即图 3 所示 t2 阶段），栅线 GATE 的信号和数据线 DATA 的信号有效，第一驱动控制晶体管 T1 导通（第一驱动控制晶体管 T1 的第一极和第二极导通），数据线 DATA 通过第一驱动控制晶体管 T1 向第二电容 C2 充电。在发光二极管 OLED 发光阶段（即图 3 所示 t3 阶段），第一驱动控制晶体管 T1 截止（即，第一驱动控制晶体管 T1 的源极和漏极断开），从而可以防止驱动薄膜晶体管 DTFT 的栅极向数据线 DATA 漏电。
20

为了消除第一电容 C1 和第二电容 C2 的残留电量对驱动薄膜晶体管 DTFT 的影响，优选地，所述像素电路还可以包括提供低电平的初始化单元 30。
25

初始化单元 30 电连接在第一电容 C1 和第二电容 C2 的公共端一侧，第一电容 C1 的第二端和第二电容 C2 的第一端为公共端。在进行数据写入阶段（即图 3 所示 t2 阶段）之前，可以先进行初始化阶段（即图 3 中的 t1 阶段），通过初始化单元 30 对第一电容 C1 和第二电容 C2 进行放电，完成所述像素电路的初始化。
30

具体地，如图 2 所示，初始化单元 30 可以包括初始化晶体管 T3，该初始化晶体管 T3 的第一极（初始化晶体管 T3 的源极与漏极中的一个）连接在第一电容 C1 的第二端和第二电容 C2 的第一端之间，初始化晶体管 T3 的第二极（初始化晶体管 T3 的源极与漏极中的另一个）与低电平输入端 REF（该低电平输入端 REF 可以提供所述低电平）连接，初始化晶体管 T3 的栅极与复位信号输入端 RESET 相连。在初始化阶段（t1 阶段），复位信号输入端 RESET 输入的复位信号有效，初始化晶体管 T3 导通，从而对第一电容 C1 和第二电容 C2 进行放电，完成像素状态的初始化。

作为本发明的一种实施方式，优选地，如图 2 所示，驱动控制单元 10 还可以包括第二驱动控制晶体管 T2 和第三驱动控制晶体管 T6。

第二驱动控制晶体管 T2 的栅极与栅线 GATE 连接，第二驱动控制晶体管 T2 的第一极（第二驱动控制晶体管 T2 的源极和漏极中的一个）与驱动薄膜晶体管 DTFT 的第二极连接，第二驱动控制晶体管 T2 的第二极（第二驱动控制晶体管 T2 的源极和漏极中的另一个）与驱动薄膜晶体管 DTFT 的栅极电连接，第三驱动控制晶体管 T6 的栅极与栅线 GATE 连接，第三驱动控制晶体管 T6 的第一极（第三驱动控制晶体管 T6 的源极和漏极中的一个）与第一电容 C1 的第一端连接，第三驱动控制晶体管 T6 的第二极（第三驱动控制晶体管 T6 的源极和漏极中的另一个）与驱动薄膜晶体管 DTFT 的第一极连接。

在数据写入阶段（即图 3 所示 t2 阶段），栅线 GATE 和数据线 DATA 的信号有效，第二驱动控制晶体管 T2 和第三驱动控制晶体管 T6 开启，使驱动薄膜晶体管 DTFT 形成二极管连接。在初始化阶段（即图 3 所示 t2 阶段）和发光二极管 OLED 发光阶段（t3）阶段，第二驱动控制晶体管 T2 和第三驱动控制晶体管 T6 截止。

如上所述，发光二极管 OLED 串联在驱动电源的低电平输入端 ELVSS 和高电平输入端 ELVDD 之间，并且驱动薄膜晶体管 DTFT 的第一极和第二极也串联在驱动电源的低电平输入端 ELVSS 和高电平输入端 ELVDD 之间，在驱动薄膜晶体管 DTFT 导通时，电流可以从驱动电源的高电平输入端 ELVDD 流向驱动电源的低电平输入端 ELVSS，从而流经发光二极管 OLED，使发光二极管 OLED 发光。

为了便于控制发光二极管 OLED，通常，如图 2 所示，所述像素电路还包括发光控制单元 20，该发光控制单元 20 与发光控制线 EM 连接，发光控

制单元 20 可以根据发光控制线 EM 给出的信号将驱动电源的高电平输入端 ELVDD 与驱动薄膜晶体管 DTFT 的第一极导通, 和/或将所述驱动电源低电平输入 ELVSS 端与所述驱动薄膜晶体管 DTFT 的第二极导通。

在发光二极管 OLED 发光阶段 (即图 3 所示 t3 阶段), 只有发光控制线 EM 的信号有效, 此时, 驱动薄膜晶体管 DTFT 与栅线 GATE 和数据线 DATA 都是断开的。而第一电容 C1 保持了驱动薄膜晶体管 DTFT 的栅极电压, 因此, 驱动薄膜晶体管 DTFT 是导通状态。并且, 由于发光控制线 EM 的信号有效, 因此, 驱动电源提供的电流可以从高电平输入端 ELVDD 流向低电平输入端 ELVSS, 从而使发光二极管 OLED 发光。

在发光二极管 OLED 发光阶段 (即图 3 所示 t3 阶段) 之外的其他阶段, 驱动电源的高电平输入端 ELVDD 与驱动电源的低电平输入端 ELVSS 是断开的, 发光二极管 OLED 不发光。

作为本发明的一种实施方式, 如图 2 所示, 发光控制单元 20 可以包括第一发光控制晶体管 T5 和第二发光控制晶体管 T4, 第一发光控制晶体管 T5 的栅极与发光控制线 EM 连接, 第一发光控制晶体管 T5 的第一极 (第一发光控制晶体管 T5 的源极和漏极中的一个) 与驱动薄膜晶体管 DTFT 的第一极连接, 第一发光控制晶体管 T5 的第二极 (第一发光控制晶体管 T5 的源极和漏极中的另一个) 与驱动电源的高电平输入端 ELVDD 连接, 第二发光控制晶体管 T4 的栅极与发光控制线 EM 连接, 第二发光控制晶体管 T4 的第一极 (第二发光控制晶体管 T4 的源极和漏极中的一个) 与驱动薄膜晶体管 DTFT 的第二极连接, 第二发光控制晶体管 T4 的第二极 (第二发光控制晶体管 T4 的源极和漏极中的另一个) 与发光二极管 OLED 的阳极连接, 发光二极管 OLED 的阴极与驱动电源的低电平输入端 ELVSS 连接。

在本发明另一实施例中, 发光二极管 OLED 还可以串联在第一发光控制晶体管 T5 的第一极与驱动薄膜晶体管 DTFT 的第一极之间。

在发光控制线 EM 的信号有效的情况下, 第一发光控制晶体管 T5 和第二发光控制晶体管 T4 均导通, 电流可以从所述驱动电源的高电平输入端 ELVDD 流向所述驱动电源的低电平输入端 ELVSS, 从而可以使发光二极管 OLED 发光。

在发光二极管 OLED 发光阶段 (即图 3 所示 t3 阶段) 之外的其他阶段 (即图 3 所示 t1 阶段、t2 阶段) 第一发光二极管 T5 截止, 驱动电源的高电平输

入端 ELVDD 与驱动薄膜晶体管 DTFT 的第一极断开, 从而可以避免驱动电源的高电平输入端 ELVDD 的高电平对驱动薄膜晶体管 DTFT 的第一极的电位造成影响。

在数据写入阶段 (即图 3 所示 t_2 阶段), 由于驱动薄膜晶体管 DTFT 的栅极与驱动薄膜晶体管的第二极导通, 此时的驱动薄膜晶体管 DTFT 实际上形成了一个处于临界导通状态的二极管, 第二发光二极管 T4 截止, 从而可以避免驱动薄膜晶体管 DTFT 的漏电流流向发光二极管 OLED。

在本发明中, 对驱动薄膜晶体管 DTFT、第一驱动控制晶体管 T1、第二驱动控制晶体管 T2、第三驱动控制晶体管 T6、初始化晶体管 T3、第一发光控制晶体管 T5 和第二发光控制晶体管 T4 的类型不作具体要求。但是, 第一驱动控制晶体管 T1、第二驱动控制晶体管 T2 和第三驱动控制晶体管 T6 的类型应当相同 (均为 P 型或均为 N 型), 第一发光控制晶体管 T5 和第二发光控制晶体管 T4 的类型应当相同 (均为 P 型或均为 N 型)。

在本发明的图 2 所示的实施方式中, 驱动薄膜晶体管 DTFT、第一驱动控制晶体管 T1、第二驱动控制晶体管 T2、第三驱动控制晶体管 T6、初始化晶体管 T3、第一发光控制晶体管 T5 和第二发光控制晶体管 T4 均为 P 型晶体管。栅线 GATE、数据线 DATA 以及发光控制线 EM 的低电平信号为有效信号。

下面结合图 2、图 4 至图 6 介绍本发明的一种实施方式的工作原理。

图 4 所示的是当图 2 中的像素电路处于初始化阶段 (即图 3 所示 t_1 阶段) 时的等效电路图, 实线部分代表通电的部分, 虚线的部分代表不通电的部分。

在初始化阶段, 复位信号输入端 RESET 向初始化晶体管 T3 提供有效信号, 使初始化晶体管 T3 导通, 使第一电容 C1 和第二电容 C2 中残余的电量流向低电平输入端 REF, 此时, 驱动薄膜晶体管 DTFT 的栅极电压为低电平输入端 REF 提供的电压 V_{ref} , 第二电容 C2 的第一端的电压为低电平输入端 REF 的电压 V_{ref} 。

图 5 所示的是当图 2 中的像素电路处于数据写入阶段 (即图 3 所示 t_2 阶段) 时的等效电路图, 与图 4 中一样, 实线部分代表通电的部分, 虚线的部分代表不通电的部分。

在数据写入阶段 (即图 3 所示 t_2 阶段), 复位信号输入端 RESET 输入的信号跳变为高电平, 初始化晶体管 T3 截止, 第一电容 C1 保持低电平输入端

REF 的电压 V_{ref} 。同时栅线 GATE 信号有效, 第一驱动控制晶体管 T1 开启, 数据线 DATA 将显示数据信号写入所述像素电路, 此时, 第二电容 C2 第一端 N1 节点处电压为数据线 DATA 的电压 V_{data} 与低电平输入端 REF 的电压 V_{ref} 之和 (即, $V_{data}+V_{ref}$)。同时, 由于栅线 GATE 信号有效, 第二驱动控制晶体管 T2 导通, 此时驱动薄膜晶体管 DTFT 的栅极和驱动薄膜晶体管 DTFT 的第二极连接, 此时的驱动薄膜晶体管 DTFT 实际上形成了一个处于临界导通状态的二极管, 驱动薄膜晶体管 DTFT 的阈值电压 $V_{th,DTFT}$ 被第一电容 C1 记录并保持。此时, 驱动薄膜晶体管的栅极电压为 ($V_{data}+V_{ref}-V_{th,DTFT}$), 且由第一电容 C1 存储。

在数据写入阶段 (即图 3 所示 t2 阶段), 发光控制线 EM 为高电平, 第二发光控制二极管 T4 截止, 将数据写入像素这一动作并不会对发光二极管 OLED 的发光状态产生影响, 避免了显示的闪烁。同时发光控制线 EM 为高电平保证了第一发光控制二极管 T5 截止, 确保此时驱动薄膜晶体管 DTFT 与驱动电源的高电平输入端 ELVDD 断开, 避免了由于驱动薄膜晶体管 DTFT 的漏电对驱动薄膜晶体管 DTFT 的栅极电压造成不良影响。另一方面, 栅线 GATE 信号有效, 第三驱动控制晶体管 T6 开启, 避免了驱动薄膜晶体管 DTFT 的第一极悬空, 并且第三驱动控制晶体管 T6 可以将驱动薄膜晶体管 DTFT 的栅极电压引至驱动薄膜晶体管 DTFT 的第一极, 即使驱动薄膜晶体管 DTFT 存在漏电现象, 也不会对驱动薄膜晶体管 DTFT 的栅极电压造成影响。

图 6 所示的是当图 2 中的像素电路处于发光二极管 OLED 发光阶段 (即图 3 所示 t3 阶段) 时的等效电路图, 与图 4 和图 5 中一样, 实线部分代表通电的部分, 虚线的部分代表不通电的部分。

栅线 GATE 信号跳变为高电平, 第一驱动控制晶体管 T1、第二驱动控制晶体管 T2 和第三驱动控制晶体管 T3 截止, 驱动薄膜晶体管的栅极电压 ($V_{data}+V_{ref}-V_{th,DTFT}$) 由第一电容 C1 保持, 该电压确保驱动薄膜晶体管工作在饱和区, 则此时, 驱动薄膜晶体管 DTFT 的输出电流 I_d 为:

$$\begin{aligned} I_d &= \frac{1}{2} \mu C_{ox} (W/L) (V_{gs, DTFT} - |V_{th}|)^2 \\ &= \frac{1}{2} \mu C_{ox} (W/L) [V_{dd} - (V_{data} + V_{ref} - V_{th}) - V_{th}]^2 \\ &= \frac{1}{2} \mu C_{ox} (W/L) (V_{dd} - V_{data} - V_{ref})^2 \end{aligned}$$

由此可知, 驱动薄膜晶体管 DTFT 的第一极与驱动薄膜晶体管 DTFT 的

第二极之间的电流 I_d 与驱动薄膜二极管的阈值电压 $V_{th,DTFT}$ 无关。因此，驱动薄膜晶体管 DTFT 的阈值电压 $V_{th,DTFT}$ 的漂移不会对驱动薄膜晶体管 DTFT 输出的电流（即，该驱动薄膜晶体管 DTFT 的漏极电流）产生影响，发光二极管 OLED 的亮度不会受到影响。

5 同时，在发光二极管 OLED 发光阶段，第二发光控制晶体管 T4 导通，电流 I_d 经第二发光控制晶体管 T4 流入发光二极管 OLED，点亮显示。

另外，初始化单元 30 的低电平可以接地。如果驱动电源的高电平输入端 ELVDD 有导线电阻或寄生电阻引起的电压降，则可以对初始化单元 30 的低电平进行调整，使其可以与导线电阻或寄生电阻引起的电压降相互抵消。在
10 这种情况下，所述像素电路还可以补偿驱动电源的导线电阻或寄生电阻引起的电压降，从而避免因导线电阻或寄生电阻引起的电压降而造成的电流 I_d 的波动。

作为本发明的另一个方面，还提供一种有机发光显示器，其中，该有机发光显示器包括本发明所提供的上述像素电路。由于所述像素电路可以输出
15 均匀的电流，使像素电路中的发光二极管亮度均匀，所以包括所述像素电路的有机发光显示器可以具有均匀的显示亮度。

可以理解的是，以上实施方式仅仅是为了说明本发明的原理而采用的示例性实施方式，然而本发明并不局限于此。对于本领域内的普通技术人员而言，在不脱离本发明的精神和实质的情况下，可以做出各种变型和改进，这
20 些变型和改进也视为本发明的保护范围。

权 利 要 求 书

1、一种像素电路，所述像素电路包括驱动薄膜晶体管和发光二极管，所述发光二极管串联在驱动电源的低电平输入端和高电平输入端之间，其特征在于，所述像素电路还包括第一电容和驱动控制单元，所述第一电容的第一端通过所述驱动控制单元与所述驱动薄膜晶体管的第一极电连接，所述第一电容的第二端与所述驱动薄膜晶体管的栅极连接，所述驱动薄膜晶体管的第一极和所述驱动薄膜晶体管的栅极通过所述驱动控制单元电连接，所述驱动控制单元与栅线和数据线连接，所述驱动控制单元在数据写入阶段控制导通所述第一电容的第一端与所述驱动薄膜晶体管的第一极之间的连接、导通所述驱动薄膜晶体管的栅极与所述驱动薄膜晶体管的第一极之间的连接，所述驱动薄膜晶体管导通。

2、根据权利要求1所述的像素电路，其特征在于，所述像素电路还包括第二电容，该第二电容的第一端与所述第一电容的第二端连接，所述第二电容的第二端通过所述驱动控制单元与所述数据线电连接。

3、根据权利要求2所述的像素电路，其特征在于，所述驱动控制单元还包括第一驱动控制晶体管，所述第一驱动控制晶体管的栅极与所述栅线连接，所述第一驱动控制晶体管的第一极与数据线连接，所述第一驱动控制晶体管的第二极与所述第二电容的第二端连接。

4、根据权利要求3所述的像素电路，其特征在于，所述像素电路还包括提供低电平的初始化单元，所述初始化单元电连接到所述第一电容的第二端和所述第二电容的第一端。

5、根据权利要求4所述的像素电路，其特征在于，所述初始化单元包括初始化晶体管，所述初始化晶体管的第一极连接到所述第一电容的第二端和所述第二电容的第一端，所述初始化晶体管的第二极与低电平输入端连接，所述初始化晶体管的栅极与复位信号输入端相连。

6、根据权利要求 1 至 5 中任意一项所述的像素电路，其特征在于，所述驱动控制单元包括第二驱动控制晶体管和第三驱动控制晶体管，所述第二驱动控制晶体管的栅极与所述栅线连接，所述第二驱动控制晶体管的第一极与
5 所述驱动薄膜晶体管的第二极连接，所述第二驱动控制晶体管的第二极与所述驱动薄膜晶体管的栅极连接，所述第三驱动控制晶体管的栅极与所述栅线连接，所述第三驱动控制晶体管的第一极与所述第一电容的第一端连接，所述第三驱动控制晶体管的第二极与所述驱动薄膜晶体管的第一极连接。

7、根据权利要求 6 所述的像素电路，其特征在于，所述像素电路还包括
10 发光控制单元，所述发光控制单元与发光控制线连接，所述发光控制单元能够根据所述发光控制线给出的信号导通驱动电源的高电平输入端与所述驱动薄膜晶体管的第一极之间的连接，和/或导通所述驱动电源低电平输入端与所述驱动薄膜晶体管的第二极之间的连接。

8、根据权利要求 7 所述的像素电路，其特征在于，所述发光控制单元包
15 括第一发光控制晶体管和第二发光控制晶体管，所述第一发光控制晶体管的栅极与所述发光控制线连接，所述第一发光控制晶体管的第一极与所述驱动薄膜晶体管的第一极连接，所述第一发光控制晶体管的第二极与所述驱动电源的高电平输入端连接，所述第二发光控制晶体管的栅极与所述发光控制线
20 连接，所述第二发光控制晶体管的第一极与所述驱动薄膜晶体管的第二极连接，所述第二发光控制晶体管的第二极与所述发光二极管的阳极连接，所述发光二极管的阴极与所述驱动电源的低电平输入端连接。

9、根据权利要求 8 所述的像素电路，其特征在于，所述驱动薄膜晶体管、
25 所述第一驱动控制晶体管、所述第二驱动控制晶体管、所述第三驱动控制晶体管、所述初始化晶体管、所述第一发光控制晶体管和所述第二发光控制晶体管均为 P 型晶体管。

10、一种有机发光显示器，其特征在于，所述有机发光显示器包括权利
30 要求 1 至 9 中任意一项所述的像素电路。

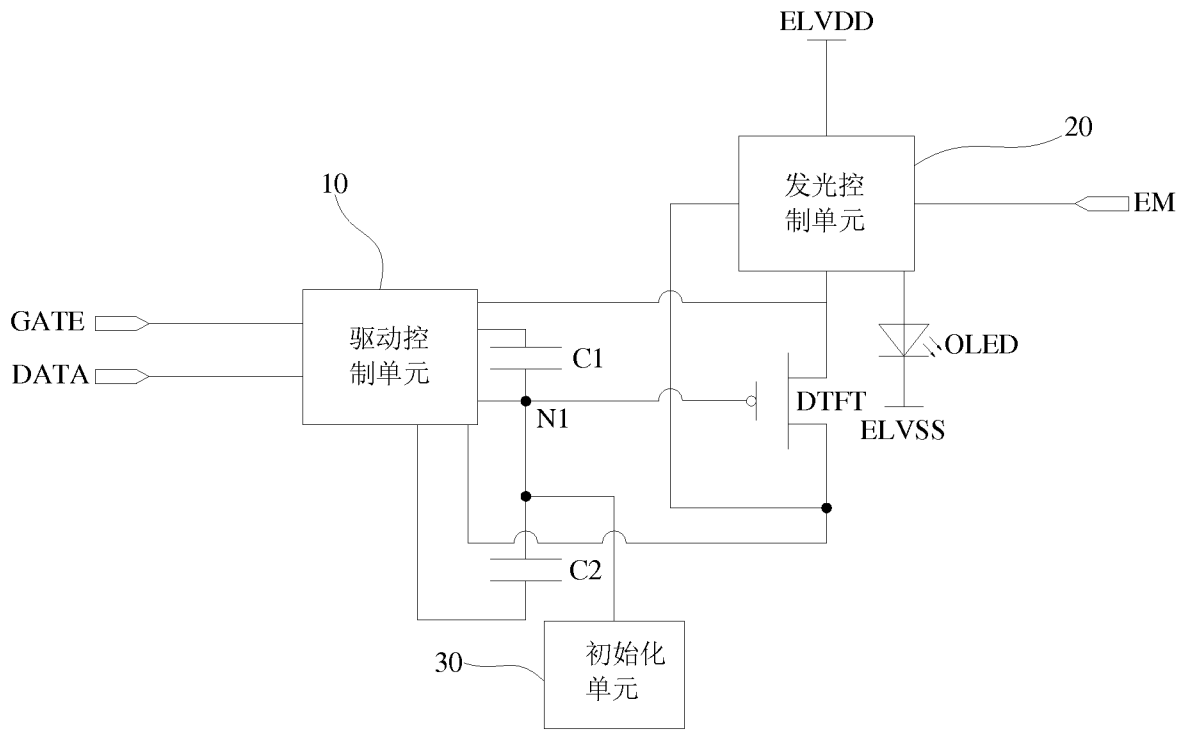


图 1

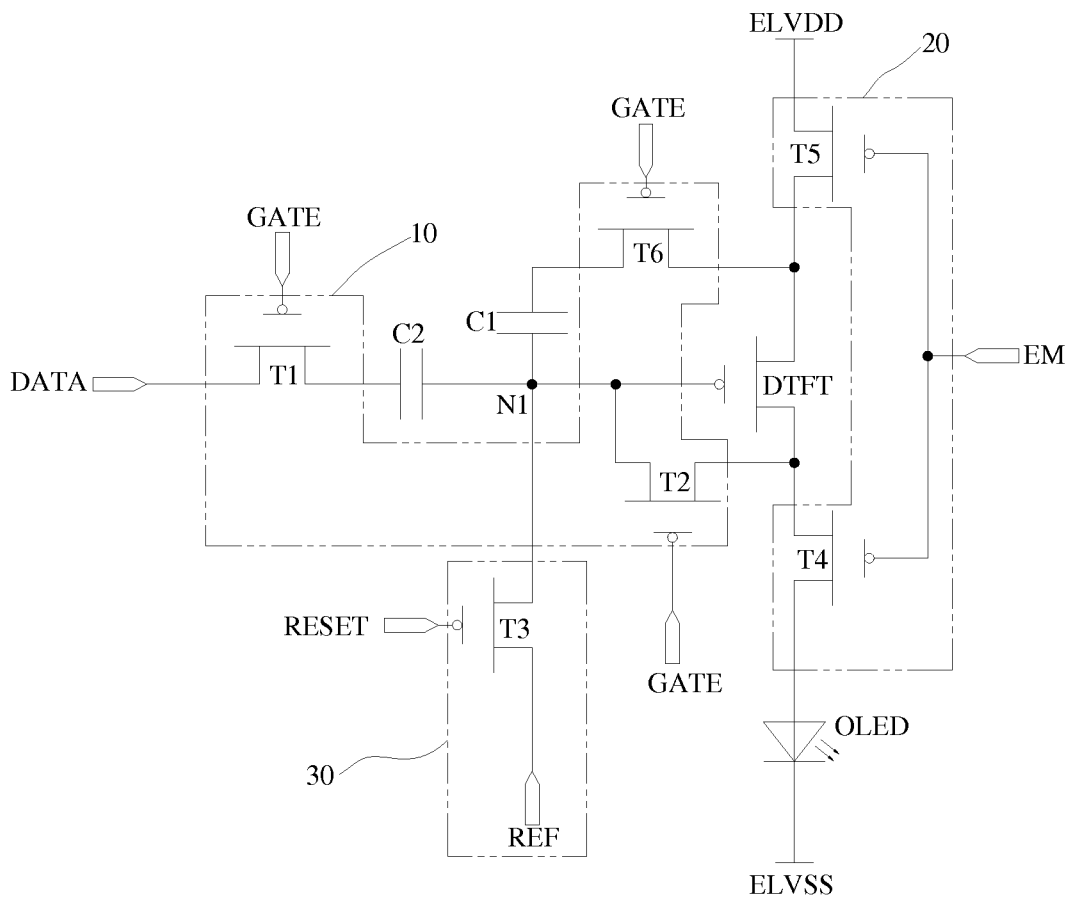


图 2

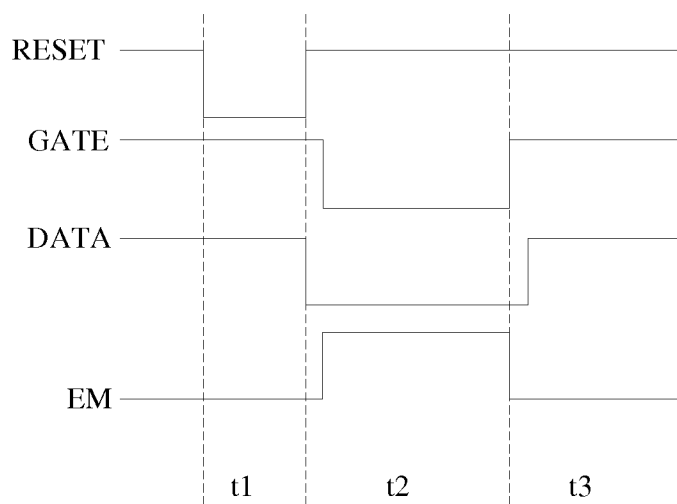


图 3

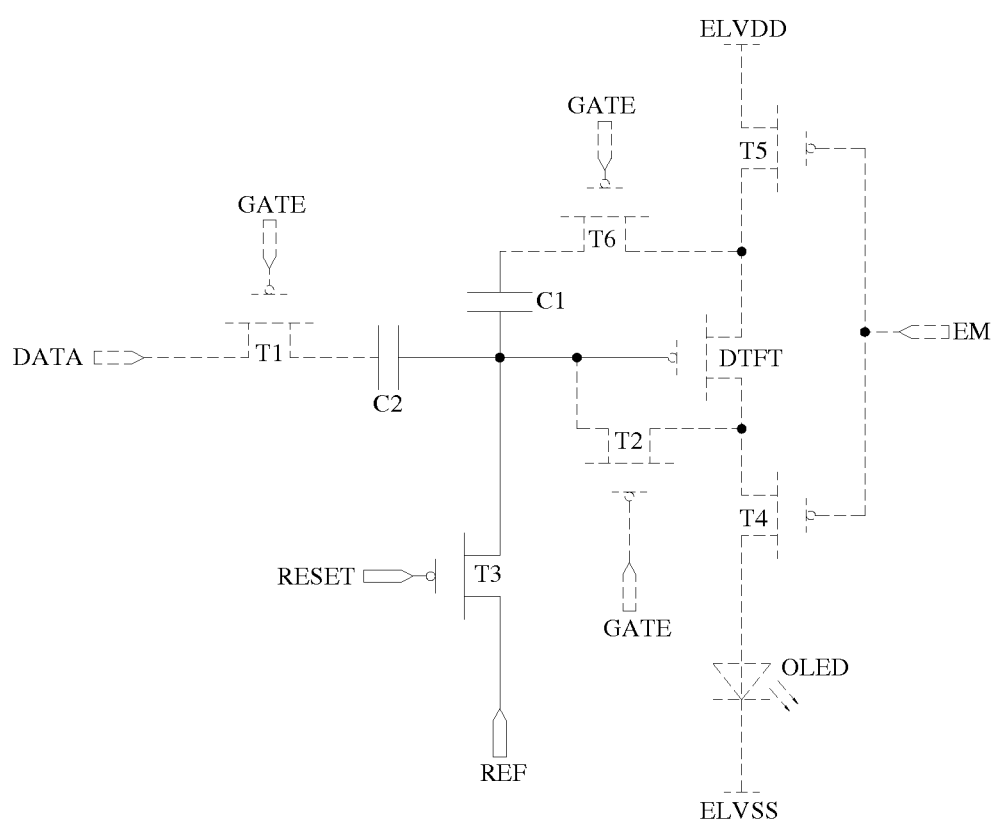


图 4

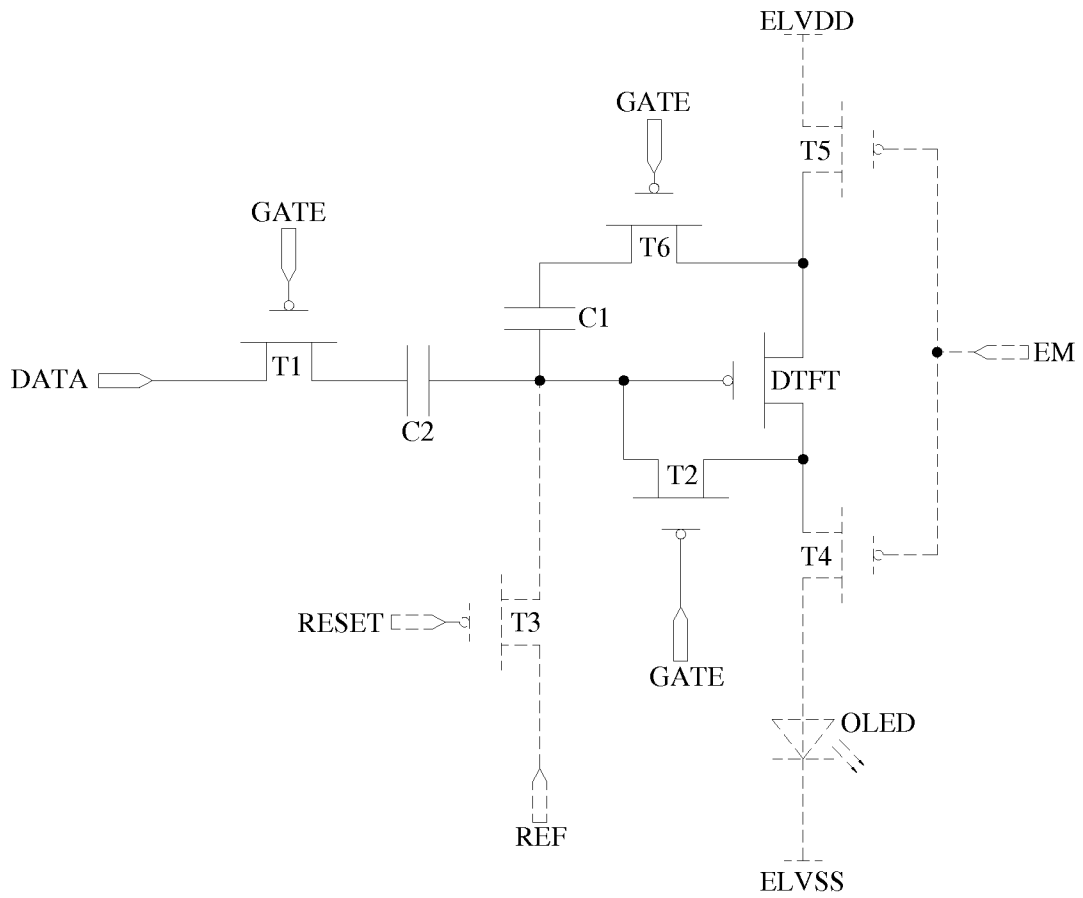


图 5

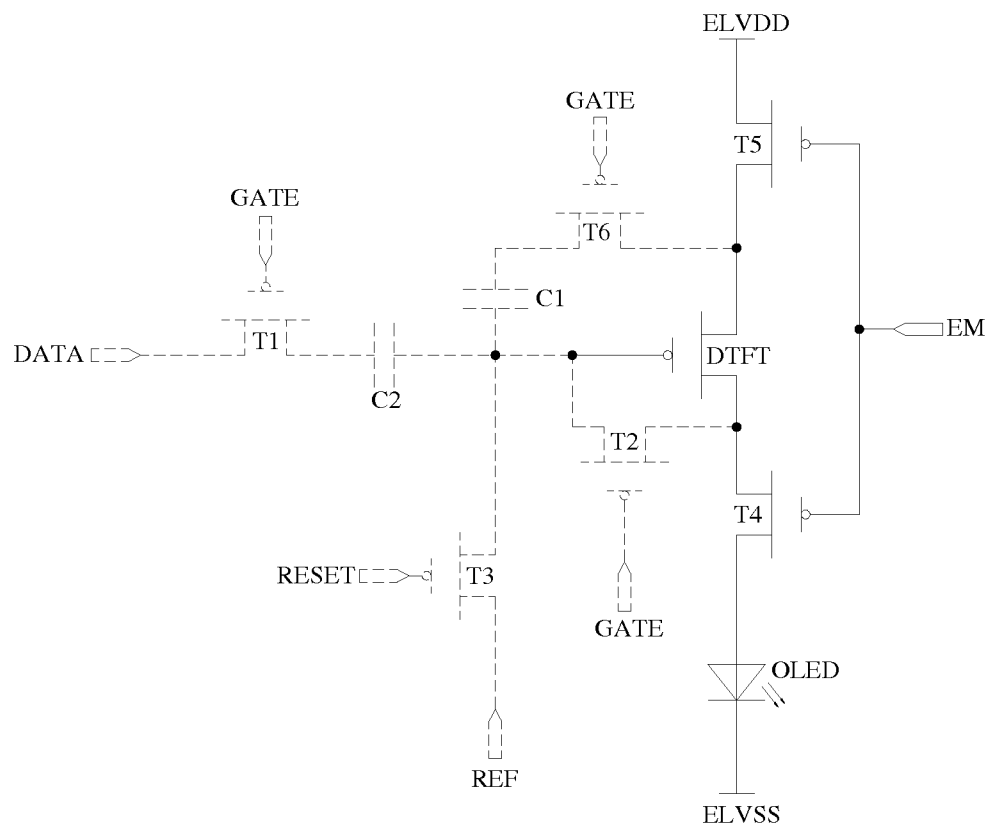


图 6

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/077428**A. CLASSIFICATION OF SUBJECT MATTER**

G09G 3/32 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G 3/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: BOE TECHNOLOGY GROUP CO., LTD.; WANG, Ying; capacitance, driving transistor, PIXEL, CIRCUIT, DRIVE, CONTROL, TRANSISTOR, CAPACITOR, UNIT

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102708792 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 October 2012 (03.10.2012), description, paragraphs [0059]-[0112], and figures 1-11	1-6, 9-10
Y		7-8
Y	CN 102708793 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 03 October 2012 (03.10.2012), description, paragraphs [0076]-[0182], and figures 1-12	7-8
E	CN 203325407 U (BOE TECHNOLOGY GROUP CO., LTD.), 04 December 2013 (04.12.2013), description, paragraphs [0039]-[0090], and figures 1-6	1-10
A	JP 2008-185874 A (SONY CORP.), 14 August 2008 (14.08.2008), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

18 January 2014 (18.01.2014)

Date of mailing of the international search report

20 February 2014 (20.02.2014)

Name and mailing address of the ISA/CN:

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No.: (86-10) 62019451

Authorized officer

YAN, DongTelephone No.: (86-10) **62411789**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2013/077428

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102708792 A	03.10.2012	WO 2013123795 A1	29.08.2013
CN 102708793 A	03.10.2012	WO 2013127189 A1	06.09.2013
CN 203325407 U	04.12.2013	None	
JP 2008-185874 A	14.08.2008	None	

国际检索报告

国际申请号
PCT/CN2013/077428

A. 主题的分类

G09G 3/32 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G09G 3/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT,WPI,EPODOC,CNKI: 京东方科技集团股份有限公司, 王颖, 像素, 电路, 驱动, 晶体管, 电容, 控制, 驱动晶体管, PIXEL, CIRCUIT, DRIVE, CONTROL, TRANSISTOR, CAPACITOR, UNIT

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102708792 A (京东方科技集团股份有限公司等) 03.10 月 2012	1-6、9-10
Y	(03.10.2012) 说明书第[0059]-[0112]段, 图 1-11	7-8
Y	CN 102708793 A (京东方科技集团股份有限公司等) 03.10 月 2012	7-8
	(03.10.2012) 说明书第[0076]-[0182]段, 图 1-12	
E	CN 203325407 U (京东方科技集团股份有限公司) 04.12 月 2013	1-10
	(04.12.2013) 说明书第[0039]-[0090]段, 图 1-6	
A	JP 2008-185874 A (SONY CORP) 14.8 月 2008	1-10
	(14.08.2008) 全文	

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
18.1 月 2014 (18.01.2014)

国际检索报告邮寄日期
20.2 月 2014 (20.02.2014)

ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451

受权官员

闫东
电话号码: (86-10) **62411789**

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/077428

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 102708792 A	03.10.2012	WO 2013123795 A1	29.08.2013
CN 102708793 A	03.10.2012	WO 2013127189 A1	06.09.2013
CN 203325407 U	04.12.2013	无	
JP 2008-185874 A	14.08.2008	无	