

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

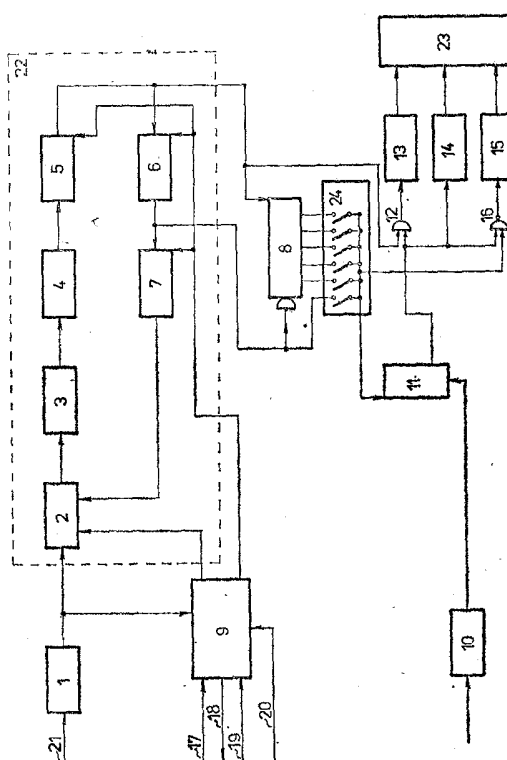
(51) Int. Cl.⁴
G 08 C 19/02/

{45} Vydáno 15 08 87

HANŽLÍK JAROSLAV ing. CSc., ČESKÉ BUDĚJOVICE

1

2



Vynález se týká zapojení pro zajištění fázově konformního chodu vysílačů hromadného dálkového ovládání, které umožňuje buď jejich paralelní spolupráci v jedné síťové oblasti, nebo případně nastavení definovaného úhlu mezi fázory napětí tónové frekvence vysílačů pracujících v oddělených síťových oblastech, což je důležité pro dosažení co nejnižší úrovně napětí tónové frekvence v nadřazené soustavě tyto síťové oblasti napájející.

Dosud používaná zapojení pracují na principu fázového závěsu s napětím řízeným oscilátorem a analogovým posouváním fáze výstupní frekvence, nebo pracují bez fázového závěsu a využívají dvoustavové regulace fáze napětí získaného z krystalového oscilátoru na dálkově přenášenou pilotní frekvenci. Jejich nevýhodou je, že v případě výpadku přenosu pilotní frekvence dochází téměř okamžitě k ztrátě vazby fáze napětí oscilátoru na pilotní frekvenci a tím porušení podmínky konformního chodu vysílačů. Zmíněná zapojení s napětím řízeným oscilátorem vyžadují v tomto případě ještě přepnutí na záložní krystalový oscilátor s čímž je spojeno případné opakované vysílání povelového kódu a časová ztráta.

Tyto nevýhody podstatně zmírňuje zapojení pro zajištění fázově konformního chodu vysílačů hromadného dálkového ovládání podle vynálezu, obsahující fázový závěs a krystalový oscilátor. Jeho podstata je v tom, že zdroj pilotní frekvence je zapojen na vstupní obvod pilotní frekvence, zapojený na fázový závěs sestávající z uzavřeného okruhu série fázového detektoru, filtru, krystalového oscilátoru, prvního děliče frekvence, druhého děliče frekvence a třetího děliče frekvence, zapojeného na fázový detektor, na který je dále zapojen přes logiku rychlosynchronizace, spojenou se vstupním obvodem pilotní frekvence, zdroj signálu přerušení přenosové cesty a zdroj signálu zapnutí na napájecí napětí. Druhý výstup logiky rychlosynchronizace je zapojen na druhé vstupy třetího děliče frekvence a druhého děliče frekvence.

Výstupy prvního děliče frekvence a druhého děliče frekvence jsou zapojeny na vstupy posuvného registru. Výstup druhého děliče frekvence je dále zapojen na první svorku prvního spínače přepínače, jehož první svorky dalších spínačů jsou jednotlivě spojeny s posuvným registrem a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na klopný obvod.

Na jeho druhý vstup je zapojen vstupní obvod povelového kódu. Jeho výstup je zapojen přes výstupní obvod povelového kódu na vysílač dálkového ovládání. Výstup prvního děliče frekvence může být ještě zapojen na první hradlo, na jehož druhý vstup je zapojen výstup klopného obvodu a jehož výstup je zapojen přes výstupní obvod šestinásobku vysílací frekvence na vysílač hromadného dálkového ovládání. Uzel

druhých svorek spínačů přepínače a výstup klopného obvodu mohou být zapojeny na dva vstupy druhého hradla, zapojeného přes výstupní obvod vysílací frekvence na vysílač hromadného dálkového ovládání. Druhý výstup logiky rychlosynchronizace může být ještě zapojen na druhý vstup prvního děliče frekvence, přičemž na čtvrtý vstup logiky rychlosynchronizace je zapojen zdroj signálu blokování rychlosynchronizace a na jeho třetí výstup vodič povelu pohotovosti k vysílání.

Výhodou zapojení podle vynálezu je pámeťová funkce fázového závěsu, která se příznivě projevuje při krátkodobých přerušováních přenosu pilotní frekvence a dále pak možnost číslicového nastavení úhlu fázoru napětí vysílané frekvence přepínačem spojeným s posuvným registrem. Další výhodou je, že vzhledem k použití krystalového oscilátoru není při přerušování přenosu pilotní frekvence nutné přepínat řízení vysílače hromadného dálkového ovládání na náhradní oscilátor.

Příklad zapojení pro zajištění fázově konformního chodu vysílačů hromadného dálkového ovládání podle vynálezu je nakreslen v blokovém schématu na připojeném výkrese.

Fázový závěs 22 je tvořen uzavřeným okruhem sériového zapojení fázového detektoru 2, filtru 3, krystalového oscilátoru 4, prvního děliče 5 frekvence, druhého děliče 6 frekvence a třetího děliče 7 frekvence, zapojeného zpět na druhý vstup fázového detektoru 2. Na jeho první vstup je zapojen přes vstupní obvod 1 pilotní frekvence zdroj pilotní frekvence 21. Vstupní obvod 1 pilotní frekvence je současně zapojen na první vstup logiky 9 rychlosynchronizace, na jehož další tři vstupy jsou zapojeny zdroje signálu 17 přerušování přenosové cesty, signálu 20 zapnutí na napájecí napětí a signálu 19 blokování rychlosynchronizace. Na druhý výstup logiky 9 rychlosynchronizace jsou zapojeny druhé vstupy třetího děliče 7 frekvence, druhého děliče 6 frekvence a prvního děliče 5 frekvence. Na druhý výstup logiky 9 rychlosynchronizace je zapojen třetí vstup fázového detektoru 2. Na třetí výstup logiky 9 rychlosynchronizace je zapojen vodič 18 povelu pohotovosti k vysílání. Výstup druhého děliče 6 frekvence je dále zapojen na první vstup posuvného registru 8 a na první svorku prvního spínače přepínače 24 a na druhý vstup posuvného registru 8 je zapojen výstup prvního děliče 5 frekvence.

První svorky druhého až šestého spínače přepínače 24 jsou jednotlivě spojeny s posuvným registrem 8. Druhé svorky všech šesti spínačů přepínače 24 jsou spojeny do uzlu, který je spojen zaprvé přes klopný obvod 11 s druhým vstupem prvního hradla 12, s výstupním obvodem 14 povelového kódu a s prvním vstupem druhého hradla 16 a

za druhé s druhým vstupem druhého hradla 16. Na první vstup prvního hradla 12 je zapojen výstup prvního děliče 5 frekvence. Na druhý vstup klopného obvodu 11 je zapojen vstupní obvod 10 povelového kódu. Výstup prvního hradla 12 je spojen přes vstupní obvod 13 šestinásobku vysílané frekvence s vysílačem 23 hromadného dálkového ovládání, na jehož další dva vstupy jsou zapojeny výstupní obvod 14 povelového kódu a přes výstupní obvod 15 vysílané frekvence výstup druhého hradla 16.

Pilotní frekvence 21 vstupuje přes vstupní obvod 1 pilotní frekvence do fázového detektoru 2, který je součástí fázového závěsu 22, jež má paměťovou funkci. Výstupy fázového závěsu 22 se fázově zachycují pilotní frekvence 21, která je zpravidla subharmonickou frekvence vysílané vysílačem 23 hromadného dálkového ovládání. Aby se při zapnutí zařízení na napájecí napětí a při obnovení přenosu pilotní frekvence 21 urychlilo zachycení fázového závěsu 22 obsahuje zapojení podle vynálezu logiku 9 rychlosynchronizace. Ta působí tak, že se zvoleným časovým odstupem od spouštěcího impulsu odvozeného buď od signálu 20 zapnutí na napájecí napětí, nebo od signálu 17 přerušení přenosové cesty zablokuje fázový detektor 2 a poté nuluje druhý dělič 6 frekvence a třetí dělič 7 frekvence a případně též první dělič 5 frekvence. První hranou pilotní frekvence 21 následující po definovaném časovém zpoždění od spouštěcího impulsu se pak ruší nulování děličů 5, 6, 7 frekvence a deblokuje se fázový detektor 2. Tím se v krátké době dosáhne stavu, kdy náběžná hrana prvního

impulsu z výstupu třetího děliče 7 frekvence je nepatrně zpožděna za náběžnou hranou pilotní frekvence 21.

Tento malý rozdíl fáze je pak vyrovnán fázovým závěsem 22. Posuvný registr 8 je řízen impulsy šestinásobku vysílané frekvence a posouvá impulsy vysílané frekvence. Dělicí poměr druhého děliče 6 frekvence je tedy jedna šestina a na jeho výstupu je vysílaná frekvence. Přepínačem 24 se volí fázový posuv fázoru napětí vysílané frekvence vysílače 23 hromadného dálkového ovládání skokem po 60° elektrických. Jemná regulace fázového posuvu je součástí vysílače 23 hromadného dálkového ovládání. Náběžná hrana povelového kódu z výstupu vstupního obvodu 10 povelového kódu odblokuje klopný obvod 11 a první náběžná hrana vysílané frekvence ho překlopí. Tím se uvolní první hradlo 12 a do vysílače 23 hromadného dálkového ovládání se přes výstupní obvod 13 šestinásobku vysílané frekvence dostane šestinásobek vysílané frekvence a přes výstupní obvod 14 povelového kódu povelový kód. Vysílač 23 hromadného dálkového ovládání začíná vysílání do určité předem definované fáze, například R, počínaje sestupnou hranou šestinásobku vysílané frekvence.

Zapojení podle vynálezu obsahuje ještě ekvivalentní možnost propojení s vysílačem 23 hromadného dálkového ovládání a to prostřednictvím výstupního obvodu 14 povelového kódu a výstupního obvodu 15 vysílané frekvence.

Využití vynálezu se předpokládá v energetice při hromadném dálkovém ovládání odběru elektrické energie.

PŘEDMĚT VYNÁLEZU

1. Zapojení pro zajištění fázově konformního chodu vysílačů hromadného dálkového ovládání obsahující fázový závěs a krystalový oscilátor, vyznačující se tím, že zdroj pilotní frekvence (21) je zapojen na vstupní obvod (1) pilotní frekvence zapojený na fázový závěs (22) sestávající z uzavřeného okruhu série fázového detektoru (2), filtru (3), krystalového oscilátoru (4), prvního děliče (5) frekvence, druhého děliče (6) frekvence a třetího děliče (7) frekvence zapojeného na fázový detektor (2), na který je dále zapojen přes logiku (9) rychlosynchronizace, spojenou se vstupním obvodem (1) pilotní frekvence, zdroj signálu (17) přerušení přenosové cesty a zdroj signálu (20) zapnutí na napájecí napětí, když druhý výstup logiky (9) rychlosynchronizace je zapojen na druhé vstupy třetího děliče (7) frekvence a druhého děliče (6) frekvence a když výstupy prvního děliče (5) frekvence a druhého děliče (6) frekvence jsou zapojeny na vstupy posuvného registru (8) a výstup druhého děliče

(6) frekvence je dále zapojen na první svorku prvního spínače přepínače (24), jehož první svorky dalších spínačů jsou jednotlivě spojeny s posuvným registrem (8) a jehož druhé svorky všech spínačů jsou spojeny do uzlu zapojeného na klopný obvod (11) na jehož druhý vstup je zapojen vstupní obvod (10) povelového kódu a jehož výstup je zapojen přes výstupní obvod (14) povelového kódu na vysílač (23) hromadného dálkového ovládání.

2. Zapojení podle bodu 1, vyznačující se tím, že výstup prvního děliče (5) frekvence je ještě zapojen na první hradlo (12), na jehož druhý vstup je zapojen výstup klopného obvodu (11) a jehož výstup je zapojen přes výstupní obvod (13) šestinásobku vysílací frekvence na vysílač (23) hromadného dálkového ovládání.

3. Zapojení podle bodu 1, vyznačující se tím, že uzel druhých svorek spínačů přepínače (24) a výstup klopného obvodu (11) jsou zapojeny na dva vstupy druhého hradla (16), zapojeného přes výstupní obvod (15)

vysílací frekvence na vysílač (23) hromadného dálkového ovládání.

4. Zapojení podle bodu 2, vyznačující se tím, že druhý výstup logiky (9) rychlosynchronizace je ještě zapojen na druhý vstup prvního děliče (5) frekvence, přičemž na

čtvrtý vstup logiky (9) rychlosynchronizace je zapojen zdroj signálu (19) blokování rychlosynchronizace a na jeho třetí výstup vodič povelu (18) pohotovosti k vysílání.

1 list výkresů

