

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141685

(P2010-141685A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.
H03M 1/50 (2006.01)F I
H03M 1/50テーマコード (参考)
5 J 0 2 2

審査請求 未請求 請求項の数 10 O L (全 13 頁)

(21) 出願番号 特願2008-316969 (P2008-316969)
(22) 出願日 平成20年12月12日 (2008.12.12)(71) 出願人 000004260
株式会社デンソー
愛知県刈谷市昭和町1丁目1番地
(74) 代理人 110000578
名古屋国際特許業務法人
(72) 発明者 渡辺 高元
愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内
Fターム(参考) 5J022 AA11 BA01 CD03 CD04 CE04
CE05 CF02 CG01

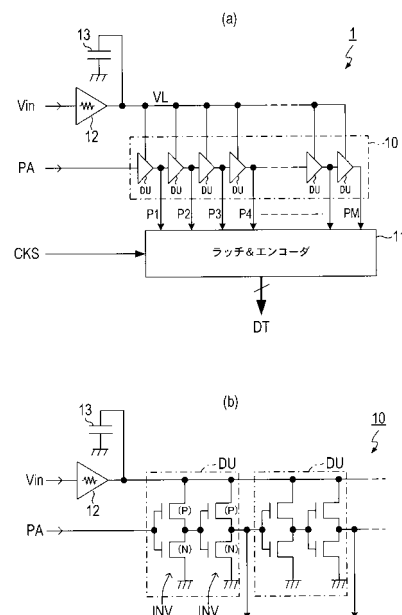
(54) 【発明の名称】 パルス遅延回路およびA/D変換回路

(57) 【要約】

【課題】均等な時間間隔の遅延パルスが得られるパルス遅延回路、及び、A/D変換データの分解能が均一なA/D変換回路を提供する。

【解決手段】パルス信号PAを遅延させて出力する遅延ユニットDUをM(Mは正整数)段直列接続してなるパルス遅延回路10と、サンプリングクロックCKSのタイミングで、パルス遅延回路10内でのパルス信号PAの到達位置を検出(ラッチ)し、その検出結果を、パルス信号PAが通過した遅延ユニットDUの段数を表す所定ビットのデジタルデータDTに変換して出力するラッチ&エンコーダ11とを備えたA/D変換回路1において、各遅延ユニットDUには、バッファ12を介して、A/D変換対象となる入力信号Vinを駆動電圧として印加すると共に、バッファ12の出力を各遅延ユニットDUに供給する信号ラインとグランドラインとの間にコンデンサ13を設ける。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

入力信号の電圧レベルに応じた遅延時間でパルス信号を遅延させる複数の遅延ユニットを直列又はリング状に接続してなり、パルス信号を各遅延ユニットの遅延時間にて順次遅延させながら伝送するパルス遅延回路において、

前記入力信号を前記遅延ユニットに供給する信号ラインに、前記遅延ユニットの反転動作時に消費される電力の供給源となる容量素子を設けたことを特徴とするパルス遅延回路。

【請求項 2】

前記信号ラインは、抵抗分を有するバッファ回路を介して前記入力信号の入力端子に接続されていることを特徴とする請求項 1 に記載のパルス遅延回路。 10

【請求項 3】

前記容量素子が有する容量分は、該容量分と前記バッファ回路が有する抵抗分とから算出される時定数が前記入力信号について予め規定された最大周波数の逆数より小さな値となるように設定されていることを特徴とする請求項 2 に記載のパルス遅延回路。

【請求項 4】

前記容量素子は、CMOS プロセスによって形成されたものであることを特徴とする請求項 1 乃至請求項 3 のいずれかに記載のパルス遅延回路。

【請求項 5】

前記遅延ユニットは、前記入力信号を駆動電圧として動作する CMOS インバータゲート回路からなることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載のパルス遅延回路。 20

【請求項 6】

前記遅延ユニットは、電源ラインとの間に電流制御用のトランジスタが付加された CMOS インバータゲート回路からなり、前記入力信号は前記電流制御用のトランジスタの駆動電圧として印加されることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載のパルス遅延回路。

【請求項 7】

前記遅延ユニットは、標準セルを用いて構成されていることを特徴とする請求項 1 乃至請求項 4 のいずれかに記載のパルス遅延回路。 30

【請求項 8】

請求項 1 乃至請求項 8 のいずれかに記載のパルス遅延回路と、

予め設定された測定時間の間に前記パルス遅延回路内で前記パルス信号が通過した前記遅延ユニットの段数に対応する数値データを生成する符号化回路と、

を備え、前記符号化回路が生成する前記数値データを前記入力信号の電圧レベルを表す A / D 変換データとして出力することを特徴とする A / D 変換回路。

【請求項 9】

前記パルス遅延回路は、前記符号化回路を構成するトランジスタよりサイズの大きいトランジスタを用いて構成されていることを特徴とする請求項 8 に記載の A / D 変換回路。 40

【請求項 10】

前記パルス遅延回路は、前記遅延ユニットをリング状に接続してなるリングディレイラインからなり、

前記符号化回路は、

前記パルス遅延回路を前記パルス信号が周回した回数をカウントする周回数カウンタと、

前記パルス遅延回路内での前記パルス信号の位置を符号化した値を前記数値データの下位ビットとして出力する下位符号化回路と、

前記周回数カウンタのカウント値を前記数値データの上位ビットとして出力する上位符号化回路と、

を備えることを特徴とする請求項 8 又は請求項 9 に記載の A / D 変換回路。 50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力信号の電圧レベルに応じた遅延時間でパルス信号を遅延させる複数の遅延ユニットで構成されたパルス遅延回路、及びそのパルス遅延回路を用いて構成されたA/D変換回路に関する。

【背景技術】

【0002】

従来より、全ての部分がデジタル回路により構成されたパルス遅延型（TAD方式）のA/D変換回路が知られている。

【0003】

このTAD方式のA/D変換回路は、入力信号の電圧レベルに応じた遅延時間でパルス信号を遅延させて出力する遅延ユニットを複数段直列又はリング状に接続してなるパルス遅延回路を用いて構成され、予め設定された測定時間の間に、パルス遅延回路内でパルス信号が通過した遅延ユニットの段数に対応する数値データを、A/D変換データとして出力する。また、TAD方式のA/D変換回路は、デジタル回路のみで構成されているため、CMOSデジタル回路IC製造技術だけを用いて安価かつ容易に製造することができる。

【0004】

ところで、TAD方式のA/D変換回路を安定に動作させるには、パルス遅延回路を構成する全ての遅延ユニットでの遅延を均一にして、パルスを均等な速度で遅延伝播させる必要がある（図6（a）上段参照）。なお、図6は、パルス遅延回路にパルス信号を入力した場合における各遅延ユニットの出力の変化を模式的に示した説明図であり、図中のP_iはi段目の遅延ユニットの出力であることを示す。

【0005】

しかし、CMOSデジタル回路の微細化に伴い、トランジスタ加工時における加工誤差や微細ゴミの影響は相対的に大きくなっている。これらの影響で、遅延ユニットを構成する各トランジスタの駆動能力がばらつくと、図6（b）に示すように、各遅延ユニットの遅延時間にばらつきが生じ、A/D変換データの分解能（1LSBに対応する入力電圧幅）のバラツキが大きくなってしまう。

【0006】

これに対して、A/D変換データの精度に影響を与えるパルス遅延回路を構成するトランジスタのサイズを、パルス遅延回路以外の部分と比較して大きくすることで、加工誤差や微細ゴミ等の影響を相対的に軽減することも行われている（例えば、特許文献1参照）。

【特許文献1】特開2007-6369号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

また、パルス遅延回路を構成する遅延ユニットは、通常、CMOSインバータゲート回路を用いて構成されているため、遅延ユニットの出力信号が反転する毎に、遅延ユニットに貫通電流が流れ、遅延ユニットの電源ライン、即ち、入力信号が印加される信号ラインに、スイッチングノイズが重畳されてしまう。

【0008】

しかも、上述したようにパルス遅延回路を構成するトランジスタのサイズを大きくすると、各遅延ユニットで消費される電力も増大するため、スイッチングノイズが大きくなってしまう。

【0009】

その結果、入力信号の信号レベルがスイッチングノイズによって変動することになるため、その変動によって各遅延ユニットでの遅延にバラツキが発生してしまい（図6（b）

10

20

30

40

50

参照)、パルス遅延回路は、均等な時間間隔の遅延パルスを発生させることができず、ひいては、A/D変換データの精度を劣化させてしまうという問題があった。

【0010】

本発明は、上記問題点を解決するために、均等な時間間隔の遅延パルスが得られるパルス遅延回路、及び、A/D変換データの分解能が均一なA/D変換回路を提供することを目的とする。

【課題を解決するための手段】

【0011】

上記目的を達成するためになされた請求項1に記載のパルス遅延回路は、入力信号の電圧レベルに応じた遅延時間でパルス信号を遅延させる複数の遅延ユニットを直列又はリング状に接続してなり、パルス信号を各遅延ユニットの遅延時間にて順次遅延させながら伝送するように構成されている。

10

【0012】

そして、入力信号を遅延ユニットに供給する信号ラインには、遅延ユニットの反転動作時に消費される電力の供給源となる容量素子が設けられている。

【0013】

このように構成された本発明のパルス遅延回路によれば、遅延ユニットが反転動作をする際に、容量素子から電力が供給されるため、信号ライン上でのスイッチングノイズの発生を抑制することができ、その結果、各遅延ユニットから均一な時間間隔の遅延パルスを発生させることができる。

20

【0014】

ところで、信号ラインは、請求項2に記載のように、抵抗分を有するバッファ回路を介して入力信号の入力端子に接続されていることが望ましい。

【0015】

この場合、入力端子からバッファ回路を介して入力信号を取り込むことになるため、入力端子を介して外部より侵入するノイズの影響を軽減することができると共に、遅延ユニットの反転動作により信号ラインに重畳されたスイッチングノイズ(電圧変動)が入力端子を介して外部に与える影響を軽減することができる。

【0016】

なお、請求項3に記載のように、容量素子が有する容量分は、その容量分とバッファ回路が有する抵抗分とから算出される時定数が入力信号について予め規定された最大周波数の逆数より小さな値となるように設定されていることが望ましい。

30

【0017】

但し、最大周波数とは、入力信号の信号成分として供給される可能性のある周波数のうち最大のもののことである。従って、本発明のパルス遅延回路によれば、入力信号よりも高い周波数を有する不要ノイズを除去することができる。

【0018】

また、請求項4に記載のように、容量素子は、CMOSプロセスによって形成されたものであることが望ましい。

【0019】

この場合、容量素子を、同じくCMOSプロセスによって形成可能なパルス遅延経路と同じICチップ上に形成することができる。

40

【0020】

ところで、遅延ユニットは、請求項5に記載のように、入力信号を駆動電圧として動作するCMOSインバータゲート回路で構成されていてもよいし、請求項6に記載のように、電源ラインとの間に電流制御用のトランジスタが付加されたCMOSインバータゲート回路からなり、入力信号は電流制御用のトランジスタの駆動電圧として印加されるように構成されていてもよい。

【0021】

また、遅延ユニットは、請求項7に記載のように、標準セルを用いて構成されていても

50

よい。このように標準セルを用いることによって、パルス遅延回路を搭載したＩＣを設計する際の手間を軽減することができる。なお、標準セルとしては、ＡＮＤ、ＯＲ、ＮＡＮＤ、ＮＯＲ等の論理回路を用いることができる。

【００２２】

次に、請求項８に記載のＡ／Ｄ変換回路は、請求項１乃至請求項８のいずれかに記載のパルス遅延回路と、予め設定された測定時間の間にパルス遅延回路内でパルス信号が通過した遅延ユニットの段数に対応する数値データを生成する符号化回路とを備え、符号化回路が生成する数値データを入力信号の電圧レベルを表すＡ／Ｄ変換データとして出力する。

【００２３】

このように構成された本発明のＡ／Ｄ変換回路によれば、パルス遅延回路を構成する各遅延ユニットから均一な時間間隔の遅延パルスが得られるため、１ＬＳＢの値が均一な精度の高いＡ／Ｄ変換データを得ることができる。

【００２４】

なお、請求項９に記載のように、パルス遅延回路は、符号化回路を構成するトランジスタよりサイズの大きいトランジスタを用いて構成されていることが望ましい。

【００２５】

この場合、トランジスタ加工時における加工誤差や微細ゴミがＡ／Ｄ変換データに与える影響を抑制することができ、より精度の高い遅延パルスやＡ／Ｄ変換データを得ることができる。

【００２６】

また、請求項１０に記載のように、パルス遅延回路は、遅延ユニットをリング状に接続してなるリングディレイラインからなり、符号化回路が、パルス遅延回路をパルス信号が周回した回数をカウントする周回数カウンタと、パルス遅延回路内でのパルス信号の位置を符号化した値を数値データの下位ビットとして出力する下位符号化回路と、周回数カウンタのカウント値を数値データの上位ビットとして出力する上位符号化回路とで構成されていてもよい。

【００２７】

このようにパルス遅延回路をリング状に構成することによって、容量素子が電力供給をすべき遅延ユニットの数を大幅に削減することが可能となり、容量素子を挿入することによる安定効果（スイッチングノイズの除去能力）を向上させることができる。

【発明を実施するための最良の形態】

【００２８】

以下に本発明の実施形態を図面と共に説明する。

[第１実施形態]

<全体構成>

図１（ａ）は、本発明が適用されたＡ／Ｄ変換回路１の全体構成図である。

【００２９】

Ａ／Ｄ変換回路１は、図１（ａ）に示すように、パルス信号ＰＡを所定の遅延時間だけ遅延させて出力する遅延ユニットＤＵをＭ（Ｍは正整数）段直列接続してなるストレートディレイライン（ＳＤＬ）として構成されたパルス遅延回路１０と、サンプリングクロックＣＫＳの立ち上がりタイミングで、パルス遅延回路１０内でのパルス信号ＰＡの到達位置を検出（ラッチ）し、その検出結果を、パルス信号ＰＡが通過した遅延ユニットＤＵが先頭から何段目にあるかを表す所定ビットのデジタルデータ（Ａ／Ｄ変換データ）ＤＴに変換して出力する符号化回路としてのラッチ＆エンコーダ１１とから構成されている。なお、図中の符号Ｐ_i（*i*＝１，２，…，Ｍ）は、*i*段目の遅延ユニットＤＵの出力を示す。

【００３０】

また、パルス遅延回路１０を構成する各遅延ユニットＤＵは、図１（ｂ）に示すように、ＣＭＯＳインバータゲート回路ＩＮＶを２段直列接続してなり、入力信号を遅延させて出力するように構成されている。

10

20

30

40

50

【0031】

そして、各遅延ユニットDUには、バッファ12を介して、A/D変換対象となる入力信号Vinが駆動電圧として印加されている。従って、各遅延ユニットDUの遅延時間は、入力信号Vinの電圧レベルに対応した時間となり、サンプリングクロックCKSの一周期、即ちサンプリング周期（測定時間）TS内にパルス遅延回路10内でのパルス信号PAが通過する遅延ユニットDUの段数は、入力信号Vinの電圧レベル（測定時間TSの間の平均電圧レベル）に比例したものとなる。

【0032】

また、バッファ12の出力を各遅延ユニットDUに供給する信号ラインとグラウンドラインとの間には、コンデンサ13が設けられている。但し、バッファ12の出力抵抗をR、コンデンサ13の容量をCとして、これらR、Cから算出される時定数が、入力信号Vinとして許容される信号成分の最大周波数の逆数（最大周波数となる信号成分の1波長分の周期）より小さな値となるように、コンデンサ13の容量Cは設定されている。

【0033】

一方、ラッチ&エンコーダ11は、パルス遅延回路10を構成する各遅延ユニットDUの出力P1～PMをラッチするラッチ回路、そのラッチ回路の出力をデジタルデータDTに変換するエンコーダを少なくとも備えており、これらはいずれも一定の電源電圧で駆動されるように構成されている。

【0034】

ところで、A/D変換回路1は、コンデンサ13も含めた全ての部位が、CMOS製造プロセスを使用して半導体基板（ICチップ）上の半導体集積回路として構成される。

【0035】

但し、A/D変換回路1のうち、論理演算回路であるラッチ&エンコーダ11は、当該半導体集積回路に適用するCMOSデジタル回路設計ルールの最小サイズ（例えば最小線幅が90nm）で設計されたトランジスタを用いて構成され、また、各遅延ユニットDUでの遅延を均一にすべきパルス遅延回路10は、ラッチ&エンコーダ11を構成するトランジスタより、大きなサイズに設計されたトランジスタを用いて構成されている。

【0036】

また、バッファ12やコンデンサ13は、バッファ12の出力抵抗及びバッファ12の出力から各遅延ユニットDUに至る信号ラインの配線抵抗の合計が、遅延ユニットDUのオン抵抗に対して1/10程度（望ましくは1/100程度）となるように配置されている。具体的には、パルス遅延回路10から1mm（望ましくは100μm）以内に配置される。

【0037】

<動作>

このように構成されたA/D変換回路1では、初段の遅延ユニットDUにパルス信号PAを供給すると共に、このパルス信号PAの入力後、サンプリング周期TSが経過した時点で立ち上がるサンプリングクロックCKSを供給すると、ラッチ&エンコーダ11からは、入力信号Vinの電圧レベルを表すデジタルデータ（A/D変換データ）DTが出力される。

【0038】

ここで、図2は、バッファ12の出力を各遅延ユニットDUに供給する信号ラインでの電圧レベルVLの変化を示す模式図である。なお、図中の電圧レベルVLを示す線のうち、点線はコンデンサ13が存在しない場合（従来装置）、実線はコンデンサ13が存在する場合（本発明）を示す。

【0039】

図2に示すように、コンデンサ13が存在しない場合、遅延ユニットDUを構成するインバータゲート回路INVが反転動作（スイッチング動作）する毎に、インバータゲート回路INV（ひいては遅延ユニットDU）に瞬時的な動作電流が流れる。その動作電流によって、バッファ12の出力抵抗Rや配線抵抗に比例した電圧降下が生じることにより、

10

20

30

40

50

電圧レベル V_L は一時的に低下する。しかし、コンデンサ13が存在する場合、遅延ユニットDUのスイッチング動作時に、コンデンサ13から電流が供給され、その分、バッファ12を流れる電流が減少するため、出力抵抗Rの影響による電圧レベル V_L の降下が軽減されることになる。

【0040】

<効果>

以上説明したように、A/D変換回路1では、遅延ユニットDUのスイッチング動作時に、瞬時的な動作電流が流れても、コンデンサ13が必要な電流を供給することによって、バッファ12の出力抵抗Rやバッファ12の入力側の配線抵抗には、殆ど電流がながれないため、遅延ユニットDUに供給される電圧レベル V_L の降下が大幅に軽減される。

10

【0041】

その結果、A/D変換回路1によれば、各遅延ユニットDUの遅延を精度よく均一にすることができ、分解能のバラツキが小さく精度の良いA/D変換データDTを生成することができる。

【0042】

また、A/D変換回路1では、コンデンサ13の容量分Cが、バッファ12の抵抗分Rと共にローパスフィルタを形成し、入力信号 V_{in} の許容最大周波数より周波数の高いノイズ成分をカットするように設定されているため、A/D変換データDTからノイズ成分の影響(誤差)を除去することができる。

【0043】

20

更に、A/D変換回路1では、パルス遅延回路10を構成するトランジスタのサイズが、他の部分(ラッチ&エンコーダ11)を構成するトランジスタのサイズより大きいいため、製造時に加工誤差が生じたり微細ゴミが付着したりする等しても、パルス遅延回路10を構成するトランジスタでは、ゲートのパターン面積が設計値から外れてしまう割合が小さく、設計した所望の特性(駆動能力等)を得ることができる。

【0044】

その結果、遅延特性が均一な遅延ユニットDUを製造することができ、上述の電圧レベル V_L の低下に対する対策(コンデンサ13)との相乗効果によって、より一層、A/D変換データDTの分解能のバラツキ、即ち微分非直線製誤差(DNL)を小さくすることができ、更には、製造時の歩留まりも向上させることができる。

30

【0045】

また、パルス遅延回路10は、ラッチ&エンコーダ11と比較して、A/D変換回路1全体の中で占める回路規模が小さいため、パルス遅延回路10を構成するトランジスタのサイズを大きくしても、A/D変換回路1全体から見れば、回路規模の増大を極めて小さく抑えることができる。

[第2実施形態]

次に、第2実施形態について説明する。

【0046】

図3は、本実施形態のA/D変換回路3の全体構成図である。

図3に示すように、A/D変換回路3は、パルス信号PAを所定の遅延時間だけ遅延させて出力する $M(=2a : a$ は正整数)個の遅延ユニットDUをリング状に連結することにより、パルス信号PAを周回させることができるリングディレイライン(RDL)として構成されたパルス遅延回路30と、サンプリングクロックCKSの立ち上がりタイミングで、パルス遅延回路30内でのパルス信号PAの到達位置を検出(ラッチ)し、その検出結果を、パルス信号PAが通過した遅延ユニットDUが先頭から何段目にあるかを表すaビットのデジタルデータ(A/D変換データ)に変換して出力するラッチ&エンコーダ31とを備えている。

40

【0047】

なお、パルス遅延回路30は、初段の遅延ユニットDUは、一方の入力端子を起動用端子とするアンドゲート回路にて構成され、初段以外の他の遅延ユニットDUは、第1実施

50

形態のものと同様に構成されている。そして、初段の遅延ユニット D U の起動用端子とは異なるもう一つの入力端子と、最終段の遅延ユニット D U の出力端子とを接続することでリング状にされている。また、パルス遅延回路 30 は、図示しないが、パルス遅延回路 30 内でのパルス信号の周回が継続して行われるように、初段の遅延ユニット D U の入力端子の信号レベルを操作するように構成されている。このようなパルス遅延回路 30 の具体的な構成は、例えば、特開平 6 - 2 1 6 7 2 1 号等に詳述されているため、ここではその詳細についての説明を省略する。

【 0 0 4 8 】

そして、各遅延ユニット D U には、バッファ 32 を介して、A / D 変換対象となる入力信号 V i n が駆動電圧として印加されている。従って、各遅延ユニット D U の遅延時間は、入力信号 V i n の電圧レベルに対応した時間となり、サンプリングクロック C K S の一周期、即ちサンプリング周期（測定時間）T S 内にパルス遅延回路 30 内でのパルス信号 P A が通過する遅延ユニット D U の段数は、入力信号 V i n の電圧レベル（測定時間 T S の間の平均電圧レベル）に比例したものとなる。

10

【 0 0 4 9 】

また、バッファ 32 の出力を各遅延ユニット D U に供給する信号ラインとグラウンドラインとの間には、コンデンサ 33 が設けられている。但し、バッファ 32 の出力抵抗を R、コンデンサ 33 の容量を C として、これら R、C から算出される時定数が、入力信号 V i n として許容される信号成分の最大周波数の逆数（最大周波数となる信号成分の 1 波長分の周期）より小さな値となるように、コンデンサ 33 の容量 C は設定されている。

20

【 0 0 5 0 】

また、A / D 変換回路 3 は、動作クロック C K A に従ってカウント動作する b（b は正整数）ビットの同期式カウンタからなる周回数カウンタ 36 と、周回数カウンタ 36 によるカウント値をラッチパルス L P の立ち上がりタイミングでラッチするラッチ回路 38 と、パルス遅延回路 30 を構成する最終段の遅延ユニット D U の出力（周回クロック）C K C を入力とし、出力を動作クロック C K A として周回数カウンタ 36 に供給する駆動用バッファ回路 35 と、サンプリングクロック C K S を入力とし、出力をラッチパルス L P としてラッチ回路 38 に供給する遅延用バッファ回路 37 とを備えている。

【 0 0 5 1 】

なお、駆動用バッファ回路 35 は、C M O S インバータゲート回路を複数段直列接続してなり、その最終段のインバータゲート回路は、周回数カウンタ 36 のクロックラインの入力容量に対して十分な駆動能力を有する大きさに構成され、他のインバータゲート回路は、初段から最終段に向けて段階的に駆動能力が大きくなるように構成されている。

30

【 0 0 5 2 】

また、遅延用バッファ回路 37 は、駆動用バッファ回路 35 と同様に構成されており、駆動用バッファ回路 35 での遅延時間と遅延用バッファ回路 37 での遅延時間とが等しくなるようにされている。

【 0 0 5 3 】

ところで、A / D 変換回路 3 は、第 1 実施形態のものと同様に、コンデンサ 33 も含めた全ての部位が、C M O S 製造プロセスを使用して半導体基板（I C チップ）上の半導体集積回路として構成される。

40

【 0 0 5 4 】

そして、A / D 変換回路 3 のうち、ラッチ & エンコーダ 31、周回数カウンタ 36、ラッチ回路 38 は、当該半導体集積回路に適用する C M O S デジタル回路設計ルール of the 最小サイズで設計されたトランジスタを用いて構成されている。また、各遅延ユニット D U での遅延を均一にすべきパルス遅延回路 30、及び互いの遅延を同一にすべき駆動用バッファ回路 35 と遅延用バッファ回路 37 は、ラッチ & エンコーダ 31、周回数カウンタ 36、ラッチ回路 38 を構成するトランジスタより大きなサイズに設計されたトランジスタを用いて構成されている。

【 0 0 5 5 】

50

また、バッファ 32 やコンデンサ 33 は、バッファ 32 の出力抵抗及びバッファ 32 の出力から各遅延ユニット D U に至る信号ラインの配線抵抗の合計が、遅延ユニット D U のオン抵抗に対して $1/10$ 程度（望ましくは $1/100$ 程度）となるように配置されている。具体的には、パルス遅延回路 30 から 1 mm （望ましくは $100\text{ }\mu\text{m}$ ）以内に配置されている。

【0056】

<動作>

このように構成された A / D 変換回路 3 では、ラッチ & エンコーダ 31 は、第 1 実施形態におけるラッチ & エンコーダ 11 と同様に動作する。周回数カウンタ 36 は、動作クロック C K A に従って、パルス遅延回路 30 内でのパルス信号 P A の周回回数をカウントし、ラッチ回路 38 は、ラッチパルス L P に従って、周回数カウンタ 36 のカウント値をラッチする。

10

【0057】

また、周回数カウンタ 36 は、駆動用バッファ回路 35 を介して動作クロック C K A が供給されるため、周回数カウンタ 36 のビット数が多く、クロックラインの入力容量が大きい場合でも、安定した動作をする。

【0058】

但し、周回数カウンタ 36 の動作は、動作クロック C K A が駆動用バッファ回路 35 にて遅延する分だけ、パルス遅延回路 30 が出力する周回クロック C K C のタイミングより遅れ、また、ラッチ回路 38 の動作も、ラッチパルス L P が遅延用バッファ回路 37 にて遅延する分だけ、サンプリングクロック C K S のタイミングより遅れる。

20

【0059】

つまり、周回数カウンタ 36 の動作が遅れる分だけ、カウント値のラッチタイミングも遅らせることにより、ラッチ回路 38 がラッチパルス L P に従って周回数カウンタ 36 のカウント値をラッチするタイミングと、ラッチ & エンコーダ 31 が、サンプリングクロック C K S に従って、パルス遅延回路 30 からの遅延パルス（各遅延ユニット D U の出力）をラッチするタイミングとの整合がとれるようにされている。

【0060】

そして、パルス信号 P A と、このパルス信号 P A の入力後、予め設定されたサンプリング周期 T S が経過した時点で立ち上がるサンプリングクロック C K S とが入力された A / D 変換回路 3 は、ラッチ & エンコーダ 31 から出力される a ビットのデジタルデータを、入力信号 V i n の電圧レベルを表す下位ビットデータ、ラッチ回路 38 から出力される b ビットのカウント値を、入力信号 V i n の電圧レベルを表す上位ビットデータとする a + b ビットのデジタルデータ（A / D 変換データ）D T を出力する。

30

【0061】

<効果>

このように構成された A / D 変換回路 3 では、バッファ 32 の出力を各遅延ユニット D U に供給する信号ラインとグラウンドラインとの間にコンデンサ 33 が設けられているため、第 1 実施形態の A / D 変換回路 1 と同様の効果を得ることができる。

【0062】

また、A / D 変換回路 3 では、パルス遅延回路 30 としてリングディレイラインを使用し、パルス遅延回路 30 でのパルス信号 P A の周回回数を周回数カウンタ 36 でカウントするようにされているため、パルス遅延回路 30 を構成する遅延ユニット D U の段数を大幅に削減でき、回路規模を削減することができる。

40

【0063】

また、A / D 変換回路 3 では、パルス遅延回路 30、駆動用バッファ回路 35、遅延用バッファ回路 37 を構成するトランジスタのサイズが、他の部分（ラッチ & エンコーダ 31、周回数カウンタ 36、ラッチ回路 38）より大きいため、製造時に加工誤差が生じたり微細ゴミが付着する等したとしても、パルス遅延回路 30、駆動用バッファ回路 35、遅延用バッファ回路 37 を構成するトランジスタでは、ゲートのパターン面積が設計値か

50

ら外れてしまう割合が小さく、設計した所望の特性を得ることができる。

【 0 0 6 4 】

その結果、遅延特性が均一な遅延ユニット D U を製造することができ、上述の電圧レベル V L の降下に対する対策（コンデンサ 3 3 ）との相乗効果によって、A / D 変換データの分解能のパラッキ、即ち微分非直線製誤差（D N L）を小さくすることができると共に、駆動用バッファ回路 3 5 と遅延用バッファ回路 3 7 の遅延も精度よく一致するため、A / D 変換データの上位ビットと下位ビットとの整合性も確保することができ、更には、製造時の歩留まりも向上させることができる。

[第 3 実施形態]

次に、第 3 実施形態について説明する。

10

【 0 0 6 5 】

図 1 は、外部から入力される基準信号 P B を分周又は逡倍して所定周波数の出力信号（パルス信号） P_{out} を生成する、周波数変換装置 5 の全体構成図である。

【 0 0 6 6 】

図 1 に示すように、周波数変換装置 5 は、リング状に連結した多数の遅延ユニットからなり、外部から制御信号 P A が入力されているときに各遅延ユニットがパルス信号を順次遅延させて周回させるリングオシレータとして構成されたパルス遅延回路 5 1 と、このパルス遅延回路 5 1 を構成する各遅延ユニットから順次出力される遅延信号に基づき、基準信号 P B の立ち上がりから次の立ち上がりまでの位相差（つまり周期）を 2 進デジタル値 D_{out} に変換するパルス位相差符号化回路 5 2 と、このパルス位相差符号化回路 5 2 にて得られた 2 進デジタル値 D_{out} に所定値を乗・除してパルス信号 P_{out} の出力周期を表わす制御データ D_{in} を生成する演算回路 5 3 と、この演算回路 5 3 から出力される制御データ D_{in} とパルス遅延回路 5 1 から順次出力される遅延信号とに基づき、基準信号 P B を分周又は逡倍した周期でパルス信号 P_{out} を出力するデジタル制御発振回路 5 4 とを備え、パルス位相差符号化装置と発振装置との複合装置として構成されている。

20

【 0 0 6 7 】

なお、パルス遅延回路 5 1 は、第 2 実施形態におけるパルス遅延回路 3 0 ，バッファ 3 2 ，コンデンサ 3 3 と同様に構成されている。

【 0 0 6 8 】

また、パルス位相差符号化回路 5 2 ，演算回路 5 3 ，デジタル制御発振回路 5 4 は、例えば、特開平 7 - 1 8 3 8 0 0 号公報に詳述された周知のものであるため、ここでは説明を省略する。

30

【 0 0 6 9 】

つまり、遅延ユニット D U に対して入力信号 V i n を供給する信号ラインとグラウンドラインとの間にコンデンサを挿入した構成は、このような周波数変換装置 5 等に適用してもよい。

[他の実施形態]

以上、本発明のいくつかの実施形態について説明したが、本発明は上記実施形態に限定されるものではなく、本発明の要旨を逸脱しない範囲において、様々な態様にて実施することが可能である。

40

【 0 0 7 0 】

例えば、上記実施形態では、パルス遅延回路 1 0 （パルス遅延回路 3 0 も同様）を構成する遅延ユニット D U を、P チャネルトランジスタ（F E T）と N チャネルトランジスタ（F E T）とからなる C M O S インバータゲート回路 I N V を 2 段直列接続することで構成し、入力信号 V i n を駆動電圧として各遅延ユニット D U に印加するものとして説明したが、図 5（a）に示すように、遅延ユニット D U を構成する各 C M O S インバータゲート回路 I N V に、駆動電流を外部から制御するための制御トランジスタ（F E T）T r c が設けられている場合には、この制御トランジスタの制御端子（ゲート）に、制御信号として、入力信号 V i n を入力するようにしてもよい。但し、この場合、入力信号 V i n を各遅延ユニット D U の制御トランジスタ T r c に供給する信号ラインにバッファ 1 2（3

50

2) , コンデンサ 13 (33) を接続する。

【 0071 】

つまり、インバータ I N V 等のゲート回路は、直流電源から供給される駆動電流によっても、その動作時間が変化することから、その駆動電流を入力信号 V i n に基づき制御するようにしても、上記と同様の効果を得ることができる。

【 0072 】

また、この場合、入力信号 V i n の対する遅延ユニット D U の入力インピーダンスが高くなるため、バッファ 12 (32) を省略してもよい。

【 0073 】

また、パルス遅延回路 10 , 30 を構成する遅延ユニット D U は、必ずしも 2 段のインバータゲート回路 I N V で実現する必要はなく、図 5 (b) に示すように、1 段のインバータゲート回路 I N V で実現してもよいし、3 段以上のインバータゲート回路で実現してもよい。

10

【 0074 】

更に、遅延ユニット D U は、必ずしもインバータゲート回路 I N V で実現する必要はなく、AND , OR , NAND , NOR 等の論理回路の標準セルを用いて実現してもよい。

【 0075 】

また、バッファ 12 , 32 としては、単なる抵抗器を用いてもよい。

【 図面の簡単な説明 】

【 0076 】

20

【 図 1 】 第 1 実施形態の A / D 変換回路の全体構成図。

【 図 2 】 コンデンサの作用を示す模式図。

【 図 3 】 第 2 実施形態の A / D 変換回路の全体構成図。

【 図 4 】 第 3 実施形態の周波数変換装置の全体構成図。

【 図 5 】 遅延ユニットの他の構成例を示す回路図。

【 図 6 】 従来装置の問題点を示す説明図。

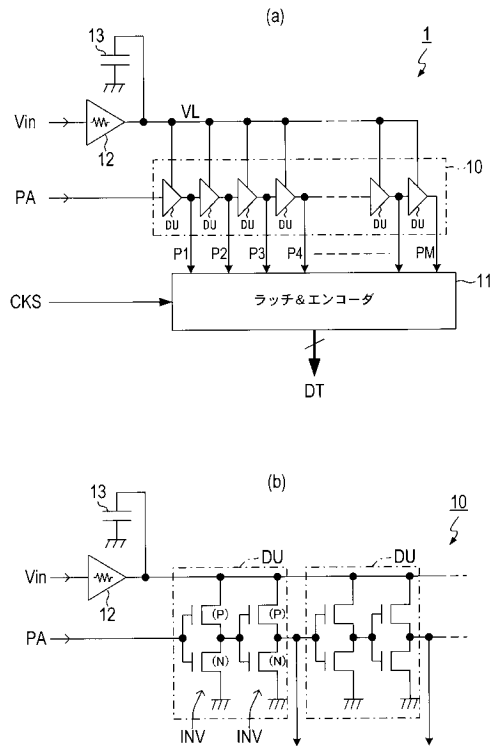
【 符号の説明 】

【 0077 】

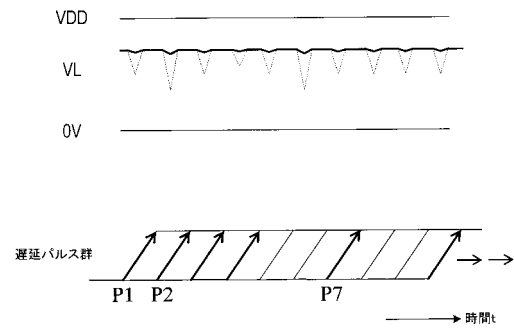
1 , 3 ... A / D 変換回路 5 ... 周波数変換装置 10 , 30 , 51 ... パルス遅延回路
11 , 31 ... エンコーダ 12 , 32 ... バッファ 13 , 33 ... コンデンサ 35 ... 駆動
用バッファ回路 36 ... 周回数カウンタ 37 ... 遅延用バッファ回路 38 ... ラッチ回路
52 ... パルス位相差符号化回路 53 ... 演算回路 54 ... デジタル制御発振回路 D U
... 遅延ユニット I N V ... C M O S インバータゲート回路 T r c ... 制御トランジスタ

30

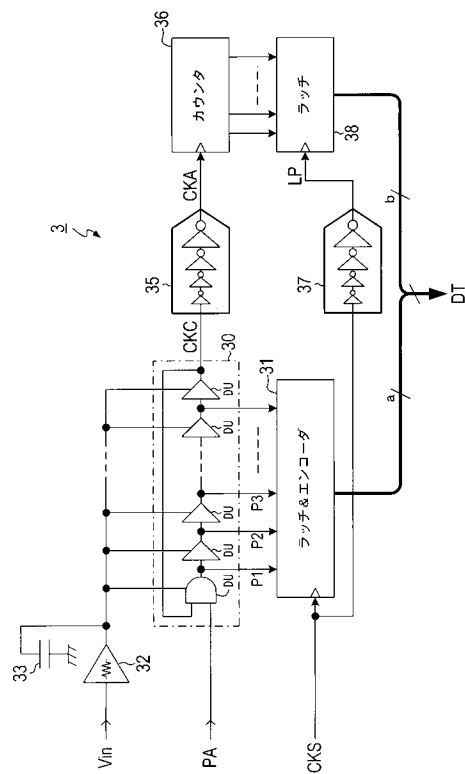
【図 1】



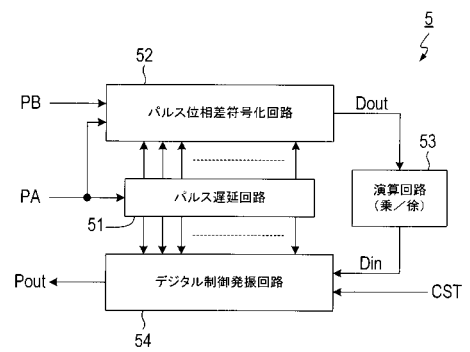
【図 2】



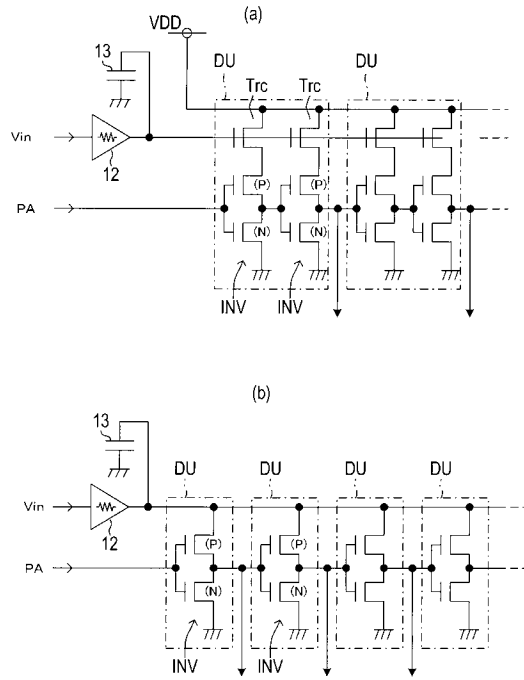
【図 3】



【図 4】



【図 5】



【図 6】

