

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710300684.7

[51] Int. Cl.

H01L 21/60 (2006.01)

H01L 25/18 (2006.01)

H01L 23/488 (2006.01)

[43] 公开日 2008年6月25日

[11] 公开号 CN 101207053A

[22] 申请日 2007.12.21

[21] 申请号 200710300684.7

[30] 优先权

[32] 2006.12.22 [33] JP [31] 2006-346753

[71] 申请人 新光电气工业株式会社

地址 日本长野县

[72] 发明人 佐藤仁志 井上英俊

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 陈源 张天舒

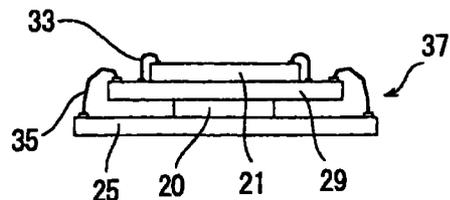
权利要求书2页 说明书9页 附图13页

[54] 发明名称

半导体器件制造方法

[57] 摘要

在制造半导体器件的一种方法中，此方法包括：a) 制备一种类型的 ASIC 芯片；b) 制备不同的存储芯片；c) 制备共用的电路基板；d) 制备包括布线图的底座端子芯片，所述布线图具有存储芯片端子和外部连接端子；e) 通过倒装片结合的方式把一个 ASIC 芯片安装在共用的电路基板上；f) 把所述底座端子芯片固定在此 ASIC 芯片上；g) 把存储芯片之一安装在底座端子芯片上；h) 使用第一导线把所述存储芯片之一上的端子电连接到存储芯片端子；并且 i) 使用第二导线把外部连接端子电连接到共用的电路基板上的端子。



1. 一种制造半导体器件的方法，此方法包含步骤：
  - a) 制备一种类型的 ASIC 芯片；
  - b) 制备彼此不同的存储芯片；
  - c) 制备共用的电路基板；
  - d) 制备包括布线图的底座端子芯片，所述布线图具有存储芯片端子和外部连接端子；
  - e) 通过倒装片结合的方式把所述 ASIC 芯片安装到所述共用的电路基板上；
  - f) 把所述底座端子芯片固定在所述 ASIC 芯片上；
  - g) 把存储芯片之一安装在所述底座端子芯片上；
  - h) 使用第一导线把所述存储芯片之一上的端子电连接到所述存储芯片端子；以及
  - i) 使用第二导线把所述外部连接端子电连接到所述共用的电路基板上的端子。

2. 一种制造半导体器件的方法，此方法包含步骤：
  - a) 制备一种类型的 ASIC 芯片；
  - b) 制备多个存储芯片；
  - c) 制备共用的电路基板；
  - d) 制备包括布线图的底座端子芯片，所述布线图具有存储芯片端子和外部连接端子；
  - e) 通过倒装片结合的方式把所述 ASIC 芯片安装到所述共用的电路基板上；
  - f) 把所述底座端子芯片固定在所述 ASIC 芯片上；
  - g) 把所述多个存储芯片安装在所述底座端子芯片上；
  - h) 使用第一导线把所述多个存储芯片上的端子电连接到所述存储芯片端子；以及
  - i) 使用第二导线把所述外部连接端子电连接到所述共用的电路

基板上的端子。

3. 如权利要求 2 所述的制造半导体器件的方法，其中步骤 g)

包含：

经由隔离物堆叠存储芯片。

4. 如权利要求 2 所述的制造半导体器件的方法，其中步骤 g)

包含：

以组合方式提供存储芯片。

## 半导体器件制造方法

本申请基于并且要求于 2006 年 12 月 22 日提出的日本专利申请第 2006-346753 号的优先权,在此其申请的全部内容以引用方式并入此文。

### 技术领域

本发明涉及一种半导体器件制造方法。

### 背景技术

公知的是,当把 ASIC 芯片和用于此 ASIC 芯片的存储芯片安装在电路基板上时,通过把此 ASIC 芯片安装在将要与其连接的电路基板上并且随后在此 ASIC 芯片上堆叠存储芯片来构成的半导体器件(见,例如日本未经审查的专利文献:2005-251953)。

顺便提及,把多个不同的存储芯片提供给一种类型的 ASIC 芯片。在这种情况下,存储芯片也必须通过导线电连接到电路基板上的预定端子。在存储芯片不同的情况下,在电路基板上它们端子的位置通常是不同的。因此,在现有技术中,必须为每个不同的存储芯片分别设计电路板。结果出现这样的问题:这种结构的制造既麻烦又使生产成本增加。

例如,如图 15A、图 16A、图 17A 所示,在存储芯片 1、2 和 3 中,端子布置稍微不同。在这种情况下,如图 15B、图 16B、图 17B 所示,对于基板 4、5 和 6,必须分别设计和制造具有与存储芯片 1、2 和 3 的端子布置适合的端子布置的专用电路板 4、5 和 6。在这里,图 15C、图 16C、图 17C 是分别示出存储芯片被安装在基板上的俯视图,图 15D、图 16D、图 17D 是分别示出存储芯片被安装在基板上的前视图,其中 8 表示 ASIC 芯片。

而且,在图 18A 到图 18D 中,示出了一个例子:具有相同容量

的存储芯片 10 被堆叠成两层并且被安装在 ASIC 芯片 8 上。当在电路基板 12 上堆叠而且提供多个存储芯片 10 时,必须设计和制备在其上分别为每个堆叠号码的存储芯片 10 特别设计专门端子的电路基板 12。在这里,9 表示由绝缘体形成的隔离物。

而且,设计如图 18B 所示的电路基板 12,这样一个存储芯片就可以被安装在这个电路基板上。在这种情况下,为了应对安装多个存储芯片的这样一个情形,必须预先制备具有能够处理大量存储芯片的端子布置的电路基板。然而,这样的电路基板通常地具有多层的复杂结构。结果会出现这样的问题:这种电路基板不易于设计和制造,而且增加成本。

## 发明内容

实现本发明用以解决以上的问题,并且本发明的一个目标是提供一种能够使用共用的电路基板实现成本降低的半导体器件制造方法。

依据本发明的第一方面,在制造半导体器件的一种方法中,此方法包含:

- a) 制备一种类型的 ASIC 芯片;
- b) 制备彼此不同的存储芯片;
- c) 制备共用的电路基板;
- d) 制备包括布线图的底座端子芯片,所述布线图具有存储芯片端子和外部连接端子;
- e) 通过倒装片结合的方式把所述 ASIC 芯片安装到共用的电路基板上;
- f) 把底座端子芯片固定在所述 ASIC 芯片上;
- g) 把存储芯片之一安装在底座端子芯片上;
- h) 使用第一导线把所述存储芯片之一上的端子电连接到存储芯片端子;以及
- i) 使用第二导线把外部连接端子电连接到共用的电路基板上的端子。

依据本发明的第二方面，在制造半导体器件的一种方法中，此方法包含步骤：

- a) 制备一种类型的 ASIC 芯片；
- b) 制备多个存储芯片；
- c) 制备共用的电路基板；
- d) 制备包括布线图的底座端子芯片，所述布线图具有存储芯片端子和外部连接端子；
- e) 通过倒装片结合的方式把所述 ASIC 芯片安装到共用的电路基板上；
- f) 把底座端子芯片固定在所述 ASIC 芯片上；
- g) 把所述多个存储芯片安装在底座端子芯片上；
- h) 使用第一导线把所述多个存储芯片上的端子电连接到存储芯片端子；以及
- i) 使用第二导线把外部连接端子电连接到共用的电路基板上的端子。

依据本发明的第三方面，其中步骤 g) 可以包含：经由隔离物堆叠存储芯片。

依据本发明的第四方面，步骤 g) 可以包含：以组合方式提供存储芯片。

依据本发明，提供在设计 and 制造方面同普通的电路基板需要一样开销的电路基板，并且在易于设计和制造而且相对不需要开销的底座端子侧上提供与多个存储芯片对应的共用的或单独的布线图。因此可以提供能降低生产成本的半导体器件。

## 附图说明

图 1A 到 1D 是示出依据本发明的第一实施例的存储芯片安装例子的说明性示图；

图 2A 到 2D 是示出依据第一实施例的存储芯片的另一安装例子的说明性示图；

图 3A 到 3D 是示出依据第一实施例的存储芯片的另一安装例子

的说明性示图；

图 4 是依据第一实施例的电路基板的说明性示图；

图 5A 到 5D 是依据本发明的第二实施例的存储芯片的说明性示图；

图 6 是依据第二实施例的电路基板的说明性示图；

图 7 是依据第二实施例的底座端子芯片的说明性示图；

图 8 是依据第二实施例的半导体器件的俯视图；

图 9 是依据第二实施例的半导体器件的前视图；

图 10 是依据本发明的第三实施例的存储芯片的说明性示图；

图 11 是依据第三实施例的电路基板的说明性示图；

图 12 是依据第三实施例的底座端子芯片的说明性示图；

图 13 是依据第三实施例的半导体器件的俯视图；

图 14 是依据第三实施例的半导体器件的前视图；

图 15A 到 15D 是示出依据现有技术的半导体器件的存储芯片的安装例子的说明性示图；

图 16A 到 16D 是示出依据现有技术的半导体器件的存储芯片的另一安装例子的说明性示图；

图 17A 到 17D 是示出依据现有技术的半导体器件的存储芯片的另一安装例子的说明性示图；和

图 18A 到 18D 是示出依据现有技术的半导体器件的存储芯片的另一安装例子的说明性示图。

## 具体实施方式

接下来，参考后面的附图详细地描述示范性实施例。

### 第一实施例

图 1A 到图 3D 示出了第一实施例。本实施例示出了把三种类型的存储芯片 21、22 和 23 安装在一种类型的 ASIC 芯片 20 上的例子。在各个存储芯片 21、22 和 23 上移动端子 21a、22a 和 23a 的位置。即在此例子中，存储芯片 21 上的端子 21a 相对于存储芯片 22 上的端子 22a 被向左移动，存储芯片 23 上的端子 23a 相对于存储芯片 22

上的端子 22a 被向右移动。

在这种情况下，在现有技术中，端子位置被设计成与每个存储芯片相对应的电路基板需要单独制备。

然而，在本实施例中，采用了一个共用的电路基板 25，此电路基板端子 25a 的位置被设置为共用的（见图 4）。

而且，在本实施例中，如图 1B、图 2B 和图 3B 所示，为每个存储芯片制备了底座端子芯片 29、30 和 31（在不同底座端子芯片上分别安装不同的存储芯片 21、22 和 23 并且在不同底座端子芯片上分别形成布线图 26、27 和 28）。布线图 26、27 和 28 具有经由导线分别连接存储芯片 21、22 和 23 的端子 21a、22a 和 23a 的存储芯片端子 26a、27a 和 28a 和具有经由导线分别连接电路基板 25 的端子 25a 的外部连接端子 26b、27b 和 28b。

在将被安装的存储芯片 21、22 和 23 的端子 21a、22a 和 23a 经由导线分别易于连接的位置，提供底座端子芯片 29、30 和 31 的存储芯片端子 26a、27a 和 28a，例如，其中把两组端子设置为彼此最靠近。相似地，在电路基板 25 的端子 25a 经由导线分别易于连接的位置提供底座端子芯片 29、30 和 31 的外部连接端子 26b、27b 和 28b，例如其中把两组端子设置为彼此最靠近。

在底座端子芯片 29、30 和 31 上分别形成布线图 26、27 和 28，从而这些布线图分别连接端子 26a 和 26b、端子 27a 和 27b、以及端子 28a 和 28b。

在底座端子芯片 29、30 和 31 上只形成具有各个端子的布线图 26、27 和 28。因此，易于实现底座端子芯片 29、30 和 31 的设计和制造，而且降低成本。即，底座端子芯片 29、30 和 31 的设计和制造比分别形成多层电路基板 25 的情况更容易实现，而且使成本更低。可以使用硅片制造底座端子芯片 29、30 和 31。

如上所述，电路基板 25 是共用的，但是用于在其上安装存储芯片 21、22 和 23 的底座端子芯片 29、30 和 31 是分别制备的。

随后，ASIC 芯片 20 被以倒装片方式结合到电路基板 25，三套 ASIC 芯片 20 和单独的存储芯片 21、22 和 23 分别共用此电路基板。

随后，使用粘合剂分别将底座端子芯片 29、30 和 31 固定在 ASIC 芯片 20 上。随后，使用粘合剂分别将对应的存储芯片 21、22 和 23 固定在底座端子芯片 29、30 和 31 上。

接下来，存储芯片 21、22 和 23 的端子 21a、22a 和 23a 分别电连接到底座端子芯片 29、30 和 31 的对应存储芯片端子 26a、27a 和 28a。随后，底座端子芯片 29、30 和 31 的外部连接端子 26b、27b 和 28b 分别电连接到电路基板 25 的端子 25a。如此提供了半导体器件 37（见图 1C 和 1D、图 2C 和 2D、图 3C 和 3D）。在这里，封装树脂（没有示出）可以封装 ASIC 芯片 20、存储芯片和导线 33 及 35。

### 第二实施例

图 5 到图 9 示出了第二实施例。本实施例示出了一个例子：其中安装多个（例如多达四个）尺寸小于 ASIC 芯片 20 的存储芯片。在现有技术中，当一个、二个、三个和四个存储芯片将被单独安装时，分开设计和制造用于一个、二个、三个和四个存储芯片的各自的电路基板。

在本实施例中，当预先知道将要安装的存储芯片的数目时，提前设计和制造具有多个端子 25a 的布置的共用的电路基板 25，所述多个端子 25a 的布置能从最小数目到最大数目适应各个存储芯片（见图 6）。

在这个例子中，制备了能响应多至四个存储芯片 40、41、42 和 43（图 5）的电路基板 25。在这种情况下，对于存储芯片 40、41、42 和 43，可以使用同类型的或者不同类型的存储芯片。

进一步地，在本实施例中，制备了在其上可以安装多个（例如多至四个）存储芯片 40、41、42 和 43 的共用的底座端子芯片 45（图 7）。而且，在底座端子芯片 45 上形成了电连接到将被安装的多至四个存储芯片的布线图 46。

例如，存储芯片 40、41、42 和 43 分别被安装在图 7 中的区域 A、B、C 和 D 上。在预定的布置中，在这些区域周围形成存储芯片端子 46a，存储芯片 40、41、42 和 43 的端子 40a、41a、42a 和 43a 分别经由导线 33 电连接到存储芯片端子 46a。

而且，在预定的布置中，在底座端子芯片 45 的外围区域形成连接到各个存储芯片端子 46a 的外部连接端子 46b。在预定的布置中，可以在期望的位置通过在其中对布局图 46 进行引线来形成两种端子 46a 和 46b。

外部连接端子 46b 被排成一行，因此这些端子可以经由导线 35 与电路板 25 的端子 25a 连接。

可以通过使用总线等来共享几个邻近的存储芯片。因此，在底座端子芯片 45 上，在共用的导线（如 46c）上形成两个存储芯片端子 46a 和 46a，邻近的存储芯片的共用端子经由导线 33 连接到这两个存储芯片端子，随后这些存储芯片端子 46a 和 46a 连接到一个外部连接端子 46b。如此形成布线图 46。在图 7 的例子中，在邻近的存储芯片之间形成三个共用的导线 46c。还可通过使用半导体晶片来容易地制造底座端子芯片 45。

如上所述，制备了电路板 25 和底座端子芯片 45。首先，ASIC 芯片 20 被以倒装片方式结合到并安装在电路板 25 上。随后，使用粘合剂将底座端子芯片 45 固定在 ASIC 芯片 20 上。随后，使用粘合剂将预定数目（所述例子中是四个）的存储芯片固定在底座端子芯片的预定位置上。随后，经由导线 33 对存储芯片上的端子和底座端子芯片 45 的存储芯片端子 46a 进行互相电连接。随后，经由导线 35 对底座端子芯片 45 的外部连接端子 46b 和电路板 25 的端子 25a 进行互相电连接。因此，关于各个存储芯片，完成了半导体器件 37（见图 8 和图 9）。在这里，封装树脂（没有示出）可以封装 ASIC 芯片 20、存储芯片和导线 33 及 35。

### 第三实施例

图 10 到图 14 示出了第三实施例。本实施例示出了一个例子：其中在一种类型的 ASIC 芯片 20 上安装多个相同的存储芯片 50（图 10）。由于采用了相同的存储芯片 50，因此它们的端子 50a 的位置和功能是完全相同的。在这个例子中，下文将描述这种情况：其中，将安装多至两片存储芯片 50。

在本实施例中，制备具有共用端子 25a 的电路板 25（图 11）。

在这种情况下，可以采用与安装一个存储芯片 50 时所采用布置相同的布置作为端子 25a 的布置。

而且，在本实施例中，制备了在其上安装多个存储芯片的共用底座端子芯片 52。随后，多个存储芯片 50 经由隔离物 51 被堆叠安装在底座端子芯片 52 上。

图 12 示出了在其上可以安装两个存储芯片 50 的共用底座端子芯片 52。在底座端子芯片 52 上形成布线图 54。随后，在布线图 54 上形成存储芯片端子 54a，该存储芯片端子 54a 经由导线 33 与将被安装的存储芯片 50 的端子 50a 连接。随后，形成外部连接端子 54b，从而连接存储芯片端子 54a，并且还经由导线 35 连接电路板 25 的端子 25a。在底座端子芯片 52 的外围区域形成外部连接端子 54b，从而具有与电路板 25 的端子 25a 相同的布置。

在本实施例中，相同的存储芯片 50 被堆叠两层安装在电路板 25 上。在堆叠两个存储芯片 50 的情况下，具有相同功能的端子 50a 在上面的和下面的存储芯片 50 中被放置在相同位置。因此，如图 12 所示，在底座端子芯片 52 的共用导线（例如 54c）上形成两个存储芯片端子 54a，上面的和下面的存储芯片 50 的共用端子 50a 经由导线 33 连接到存储芯片端子 54a，而且这些存储芯片端子连接到一个外部连接端子 54b。如此，形成布线图 54。

如上所述，制备了电路板 25 和底座端子芯片 52。首先，ASIC 芯片 20 被以倒装片方式结合到并安装在电路板 25 上。随后，采用粘合剂把底座端子芯片 52 固定到 ASIC 芯片 20 上。

随后，采用粘合剂在底座端子芯片 52 上固定处于第一层的存储芯片 50。随后，经由导线 33 对存储芯片 50 的端子 50a 和底座端子芯片 52 的存储芯片端子 54a 进行互相电连接。

随后，采用粘合剂将处于第二层的存储芯片 50 经由隔离物 51 固定在处于第一层的存储芯片 50 上。随后，经由导线 33 对处于第二层的存储芯片 50 的端子 50a 和底座端子芯片 52 的存储芯片端子 54a 进行互相电连接。

随后，经由导线 35 对底座端子芯片 52 的外部连接端子 54b 和

电路板 25 的端子 25a 进行互相电连接。如此，关于各个存储芯片，完成了半导体器件 37（见图 13 和 14）。在这里，封装树脂（没有示出）可以封装 ASIC 芯片 20、存储芯片和导线 33 及 35。

当然，在采用一个存储芯片 50 的情况下，只安装位于第一层的存储芯片 50。

在上面的实施例中，虽然相同的存储芯片 50 被堆叠两层安装，但是三个存储芯片 50 或更多存储芯片也可以经由隔离物被堆叠并如此安装。在这种情况下，在共用的导线 54c 上形成经由导线 33 可以与多个存储芯片 50 上的端子 50a 连接的多个存储芯片端子 54a。

在这里，堆叠并安装的存储芯片不是总相同的，而且可以交替堆叠并安装多个不同的存储芯片。在这种情况下，当然需要在底座端子芯片 52 上形成可以安装所有存储芯片的布线图（没有示出）。

虽然结合了示范性实施例描述了本发明，但是对所属领域的技术人员明显的是，在不偏离本发明的前提下，可以进行多种变化和修改。因此，意图是覆盖所附权利要求内包含的所有处于本发明的真正精神和范围内的变化和修改。

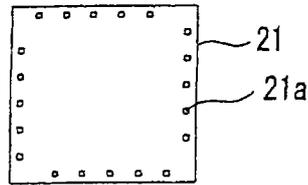


图 1A

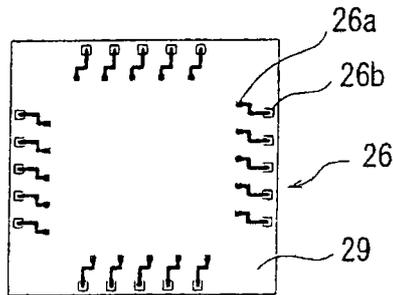


图 1B

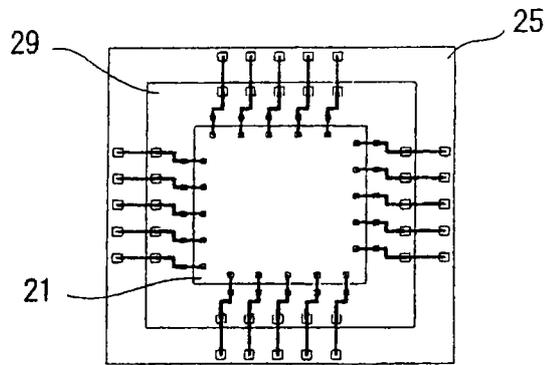


图 1C

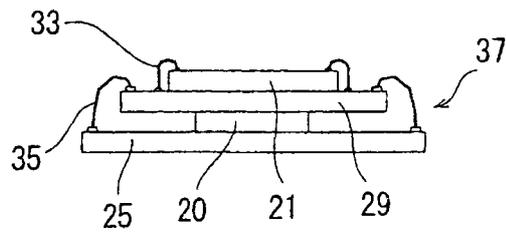


图 1D

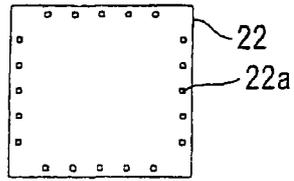


图 2A

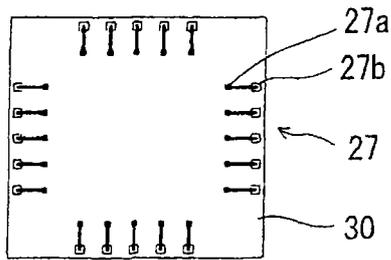


图 2B

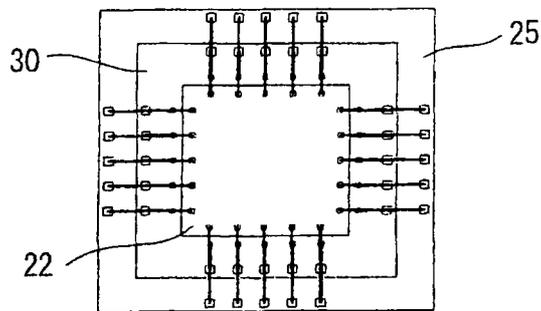


图 2C

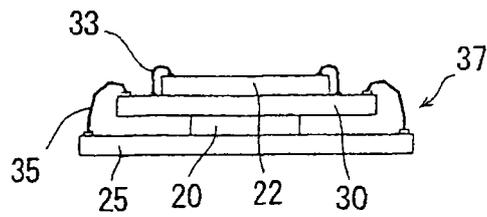


图 2D

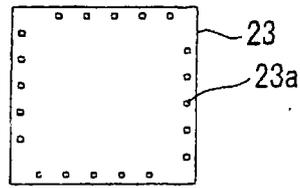


图 3A

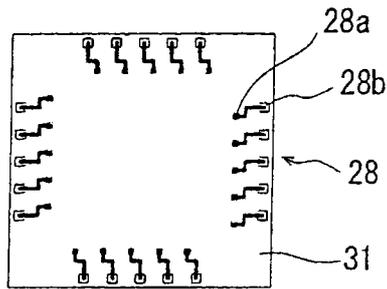


图 3B

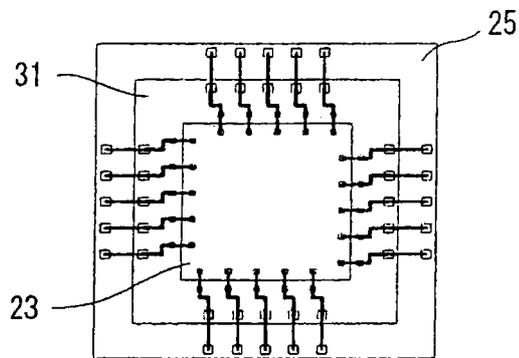


图 3C

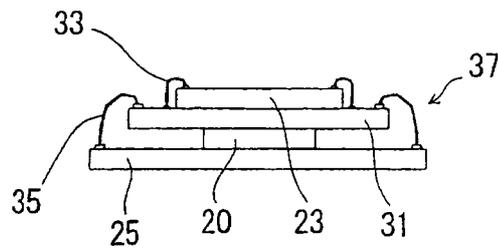


图 3D

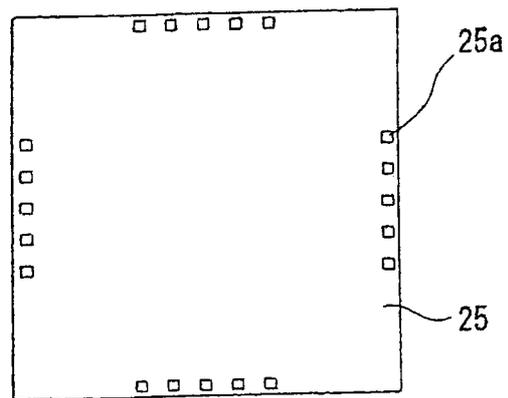


图 4

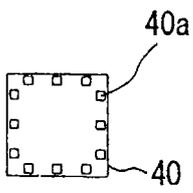


图 5A

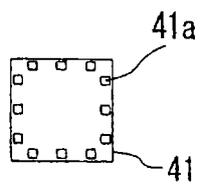


图 5B

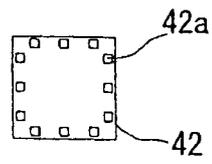


图 5C

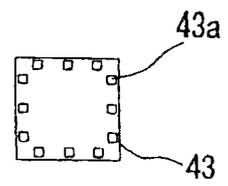


图 5D

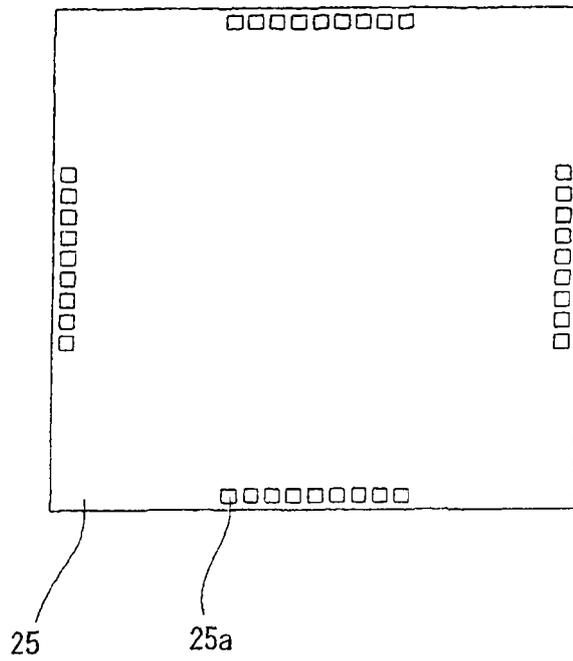


图 6

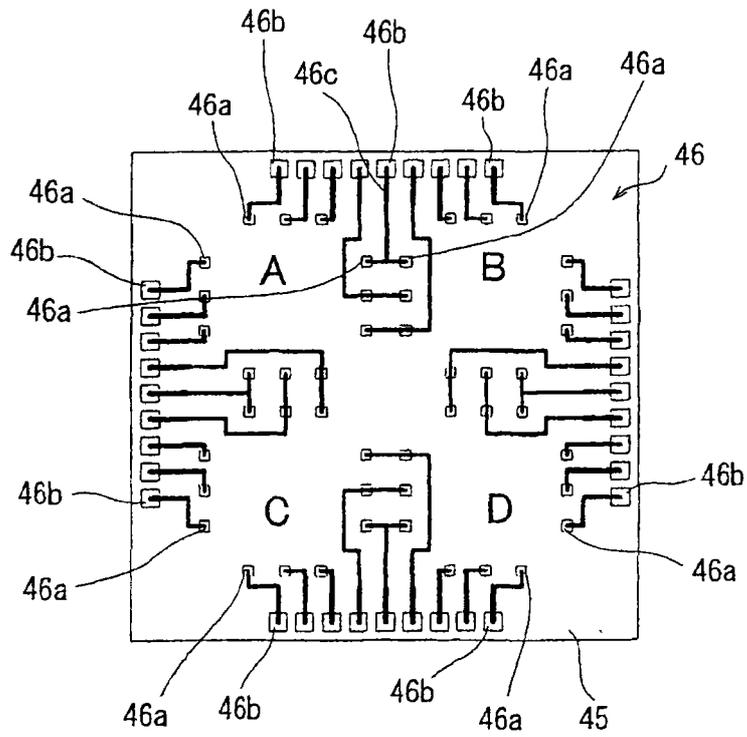


图 7

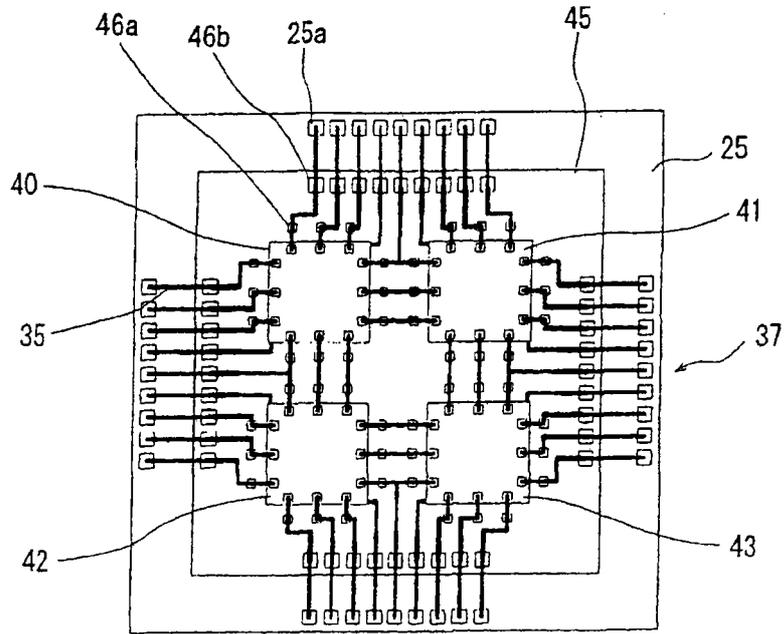


图 8

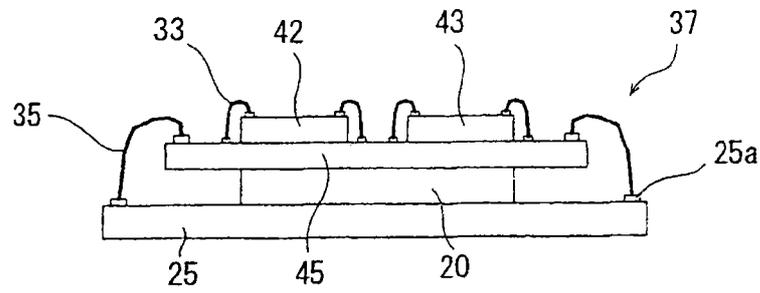


图 9

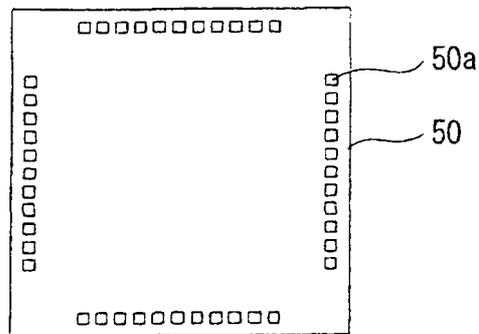


图 10

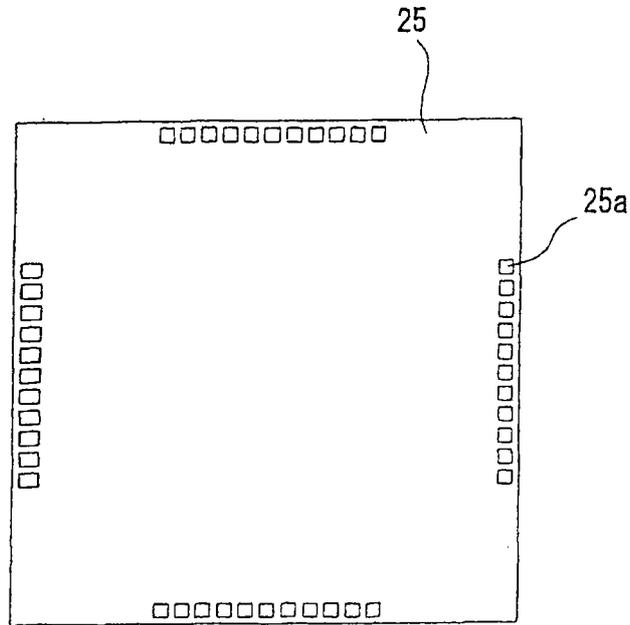


图 11

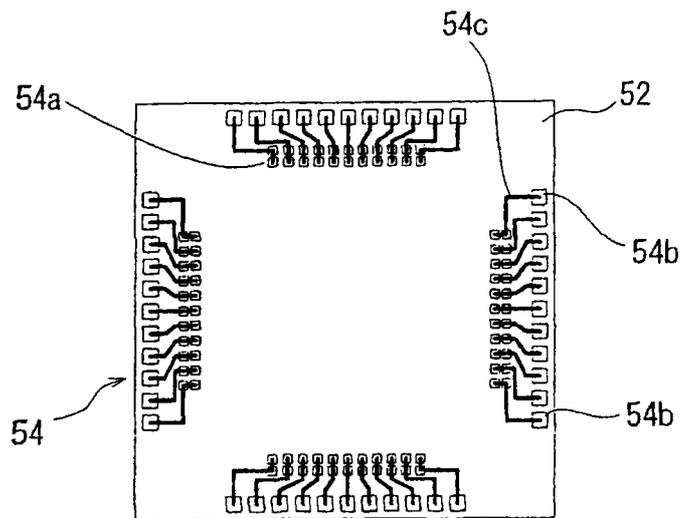


图 12

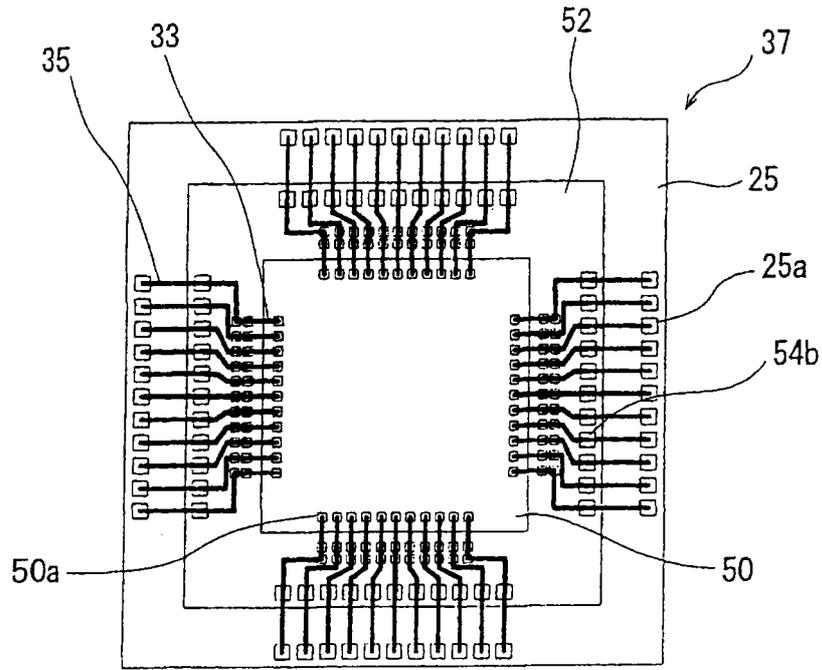


图 13

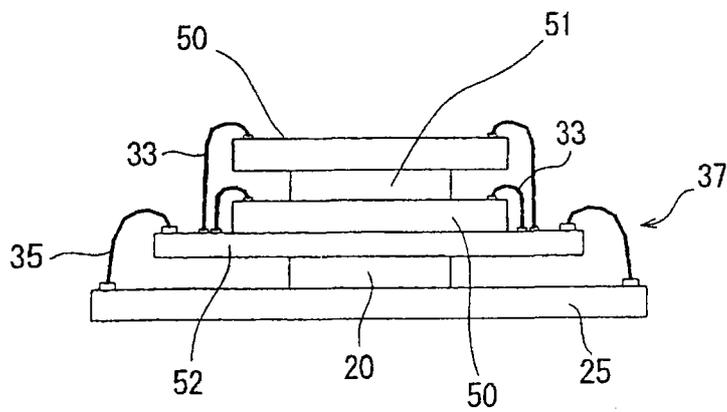


图 14

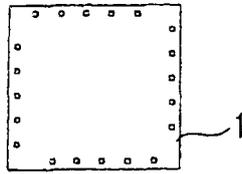


图 15A

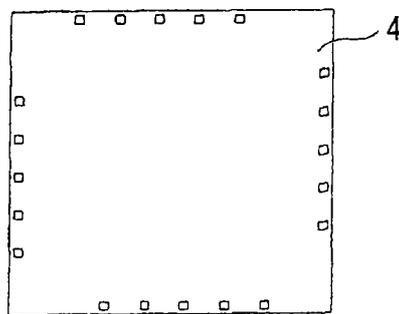


图 15B

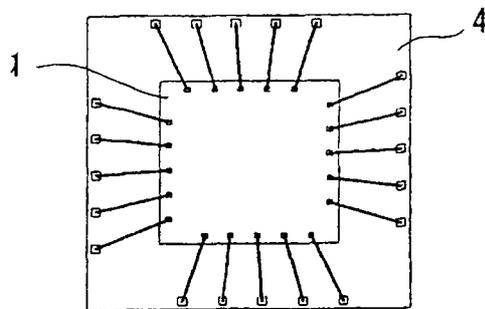


图 15C

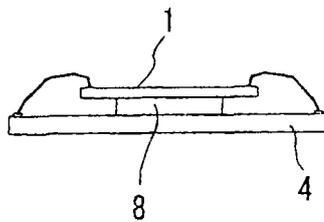


图 15D

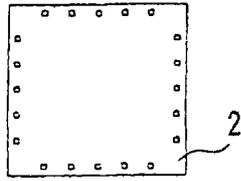


图 16A

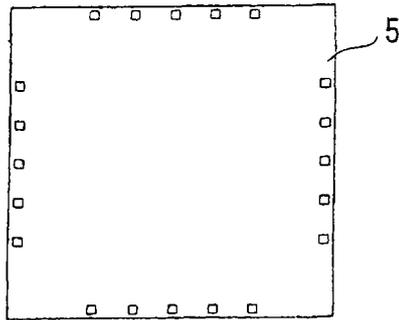


图 16B

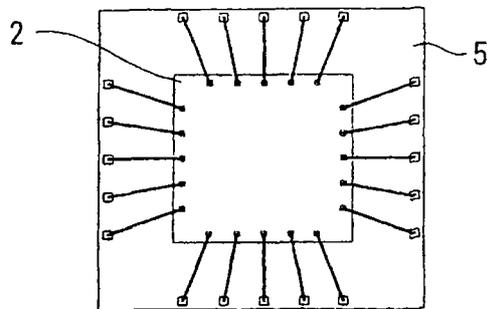


图 16C

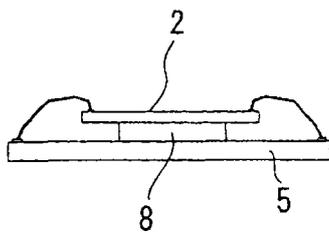


图 16D

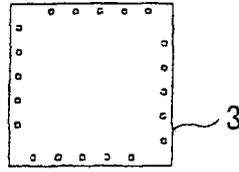


图 17A

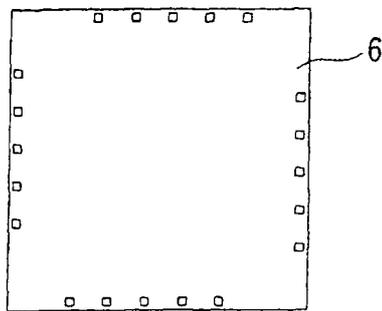


图 17B

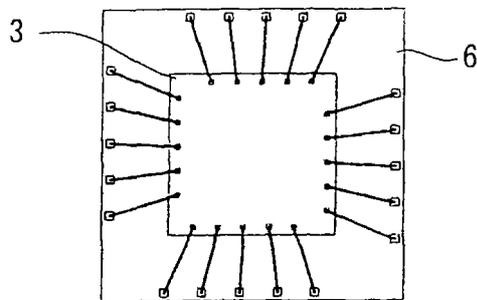


图 17C

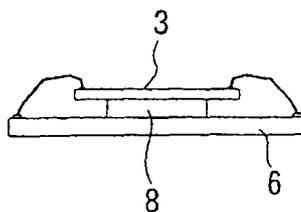


图 17D

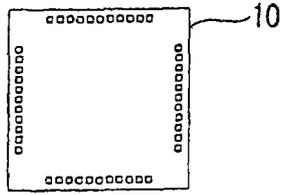


图 18A

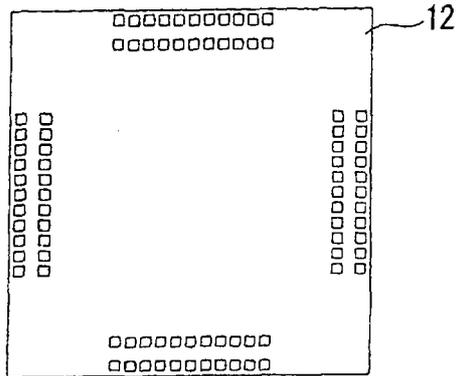


图 18B

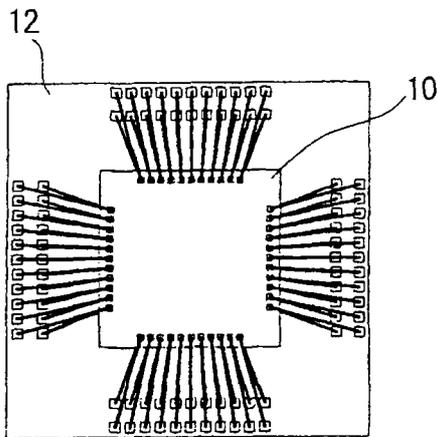


图 18C

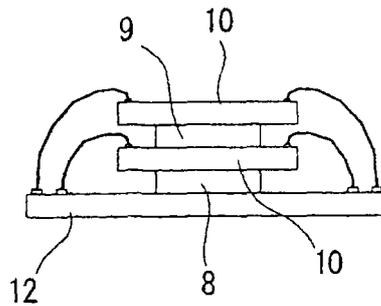


图 18D