



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I497502 B

(45) 公告日：中華民國 104 (2015) 年 08 月 21 日

(21) 申請案號：101107751

(22) 申請日：中華民國 101 (2012) 年 03 月 07 日

(51) Int. Cl. : G11C16/06 (2006.01)

G11C16/26 (2006.01)

(30) 優先權：2011/03/08 美國

13/043,005

(71) 申請人：美光科技公司 (美國) MICRON TECHNOLOGY, INC. (US)
美國

(72) 發明人：合田晃 GODA, AKIRA (JP) ; 劉增濤 LIU, ZENGTAO (CN)

(74) 代理人：陳長文

(56) 參考文獻：

US 6646924B1

US 6954394B2

US 7701761B2

US 2005/0078514A1

US 2008/0181008A1

US 2009/0141556A1

US 2009/0185422A1

US 2010/0128521A1

US 2010/0322000A1

審查人員：蕭明椿

申請專利範圍項數：19 項 圖式數：13 共 40 頁

(54) 名稱

堆疊式記憶體陣列裝置之感測操作

SENSE OPERATION IN A STACKED MEMORY ARRAY DEVICE

(57) 摘要

本發明揭示用於感測之方法及記憶體裝置。一種用於感測之此方法包含回應於一特定層(例如，相對於其他層)之一程式化速率而改變彼特定層之一感測條件。

Methods for sensing and memory devices are disclosed. One such method for sensing includes changing a sense condition of a particular layer responsive to a programming rate of that particular layer (e.g., relative to other layers).

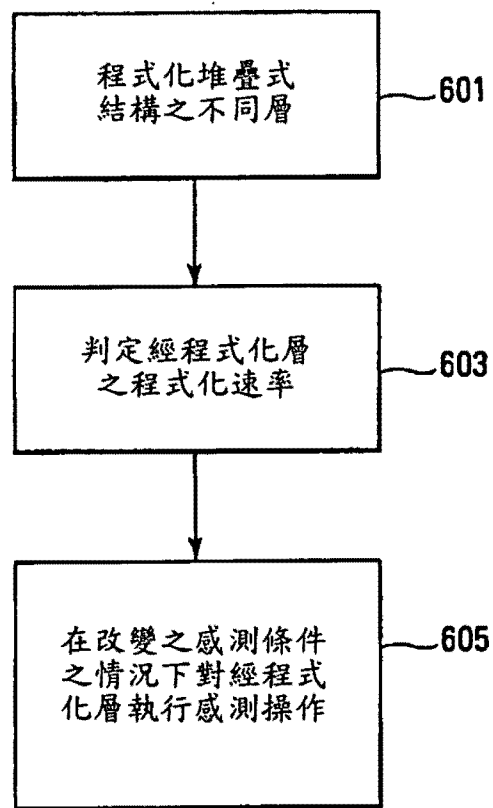


圖 6

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：(0110775)

※申請日：(01.3.7)

※IPC 分類：G11C

(4/06 (2006.01)

(6/26 (2006.01)

一、發明名稱：(中文/英文)

堆疊式記憶體陣列裝置之感測操作

SENSE OPERATION IN A STACKED MEMORY ARRAY DEVICE

二、中文發明摘要：

本發明揭示用於感測之方法及記憶體裝置。一種用於感測之此方法包含回應於一特定層(例如，相對於其他層)之一程式化速率而改變彼特定層之一感測條件。

三、英文發明摘要：

Methods for sensing and memory devices are disclosed. One such method for sensing includes changing a sense condition of a particular layer responsive to a programming rate of that particular layer (e.g., relative to other layers).

四、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【發明所屬之技術領域】

本發明實施例一般而言係關於記憶體，且一特定實施例係關於一堆疊式記憶體陣列裝置中之感測操作。

【先前技術】

快閃記憶體裝置已發展成為用於一寬廣範圍之電子應用之非揮發性記憶體之一普遍來源。快閃記憶體裝置通常使用允許高記憶體密度、高可靠性及低電力消耗之一單電晶體記憶體單元。快閃記憶體之常見用途包含個人電腦、快閃磁碟機、數位相機及蜂巢式電話。程式碼及系統資料(諸如一基本輸入/輸出系統(BIOS))通常儲存於快閃記憶體裝置中以供在個人電腦系統中使用。

一典型快閃記憶體裝置係其中記憶體單元陣列通常組織成可在逐區塊基礎上而非一次一個位元組地擦除及重新程式化之記憶體區塊之一類型之記憶體。透過對一電荷儲存結構(例如，浮動閘極或電荷陷阱)之擦除或程式化所致的記憶體單元中之每一者之一臨限電壓改變或其他物理現象(例如，相變或極化)判定每一單元之資料值。此類型之一單元中之資料係藉由在該電荷儲存結構中存在或不存在電荷而判定。

【發明內容】

一個三維記憶體裝置在一單個晶粒上使用堆疊式記憶體陣列。此一記憶體架構在實質上相同晶粒佔用面積中允許較高記憶體密度。圖1圖解說明一典型先前技術堆疊式

NAND快閃記憶體陣列之架構之一項實例。

圖1之實施例展示一個兩層100、101堆疊式架構。層100、101兩者共用相同源極線103、存取線(例如，字線)105至107及選擇閘極源極線110。藉由資料線(例如，位元線)120、121偏壓來選擇每一層100、101。在所圖解說明之實例中，底部層陣列101係耦合至位元線BL0 120，且頂部層陣列100係耦合至位元線BL1 121。

圖2展示可在一堆疊式記憶體陣列架構中執行之典型先前技術記憶體操作(例如，程式化、感測及擦除)之電壓之一圖示。為了更好地圖解說明該等操作，假定一個四層架構。

程式化操作包含將一程式化電壓(例如，20 V)施加至正程式化之經選擇字線201。由於所有層共用一字線，因此使用位元線偏壓(例如，施加一位元線電壓)來抑制未經選擇用於程式化之層。在所圖解說明之實例中，第一層及第三層經選擇以進行程式化，因此按一啟用電壓(例如，0 V)加偏壓於第一層及第三層之各別位元線而按一抑制電壓(例如，2 V)加偏壓於未經選擇位元線。因此，第一層及第三層係經選擇的而第二層及第四層係未經選擇的。

對於擦除及感測操作，可實質上同時選擇該等層中之所有層，而在感測操作中，僅選擇每一層之一列。舉例而言，在一感測操作期間，按一較低電壓(例如，0.5 V)加偏壓於該等位元線中之所有位元線而將讀取電壓(V_r)施加至共同字線202。按某一通過電壓 V_{pass} (例如，6 V)加偏壓於

未經選擇字線，接通選擇閘極線(例如，5 V)。

在一擦除操作期間，按一相對大的擦除電壓(例如，20 V)加偏壓於該等位元線中之所有位元線而按一參考電壓(例如，0 V)加偏壓於該等字線中之所有字線。用一相對大的電壓(例如，20 V)加偏壓於選擇閘極汲極線及共同選擇閘極源極線。

關於在一堆疊式記憶體陣列架構中進行程式化之一個問題係可由於層之間的一程式化速率偏移而發生之程式化干擾。舉例而言，參考圖2，若該第一層以比該第四層慢之一速率程式化，則為了繼續程式化該第一層持續比該較快第四層長之一時間而施加至該較慢第一層之相對大的電壓可造成對該第四層之程式化應力。此干擾可造成感測操作期間之誤差，此乃因受干擾層上之記憶體單元臨限電壓可自最初經程式化電壓位準增加。

出於上述原因且出於熟習此項技術者在閱讀及理解本說明書之後將明瞭之其他原因，此項技術中需要減少程式化干擾之效應。

【實施方式】

在以下詳細說明中，參考形成本發明之一部分且其中以圖解說明方式展示特定實施例之附圖。在圖式中，貫穿數個視圖相似編號闡述實質上類似組件。在不背離本發明之範疇之情況下，可利用其他實施例且可做出結構、邏輯及電改變。因此，不應將以下詳細說明視為具有一限制意義。

圖3圖解說明包括非揮發性記憶體單元之串聯串之一 NAND架構記憶體陣列301之一單個層之一部分之一項實施例之一示意圖。如隨後所論述，堆疊式陣列架構可包含圖3之實施例之多個層。圖3之示意圖僅係出於圖解說明之目的，此乃因記憶體陣列架構不限於所圖解說明之NAND架構。替代實施例可使用NOR架構亦或其他架構。

記憶體陣列301包括配置成行(諸如串聯串304、305)之一非揮發性記憶體單元(例如，浮動閘極)陣列。該等單元中之每一者自汲極至源極耦合於每一串聯串304、305中。橫跨多個串聯串304、305之一存取線(例如，字線) WL0至WL31耦合至一系列中之每一記憶體單元之控制閘極以加偏壓於該列中之該等記憶體單元之該等控制閘極。資料線(諸如偶數個/奇數個位元線BL_E、BL_O)係耦合至該等串聯串且最終每一位元線係耦合至具有感測電路之一頁緩衝器，該感測電路藉由感測一經選擇位元線上之電流或電壓而偵測每一單元之狀態。

記憶體單元之每一串聯串304、305藉由一源極選擇閘極316、317(例如，電晶體)耦合至一源極線306，且藉由一汲極選擇閘極312、313(例如，電晶體)耦合至一個別位元線BL_E、BL_O。源極選擇閘極316、317係由耦合至其控制閘極之一源極選擇閘極控制線SG(S) 318控制。汲極選擇閘極312、313係由一汲極選擇閘極控制線SG(D) 314控制。

每一記憶體單元可經程式化為一單位階單元(SLC)或一

多位階單元(MLC)。每一單元之臨限電壓(V_t)指示儲存於該單元中之資料。舉例而言，在一SLC中， $-2.5 V V_t$ 可指示一經程式化單元，而 $-0.5 V V_t$ 可指示一經擦除單元。一MLC使用多個 V_t 範圍，每一 V_t 範圍指示一不同狀態。多位階單元可藉由將一位元型樣指派給一特定 V_t 範圍而利用一傳統快閃單元之類比性質。取決於指派給單元之 V_t 範圍的量，此技術准許每單元儲存表示兩個或兩個以上位元之資料值。

對一堆疊式記憶體陣列架構之一感測操作同時感測多個層。舉例而言，為了減少在對已經歷一程式化干擾條件之記憶體單元之一感測操作期間經歷之誤差，可在每一層基礎上使用一感測偏移。例如，回應於(例如，根據)每一層相對於其他層之程式化速率而改變彼特定層之感測條件。舉例而言，可在製造時判定或預定程式化速率。

在一項實施例中，在每一層基礎上改變感測條件可包含相對於一較快程式化層之一 V_t 將較慢程式化層之目標 V_t 範圍移位至一較低 V_t 範圍。可藉由以下方式實現此操作：感測該等較慢程式化層之一較高感測電流；將該等較慢程式化層之位元線預充電至一較高預充電電壓；感測具有比較快程式化層高之一位元線電壓之較慢程式化層之位元線；及/或在感測操作期間相對於較快程式化層針對較慢程式化層使用一較短位元線放電時間。替代實施例可使用其他方式來在每一層基礎上改變感測條件。

圖4圖解說明用於提供根據層之一感測偏移之偏壓之一

項實施例。圖4之圖示展示分別藉由其各別位元線BL0至BL3選擇之四個層。實體連接係由信號線之交叉點上之一點標示。舉例而言，源極線SRC係連接至該四個層中之每一者，而每一位元線BL0至BL3係僅連接至其各別層。

圖4之圖示進一步展示一選擇閘極源極SG(S)、一選擇閘極汲極SG(D)、源極線SRC及包含經選擇而用於讀取之字線WLn 400之五個字線400至402。儘管出於清晰之目的而將所圖解說明之實施例展示為具有僅五個字線，但替代實施例不限於任何特定數目個字線。

感測操作亦不限於僅圖4中所示之彼等電壓。所圖解說明之感測操作以5 V接通SG(S)線及SG(D)線，且將0 V施加至源極線。用約0 V至5 V之一讀取電壓 V_r 加偏壓於經選擇字線WLn 400，且按一通過電壓 V_{PASS} (例如，約6 V或大於6 V)加偏壓於未經選擇字線。在一項實施例中， V_r 係一斜坡電壓(例如，0 V至5 V)。在另一實施例中， V_r 係彼範圍中之一固定電壓。

施加至每一位元線BL0至BL3之條件(例如，條件A至D)係回應於(例如，取決於)彼特定層之程式化速率。在一項實例中，BL3係展示為耦合至與其他層相比之一慢程式化層，而BL0係展示為耦合至當與其他層相比時之一較快程式化層。因此，條件A將包含如先前所論述之一感測偏移。

圖5圖解說明一堆疊式記憶體陣列架構之慢程式化層及快程式化層兩者之臨限電壓分佈500至503之一項實施例。

一個分佈 500 表示一經擦除狀態。其他分佈 501 至 503 表示經程式化狀態。亦指示各種經程式化狀態之不同感測電壓 V_{r1} 至 V_{r3} 。

將較慢程式化單元定位於具有比較快程式化單元之分佈 510 至 513 低之一 V_i 之分佈 520 至 523 中。接著，該等較慢程式化單元將在一感測操作期間將實質上較低臨限電壓 V_{r1} 至 V_{r3} 施加至共同經選擇字線。

圖 6 圖解說明用於執行對一堆疊式記憶體陣列架構之一感測操作之一方法之一項實施例的一流程圖。程式化該堆疊式記憶體陣列架構之不同層之記憶體單元 601。可藉由將一程式化脈衝(例如，15 V)施加至經選擇而用於程式化之不同層之共同字線而實現此操作。將該程式化脈衝施加至共同字線之操作將該程式化脈衝施加至耦合彼特定字線的記憶體單元之控制閘極中之所有控制閘極。可藉由正施加至經耦合以選擇一特定層之一位元線之一啟用電壓而選擇該特定層用於程式化。

針對堆疊式記憶體陣列架構之剛剛經程式化層中之每一者判定一程式化速率 603。可藉由感測剛剛經程式化記憶體單元以判定哪些記憶體單元已比其他記憶體單元更快地程式化而實現判定該程式化速率。亦可藉由讀取特定層之一已知程式化速率而實現判定該程式化速率，該已知程式化速率係儲存於與彼特定層相關聯之一暫存器中或該特定記憶體陣列層自身中，該已知程式化速率指示彼特定層之一程式化速率。

一旦針對每一經程式化層判定一程式化速率，便可使用如先前所解釋之改變之感測條件(例如，將較慢程式化層之 V_t 分佈移位至一較低電壓範圍)對剛剛已經程式化之層執行一感測操作(例如，程式化驗證操作) 605。舉例而言，此等改變之感測條件可包含一較高感測電流、一較高預充電位元線電壓、一較高感測位元線電壓或在感測時較短位元線放電時間。

圖7圖解說明根據一感測方法之一堆疊式記憶體陣列裝置架構之一替代實施例之一示意圖。所圖解說明之實施例展示具有四個層700至703之一堆疊式記憶體陣列。底部第一層700係耦合至位元線BL0，第二層701係耦合至位元線BL1，第三層702係耦合至位元線BL2，且頂部第四層703係耦合至位元線BL3。每一位元線係用以選擇用於程式化之各別層700至703。

不同於在所有層之間具有一共同源極線之圖4之實施例，圖7之實施例每一層具有一不同源極線。因此，圖7展示耦合至源極線SRC0之第一層700。第二層701係耦合至源極線SRC1。第三層702係耦合至源極線SRC2。第四層703係耦合至源極線SRC3。

在此實施例中，一特定字線係所有層700至703共同的。換言之，施加至字線WLn之一信號係施加至耦合至字線WLn的所有層700至703上之記憶體單元中之所有記憶體單元之控制閘極。類似地，SG(S)線係層700至703中之所有層共同的。

SG(D)線係層700至703中之所有層共同的，但僅在每一層之一特定SG(D)電晶體之間。舉例而言，針對所有層700至703，SG(D)_{n-1}僅耦合至所有SG(D)_{n-1}電晶體。針對層700至703中之所有層，SG(D)_n僅耦合至所有SG(D)_n電晶體。針對層700至703中之所有層，SG(D)_{n+1}僅耦合至所有SG(D)_{n+1}電晶體。

圖8使用圖7之結構圖解說明感測操作偏壓之一項實施例。在圖8中展示且隨後闡述之電壓係僅出於圖解說明之目的，此乃因可使用其他電壓。出於此實例之目的，假定頂部層803係最慢程式化層而底部層800係最快程式化層。中間兩層802、801具有自頂部至底部逐漸變快之程式化速率。亦假定，在感測操作期間，按 V_r 加偏壓於該等層中之所有層之經選擇字線 WLn ，且按一通過電壓 V_{PASS} （例如，6 V）加偏壓於未經選擇字線810、811。按一啟用電壓（例如，5.0 V）加偏壓於選擇閘極線SG(S)及SG(D)。

取決於經選擇層800至803之程式化速率而將一電壓施加至每一個別源極線SRC1至SRC3。較慢程式化層具有一較高源極線電壓且較快程式化層具有一較低源極線電壓。在所圖解說明之實例中，按0 V加偏壓於SRC0，按0.2 V加偏壓於SRC1，按0.4 V加偏壓於SRC2，且按0.6 V加偏壓於SRC3。

源極線電壓與施加至經選擇字線 WLn 之讀取電壓(V_r)之間的差判定施加至經選擇層之記憶體單元之控制閘極的實際電壓。由於經選擇字線 WLn 係該等層中之所有層共同

的，因此此使得每一個別層能夠具有選擇性地施加至經選擇層之控制閘極之一不同電壓。此具有使 V_t 感測電壓範圍移位以補償經感測層所遭遇之程式化干擾之效應。

因此，出於圖解說明之目的而假定 1.0 V V_r ，則將一字線電壓 $V_r\text{-SRC0}$ (例如， $1\text{ V}-0\text{ V}=1\text{ V}$)有效地施加至底部第一層800之經選擇控制閘極。將一字線電壓 $V_r\text{-SRC1}$ (例如， $1\text{ V}-0.2\text{ V}=0.8\text{ V}$)有效地施加至第二層801之經選擇控制閘極。將一字線電壓 $V_r\text{-SRC2}$ (例如， $1\text{ V}-0.4\text{ V}=0.6\text{ V}$)有效地施加至第三層802之經選擇控制閘極。將一字線電壓 $V_r\text{-SRC3}$ (例如， $1\text{ V}-0.6\text{ V}=0.4\text{ V}$)有效地施加至頂部第四層803之經選擇控制閘極。

圖8之實施例亦展示取決於每一層之程式化速率彼特定層之位元線電壓可不同。該等位元線電壓係不同的以維持每一層之位元線與源極線之間的相同電壓差量。因此，假定使用圖8之電壓，則按 1.1 V 加偏壓於頂部最慢層703之位元線BL3。按 0.9 V 加偏壓於下一最快層702之位元線BL2。按 0.7 V 加偏壓於下一最快層701之位元線BL1。按 0.5 V 加偏壓於最快層700之位元線BL0。此等不同位元線電壓維持該等層中之每一者之相同電壓差量(例如， 0.5 V)。在所圖解說明之實施例中，位元線所耦合至之層700至703之程式化越慢，位元線電壓越高。

圖9圖解說明一堆疊式記憶體陣列架構之另一替代實施例。所圖解說明之實施例展示具有四個層900至903之一堆疊式記憶體陣列。底部第一層900係耦合至位元線BL0，第

二層 901 係耦合至位元線 BL1，第三層 902 係耦合至位元線 BL2，且頂部第四層 903 係耦合至位元線 BL3。每一位元線係用以選擇用於程式化之其各別層 900 至 903。

圖 9 之實施例具有針對每一 X 層群組之一不同源極線。在圖 9 之實施例中，第一層 900 及第二層 901 係耦合至一個源極線 SRC0。第三層 902 及第四層 903 係耦合至另一源極線 SRC1。儘管圖 9 之實施例展示每兩層耦合至一不同源極線，但替代實施例可具有等於除二以外的某一其他數目之 X。

在又一實施例中，每一不同源極線可耦合至不同於其他源極線之數量的層。舉例而言，較快程式化層中之三者可耦合至一個源極線而較慢程式化層中之四者可耦合至一不同源極線。

在此實施例中，一特定字線係所有層 900 至 903 共同的。換言之，施加至字線 WLn 之一信號係施加至耦合至字線 WLn 的所有層 900 至 903 上之記憶體單元中之所有記憶體單元之控制閘極。類似地，SG(S) 線係層 900 至 903 中之所有層共同的。

SG(D) 線係層 900 至 903 中之所有層共同的，但僅在每一層之一特定 SG(D) 電晶體之間。舉例而言，針對所有層 900 至 903，SG(D)_{n-1} 僅耦合至所有 SG(D)_{n-1} 電晶體。針對層 900 至 903 中之所有層，SG(D)_n 僅耦合至所有 SG(D)_n 電晶體。針對層 900 至 903 中之所有層，SG(D)_{n+1} 僅耦合至所有 SG(D)_{n+1} 電晶體。

圖 10 使用圖 9 之結構圖解說明感測操作偏壓之一項實施例。在圖 10 中展示且隨後闡述之電壓係僅出於圖解說明之目的，此乃因可使用其他電壓。出於此實例之目的，假定頂部層 1003 係最慢程式化層而底部層 1000 係最快程式化層。中間兩層 1002、1001 具有自頂部至底部逐漸變快之程式化速率。亦假定，在感測操作期間，按 V_r 加偏壓於該等層中之所有層之經選擇字線 WL_n ，且按一通過電壓 V_{PASS} (例如，6 V) 加偏壓於未經選擇字線 1010、1011。按一啟用電壓 (例如，5.0 V) 加偏壓於選擇閘極線 $SG(S)$ 及 $SG(D)$ 。

取決於源極線所耦合至之層之程式化速率而將一源極線電壓施加至每一源極線 SRC_0 、 SRC_1 。由於在此實例中假定最頂部層 1002、1003 係較慢程式化層，因此按比耦合至較快程式化層 1000、1001 之 SRC_0 高之一電壓加偏壓於 SRC_1 。在所圖解說明之實例中，按 0 V 加偏壓於 SRC_0 ，且按 0.4 V 加偏壓於 SRC_1 。

位元線 BL_0 至 BL_3 係組織於與源極線相同之 X 層群組中且經加偏壓以維持每一 X 層群組之位元線與源極線之間的相同電壓差量。在所圖解說明之實例中，按 0.9 V 加偏壓於位元線 BL_2 及 BL_3 而按 0.5 V 加偏壓於位元線 BL_0 及 BL_1 。此維持其各別群組之位元線與源極線之間的一 0.5 V 電壓差量。換言之，較慢程式化層 1002、1003 具有與較快程式化層 1000、1001 相比之較高位元線電壓。

圖 11 圖解說明一堆疊式記憶體陣列架構之又一替代實施例。此實施例包含兩層 1100、1101。每一層 1100、1101 中

之每一串聯串 1105 至 1107、1108 至 1110 係耦合至一共同位元線 BL_{n-1} 、 BL_n 、 BL_{n+1} 。舉例而言，底部層 1100 中之第一串聯串 1105 與頂部層 1101 中之第一串聯串 1108 共用相同位元線 BL_{n+1} 。底部層 1100 中之第二串聯串 1106 與頂部層 1101 中之第二串聯串 1109 共用相同位元線 BL_n 。底部層 1100 中之第三串聯串 1107 與頂部層 1101 中之第三串聯串 1110 共用相同位元線 BL_{n-1} 。此模式針對任何數目個層中之任何數目個串聯串重複。

字線 WL_0 至 WL_n 係每一層 1100、1101 共同的。換言之，底部層 1100 及頂部層 1101 兩者中之記憶體單元之一第一列之控制閘極共用相同字線 WL_n 。選擇閘極源極 $SG(S)$ 線在層之間亦係共同的。源極線 SRC 係所有層共同的。選擇閘極汲極 $SG(D)$ 線僅在每一層 1100、1101 之選擇閘極汲極電晶體之間係共同的。舉例而言，底部層 1100 之選擇閘極汲極電晶體共用 $SG(D)_0$ 。頂部層 1101 之選擇閘極汲極電晶體共用 $SG(D)_1$ 。在圖 11 之實施例中，選擇閘極汲極線 $SG(D)_0$ 至 $SG(D)_1$ 係用以選擇及取消選擇每一層 1100、1101。

圖 12A 及圖 12B 圖解說明根據圖 11 之實施例之層選擇及按層之字線偏移之圖示。圖 12A 圖解說明較慢程式化層之字線偏壓。圖 12B 圖解說明包含較快程式化層之一偏移電壓之字線偏壓。圖 12A 及圖 12B 之實施例假定頂部層 1201 係較慢程式化層且底部層 1200 係較快程式化層。字線偏壓偏移電壓改變一感測操作期間之感測條件以使 V_i 電壓範圍

移位。

參考圖 12A，藉由 SG(D)1 線上之一啟用電壓(例如，5 V)而選擇頂部層 1201。藉由 SG(D)0 線上之一停用電壓(例如，0 V)而取消選擇底部層 1200。按一參考電壓(例如，0 V)加偏壓於共同源極線且按一啟用電壓(例如，5 V)加偏壓於共同選擇閘極源極 SG(S) 線。

由於頂部層 1201 係假定為較慢程式化層，因此在無一偏移電壓之情況下按一感測電壓 V_r 加偏壓於共同經選擇字線 WL_n 。此在位元線上產生一感測條件 A。儘管較低層之相同列在其控制閘極上經歷相同 V_r ，但藉由選擇閘極汲極線上之停用電壓而取消選擇彼等層。

參考圖 12B，藉由 SG(D)1 線上之一停用電壓(例如，0 V)而取消選擇頂部層 1201。藉由 SG(D)0 線上之一啟用電壓(例如，5 V)而選擇底部層 1200。按一參考電壓(例如，0 V)加偏壓於共同源極線且按一啟用電壓(例如，5 V)加偏壓於共同選擇閘極源極 SG(S) 線。

由於底部層 1200 係假定為較快程式化層，因此按一感測電壓 $V_r + a$ 加偏壓於共同經選擇字線 WL_n ，其中「a」係在感測操作期間使 V_r 電壓範圍移位以計及具有增加之臨限電壓之記憶體單元之偏移電壓。當選擇較快程式化層時，將該偏移電壓添加至該感測電壓。此在位元線上產生可補償程式化干擾條件之改變之條件 B。

圖 13 圖解說明可包括一堆疊式記憶體陣列架構之一記憶體裝置 1300 之一功能性方塊圖。記憶體裝置 1300 係耦合至

一外部處理器1310。處理器1310可係一微處理器或某一其他類型之控制器。記憶體裝置1300及處理器1310形成一記憶體系統1320之部分。

記憶體裝置1300包含一記憶體單元(例如，非揮發性記憶體單元)陣列1330。記憶體陣列1330係配置成字線列與位元線行之記憶體庫。在一項實施例中，記憶體陣列1330之列構成記憶體單元之串聯串。

位址緩衝器電路1340經提供以鎖存透過I/O電路1360提供之位址信號。位址信號係由一系列解碼器1344及一行解碼器1346接收並解碼以存取記憶體陣列1330。

記憶體裝置1300藉由使用感測放大器電路1350感測記憶體陣列行中之電壓或電流改變而讀取記憶體陣列1330中之資料。在一項實施例中，頁緩衝器1350經耦合以自記憶體陣列1330讀取並鎖存一系列資料。如先前所闡述，頁緩衝器1350包含感測電路以及用於執行一程式化驗證操作之其他電路。資料係透過用於經由複數個資料連接1362與控制器1310雙向資料通信以及位址通信之I/O電路1360而輸入及輸出。寫入電路1355經提供以將資料寫入至記憶體陣列。

記憶體控制電路1370解碼來自處理器1310的在控制連接1372上提供之信號。此等信號係用以控制對記憶體陣列1330之操作，包含資料讀取、資料寫入(程式化)及擦除操作。記憶體控制電路1370可係一狀態機、一定序器或用以產生記憶體控制信號之某一其他類型之控制器。在一項實施例中，記憶體控制電路1370經組態以控制對本發明之程

式化驗證實施例之執行。

圖 13 中所圖解說明之記憶體裝置已經簡化以促進對記憶體之特徵之一基本理解。熟習此項技術者已知快閃記憶體之內部電路及功能之一更詳細理解。

總結

總之，一感測操作之一或多項實施例可減少因感測已經歷一程式化干擾條件之記憶體單元而導致之誤差。此可藉由回應於一記憶體單元層之一程式化速率改變感測條件而實現。

雖然本文中已圖解說明及闡述了特定實施例，但熟習此項技術者將瞭解，旨在達成相同目的之任何配置皆可替代所示之特定實施例。熟習此項技術者將明瞭本發明之諸多更改。因此，本申請案意欲涵蓋本發明之任何更改或變化形式。

【圖式簡單說明】

圖 1 展示一典型先前技術兩層堆疊式 NAND 記憶體陣列之一示意圖。

圖 2 展示用於一個四層堆疊式 NAND 記憶體陣列中之程式化、感測及擦除操作之典型先前技術偏壓之一圖示。

圖 3 展示一 NAND 架構記憶體陣列之一部分之一項實施例的一示意圖。

圖 4 展示用於提供按層之一感測偏移之偏壓之一項實施例的一圖示。

圖 5 展示根據圖 4 之實施例之慢程式化層及快程式化層兩

者之臨限電壓分佈之一項實施例之一圖示。

圖6展示根據圖4之實施例之用於對一記憶體陣列執行一感測操作之一方法之一項實施例之一流程圖。

圖7展示一堆疊式記憶體陣列裝置架構之一替代實施例之一示意圖。

圖8展示根據圖7之實施例之位元線及源極線偏壓之一項實施例之一圖示。

圖9展示一堆疊式記憶體陣列架構之另一實施例之一示意圖。

圖10展示根據圖9之實施例之位元線及源極線偏壓之一項實施例之一圖示。

圖11展示一堆疊式記憶體陣列架構之又一實施例之一圖示。

圖12展示根據圖11之實施例之層選擇及按層之字線偏移的一圖示。

圖13展示可併入有使用所闡述之用於感測操作之方法之一堆疊式記憶體陣列架構之一記憶體系統之一項實施例的一方塊圖。

【主要元件符號說明】

100	層/頂部層陣列
101	層/底部層陣列
103	源極線
105	存取線/字線
106	存取線/字線

107	存取線/字線
120	資料線/位元線
121	資料線/位元線
201	字線
202	字線
301	NAND架構記憶體陣列
304	串聯串
305	串聯串
306	源極線
312	汲極選擇閘極
313	汲極選擇閘極
314	汲極選擇閘極控制線
316	源極選擇閘極
317	源極選擇閘極
318	源極選擇閘極控制線
400	字線
401	字線
402	字線
500	電壓分佈
501	電壓分佈
502	電壓分佈
503	電壓分佈
510	電壓分佈
511	電壓分佈

512	電壓分佈
513	電壓分佈
520	電壓分佈
521	電壓分佈
522	電壓分佈
523	電壓分佈
700	第一層
701	第二層
702	第三層
703	第四層
800	底部層/第一層
801	中間層/第二層
802	中間層/第三層
803	頂部層/第四層
810	字線
811	字線
900	第一層
901	第二層
902	第三層
903	第四層
1000	底部層/較快程式化層
1001	中間層/較快程式化層
1002	中間層/較慢程式化層
1003	頂部層/較慢程式化層

1010	字線
1011	字線
1100	底部層
1101	頂部層
1105	第一串聯串
1106	第二串聯串
1107	第三串聯串
1108	第一串聯串
1109	第二串聯串
1110	第三串聯串
1200	底部層
1201	頂部層
1300	記憶體裝置
1310	處理器/外部處理器/控制器
1320	記憶體系統
1330	記憶體陣列
1340	位址緩衝器電路
1344	列解碼器
1346	行解碼器
1350	感測放大器電路/頁緩衝器
1355	寫入電路
1360	輸入/輸出電路
1362	資料連接
1370	記憶體控制電路

1372	控制連接
BL0	位元線
BL1	位元線
BL2	位元線
BL3	位元線
BLn	位元線
BLn+1	位元線
BLn-1	位元線
SG(D)	選擇閘極汲極/汲極選擇閘極控制線
SG(D)0	選擇閘極汲極(線)
SG(D)1	選擇閘極汲極(線)
SG(D)n	選擇閘極汲極
SG(D)n+1	選擇閘極汲極
SG(D)n-1	選擇閘極汲極
SG(S)	選擇閘極源極/源極選擇閘極控制線
Src	源極線
SRC0	源極線
SRC1	源極線
SRC2	源極線
SRC3	源極線
V _{PASS}	通過電壓
V _r	讀取電壓
V _{r1}	感測電壓
V _{r2}	感測電壓

V_{r3}	感測電壓
$V_{r1'}$	臨限電壓
$V_{r2'}$	臨限電壓
$V_{r3'}$	臨限電壓
V_{r+a}	感測電壓
V_t	臨限電壓
WL0	字線
WLn	字線
WL1	字線
WL28	字線
WL29	字線
WL30	字線
WL31	字線

七、申請專利範圍：

1. 一種用於感測複數個記憶體單元層之方法，該方法包括：

回應於該複數個記憶體單元層中之一特定層之一程式化速率而改變該特定層之一感測條件；

其中該複數個記憶體單元層中之每一者包括一單獨源極線，該單獨源極線不同於耦合至該複數個記憶體單元層中之其他層之源極線；以及

其中該感測條件包括回應於一各別層之一程式化速率而用一各別源極線電壓加偏壓於該等單獨源極線中之每一者。

2. 如請求項1之方法，其中相對於該複數個記憶體單元層中之其他層之程式化速率判定該特定層之該程式化速率。
3. 如請求項1之方法，且其進一步包含對該複數個記憶體單元層中之每一者執行一程式化操作。
4. 如請求項1之方法，其中改變該感測條件包括相對於一較快程式化層之一臨限電壓範圍將該特定層之一目標臨限電壓範圍移位至一較低臨限電壓範圍。
5. 如請求項4之方法，其中將該目標臨限電壓範圍移位包括：感測該特定層相對於該較快程式化層之一較高電流；相對於該較快程式化層將耦合至該特定層之一資料線預充電至一較高電壓；感測耦合至該特定層之該資料線；及/或在該感測期間相對於該等較快程式化層針對該

特定層使用一較短資料線放電時間。

6. 如請求項1之方法，且其進一步包括自記憶體讀取每一層之該程式化速率。
7. 如請求項6之方法，其中每一層儲存其各別程式化速率。
8. 如請求項1之方法，其中改變該感測條件包括在感測具有比其他記憶體單元層快之一程式化速率之一經選擇記憶體單元層期間將一偏移電壓添加至施加至一經選擇存取線之一感測電壓。
9. 如請求項8之方法，其中回應於一選擇閘極汲極線上之一啟用電壓而選擇該經選擇記憶體單元層。
10. 如請求項8之方法，其中回應於耦合至該複數個記憶體單元層中之每一層之資料線之偏壓而選擇該經選擇記憶體單元層。
11. 如請求項1之方法，其中耦合至一較快程式化層之一源極線具有比一較慢程式化層低之一源極線電壓。
12. 如請求項1之方法，其中施加至正感測之一特定層之該等記憶體單元之一電壓包括施加至該等記憶體單元之控制閘極之一感測電壓與該特定層之該源極線電壓之間的一差。
13. 如請求項1之方法，其中該複數個記憶體單元層中之每一者包括一單獨資料線，且其中該感測條件包括用一各別資料線電壓加偏壓於每一資料線，使得該各別資料線電壓與一各別源極線電壓之間的一差對於該複數個記憶

體單元層中之每一者係實質上相同的。

14. 一種記憶體裝置，其包括：

複數個記憶體單元陣列層，每一層包括：

複數個記憶體單元串；及

不同於耦合至該複數個記憶體單元陣列層中之其他層之源極線之一單獨源極線；

其中該記憶體裝置經組態以回應於該複數個記憶體單元陣列層中之一特定層之一程式化速率而改變該特定層之一感測條件；以及

其中該感測條件包括回應於一各別層之一程式化速率而用一各別源極線電壓加偏壓於該等單獨源極線中之每一者。

15. 如請求項14之記憶體裝置，且其進一步包含耦合至一特定記憶體單元列之一存取線，其中該存取線係該複數個記憶體單元陣列層中之每一者之該特定列共同的。

16. 如請求項14之記憶體裝置，且其進一步包含耦合至該複數個記憶體單元陣列層中之每一層之一不同資料線，其中該記憶體裝置經組態以回應於該等資料線中之一各別者之偏壓而選擇一特定層。

17. 如請求項14之記憶體裝置，且其進一步包含一源極選擇閘極控制線，該源極選擇閘極控制線係該複數個記憶體單元陣列層共同的。

18. 如請求項14之記憶體裝置，且其進一步包含複數個汲極選擇閘極控制線，該複數個汲極選擇閘極控制線中之每

一汲極選擇閘極控制線係共同地耦合至該複數個記憶體單元陣列層中之每一者中之一汲極選擇電晶體。

19. 如請求項14之記憶體裝置，其中該記憶體裝置經組態以回應於一各別層之一程式化速率而用一各別源極線電壓加偏壓於該等單獨源極線中之每一者。

八、圖式：

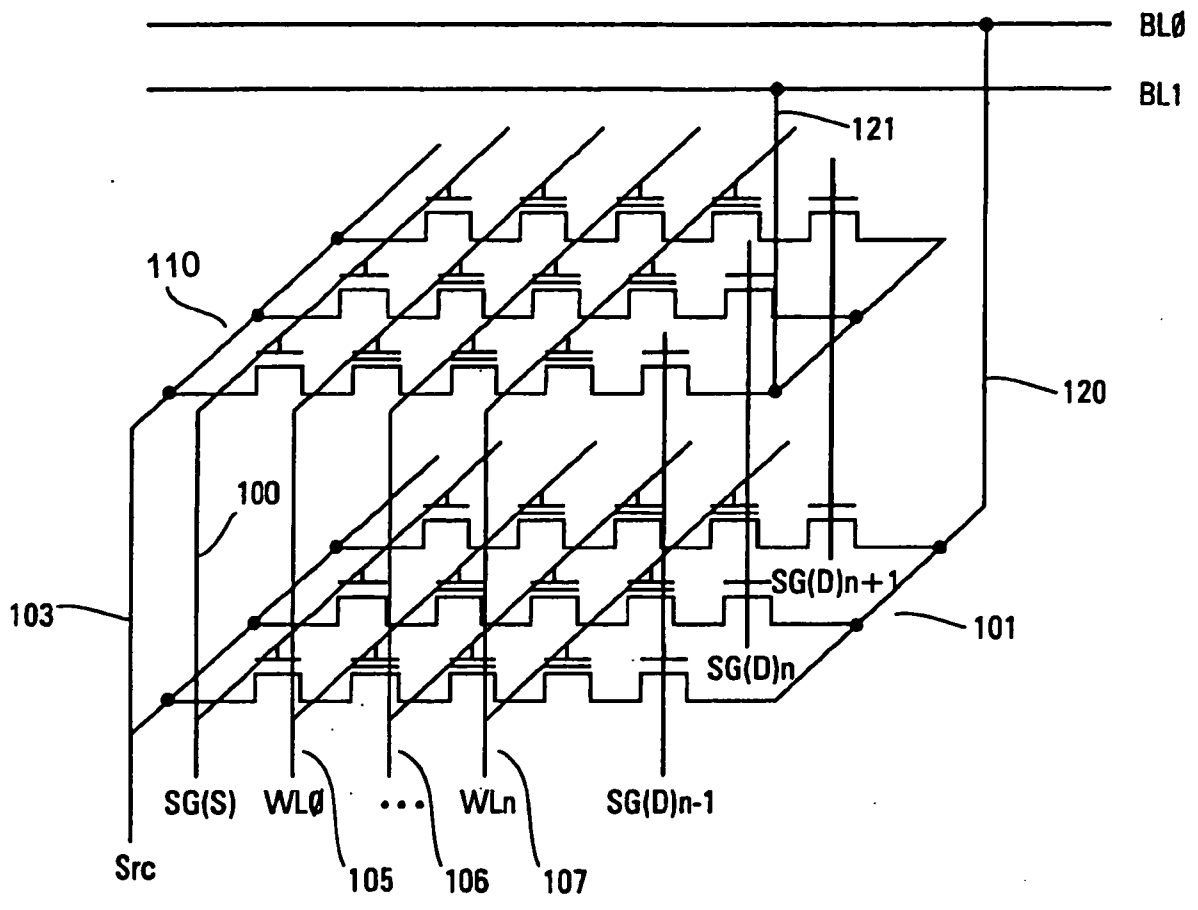
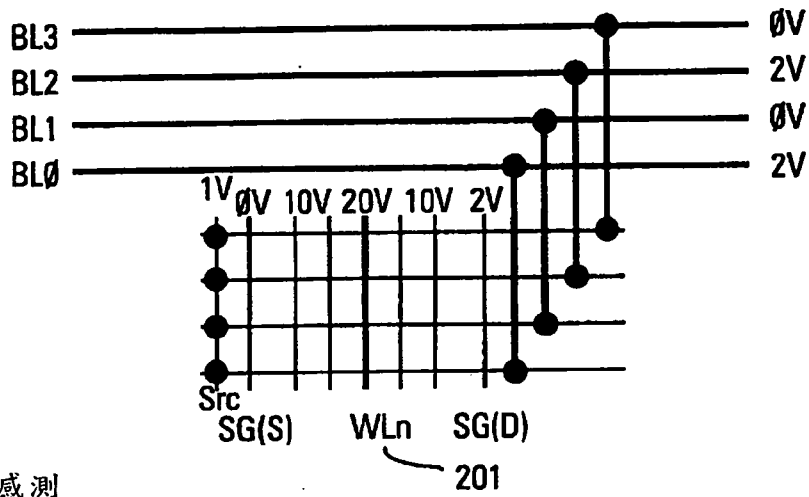
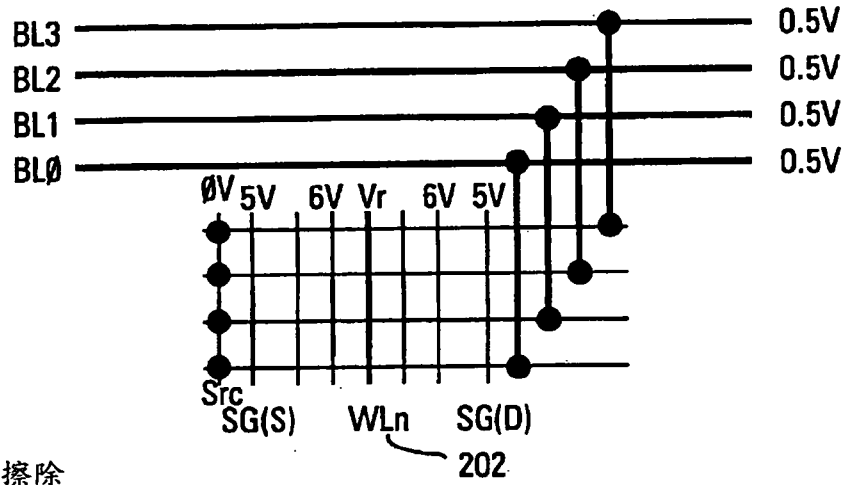


圖 1

程式化



感測



擦除

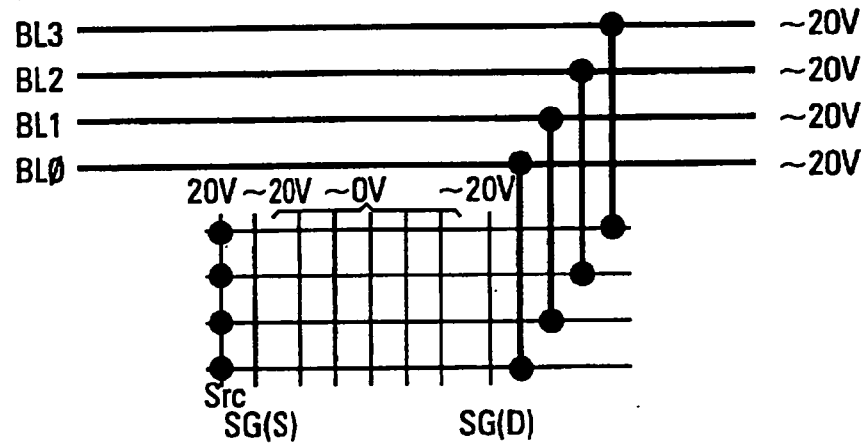


圖 2

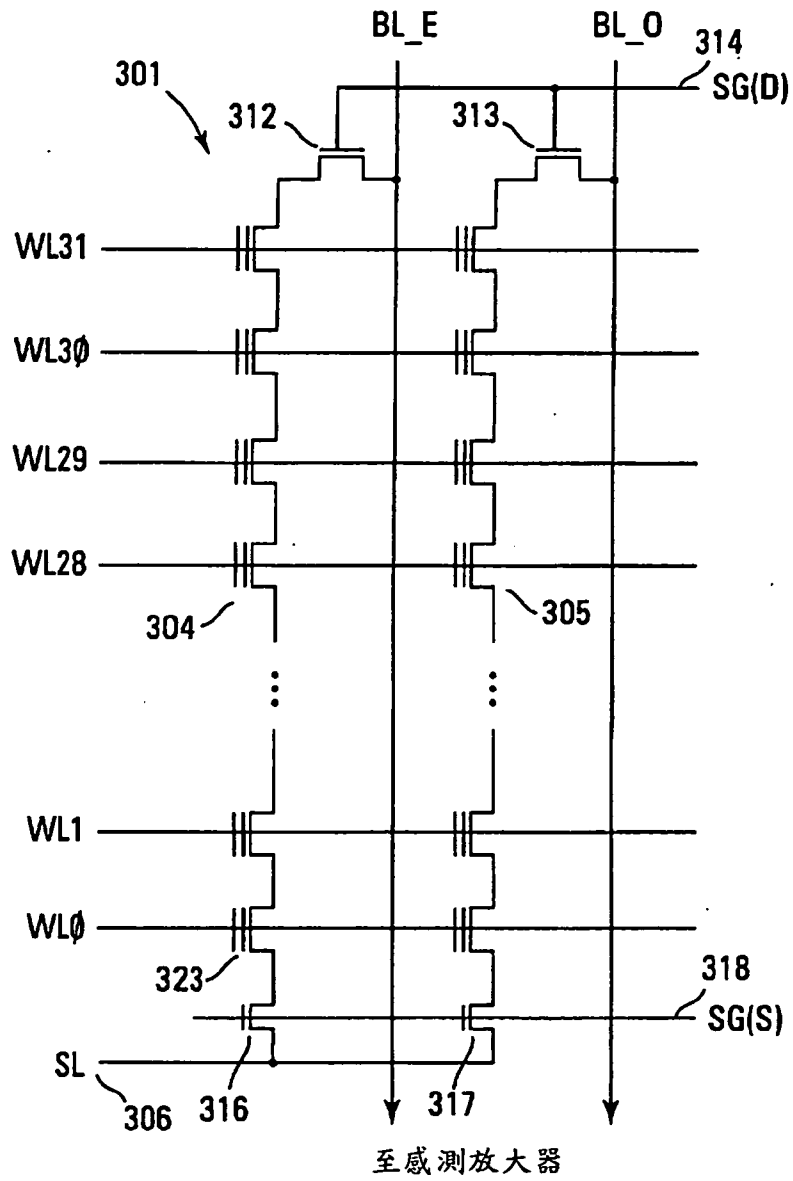


圖 3

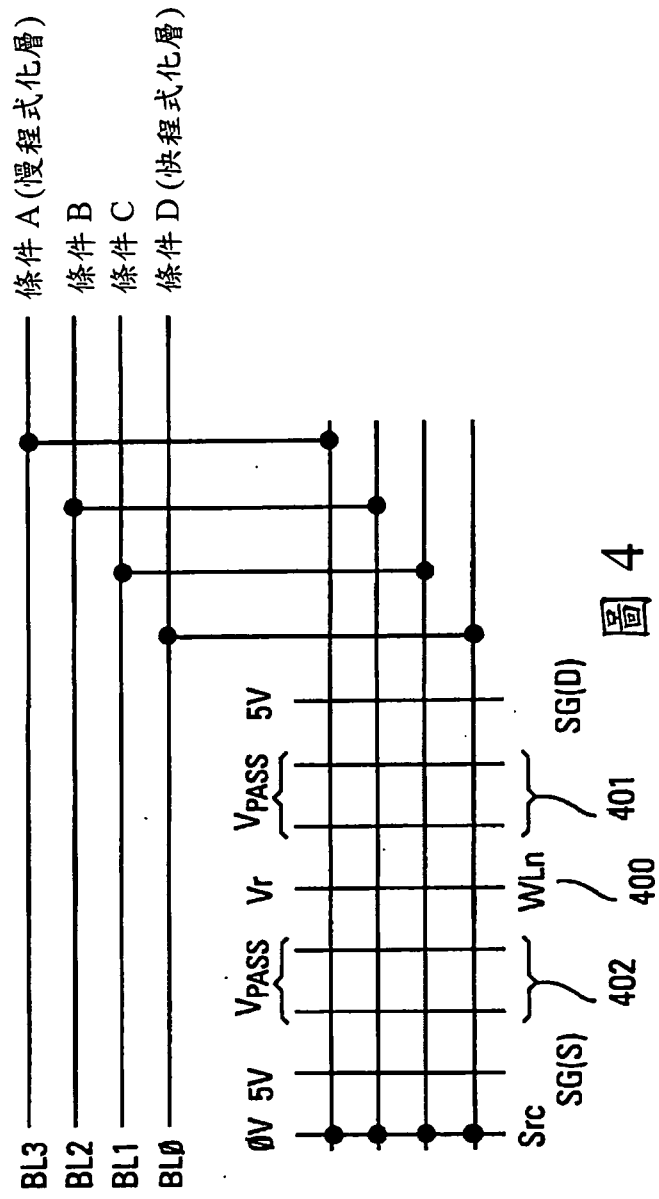


圖 4

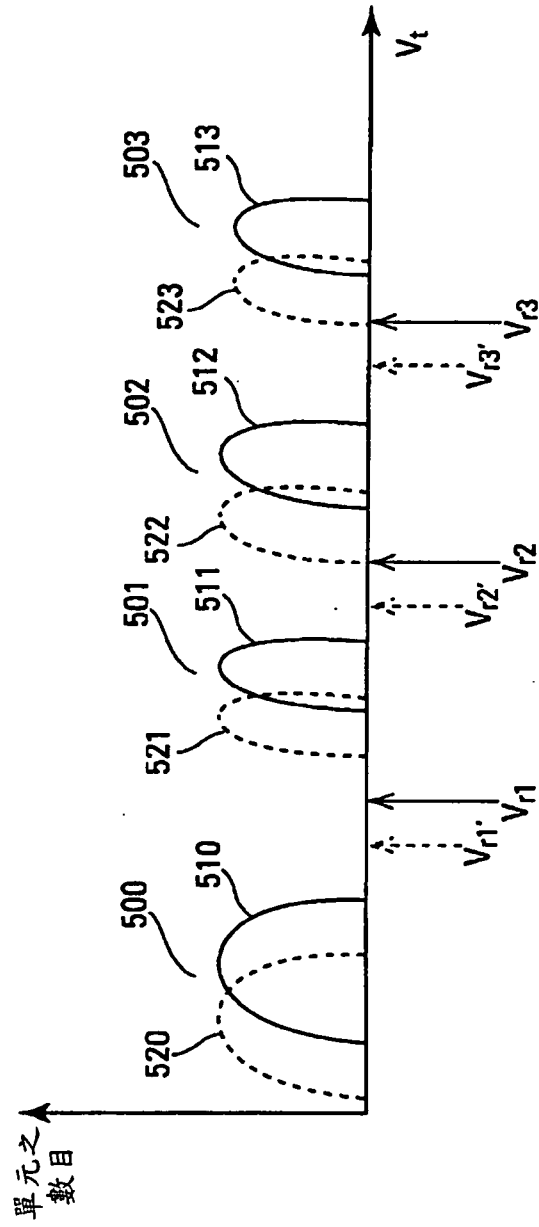


圖 5

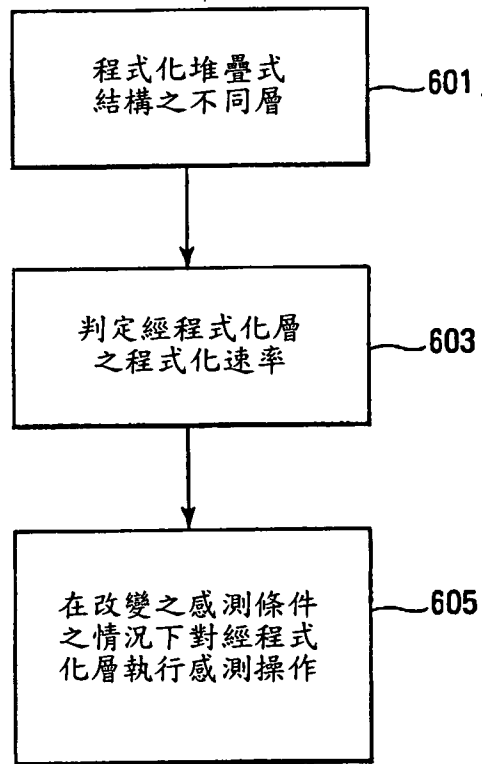


圖 6

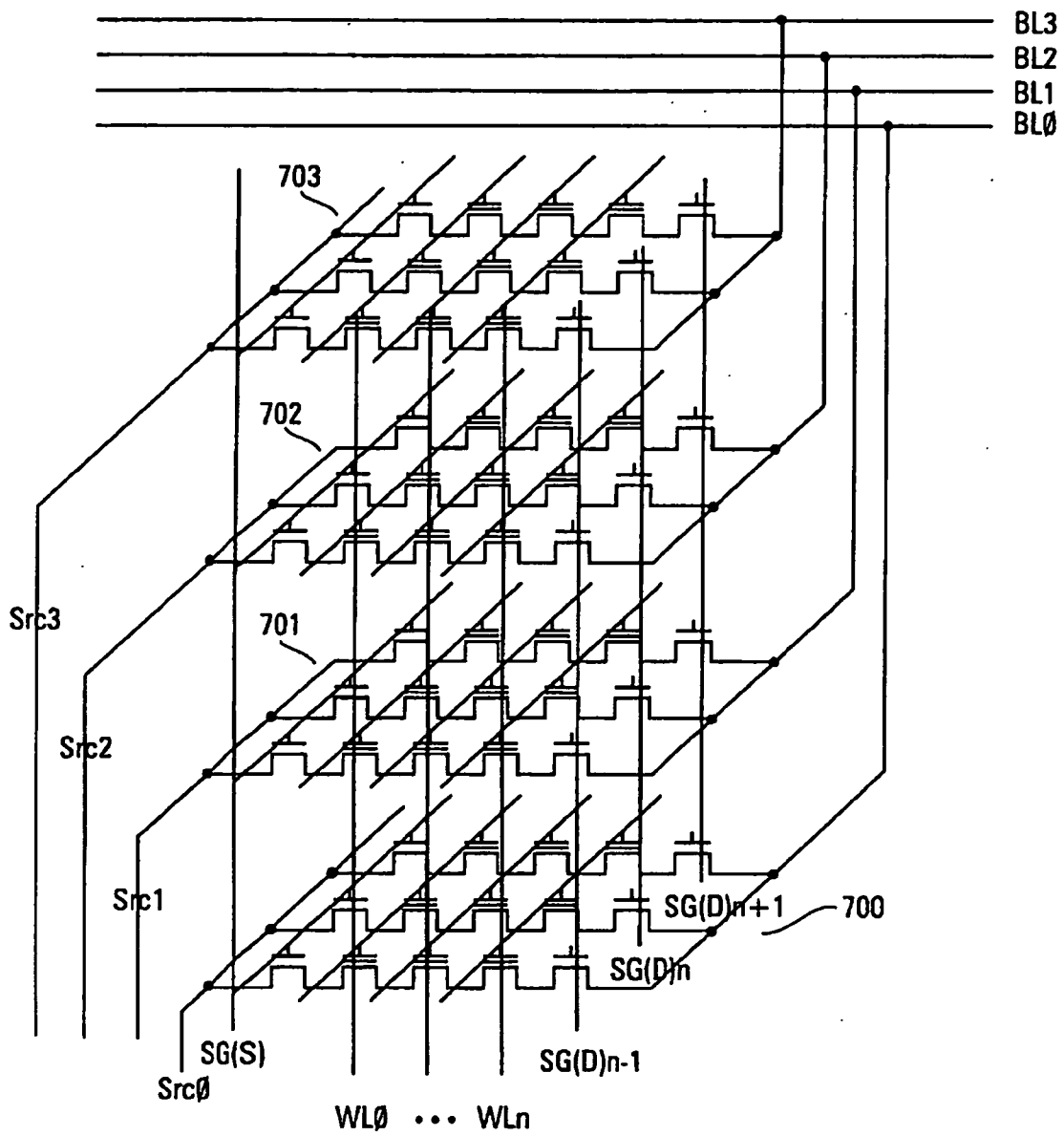


圖 7

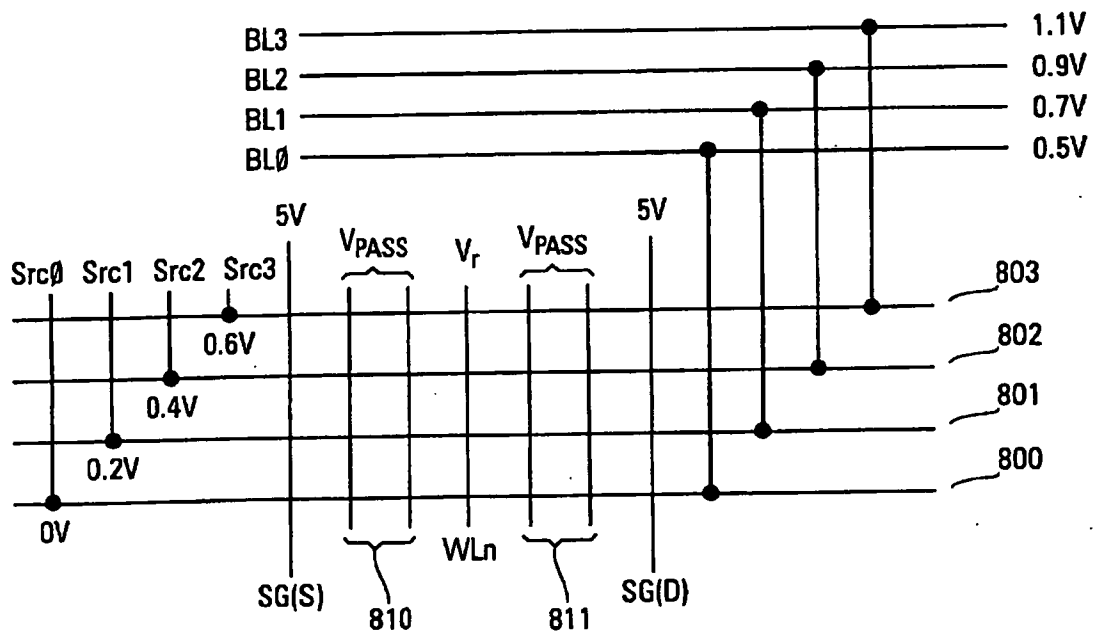


圖 8

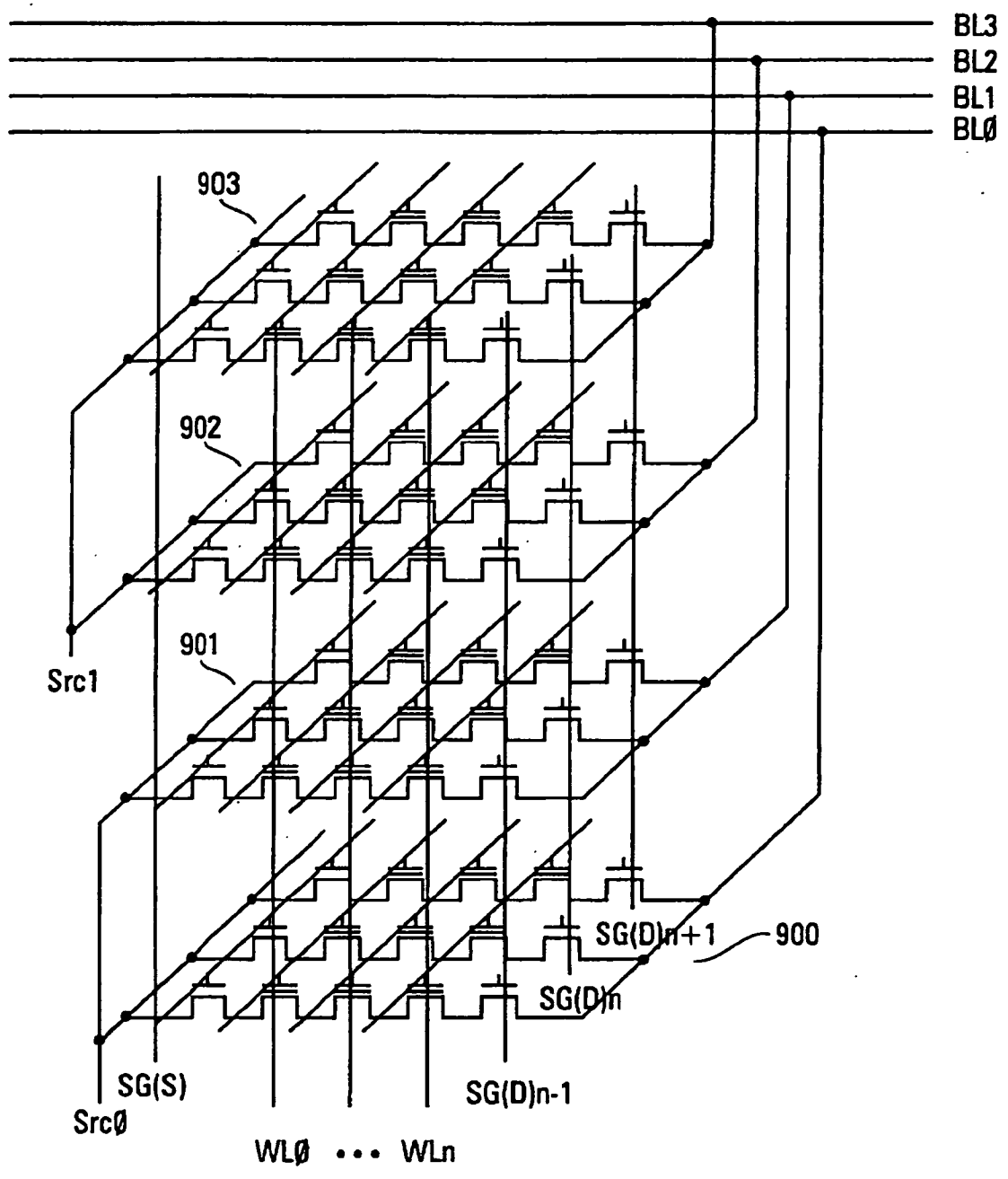


圖 9

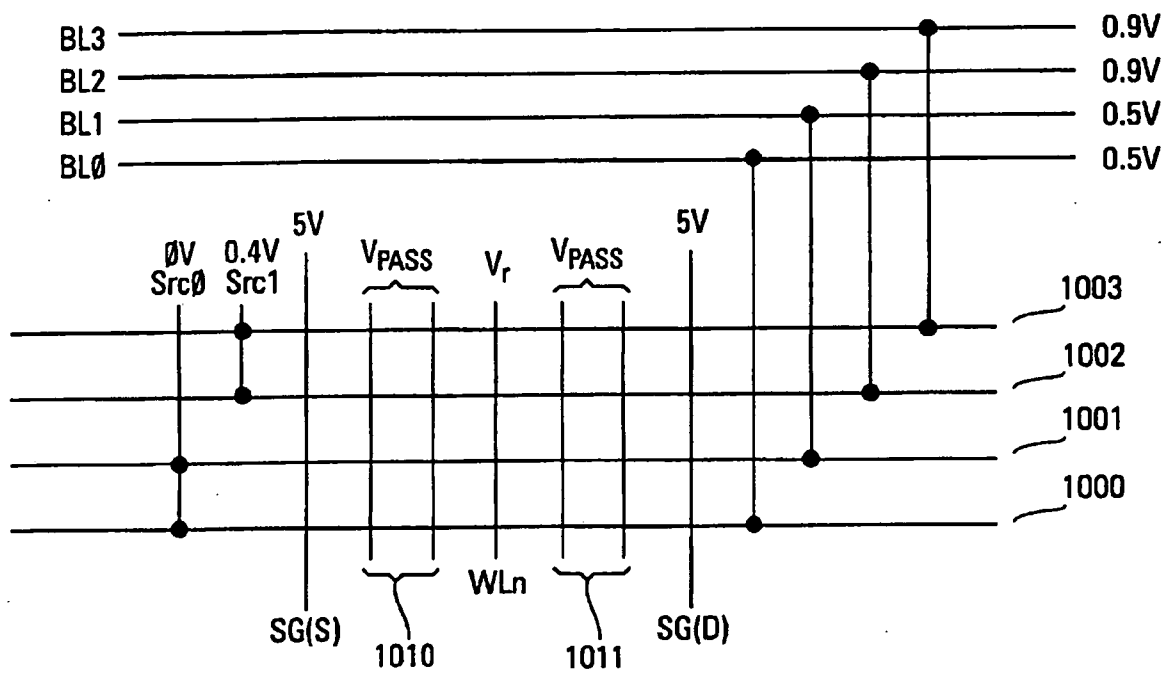


圖 10

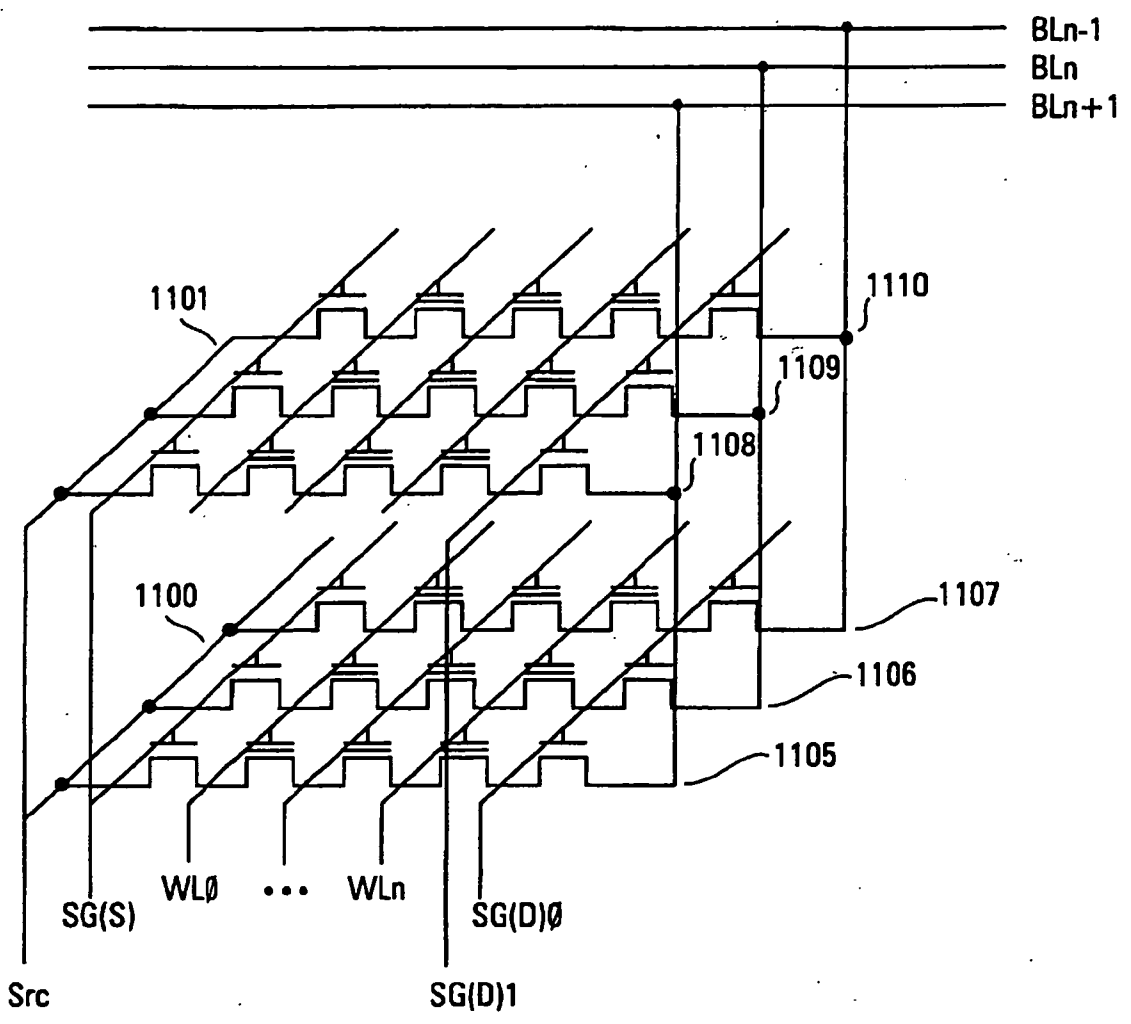


圖 11

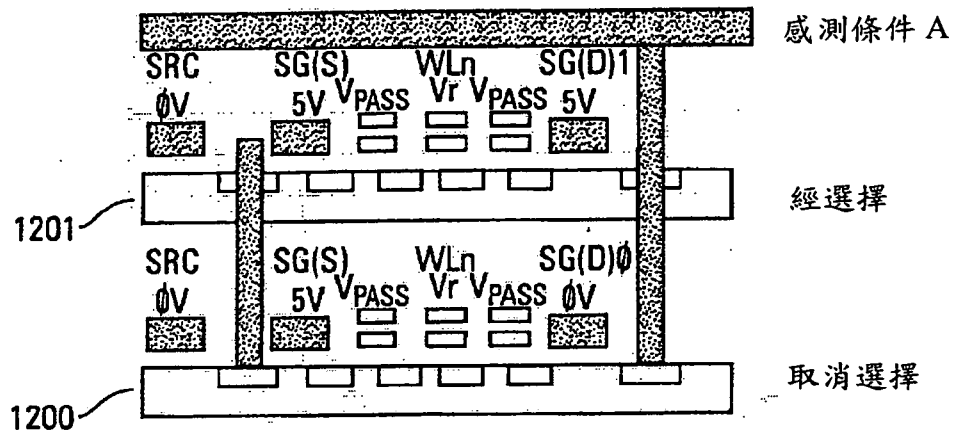


圖 12A

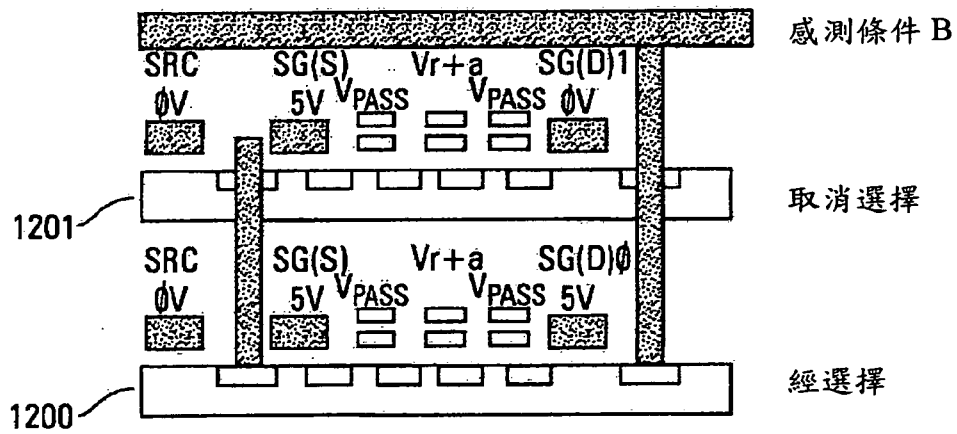


圖 12B

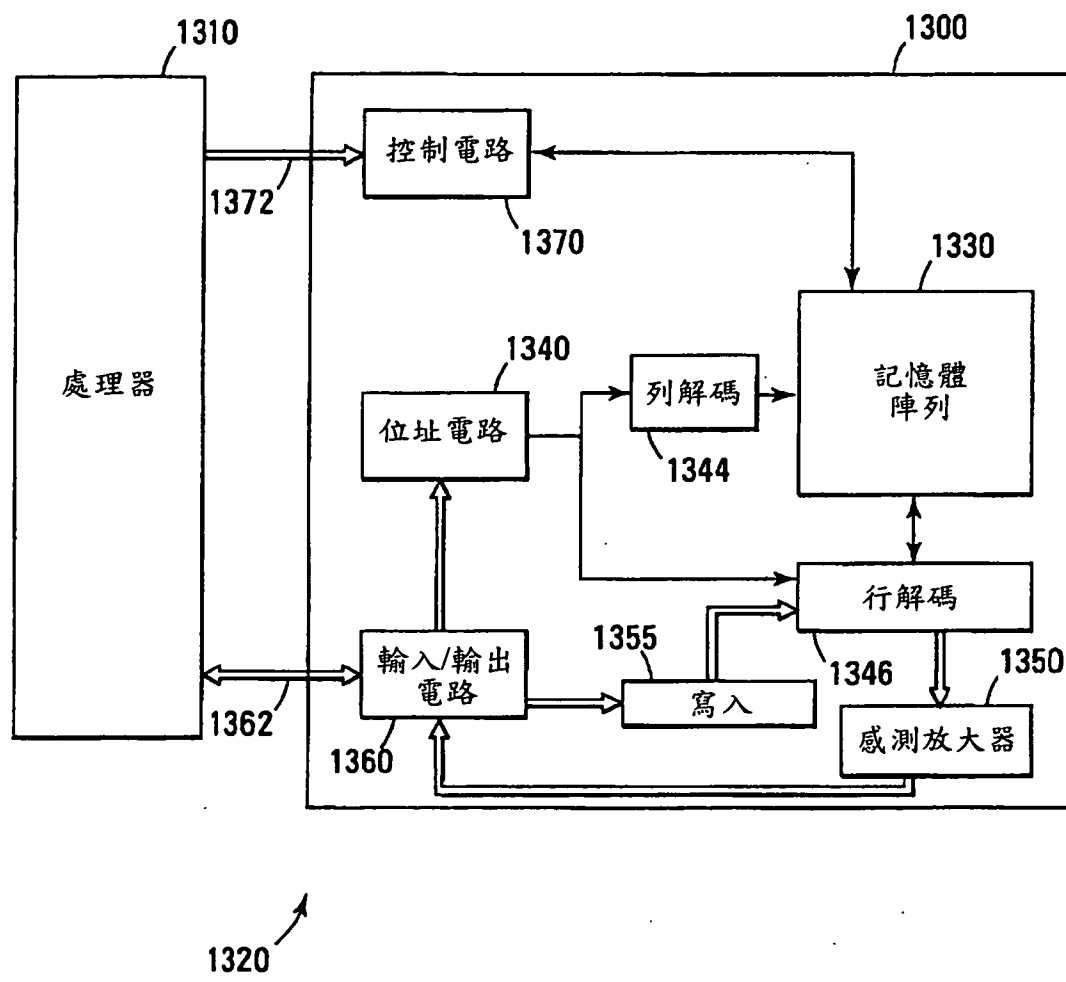


圖 13