

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5409149号
(P5409149)

(45) 発行日 平成26年2月5日(2014.2.5)

(24) 登録日 平成25年11月15日(2013.11.15)

(51) Int.Cl.

F 1

H04N 1/19 (2006.01)

H04N 1/04 103A

H04N 1/028 (2006.01)

H04N 1/028 Z

G06T 1/00 (2006.01)

G06T 1/00 430D

請求項の数 3 (全 18 頁)

(21) 出願番号

特願2009-164108 (P2009-164108)

(22) 出願日

平成21年7月10日 (2009.7.10)

(65) 公開番号

特開2011-19194 (P2011-19194A)

(43) 公開日

平成23年1月27日 (2011.1.27)

審査請求日

平成24年7月9日 (2012.7.9)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100076428

弁理士 大塚 康徳

(74) 代理人 100112508

弁理士 高柳 司郎

(74) 代理人 100115071

弁理士 大塚 康弘

(74) 代理人 100116894

弁理士 木村 秀二

(74) 代理人 100130409

弁理士 下山 治

(74) 代理人 100134175

弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 画像読み取り装置

(57) 【特許請求の範囲】

【請求項 1】

原稿からの反射光を受光する複数の画素センサが主走査方向に配列された光電変換素子と、

前記光電変換素子のうち前記主走査方向における前半部に配列された複数の画素センサから出力される画像情報を転送する第1転送回路と、

前記光電変換素子のうち前記主走査方向における後半部に配列された複数の画素センサから出力される画像情報を転送する第2転送回路と、

前記前半部と前記後半部の継ぎ目周辺の、前記第1転送回路によって転送された画像情報および前記第2転送回路によって転送された画像情報に対して、前記継ぎ目における読み取り特性の段差を補正する補正手段と、を有し、

前記第1および第2転送回路は、前記前半部と前記後半部の継ぎ目に近い画素センサから出力される画像情報を順次転送することを特徴とする画像読み取り装置。

【請求項 2】

前記光電変換素子は前記前半部と前記後半部のそれぞれにおいて、前記原稿からの反射光を受光しない遮光画素センサを有し、

前記画像読み取り装置は、

前記前半部の遮光画素センサから出力される画像情報を転送する第3転送回路と、

前記後半部の遮光画素センサから出力される画像情報を転送する第4転送回路と、

前記第3転送回路によって転送された画像情報のあとに、前記第1転送回路から転送さ

れた画像情報を出力する第1出力部と、

前記第4転送回路によって転送された画像情報のあとに、前記第2転送回路から転送された画像情報を出力する第2出力部と、

をさらに有することを特徴とする請求項1に記載の画像読取装置。

【請求項3】

前記第1転送回路は、前記前半部に配列された複数の画素センサのうち、偶数位置に対応した画素センサから出力される画像情報および奇数位置に対応した画素センサから出力される画素情報のそれぞれを転送する複数の転送回路を有し、

前記第2転送回路は、前記後半部に配列された複数の画素センサのうち、偶数位置に対応した画素センサから出力される画像情報および奇数位置に対応した画素センサから出力される画素情報のそれぞれを転送する複数の転送回路を有することを特徴とする請求項1または2に記載の画像読取装置。 10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、原稿からの反射光を受光する複数の画素センサが主走査方向に配列された光電変換素子を有する画像読取装置に関する。

【背景技術】

【0002】

従来、イメージスキャナ単体の他、デジタル複写機などに搭載されている画像読取装置では、CCDリニアイメージセンサやCMOSリニアイメージセンサが使用されている。これらのイメージセンサでは、読み速度を高速化するために、ODD/EVEN出力という奇数/偶数画素番目で出力を交互に振り分ける技術を用いたり、また主走査方向に前半部と後半部に2分割する方法が用いられたりする（特許文献2参照）。また、最近では、ODD/EVENの2チャンネル出力イメージセンサの2倍速読み取りを実現できるイメージセンサも提案されている（特許文献1参照）。かかるセンサでは、ODD/EVENと前半部と後半部に2分割する方法とを組み合わせて、4チャンネルで出力する。 20

【0003】

ここで、従来のCCDについて説明をする。図19は従来のCCDセンサの構成を表している。201はCCDセンサの光電変換素子、すなわちフォトディオード（以下PDとする）からなるPD部である。PD部201の両端部には、光が入らないように遮光膜が形成されたPDのダーク時の読み取りレベルを検出するためのOB画素が、左右それぞれ32画素ずつ構成されている（OB1～B64）。その内側のS1からS7680が、原稿より反射された光を読み取るためのPDである。PD部201は、S3840とS3841間の中央部にて、左右に分割された構成となっている。シフトゲート（1）202、シフトゲート（2）203、シフトゲート（3）204、およびシフトゲート（4）205は、PD部201にて光電変換してPD各素子に発生した電荷を、電荷転送素子であるCCDシフトレジスタ部へ受け渡しする回路である。シフトゲート（1）202は、PD部201の右側の奇数（ODD）部の電荷をCCDアナログシフトレジスタ（1）206へ受け渡しする。シフトゲート（2）203は、PD部201の右側の偶数（EVEN）部の電荷をCCDアナログシフトレジスタ（2）207へ受け渡しする。シフトゲート（3）204は、PD部201の左側の奇数（ODD）部の電荷をCCDアナログシフトレジスタ（3）208へ受け渡しする。シフトゲート（4）は、PD部201の左側の偶数（EVEN）部の電荷をCCDアナログシフトレジスタ（4）209へ受け渡しする。各CCDアナログシフトレジスタでは、受け取った電荷を出力バッファ210～213へ1画素ずつ電荷転送方式によって隣接画素へ次々に電荷を転送させながら送り出していく。電荷転送方式によって出力バッファに送り出された各素子の電荷は、ここで出力バッファ内にある增幅回路を介して所望の電圧に変換され、OS1、OS2、OS3、およびOS4として出力される。 40

【0004】

従来の画像データの並び替えの様子は、図20に示すようになっている。各CCDアナログシフトレジスタ901～904から出力される画像データDS1～DS4の並び順905が示されて 50

いる。このように、まずPD部201の端部(S1,S2と、S7679,S7680)から順に中央部に向かって並べ替えが行われ、最後に中央部の並び替えが終わるようになっている。このようにして並べ替えが終わった後に、上述のシェーディング補正回路804を通り、10bit 8bit変換回路805を経由する。そこから図20にあるように読み取制御用IC702で生成される主走査有効画素信号によって、有効画素領域だけ取り出されてVideo_OUT信号として出力されるのである。すなわち、従来のCCDセンサの構成の場合、CCDアナログシフトレジスタ部は、一番短部に位置するOB画素から順に出力バッファへと電荷転送する。そして、最後に中央部に位置する画素のデータ(OS1ではS3839、OS2ではS3840、OS3ではS3841、OS4ではS3842)が出力されることになっている。

【0005】

10

図21は、従来CCDセンサによる画像データ出力制御をしめたタイミングチャートである。受光時間制御信号がLowの区間が主走査1ラインのPD部201が受光している時間であり、Hiの区間はシフトゲートしてPD部に発生した電荷をシフトレジスタ部へ転送している時間である。電荷転送時間はCCDアナログシフトレジスタ部にて1ラインの電荷を転送する時間を示している。また、Video出力信号は、画像処理後に出力されるVideo出力のタイミングを表したものである。図24に示すように、従来は電荷転送時間が終了しないと有効画像領域がすべて読み出されないために、Video出力信号の出力タイミングも電荷転送終了後となっているのが特徴である。

【0006】

20

図22は、従来のCCDセンサにおける画像処理部2505の画像処理ブロックを示した図である。他の構成は、図5に従って詳説する実施形態の画像処理部705と同様であるが、従来では並び替え回路803はラインメモリ807を有する。左右段差の補正をするために画像データが完全に並び替えが終了するまでは、画像データを後段の画像処理ブロックに流せないため、ここでいったんメモリに蓄える必要性があるためである。

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平11-215298公報

【特許文献2】特開平11-261760公報

【発明の概要】

30

【発明が解決しようとする課題】

【0008】

しかしながら、従来のCCDリニアイメージセンサにおける前半部と後半部に分割するタイプのものは、信号電荷の転送というCCDの構造上の問題により、主走査の左右の端部画素から順次信号電荷を出力バッファへ転送して信号出力する必要がある。そのため、前半部と後半部に分割することでCCDよりの転送時間は確かに半分に収まるが、中央の継ぎ目に当たる部分の画像データが最後に転送されてくる。そのため、特に中央の継ぎ目部での左右CCDのデバイスのバラツキを補正や継ぎ目部を含んで複数画素でフィルタをかけるような画像処理を必要とする場合、継ぎ目部の処理が終わらないと結局次の画像処理部への画像転送ができない問題があった。また、主走査の左右の端部画素から順次信号電荷を出力バッファへ転送して信号出力する2分割したCCDでは、有効画像でない最も端部の信号電荷よりデータが読み出されるため、必ず全画像信号を読み出す必要がある。つまり、CCD中央部に投影されるいかに小さい画像を読む場合においても、必ず全画素を読み出さねばならず、原稿サイズに応じて読み取り時間を可変することが不可能であった。

40

【0009】

本発明は、主走査方向に複数の画素センサが配列された光電変換素子が原稿からの反射光を受光してから、補正手段が画像情報に対して補正処理を実行するまでの時間を短くすることを目的とする。

【課題を解決するための手段】

50

【0010】

前記課題を解決するために、本発明の画像読み取り装置は、原稿からの反射光を受光する複数の画素センサが主走査方向に配列された光電変換素子と、前記光電変換素子のうち前記主走査方向における前半部に配列された複数の画素センサから出力される画像情報を転送する第1転送回路と、前記光電変換素子のうち前記主走査方向における後半部に配列された複数の画素センサから出力される画像情報を転送する第2転送回路と、前記前半部と前記後半部の継ぎ目周辺の、前記第1転送回路によって転送された画像情報および前記第2転送回路によって転送された画像情報に対して、前記継ぎ目における読み取り特性の段差を補正する補正手段と、を有し、前記第1および第2転送回路は、前記前半部と前記後半部の継ぎ目に近い画素センサから出力される画像情報から順次転送することを特徴とする。

10

【発明の効果】

【0011】

本発明によれば、主走査方向に複数の画素センサが配列された光電変換素子が原稿からの反射光を受光してから、補正手段が画像情報に対して補正処理を実行するまでの時間を短くすることができる。

【図面の簡単な説明】

【0013】

【図1】本実施形態の画像読み取り装置の構成例を示す図である。

【図2】実施形態1のCCDセンサの一例を示す図である。

【図3】実施形態1のCCDセンサの構造を簡易的に示した図である。

20

【図4】実施形態1のCCDセンサから出力される画像信号の処理の一例を示すブロック図である。

【図5】図4中の画像制御部705の内部ブロックを示す図である。

【図6】(a)はA/D変換された直後の左右のCCD読み取り特性を示した一例を示す図、(b)はオフセット補正した後のCCD読み取り特性を示した一例を示す図、(c)は左右のCCD特性の平均値のゲイン補正を表す一例を示す図である。

【図7】(a)は図6(c)での左右のCCD特性の平均値のゲイン補正した後でも発生する左右の読み取り段差の一例を示す図、(b)は図7(a)の左右の段差補正をグラフで表現した図である。

【図8】実施形態1のCCDセンサを用いた場合の画像信号の出力順を示した図である。

30

【図9】実施形態1のCCDセンサの場合での画像データ出力制御タイミングを示す図である。

【図10】本実施形態の画像読み取り装置に設けた自動原稿搬送装置の一例を示す図である。

【図11】図10の自動原稿搬送装置と実施形態1のCCDセンサを使用した場合の画像データ出力制御タイミングの一例であり、シート積載部にA4幅(=297mm)のシートがセットされた場合のタイミングを表す図である。

【図12】図10の自動原稿搬送装置と実施形態1のCCDセンサを使用した場合の画像データ出力制御タイミングの一例であり、シート積載部にA4R幅(=210mm)のシートがセットされた場合のタイミングを表す図である。

【図13】実施形態1の原稿1ページを読み取るシーケンスの一例を示すフローチャートである。

40

【図14】実施形態2のCMOSセンサの一例を示す図である。

【図15】実施形態2のCCDセンサの構造を簡易的に示した図である。

【図16A】実施形態2のCMOSセンサからの出力される画像信号の処理の一例を示すブロック図である。

【図16B】実施形態2の原稿1ページを読み取るシーケンスの一例を示すフローチャートである。

【図17】図14のCMOSセンサにおけるCMOSプログラマブルシフトレジスタの内部回路の構成例を示す図である。

【図18】図17のCMOSセンサにおけるCMOSプログラマブルシフトレジスタにお

50

ける動作シーケンス例を示すフローチャートである。

【図19】従来例のCCDセンサの一例を示す図である。

【図20】従来のCCDセンサにおける画像信号の出力順を示した図である。

【図21】従来CCDセンサの場合での画像データ出力制御タイミングを示す図である。

【図22】従来のCCDセンサを用いた場合の画像制御部705の内部ブロックを示す図である。

【発明を実施するための形態】

【0014】

以下、図面を参照して本発明の実施形態を詳細に説明する。

【0015】

10

＜本実施形態の画像読み取り装置の画像読み取り部の構成例＞ 図1は、本発明の実施形態である原稿を読み取るための原稿読み取り装置の画像読み取り部と自動原稿搬送装置の構成例を示す図である。なお、本実施形態の原稿読み取り装置は、単独でスキャナとして適用できるし、プリンタと組合せて複写機に、更に通信機能を組合せてファクシミリや複合機に適用可能である。なお、本実施形態の画像読み取り装置は、図1の画像読み取り部で読み取られた画像を図2乃至図5に示す画像処理部で処理をして、画像データを外部装置に出力するよう構成されている。

【0016】

20

図1の画像読み取り部は以下の構成要素を有する。すなわち、CCDやCMOSといった光電変換素子121、光電変換素子121へ原稿台よりの光を集光するためのレンズ120、原稿台上の原稿を照らす光源116を有する。また、原稿からの反射光を光電変換素子へと導くための折り返しミラー117、118、119、前記光源116および折り返しミラー117、118、119を支持するための光学ユニット（図示していない）と、原稿台を搭載するガラス122を有する。そして、これら構成要素を支持する枠体115を有する。画像読み取り部は以下の2つの読み取りモードを有している。1つは、原稿台ガラス122上に原稿を搭載し、光学ユニットが原稿に沿って移動することにより画像を読み込む原稿固定読み込みモードである。もう1つは、次に説明する自動原稿搬送装置から原稿が流されることにより、光学ユニットを移動することなく原稿の画像を読み込む原稿流し読み込みモードである。

【0017】

30

次に、図1中の原稿を画像読み取り位置に自動的に搬送する自動原稿搬送装置について説明する。自動原稿送り装置101は、まず、原稿給紙トレイ102から、原稿ピックアップローラ104にて1枚ずつ紙を分離しながら給紙する。次に、ローラ106、107、108によって原稿は送られ、画像読み取り位置にあるローラ109のところまで原稿を給紙させる。原稿の表面画像はローラ109と対向する位置に移動している表面画像読み取り用の光学ユニットの光源116からの光を原稿が反射する。そして、その反射光を折り返しミラー117、118、119にて反射して、結像レンズ120を介して光電変換素子121へと反射光が送られ画像が読み込まれる。次に、原稿は、ローラ110を経由し、ローラ111、112、113を経由して原稿排紙トレイ103へ到達する。原稿ピックアップローラ104とローラ106との間には、原稿を検知するための原稿検知センサS1が設けられており、この原稿検知センサS1にて原稿給紙トレイ102から給紙されたシート原稿の先端および後端を検知する。また、ローラ106とローラ107との間に原稿検知センサS2、およびローラ107とローラ108との間にも原稿検知センサS3が設けられている。原稿検知センサS2およびS3のどちらにおいても自動原稿搬送装置により搬送される原稿の搬送方向の先端エッジと後端エッジとを検出する。これにより、ローラ109つまり画像読み取り位置における原稿の有無を検知するとともに、光源116の発光タイミングや光電素子121の画像読み取りタイミングを決定する。

【0018】

40

【実施形態1】 本発明の画像読み取り装置をCCDセンサで実現した場合の、実施形態1の構成例及び動作例について説明する。

【0019】

50

＜実施形態1のCCDセンサの構成例＞ 図2は、本実施形態のCCDセンサの構成例

を表し、図1の光電変換素子121を示すものである。201は、複数の画素センサであるCCDセンサが配列された光電変換素子、すなわちフォトディテクタ（以下PDとする）からなるPD部である。かかるPD部201の両端部には、光が入らないように遮光膜が形成されたPDが、ダーク時の読み取りレベルを検出するためのOB画素に対応して左右それぞれ32画素ずつ配置されている（OB1～OB64）。これを、遮光画素部と呼ぶ。そして、OB画素用のPDの内側のS1からS7680が、原稿より反射された光を光画像情報として読み取るためのPDである。PD部201は、S3840とS3841間の中央部にて主走査方向の前半部と後半部の左右に分割された構成となっている。この主走査方向の前半部と後半部の光画像情報はそれぞれの転送チャンネルで転送され、2チャンネルの画像データとして出力部に出力される。以下に示すPD部201からの光画像情報を転送する回路全体を転送回路として参照する。

10

【0020】

シフトゲート（1）301、シフトゲート（2）302、シフトゲート（3）303、シフトゲート（4）304は、PD部201にて光電変換するPD各素子に発生した電荷を電荷転送素子であるCCDシフトレジスタ部へ受け渡しするための回路である。シフトゲート（1）301は、PD部201の右側の奇数（ODD）部の電荷のうち、画像領域S1～S3839の電荷はCCDシフトレジスタ（1）305へ、OB画素の電荷はOB用CCDシフトレジスタ（1）309へそれぞれ受け渡しをする。シフトゲート（2）302は、PD部201の右側の偶数（EVEN）部の電荷のうち、画像領域S2～S3840の電荷はCCDシフトレジスタ（2）306へ、OB画素の電荷はOB用CCDシフトレジスタ（2）310へそれぞれ受け渡しをする。シフトゲート（3）303は、PD部201の左側の奇数（ODD）部の電荷のうち、画像領域S3841～S7679の電荷はCCDシフトレジスタ（3）307へ、OB画素の電荷はOB用CCDシフトレジスタ（3）311へそれぞれ受け渡しをする。シフトゲート（4）304は、PD部201の左側の偶数（EVEN）部の電荷のうち、画像領域S3842～S7680の電荷はCCDシフトレジスタ（4）308へ、OB画素の電荷はOB用CCDシフトレジスタ（4）312へそれぞれ受け渡しをする。CCDシフトレジスタとOB用CCDシフトレジスタは、受け取った電荷を出力バッファ部313、314、315、316、およびOB出力バッファ部317、318、319、320へ1画素ずつ電荷転送方式によって隣接画素へ電荷を転送させながら送り出す。電荷転送方式によって出力バッファに送り出された各素子の電荷は、ここで出力バッファ内にある增幅回路を介して所望の電圧に変換され、次の出力SWへ出力される。出力SW321、322、323、324は、出力バッファ部313、314、315、316からの読み取り画素からの出力と、OB出力バッファ部317、318、319、320からの出力とのどちらを出力するかを切り替えるために設けられた出力スイッチである。このようにして、PD部201で受光して発生した電荷を読み取り信号として、出力信号OS1、OS2、OS3、OS4として出力するのである。

20

【0021】

なお、本実施形態の図2の特徴としては、CCDシフトレジスタ部313、314、315、316は、OB画素のある端部ではなく、中央部の画素の電荷を最初に出力する構成となっている。すなわち、CCDシフトレジスタ（1）313ではS3839を先頭画素として出力できる。また、CCDシフトレジスタ（2）314ではS3840を先頭画素として出力できる。また、CCDシフトレジスタ（3）315ではS3841を先頭画素として出力できる。また、CCDシフトレジスタ（4）316ではS3842を先頭画素として出力できる。

30

【0022】

<実施形態1のCCDセンサの場合の画像信号の流れの例> 図3は、図2の構成における画像信号の流れを簡易的に図示したものである。図3のPD部501は図2のPD部201に相当する。PD部501で発生した電荷は、矢印で示されたように、シフトゲート部502によって、次のCCDシフトレジスタ部503へと転送される。CCDシフトレジスタ部503では、受け取った各素子の電荷を矢印が示すとおり、出力バッファ部504および505へ1画素分ずつ隣の画素へと電荷転送することで出力していく。出力バッファ部504および505は受け取った電荷を所望の電圧に変換し、出力SW部506へと転送する。出力SW部506では、出力バッファ部504からの信号と出力バッファ部505からの信号とを切り替えて出力できるようにスイッチが設けられている。

40

50

【0023】

＜実施形態1のCCDセンサの場合の画像データ処理例＞ 図4は、本実施形態のCCDセンサより出力された画像データの処理構成例を示すブロック図である。本実施形態のCCDセンサ701-1は、読み取制御用IC702-1の内部にあるCCD駆動信号生成部703-1によって生成されるCCD駆動信号によって駆動し、4つの出力信号OS1、OS2、OS3、OS4を出力する。出力信号OS1は、主走査を中央分割した際の右側の奇数画素(ODDR)を表す。出力信号OS2は、主走査を中央分割した際の右側の偶数画素(EVENR)を表す。出力信号OS3は、主走査を中央分割した際の左側の奇数画素(ODDL)を表す。出力信号OS4は、主走査を中央分割した際の左側の偶数画素(EVENL)を表す。4つの出力信号OS1、OS2、OS3、OS4は、A/D変換ブロック706にて、アナログ信号を10bitのデジタル信号へと変換する。A/D変換ブロック706では、まず、VCLP707において、出力信号OS1、OS2、OS3、OS4の出力電圧を読み取制御用IC702-1の内部にあるAFE(アナログフロントエンド)制御信号生成部704に生成されるタイミングに応じてクランプする。クランプされた電圧は、次のAMP708にてAFE制御信号生成部704が指定する所定のゲインで増幅して次のADC(アナログデジタル変換回路)709に送られ、デジタル信号D_OS1、D_OS2、D_OS3、D_OS4として出力される。出力されたデジタル信号D_OS1、D_OS2、D_OS3、D_OS4は、読み取制御用IC702-1の内部にある画像制御部705にて画像処理されて、8bitの画像信号Video_Outとして出力される。 10

【0024】

＜実施形態1の画像処理部の内部画像処理ブロック例＞ 図5は、図4中の画像データ処理ブロックの画像処理部705の内部における画像処理ブロックを示す一例である。 20

【0025】

(オフセット補正部802) A/D変換ブロック706から入力された10bitのデータは、まず、オフセット補正部802にてオフセット処理される。具体的には、まず入力される0B画素のレベルを読み取り、ダーク時の読み取レベルを確認する。図6(a)に示すように、画像データが左右のCCDでそれぞれ異なっている場合に、まずはダーク時の読み取レベルが図6(b)で示すようにゼロレベルとなるようにし、読み取レベルに原稿からの輝度レベルによらず一律のオフセット値を加減算する。

【0026】

(並び替え回路803) 次に、入力された4つのデジタル信号D_OS1、D_OS2、D_OS3、D_OS4を1つの画像信号にするために、並び替え回路803にて画像の並び替えを行う。 30

【0027】

(左右段差補正回路808) こうしてシリアル化された10bitの画像データは、次に、左右段差補正回路808で左右の読み取特性差によって発生する左右の読み取レベルのずれを補正する。まず、図6(c)に示すように、オフセット補正後にダーク時のゼロレベルが補正された左右の読み取レベルはそれぞれ異なっており、点線で示す理想値からもずれた読み取特性を示す。そこで、左右段差補正回路808では、まず、右側と左側のCCDの平均読み取特性を理想値へとするために、原稿基準レベルに応じたゲインをかける。そうすることによって、左右のCCD読み取特性の平均値は理想値となる。しかし、この処理だけでは左右の継ぎ目部である中央部に発生する読み取特性段差は補正できていない。というのは、図7(a)に示すように、右側と左側の平均の読み取特性が一致しても中央の継ぎ目部に発生する読み取特性差は残るのである。そこで、左右段差補正回路808は、図7(b)に示すように、中央部から左右それぞれ16画素の画像データより、中央部32画素の読み取レベルの平均値を求める。そして、中央部の継ぎ目に当たる画素の読み取レベルが32画素の平均値となるように中央部の画素のゲインを左右それぞれ補正する。また、中央部から16画素区間のゲインについては、中央部が平均値に一致するように補正するゲイン量を16/15とすると、その隣の画素は、平均値に一致するゲイン量に対して15/16倍してゲイン補正する。その隣の画素は、平均値に一致するゲイン量に対して14/16倍、と言った風にゲイン量を補正していく、中央部から16画素目は、32画素の平均値に一致するゲイン量に対して1/16倍だけ補正する。こうすることによって、17画素目以降の画像データとの境目にも違和感なく、また中央部に発生する左右段差も発生させることなく、鮮明な画像データとできる 40

のである。

【0028】

<実施形態1による画像処理部705の処理の図式> 図8は、本実施形態により画像処理部705の並び替え回路803にて並び替えを行い、有効画像領域だけを出力する構成を図式化したものである。PD部201より画像信号として出力された4つの出力信号は、図8に示すような並びで出力される。出力信号1001は図2のOS1からの出力信号の画像データの並びを示し、以下、1002は図2のOS2であり、1003は図2のOS3であり、1004は図2のOS4に相当する。本実施形態によりPD部201から分割されてくる画像データは、まず先頭にOB画素が送られてくる。次に、画像データのないダミー画像領域があり、その次に中央分割した中央部を先頭した画像データが送られてきて、最後にPD部201における読み取画像領域の端部の画像が送られてくる並びとなっている。これら4つの画像データより並び替え回路803にて並び替えると、図11の1005に示す矢印のように、まず中央部から画像データが並べられていき、最後にPD部201の端部の画像データが並ぶようになる。すなわち、読み取画像領域の画像の前にOB画像（遮光画素情報）とダミー画像を付加させて出力する。本実施形態では、図8で示すように、中央部からまず出力されてくるため、左右段差の補正是最初に実行することができ、本来読み出し不要な画素が最後に読み出されるため、その画像データの出力を待たずに画像処理と画像出力が可能となっているのである。

10

【0029】

<実施形態1における画像データの出力制御例> 図9にて、本実施形態のCCDによる画像データの出力制御例について説明する。本実施形態のCCDセンサによれば、画像転送開始直後からVideo出力が開始されている。これは有効画像領域である中央部からまず画像データを出力するためであり、PDが受光してから画像信号が出力されるまでのスループットが上がっていることを示している。

20

【0030】

（自動原稿搬送装置を使用する場合の出力制御例） 図10は、図1に示した自動原稿搬送装置を上から図示したものである。サイド側板金131と132は、ローラ106、107を支持している。シート積載部102にはサイズ規整部材133と134があり、シートを積載した際にユーザがこのサイド規整部材133と134をスライドさせることによってシートの傾きを補正する。また、それと同時に、サイズ規整部材133と134をスライドさせてシート端部に突き当てることで、シート積載上のシートサイズを判断できるようにシードサイズ検知センサ（図示していない）がサイド規整部材に設けられている。図10には、参照として各用紙サイズが示されている。また、サイズ規整部材133と134によって規整された原稿中心位置は、本実施形態のCCD（もしくはCMOS）センサ121の主走査画素中央部の前半部と後半部の継ぎ目位置と略同一とするような構成になっている。図11および図12は、図10の自動原稿搬送装置を搭載して本実施形態のCCDセンサを使用した場合の画像信号の出力タイミングである。図11は、シート積載部にA4幅（=297mm）のシートが搭載された場合のタイミングを表し、図12はシート積載部にA4R幅（=210mm）のシートが搭載された場合の制御を示している。図11では、主走査タイミング信号は、A4幅（=297mm）の画像信号の電荷転送時間によって決められており、1ライン分の受光時間Taは、主走査タイミング信号（=1Hsync）の約半分くらいまでとなっている。それに対して、図12の場合、シートがA4R幅であるために、本実施形態のCCDセンサの特徴を生かし、すべての画素の電荷を転送させずにA4R分の画像データだけ電荷転送して、残りの画素は読み出さずに電荷を捨てればよい。従って、1Hsync時間を図11に対して短く設定することができる。受光時間Taは図11と同じ時間とすることによって、各画素のPDが受ける光量は変わることなく、画像データの長さだけを変えることができる。このため、この方式によって、1シートをスキャンする時間を読み取る画像幅に応じて最適化することができる。すなわち、前記自動原稿搬送装置に積載した原稿の幅に応じて、前記光電変換素子より読み出す画素数を可変とすることが可能である。

30

【0031】

<実施形態1による画像読み出しのシーケンス例> 図13は、本実施形態における原稿

40

50

1ページ分の画像読み出しのシーケンスを示すフローチャートである。読み取スタートすると(S201)、まず原稿主走査幅検知を行う(S202)。これは図10のサイズ規整部材133と134の位置するところから、原稿の主走査幅を検知することによって検知する。ここで判明した主走査幅に応じて、CPUは図4の読み取制御用IC702-1の内部のCCD駆動信号生成部703-1へ原稿幅に応じた設定を行う(S203-1)。次に、CCD駆動信号生成部703-1は原稿幅設定に応じたCCD駆動信号を生成してCCDシフトレジスタ部へ送信する(S204-1)。次に、原稿を自動原稿搬送装置にて原稿を読み取部へと移動させながら、原稿の副走査サイズをS1センサにて原稿の後端部を検知することで判断する(S205)。判明した原稿の副走査サイズから副走査の読み取りライン数を設定し(S206)、それから原稿先端を画像読み取り位置へ移動させてCMOSセンサへのCCD/CMOS駆動信号生成部703からの駆動信号出力を開始する(S207)。まず、副走査カウンタをスタートさせ(S208)、副走査ライン数をカウントしながらカウンタ値が設定した副走査ライン数に到達するまで読み出しの駆動を継続させる(S209,S210)。そして、カウンタ値と副走査ライン数とが一致したところで、副走査ラインカウンタを停止し(S211)、CMOSへの読み出しの駆動信号を停止させ(S212)、原稿1ページ分の読み取りが終了する。

【0032】

[実施形態2] 本発明の画像読み取装置をCMOSセンサで実現した場合の、実施形態2の構成例及び動作例について説明する。なお、実施形態2では、実施形態1と同様の構成及び動作については、重複を避けるため説明を省いた。かかる部分は、実施形態1の構成及び動作を参照されたい。

【0033】

<実施形態2のCMOSセンサの構成例> 図14は、本発明の別の実施形態2であり、CMOSセンサに応用した例である。CMOSセンサのPD部400もまた図2とPD部201と同様に、両端部にOD画素を設けてあり、その主走査内側に画像を読み取るための受光素子を配している。CMOS_PD部400より発生したすべての素子の電荷は、出力バッファ+シフトゲート401、402、403、404にて電圧に変換され、その後、CMOSプログラマブルシフトレジスタ405、406、407、408へと送られる。CMOSプログラマブルシフトレジスタ405、406、407、408は、読み出された画素のデータを与えられたプログラムに応じてランダムに出力することが可能なシフトレジスタ構成となっている。本実施形態では、実施形態1の図8の画像データと同じ順番となるように、まずOB画素を先頭に出力した後、中央部の画素から端部の画素へと順番に出力するように制御する。

【0034】

<実施形態2のCMOSセンサの場合の画像信号の流れの例> 図15は、図14の画像出力までの流れを簡易的に表した図である。CMOS_PD部601で受光して発生した電荷は、出力バッファ+シフトゲート部602にて、すべての画素がそれぞれのバッファによって電圧変換されて、CMOSプログラマブルシフトレジスタ603へと転送されていく。CMOSプログラマブルシフトレジスタ603は、任意の画素を読み出すためのスイッチの役割をしている。ここで、所望が画素のデータが順番に出力されるようにプログラムに応じてスイッチを切替えて、最終出力バッファ604を介して画像を出力する。このCMOSプログラマブルシフトレジスタを用いて、OB画素を先頭に出力した後に、中央部を先頭として画像信号を出力するように制御することで、図2で示した実施形態1のCCDセンサと同様の制御が可能となる。

【0035】

<実施形態2のCMOSセンサの場合の画像データ処理例> 図16Aは、本実施形態のCMOSセンサより出力された画像データの処理を示すブロック図である。本実施形態のCMOSセンサ701-2は、読み取制御用IC702-2の内部にあるCMOS駆動信号生成部703-2によって生成されるCMOS駆動信号によって駆動し、4つの出力信号OS1、OS2、OS3、OS4を出力する。出力信号OS1は、主走査を中央分割した際の右側の奇数画素(ODDR)である。出力信号OS2は、主走査を中央分割した際の右側の偶数画素(EVENR)である。出力信号OS3は、主走査を中央分割した際の左側の奇数画素(ODDL)である。出力信号OS4は、主

10

20

30

40

50

走査を中央分割した際の左側の偶数画素 (EVENL) である。4つの出力信号OS1、OS2、OS3、OS4は、A/D変換ブロック706にて、アナログ信号を10bitのデジタル信号へと変換する。A/D変換ブロック706では、まずVCLP707において、出力信号OS1、OS2、OS3、OS4の出力電圧を、読み取制御用IC702-2の内部にあるAFE (アナログフロントエンド) 制御信号生成部704に生成されるタイミングに応じてクランプする。クランプされた電圧は、次のAMP708にて、AFE制御信号生成部704が指定する所定のゲインで増幅され、次のADC (アナログデジタル変換回路) 709に送られデジタル信号D_OS1、D_OS2、D_OS3、D_OS4として出力される。出力されたデジタル信号D_OS1、D_OS2、D_OS3、D_OS4は、読み取制御用IC702-2の内部にある画像制御部705にて、画像処理されて8bitの画像信号Video_Outとして出力される。

【0036】

10

<実施形態2による画像読み出しのシーケンス例> 図16Bは、本実施形態における原稿1ページ分の画像読み出しのシーケンスを示すフローチャートである。なお、実施形態1の図16と同様のステップには、同じ参照番号が付与されている。読み取スタートすると(S201)、まず原稿主走査幅検知を行う(S202)。これは図13のサイズ規整部材の位置するところから原稿の主走査幅を検知することによって検知する。ここで判明した主走査幅に応じて、CPUは図16Aの読み取制御用IC702-2の内部のCMOS駆動信号生成部703-2へ原稿幅に応じた設定を行う(S203-2)。CMOS駆動信号生成部703-2は、原稿幅設定に応じたCMOS駆動信号を生成してプログラマブルレジスタ部へ主走査読み取画素の設定をおこなう(S204-2)。次に、原稿を自動原稿搬送装置にて原稿を読み取部へと移動させながら、原稿の副走査サイズをS1センサにて原稿の後端部を検知することで判断する(S205)。判明した原稿の副走査サイズから副走査の読み取りライン数を設定し(S206)、それから原稿先端を画像読み取り位置へ移動させてCMOSセンサへのCMOS駆動信号生成部703-2からの駆動信号出力を開始する(S207)。まず副走査カウンタをスタートさせ(S208)、副走査ライン数をカウントしながら、カウンタ値が設定した副走査ライン数に到達するまで読み出しの駆動を継続させる(S209, S210)。カウンタ値と副走査ライン数とが一致したところで、副走査ラインカウンタを停止し(S211)、CMOSへの読み出しの駆動信号を停止させ(S212)、原稿1ページ分の読み取りが終了する。

【0037】

20

<CMOSプログラマブルシフトレジスタの構成例> 図17は、図14のCMOSセンサにおけるCMOSプログラマブルシフトレジスタ405の内部回路を示す図である。出力SW2201は、図14の出力バッファ+シフトゲートにて各素子に発生した電圧を出力信号0S1に送信するための切替スイッチであり、出力SW切替部2202にて出力SW2201のいずれか1つだけがONできるように制御される。出力SW切替部2202にどのSWをONさせるかの指令を出すのが、プログラマブルレジスタ部2203である。プログラマブルレジスタ部2203には、主走査読み出し用の読み出CLKと、1ラインの区間を示すHsync信号(これはResetとして用いられる)と、どの画素をどの順番から読み出すかを決めるレジスタ設定値をCMOS駆動信号生成部より受信する。レジスタ設定値には、0B画素の読み出し画素数を決める0B画素設定値2205が含まれる。また、0B画素と有効画素との間に挿入するダミー画素数を設定するダミー画素設定値2206が含まれる。また、有効画素をどこから読み出すかを設定するスタートアドレス設定値2207が含まれる。また、どこのアドレスまで読み出すかを設定する終了アドレス設定値2208が含まれる。そして、レジスタ設定値は、プログラマブルレジスタ部内にあるメモリ(図示していない)に保持される。スタートアドレス設定値2207から終了アドレス設定値2208までは、カウンタ2204のカウンタ値に応じて自動でアドレスをシフトして出力SW切替部2202を制御するようになっている。例を挙げると、スタートアドレス設定値が"3839"、終了アドレス設定値が"999"だとすると、有効画素数の読み出し期間中は、まず出力SW切替部2202へSW3839をONするように指示する。カウンタ2204が1つ進むと、SW3837をON、次にSW3835をONというように、CLKカウンタに応じて終了アドレス設定値側へとシフトさせる。そして、SW999をONさせた時点で読み出しを終了し、SWをすべてOFFとするのである。

【0038】

30

40

50

< C M O S プログラムシフトレジスタの動作手順例 > 図 18 は、図 17 の動作をフロー チャートで表したものである。Hsync 信号である Reset 信号が入力される (S301) と、プログラマブルレジスタ部のカウンタをクリア (S302) して、そこから主走査画素の読み取りが開始される (S303)。まずクロックカウンタがスタート (S304) すると、最初にOB 画素の読み出しを開始する (S305)。プログラマブルレジスタ部に設定したOB 画素読み出し画素数に一致しているかをカウンタ値と比較しながらOB 画素の読み出しを行う (S306)。OB 画素読み出し画素数に一致すると、次のダミー画素読み出しに移行する (S307)。ダミー画素の出力とは、出力 SW をどれも ONさせずに、所定クロック分だけ OB 画素と有効画素間に無効信号を挿入するものである。これも、プログラマブルレジスタ部に設定したダミー画素数に一致しているかをカウンタ値と比較しながら行う (S308)。ダミー画素数に一致すると、次の指定画素からの画素読み出しに移行する (S309)。ステップ S309 では、プログラマブルレジスタ部に設定したスタートアドレス設定値の画素から読み出しを開始する。そして、カウンタ値と比較しながら、終了画素に達するまで有効画素をクロックに応じてシフトさせながら、出力 SW を切り換えて有効画素の出力を繰り返す (S310)。終了画素に到達すると CLK カウンタを停止 (S312) して、主走査 1 ライン分の読み取りが終了となる (S313)。

【 0039 】

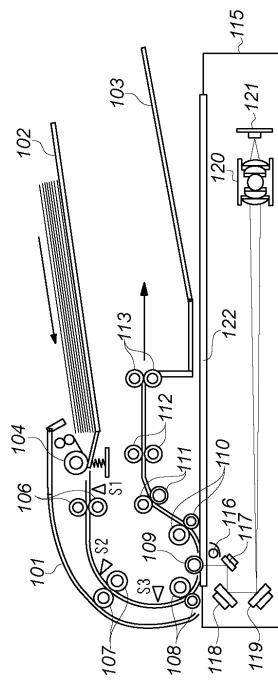
なお、本発明は、複数の機器から構成されるシステムに適用してもよいし、また、一つの機器からなる装置に適用してもよい。また、本発明は、前述した実施形態の各機能を実現するソフトウェアプログラムを、システム若しくは装置に対して直接または遠隔から供給することによっても達成される。そして、そのシステム等に含まれるコンピュータが該供給されたプログラムコードを読み出して実行する。

【 符号の説明 】

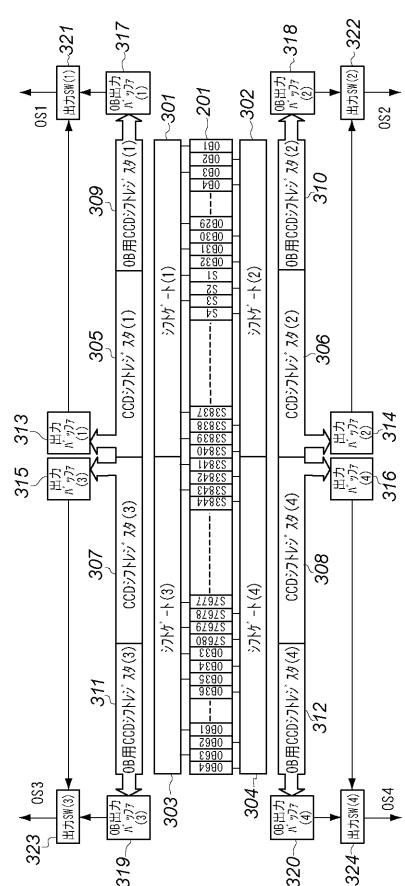
【 0040 】

201 光電変換素子、313,314,315,316 CCDシフトレジスタ部、803 並び替え回路

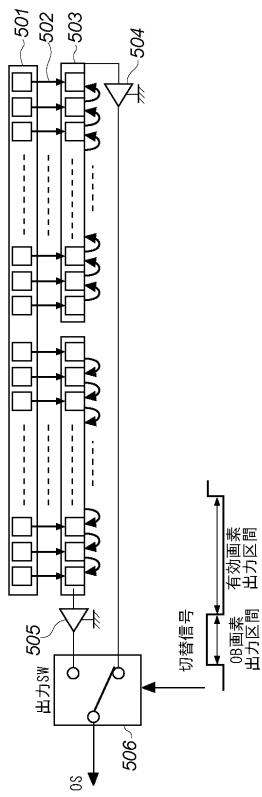
【 図 1 】



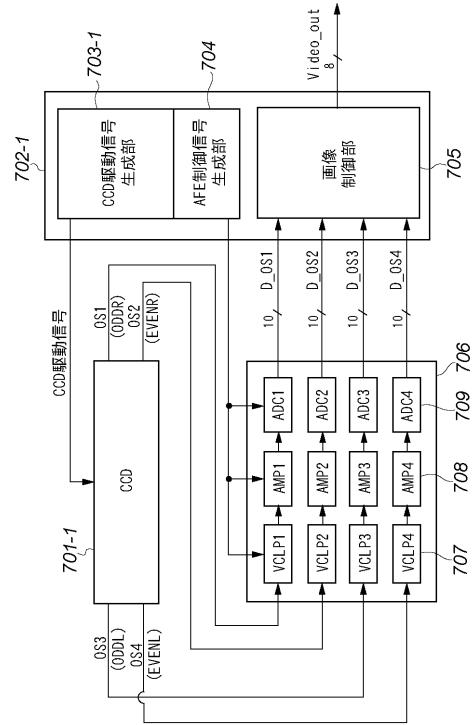
【 図 2 】



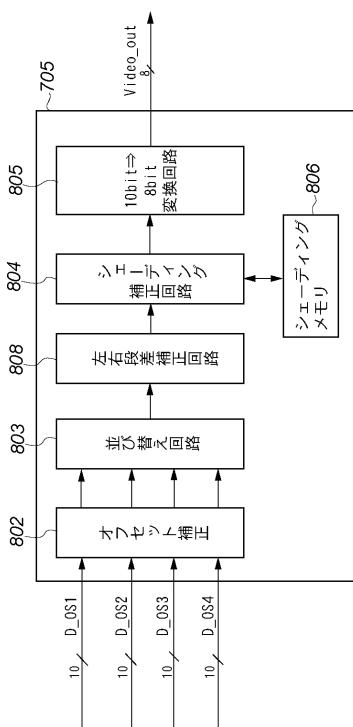
【図3】



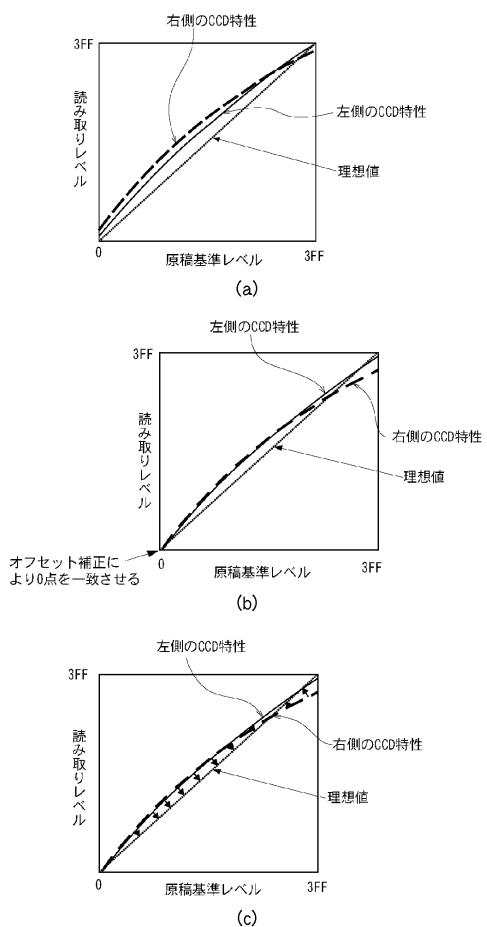
【図4】



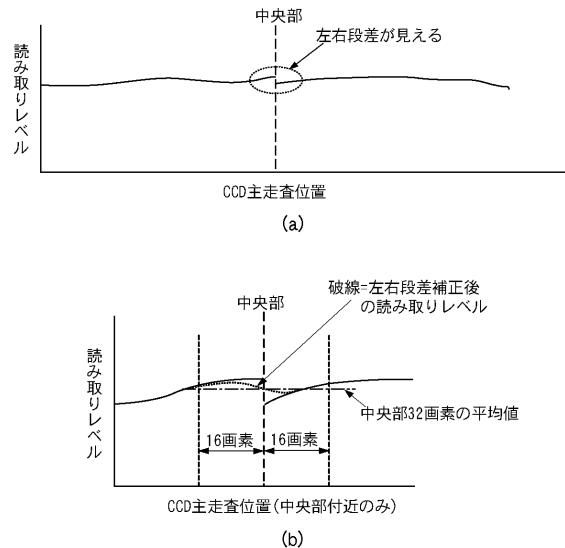
【図5】



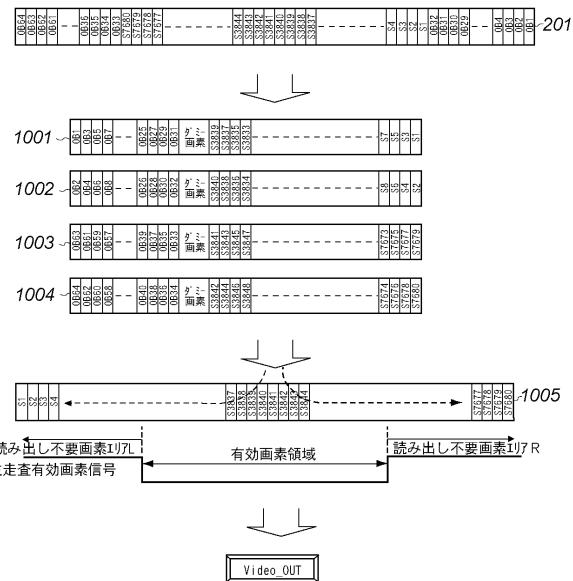
【図6】



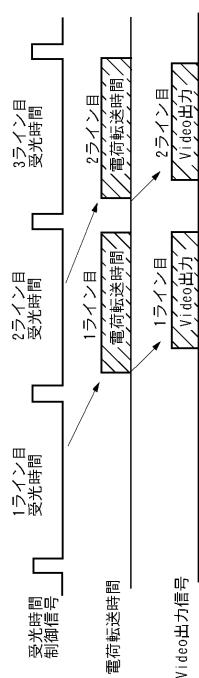
【図7】



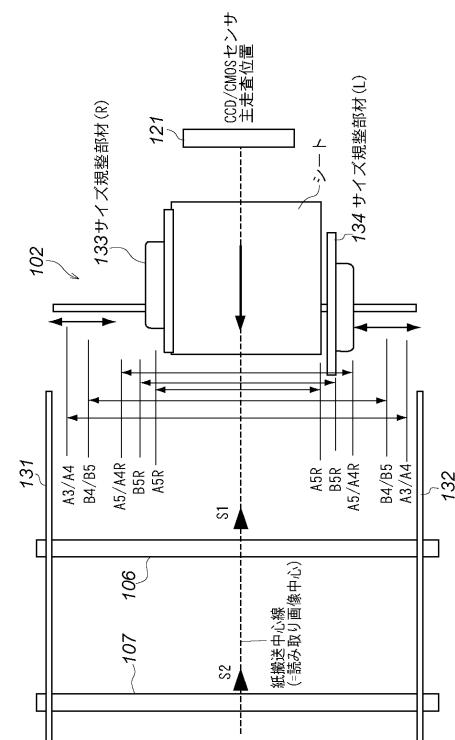
【図8】



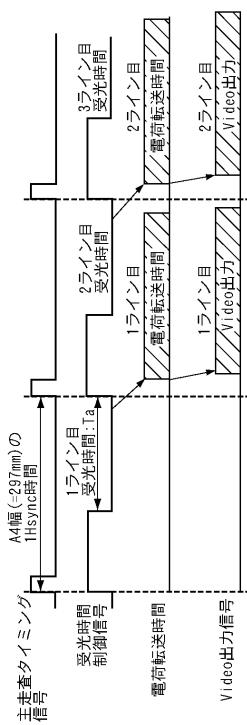
【 四 9 】



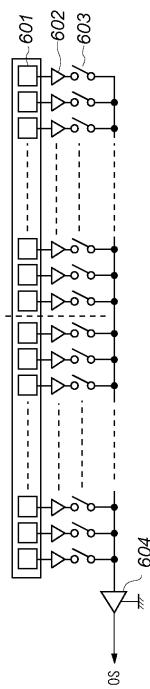
【 囮 1 0 】



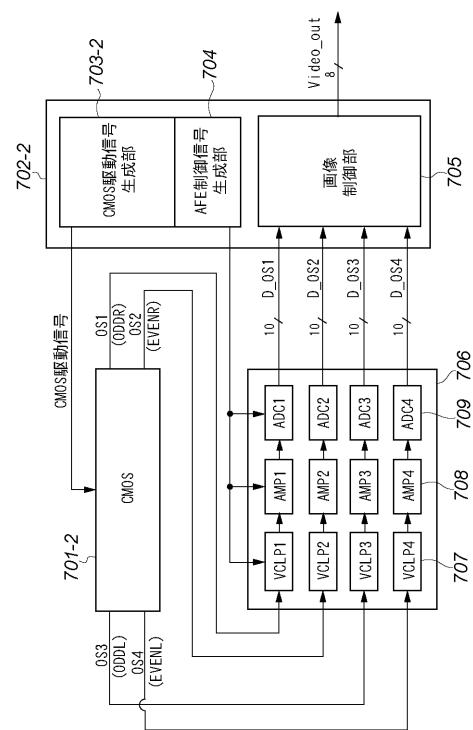
【図 1 1】



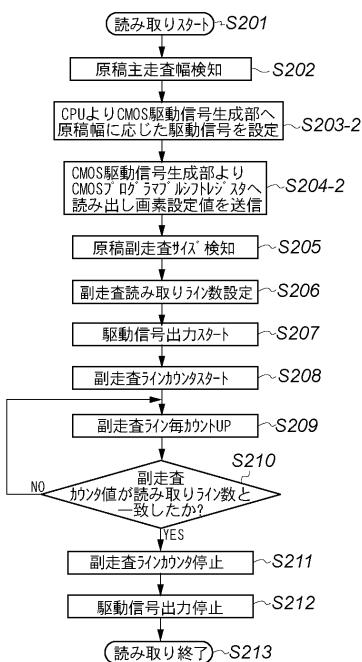
【図15】



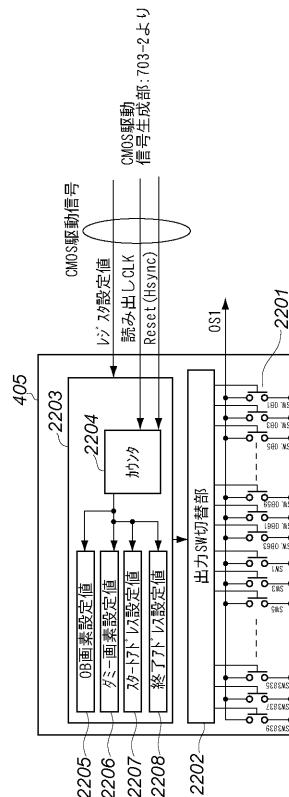
【図16A】



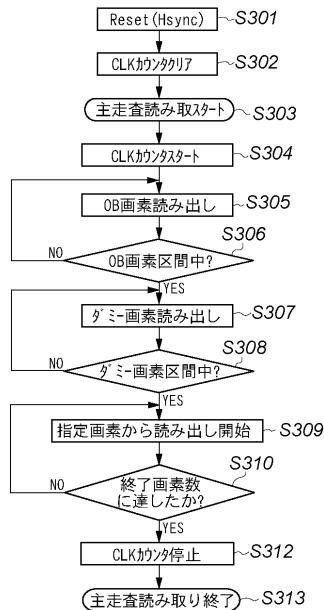
【図16B】



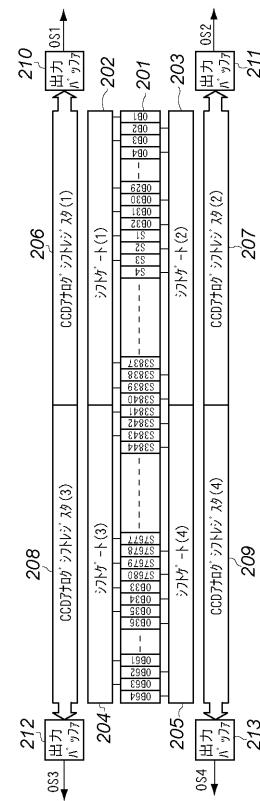
【図17】



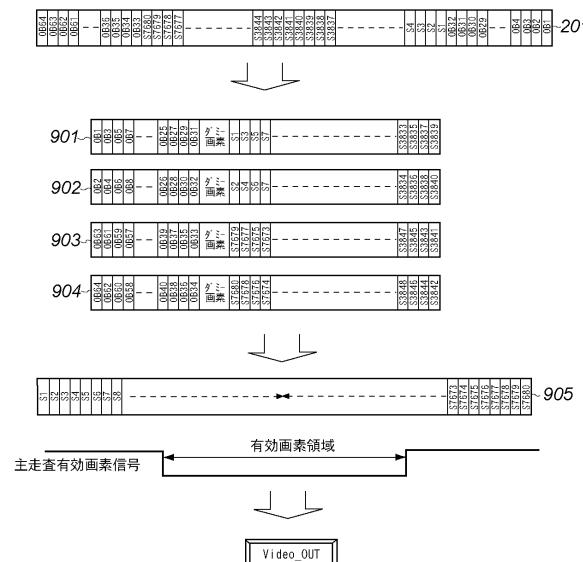
【 図 1 8 】



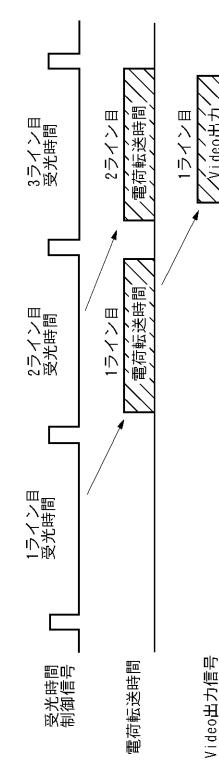
【図19】



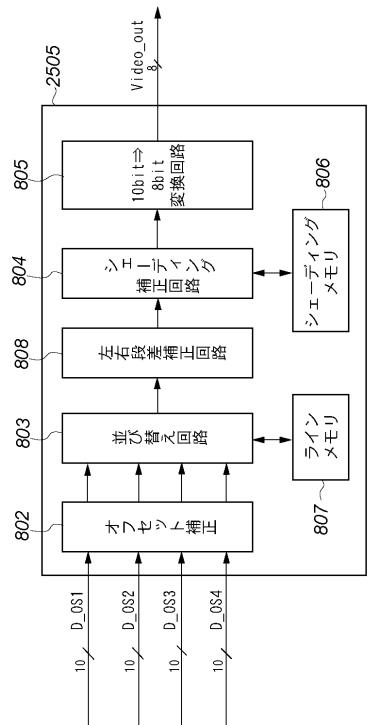
【 図 2 0 】



【 図 21 】



【図22】



フロントページの続き

(72)発明者 白石 光生

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 橋爪 正樹

(56)参考文献 特開平05-207232 (JP, A)

特開平10-173859 (JP, A)

特開2008-022527 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04N 1/024 - 1/207