(19)中华人民共和国国家知识产权局

(12)发明专利

(10)授权公告号 CN 1720665 B
(45)授权公告日 2010.06.16

(21)申请号 200380104991.8
(22)申请日 2003.11.28
(30)优先权数据
60/430,920 2002.12.04 US
(85)PCT申请进入国家阶段日
2005.06.03
(86)PCT申请的申请数据
PCT/IB2003/005507 2003.11.28
(87)PCT申请的公布数据
WO2004/051858 EN 2004.06.17
(73)专利权人 NXP股份有限公司
地址 荷兰艾恩德霍芬
(72)发明人 F·P·M·布德泽拉亚尔
(74)专利代理机构 北京天昊联合知识产权代理有限公司 11112
代理人 陈源 张天舒
(51)Int.Cl.
H03M 1/12(2006.01)
H03M 1/36(2006.01)

(56)对比文件
CN 1285090 A,2001.02.21, 全文.
US 5568142 A,1996.10.22, 全文.
US 4768015 A,1998.08.30, 全文.
说明书第4栏第30行到第6栏第43行、附图1.
CN 1164146 A,1997.11.05, 全文.

审查员 李芳

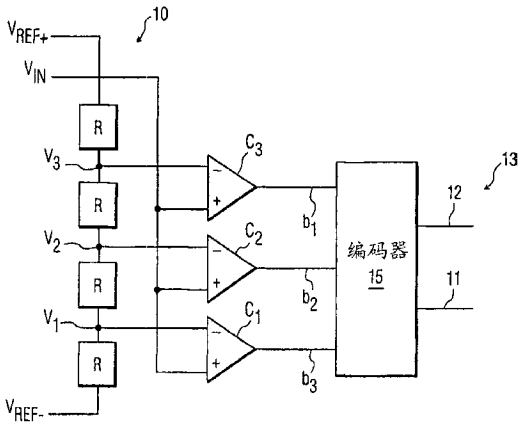
权利要求书 2 页 说明书 10 页 附图 7 页

(54)发明名称

快闪型模数转换器中电压阶跃的非线性分布的系统和方法

(57)摘要

一种用于将一个输入电压VIN转换为数字输出的方法,设备和系统。在一个或多个快闪型模数(A/D)转换器中,将VIN与参考电压进行比较,生成表示VIN的数字输出。如果采用一个A/D转换器,则A/D转换器为非线性。如果采用多于一个的A/D转换器,则A/D转换器为线性。



CN 1720665 B

1. 一种用于将输入电压 VIN 转换为数字输出的系统，包括：

K 个线性快闪型模数 A/D 转换器设备 Z1，Z2，…，ZK，它们各自有大小为 ΔV1，ΔV2，…，ΔVK 的参考电压阶跃，并且分别将 VIN 转换为多位字符串 S1，S2，…，SK，其中 ΔV1 ＜ ΔV2 ＜…＜ ΔVK，且其中 K ≥ 2；和

编码器装置，将 S1，S2，…和 SK 组合，生成数字输出，其中数字输出有足够的位数以保证在 S1，S2，…和 SK 中获得的精确度；

所述 A/D 转换器设备包括：N 个参考电压 V1，V2，…，VN，非线性地分布在 VREF- 和 VREF+ 之间，按照 VREF ＜ V1 ＜ V2 ＜…＜ VN ＜ VREF+ 的顺序排列，其中 N 至少为 3；和 N 个比较器，与所述 N 个参考电压一一对应地相关联，每个比较器都适于将 VIN 和与该比较器相关联的参考电压进行比较，每个比较器都包括位生成装置，用于生成一个反映所述二进制比较结果的一个二进制位；

其中对于 k ＝ 1，2，…，K，线性 A/D 转换器设备 Zk 包括一个算术单元 Ak，它与一个 A/D 转换器 Bk 串联，其中 A/D 转换器有相同的工作电压范围，其中 VIN 在该工作电压范围内，其中工作电压范围包括 K 个连续的电压子范围，按照电压从低到高的顺序表示为 δV1，δV2，…，δVK，其中对于 K ＝ 1，2，…，K，算术单元 Ak 根据 δVK 到工作电压范围内的转换将 VIN 转换为一个新的输入电压 $V_{IN,k}$，而 A/D 转换器 Bk 将 $V_{IN,k}$ 转换为多位字符串 Sk。

2. 权利要求 1 中的系统，其中 S1，S2，…和 SK 有相同位数。

3. 权利要求 1 中的系统，其中 S1，S2，…和 SK 有不同位数。

4. 权利要求 1 中的系统，其中 δV1，δV2，…，δVK 具有的值使数字输出的相对误差是在工作电压范围内的 VIN 的一个分段式连续函数，所述关于 VIN 的分段式连续函数有 K 个分段，其中 K 个分段中的每两个相邻的分段是不连续连接在一起的，其中 K 个分段中的每个分段的相对误差是关于 VIN 的单调递减函数，且其中 K 个分段中的每个分段都有大约相同的最大相对误差。

5. 权利要求 1 中的系统，其中 K ＝ 2，其中 A/D 转换器设备 Z1 和 Z2 包括 A/D 转换器 B1 和 B2，其各自有工作电压范围 δ1 和 δ2，使 δ2 为 δ1 的子集，并且 δ2/δ1 是一个服从 δ2/δ1 ＞ 1 的整数，其中 B1 和 B2 各自用于将 VIN 转换为 S1 和 S2，并且其中编码器装置适于在 S2 不在电压范围 δ1 内时用 S2 生成数字输出，否则编码器装置用 S1 与 δ2/δ1 的乘积生成数字输出。

6. 权利要求 5 中的系统，其中 δ2/δ1 ＝ 2J，并且其中 J 为正整数。

7. 一种用于将输入电压 VIN 转换为数字输出的方法，包括：

提供 K 个线性快闪型模数 A/D 转换器设备 Z1，Z2，…，ZK，它们各自有大小为 ΔV1，ΔV2，…，ΔVK 的参考电压阶跃，其中 ΔV1 ＜ ΔV2 ＜…＜ ΔVK，且其中 K ≥ 2；

通过转换器设备 Z1，Z2，…，ZK 分别将 VIN 转换为多位字符串 S1，S2，…，SK；和

将 S1，S2，…和 SK 组合，生成数字输出，其中数字输出有足够的位数以保证在 S1，S2，…和 SK 中获得的精确度；

所述 A/D 转换器设备包括：N 个参考电压 V1，V2，…，VN，非线性地分布在 VREF- 和 VREF+ 之间，按照 VREF- ＜ V1 ＜ V2 ＜…＜ VN ＜ VREF+ 的顺序排列，其中 N 至少为 3；和 N 个比较器，与所述 N 个参考电压一一对应地相关联，每个比较器都适于将 VIN 和与该比较器相关联的参考电压进行比较，每个比较器都包括位生成装置，用于生成一个反映所述二进制比较

结果的一个二进制位；

其中对于 k ＝ 1,2，…，K，A/D 转换器设备 Zk 包括一个算术单元 Ak，它与一个线性 A/D 转换器 Bk 串联，其中 A/D 转换器有相同的工作电压范围，其中 VIN 在该工作电压范围内，其中工作电压范围包括 K 个连续的电压子范围，按照电压从低到高的顺序表示为 δV1，δV2，…，δVK；

对于 k ＝ 1,2,…,K，通过算术单元 Ak 根据将 δVK 转换到工作电压范围内而将 VIN 转换为一个新的输入电压 $V_{IN,k}$；而通过 A/D 转换器 Bk 将 $V_{IN,k}$ 转换为多位字符串 Sk。

8. 权利要求 7 中的方法，其中 S1，S2，…和 SK 有相同位数。

9. 权利要求 7 中的方法，其中 S1，S2，…和 SK 有不同位数。

10. 权利要求 7 中的方法，其中 δV1，δV2，…，δVK 具有的值使数字输出的相对误差是在工作电压范围内的 VIN 的一个分段式连续函数，所述关于 VIN 的分段式连续函数有 K 个分段，其中 K 个分段中的每两个相邻的分段是不连续连接在一起的，其中 K 个分段中的每个分段的相对误差是关于 VIN 的单调递减函数，且其中 K 个分段中的每个分段都有大约相同的最大相对误差。

11. 权利要求 7 中的方法，其中 K ＝ 2，其中 A/D 转换器设备 Z1 和 Z2 包括 A/D 转换器 B1 和 B2，其各自有工作电压范围 δ1 和 δ2，使 δ2 为 δ1 的子集，并且 δ2/δ1 是一个服从 δ2/δ1 ＞ 1 的整数，其中 B1 和 B2 各自用于将 VIN 转换为 S1 和 S2，并且其中所述组合包括在 S2 不在电压范围 δ1 内时用 S2 生成数字输出，否则所述组合包括用 S1 与 δ2/δ1 的乘积生成数字输出。

12. 权利要求 11 中的方法，其中 δ2/δ1 ＝ 2J，并且其中 J 为正整数。

快闪型模数转换器中电压阶跃的非线性分布的系统和方法

技术领域

[0001] 本发明涉及一种用于将输入电压转换为数字输出的方法、设备和系统。

背景技术

[0002] 当前的快闪型模数 (A/D) 转换器的特征是，在低输入电压时，有高相对误差。因此，就需要一种方法、设备和系统，在低输入电压时，可以有效的降低快闪型 A/D 转换器中的数字输出的相对误差。

发明内容

[0003] 在第一个实施例中，本发明提供了一种快闪型模数 (A/D) 转换器，所述 A/D 转换器适于将输入电压 VIN 转换为数字输出，其中，VIN 在 A/D 转换器的工作电压范围内，所述工作电压由一个最低电压 VREF- 和一个最高电压 VREF+ 定义，所述 A/D 转换器包括 ：

[0004] N 个参考电压 V1，V2，…，VN，非线性地分布在 VREF- 和 VREF+ 之间，按照 VREF- ＜ V1 ＜ V2 ＜…＜ VN ＜ VREF+ 的顺序排列，其中 N 至少为 3 ；

[0005] N 个比较器，基于一一对应的关系而与所述 N 个参考电压相关联，每个比较器都适于将 VIN 和与该比较器关联的参考电压进行比较，每个比较器适于生成一个反映所述二进制比较结果的二进制位 ；和

[0006] 编码器装置，用于从所述比较器生成的二进制位的分析中产生数字输出。

[0007] 在第二个实施例中，本发明提供了一种方法，用于将输入电压 VIN 转换为一个数字输出，从而使 VIN 在一个最低电压 VREF- 和一个最高电压 VREF+ 之间，所述方法包括 ：

[0008] 提供了 N 个参考电压 V1，V2，…，VN，非线性地分布在 VREF- 和 VREF+ 之间，按照 VREF- ＜ V1 ＜ V2 ＜…＜ VN ＜ VREF+ 的顺序排列，其中 N 至少为 3 ；

[0009] 将 VIN 与 N 个参考电压中的每一个进行比较 ；

[0010] 每次所述比较都生成一个二进制位，该二进制位反映所述比校的二进制结果 ；

[0011] 从生成的二进制位的分析中产生数字输出。

[0012] 在第三个实施例中，本发明提供了一种系统，用于将输入电压 VIN 转换为数字输出，包括 ：

[0013] K 个线性快闪型模数 (A/D) 转换器设备 Z1，Z2，…，ZK，各自都有大小为 ΔV1，ΔV2，…，ΔVK 的参考电压阶跃，并且各个转换器分别适于将 VIN 转换为多位字符串 S1，S2，…，SK，其中 ΔV1 ＜ ΔV2 ＜…＜ ΔVK，并且其中 K ≥ 2 ；和

[0014] 编码器装置，用于组合 S1，S2，…和 SK 以生成数字输出，其中数字输出有充足的位数以保证在 S1，S2，…和 SK 中获得的精确度 ；

[0015] 所述 A/D 转换设备包括 ：N 个参考电压 V1，V2，…，VN，非线性地分布在 VREF- 和 VREF+ 之间，按照 VREF- ＜ V1 ＜ V2 ＜…＜ VN ＜ VREF+ 的顺序排列，其中 N 至少为 3 ；和 N 个比较器，与所述 N 个参考电压一一对应地相关联，每个比较器都适于将 VIN 和与该比较器相关联的参考电压进行比较，每个比较器都包括位生成装置，用于生成一个反映所述二进

制比较结果的一个二进制位；

[0016] 其中对于 k = 1,2，…，K,线性 A/D 转换器设备 Zk 包括一个算术单元 Ak,它与一个 A/D 转换器 Bk 串联,其中 A/D 转换器有相同的工作电压范围,其中 VIN 在该工作电压范围内,其中工作电压范围包括 K 个连续的电压子范围,按照电压从低到高的顺序表示为 δV1，δV2，…，δVK,其中对于 K = 1,2，…，K,算术单元 Ak 根据 δVK 到工作电压范围内的转换将 VIN 转换为一个新的输入电压 $V_{IN,k}$,而 A/D 转换器 Bk 将 $V_{IN,k}$ 转换为多位字符串 Sk。

[0017] 在第三个实施例的方法中,S1,S2，…和 SK 可以有相同位数。

[0018] 在第三个实施例的方法中,S1,S2，…和 SK 可以有不同位数。

[0019] 在第三个实施例的方法中,δV1,δV2，…,δVK 具有的值使数字输出的相对误差是在工作电压范围内的 VIN 的一个分段式连续函数,所述关于 VIN 的分段式连续函数有 K 个分段,其中 K 个分段中的每两个相邻的分段是不连续连接在一起的,其中 K 个分段中的每个分段的相对误差是关于 VIN 的单调递减函数,且其中 K 个分段中的每个分段都有大约相同的最大相对误差。

[0020] 在第三个实施例的方法中,K = 2,其中 A/D 转换器设备 Z1 和 Z2 包括 A/D 转换器 B1 和 B2,其各自有工作电压范围 δ1 和 δ2,使 δ2 为 δ1 的子集,并且 δ2/δ1 是一个服从 δ2/δ1 > 1 的整数,其中 B1 和 B2 各自用于将 VIN 转换为 S1 和 S2,并且其中编码器装置适于在 S2 不在电压范围 δ1 内时用 S2 生成数字输出,否则编码器装置用 S1 与 δ2/δ1 的乘积生成数字输出。优选地,δ2/δ1 = 2J,并且其中 J 为正整数。

[0021] 在第四个实施例中,本发明提供了一种方法,用于将输入电压 VIN 转换为数字输出,包括：

[0022] 提供了 K 个线性快闪型模数 (A/D) 转换器设备 Z1，Z2，…，ZK,各自都有大小为 ΔV1,ΔV2,…,ΔVK 的参考电压阶跃,并且其中 ΔV1 < ΔV2 <…< ΔVK,并且其中 K ≥ 2；

[0023] 使用转换器设备 Z1，Z2，…，ZK,各个转换器分别将 VIN 转换为多位字符串 S1，S2，…,SK；以及

[0024] 组合 S1，S2，…和 SK 以生成数字输出,其中数字输出有充足的位数以保证在 S1，S2，…和 SK 中获得的精确度；

[0025] 所述 A/D 转换设备包括：N 个参考电压 V1，V2，…，VN,非线性地分布在 VREF- 和 VREF+ 之间,按照 VREF- < V1 < V2 <…< VN < VREF+ 的顺序排列,其中 N 至少为 3；和 N 个比较器,与所述 N 个参考电压一一对应地相关联,每个比较器都适于将 VIN 和与该比较器相关联的参考电压进行比较,每个比较器都包括位生成装置,用于生成一个反映所述二进制比较结果的一个二进制位；

[0026] 其中对于 k = 1,2，…，K,A/D 转换器设备 Zk 包括一个算术单元 Ak,它与一个线性 A/D 转换器 Bk 串联,其中 A/D 转换器有相同的工作电压范围,其中 VIN 在该工作电压范围内,其中工作电压范围包括 K 个连续的电压子范围,按照电压从低到高的顺序表示为 δV1，δV2，…，δVK,所述方法还包括：

[0027] 对于 k = 1,2，…，K,通过算术单元 Ak 根据将 δVK 转换到工作电压范围内而将 VIN 转换为一个新的输入电压 $V_{IN,k}$；而通过 A/D 转换器 Bk 将 $V_{IN,k}$ 转换为多位字符串 Sk。

[0028] 在第四个实施例的方法中,S1,S2，…和 SK 可以有相同位数。

[0029] 在第四个实施例的方法中,S1,S2，…和 SK 可以有不同位数。

[0030] 在第四个实施例的方法中，δV1，δV2，…，δVK 具有的值使数字输出的相对误差是在工作电压范围内的 VIN 的一个分段式连续函数，所述关于 VIN 的分段式连续函数有 K 个分段，其中 K 个分段中的每两个相邻的分段是不连续连接在一起的，其中 K 个分段中的每个分段的相对误差是关于 VIN 的单调递减函数，且其中 K 个分段中的每个分段都有大约相同的最大相对误差。

[0031] 在第四个实施例的方法中，K ＝ 2，其中 A/D 转换器设备 Z1 和 Z2 包括 A/D 转换器 B1 和 B2，其各自有工作电压范围 δ1 和 δ2，使 δ2 为 δ1 的子集，并且 δ2/δ1 是一个服从 δ2/δ1 ＞ 1 的整数，其中 B1 和 B2 各自用于将 VIN 转换为 S1 和 S2，并且其中所述组合包括在 S2 不在电压范围 δ1 内时用 S2 生成数字输出，否则所述组合包括用 S1 与 δ2/δ1 的乘积生成数字输出。优选地，δ2/δ1 ＝ 2J，并且其中 J 为正整数。

[0032] 本发明提供了一种方法、设备和系统，在低输入电压时，可以有效地降低快闪型 A/D 转换器中的数字输出的相对误差。

附图说明

[0033] 图 1 示出了根据本发明实施例的一个线性快闪型模数 (A/D) 转换器。

[0034] 图 2 示出了根据本发明实施例，图 1 中的线性 A/D 转换器的数字输出与输入电压的比较。

[0035] 图 3 示出了根据本发明实施例，图 1 中的采用 10 个输出位的线性 A/D 转换器的相对误差与输入电压的比较。

[0036] 图 4 示出了根据本发明实施例的一个非线性快闪型 A/D 转换器。

[0037] 图 5 示出了根据本发明实施例，一个几何 A/D 转换器的数字输出与输入电压的比较。

[0038] 图 6 示出了根据本发明实施例，图 5 中的几何 A/D 转换器的相对误差与输入电压的比较。

[0039] 图 7 示出了根据本发明实施例，去掉非必要的参考电压阶跃后，图 1 中的线性 A/D 转换器的相对误差与输入电压的比较。

[0040] 图 8 示出了根据本发明实施例，包括两个线性快闪型 A/D 转换器的第一系统。

[0041] 图 9 示出了根据本发明实施例，图 8 中的第一系统中相对误差与输入电压的比较。

[0042] 图 10 示出了根据本发明实施例，包括两个快闪型线性 A/D 转换器的第二个系统。

[0043] 图 11 示出了根据本发明实施例，图 10 中的第二系统中相对误差与输入电压的比较。

[0044] 图 12 示出了根据本发明实施例，包括两个快闪型线性 A/D 转换器的第三个系统。

[0045] 图 13 示出了根据本发明实施例，采用图 12 中的第三系统将输入电压转换为数字输出的转换过程流程图。

具体实施方式

[0046] 一个快闪型模数 (A/D) 转换器包括比较器阵列，它们将模拟输入电压与一组参考电压进行比较。在参考电压之间存在相关联的一组电压阶跃。将比较器的输出值组合为一个数字值，该值与模拟输入电压有直接关系。采用一个线性快闪型 A/D 转换器，参考电压线

性分布，电压阶跃为恒量。采用一个非线性快闪型 A/D 转换器，参考电压非线性分布，电压阶跃不恒定。

[0047] 图 1 示出了根据本发明实施例的一个线性模数 (A/D) 转换器 10，它有一个两位的数字输出代码 13，该代码由输出位 11 和 12 确定，两个输出位都包含一个 0 或 1 的二进制位。输出代码 13（位 11，位 12）按照从左到右的次序。例如，如果位 11 和位 12 分别为 1 和 0，则输出代码 13 为 10b（二进制），它等于 2d（十进制）。作为一个线性转换器，在最低电压 VREF- 和最高电压 VREF+ 之间，A/D 转换器 10 包括四个串联的等值电阻器，每个电阻器都有相同的电阻值 R。因此，在最低电压 VREF- 和最高电压 VREF+ 之间，四个电阻是线性分布的。这就确定了三个参考电压 V1，V2 和 V3，和四个电压阶跃，分布为 VREF- ＜ V1 ＜ V2 ＜…＜ VN ＜ VREF+。由于 A/D 转换器 10 为线性，四个电压阶跃 (V1-VREF-)，(V2-V1)，(V3-V2) 和 (VREF+-V3) 彼此相等，从而使三个参考电压 V1、V2 和 V3 线性分布在最低电压 VREF- 和最高电压 VREF+ 之间。

[0048] 线性 A/D 转换器 10 还包括三个比较器 C1，C2 和 C3，分别和三个参考电压 V1，V2 和 V3 相关联。比较器 C1 将输入电压 VIN 与参考电压 V1 进行比较，并输出反映了所述比较结果的一个二进制位 b1（例如，如果 VIN ＜ V1 则 b1 ＝ 0，如果 VIN ≥ V1 则 b1 ＝ 1）。比较器 C2 将输入电压 VIN 与参考电压 V2 进行比较，并输出反映了所述比较结果的一个二进制位 b2（例如，如果 VIN ＜ V2 则 b2 ＝ 0，如果 VIN ≥ V2 则 b2 ＝ 1）。比较器 C3 将输入电压 VIN 与参考电压 V3 进行比较，并输出反映了所述比较结果的一个二进制位 b3（例如，如果 VIN ＜ V3 则 b3 ＝ 0，如果 VIN ≥ V3 则 b3 ＝ 1）。

[0049] 线性 A/D 转换器 10 还包括一个编码器 15，从位 b1，b2 和 b3 的分析中生成由输出位 11 和 12 确定的输出代码 13。输出代码 13 可以有 4 个可能值之一，即 00b，10b，01b 和 11b，其中“b”代表二进制数，如根据本发明实施例的图 2 所示。图 2 是输出代码 13 与输入电压 VIN 比较的一个图，假定 VIN 在 0 到 1 的范围内（也就是 VREF- ＝ 0 并且 VREF+ ＝ 1）。因此，图 2 示出了从 0 到 1/4，从 1/4 到 1/2，从 1/2 到 3/4，从 3/4 到 1 的四个相等电压阶跃。表 1 对四个输出码进行了总结，其中在“输出代码”列中的“b”和“d”分别表示二进制和十进制。

[0050] 表 1

[0051] 输出代码	VIN的范围	VIN的等价范围
[0052] 00b＝0d	0＜VIN＜1/4	VIN＝1/8±1/8
[0053] 01b＝1d	1/4＜VIN＜1/2	VIN＝3/8±1/8，
[0054] 10b＝2d	1/2＜VIN＜3/4	VIN＝5/8±1/8
[0055] 11b＝3d	3/4＜VIN＜1	VIN＝7/8±1/8

[0056] 图 3 示出了根据本发明实施例，采用 10 个输出位的图 1 中的线性 A/D 转换器 10 的相对误差与输入电压的比较。

[0057] 图 3 示出了在 VIN 降低时，相对误差单调增大，在 VIN 接近 0.1 时相对误差迅速增大。在 VIN 接近 0 时，相对误差变为无穷大，这是线性和非线性 A/D 转换器都具有的特性。

[0058] 图 1-3 示出了关于线性 A/D 转换器 10 的两位输出代码，以下的讨论通常适合于线性转换器的 X 位输出代码，其中 X ≥ 2。定义 N ＝ 2X-1，有 2X 个串联的电阻器，每个电阻器都有相同的电阻值 R，2X 个电阻器串联分布在最低电压 VREF- 和最高电压 VREF+ 之间，如同图 1 所示的 X ＝ 2 的情况。存在 N 个参考电压 V1，V2，…，VN，线性地分布在最低电压

VREF- 和最高电压 VREF+ 之间。类似地，有 N 个比较器。从 VREF- 和 VREF+ 有 2X 个电压阶跃，从而电压阶跃数为 1 加上比较器或者参考电压的数量。在任意两个相邻的参考电压之间，或者在 V1 和 VREF- 或在 VREF+ 和 VN 之间的电压阶跃为 (VREF+-VREF-)/2X。绝对误差恒定且为 (VREF+-VREF-)/2X+1。相对误差为 (VREF+-VREF-)/(VIN*2X+1)，它随着 VIN 的降低而增加，并在 VIN 接近零时趋近无穷。相对误差和 VIN 对比曲线的斜率按照 1/VIN2 进行变化，这解释了在图 3 中，在 VIN 接近 0.1 和更低值时，相对误差的及其不利行为。

[0059] 可以采用增大 X，也就是增加电阻器的数量和相关联的参考电压和比较器的数量的方法降低 VIN 为低值时的相对误差。如果为 VIN 而设定最大相对误差 ε 和从 VMIN 到 VMAX 的输入范围，从而使 0 < VMIN < VMAX 且 VMIN < VIN < VMAX，则能够计算所需要的输出位的数量 X。为了保证在临界点上（例如当 VIN 接近 VMIN 时）不超过最大误差 ε，最大参考电压阶跃大小为 2εVMIN。因此所要求的输出位的最小数量 XMIN 为：

[0060] $XMIN = 1n[(VMAX-VMIN)/(2\varepsilon VMIN)]/1n2$ (1)

[0061] 如果在使用公式 (1) 进行计算时，XMIN 没有得到整数值，则必须将 XMIN 向上进位到下一个整数值。例如，线性快闪型 A/D 转换器，在 0.1 到 1 伏的输入范围内的相对误差应该不大于 0.2%，必须生成至少 12 个位的数字输出，这就需要 4095 个比较器（也就是 2^{12}-1）或者 4096 个参考电压阶跃；即，VMIN = VREF- = 0.1 伏，VMAX = VREF+ = 1 伏，且 ε = 0.002。将 VMIN，VMAX 和 ε 的先前值代入公式 (1)，得到 XMIN = 11.14，向上进位到 XMIN = 12。如图 3 所示，由于向上进位，最大相对误差大约为 0.0012，小于所规定的 0.002，这是小于所要求的相对误差。如果 VIN 接近 VMAX = 1.0，相对误差大约为 0.00011，其远小于所要求的相对误差。

[0062] 图 4 示出了根据本发明的实施例的一个非线性快闪型 A/D 转换器 20，它有两个位的数字输出代码 23，由输出位 21 和 22 确定，每一个输出位都有一个 0 或 1 的二进制位。输出代码 23（位 21 和位 22）按从左到右排列。例如，如果位 21 和位 22 分别为 1 和 0，则输出代码 23 为 10b（二进制），它等于 2d（十进制）。作为一个非线性转换器，A/D 转换器 20 包括四个串联的电阻值分别为 R1，R2，R3 和 R4 的电阻器，其中四个电阻器的电阻值互不相同。因此，在最低电压 VREF- 和最高电压 VREF+ 之间四个电阻器非线性分布。这就确定了三个参考电压 V1，V2 和 V3，和四个电压阶跃，使得 VREF- < V1 < V2 <…VN < VREF+。由于 A/D 转换器 20 为非线性，四个电压阶跃 (V1-VREF-)，(V2-V1)，(V3-V2) 和 (VREF+-V3) 不完全相等，从而使三个参考电压 V1，V2 和 V3 非线性分布在最低电压 VREF- 和最高电压 VREF+ 之间。

[0063] 非线性 A/D 转换器 20 还包括三个比较器 C1，C2 和 C3，分别和三个参考电压 V1，V2 和 V3 相关联。比较器 C1 将输入电压 VIN 与参考电压 V1 进行比较，并输出反映了所述比较结果的一个二进制位 b1（例如，如果 VIN < V1 则 b1 = 0，如果 VIN ≥ V1 则 b1 = 1）。比较器 C2 将输入电压 VIN 与参考电压 V2 进行比较，并输出反映了所述比较结果的一个二进制位 b2（例如，如果 VIN < V2 则 b2 = 0，如果 VIN ≥ V2 则 b2 = 1）。比较器 C3 将输入电压 VIN 与参考电压 V3 进行比较，并输出反映了所述比较结果的一个二进制位 b3（例如，如果 VIN < V3 则 b3 = 0，如果 VIN ≥ V3 则 b3 = 1）。

[0064] 非线性 A/D 转换器 20 还包括一个编码器 25，从位 b1，b2 和 b3 的分析中生成由位 21 和 22 确定的输出代码 23。输出代码 23 可以有 4 个可能值之一，分别为 00b，10b，01b 和

11b，其中“b”代表二进制数。非线性 A/D 转换器的一个典型类型是一个几何 A/D 转换器（也称为“对数”A/D 转换器），其特点是参考电压的相邻值的比值是恒定的。因此，如果图 4 是一个几何 A/D 转换器，则 VREF+/V3 = V3/V2 = V2/V1 = V1/VREF- = C = 常数 = (VREF+/VREF-)1/4。在以上结合图 1-3 叙述的基于数字的例子中（例如，VMIN = VREF- = 0.1 伏，VMAX = VREF+ = 1 伏，且 ε = 0.002），几何 A/D 转换器的特征为：C = (1.0/0.1)1/4 = 1.778，V1 = C*VREF- = 0.1778，V2 = C*V1 = 0.3162，V3 = C*V = 0.5623。从而，图 5 示出了在所述几何 A/D 转换器的例子中，VIN 范围为 0 到 1（也就是 VREF- = 0 伏，VREF+ = 1 伏）时，输出代码 23 与输入电压 VIN 的比较。图 5 示出了四个不相等的电压阶跃，从 0.10 到 0.18，从 0.18 到 0.32，从 0.32 到 0.56，从 0.56 到 1.0。表 2 对四个输出代码进行了总结，其中在“输出代码”列中的“b”和“d”分别表示二进制和十进制。

[0065] 表 2

[0066] 输出代码 VIN的范围

[0067] 00b＝0d 0.10＜VIN＜0.18

[0068] 01b＝1d 0.18＜VIN＜0.32

[0069] 10b＝2d 0.32＜VIN＜0.56

[0070] 11b＝3d 0.56＜VIN＜1.0

[0071] 图 4-5 示出了关于非线性 A/D 转换器 20 的两位输出代码，以下的讨论通常适合于非线性转换器的 X 位输出代码，其中 $X \geq 2$。定义 N = 2X-1，具有 2X 个串联的电阻器，电阻值分别为 R1，R2，…，RN+1，该 2X 个电阻器分布在最低电压 VREF- 和最高电压 VREF+ 之间，如同图 1 所示的 X = 2 的情况。N 个参考电压 V1，V2，…，VN 非线性地分布在最低电压 VREF- 和最高电压 VREP+ 之间。类似地，有 N 个比较器。从 VREF- 到 VREF+ 有 2X 个电压阶跃，从而电压阶跃的数量为 1 加上比较器或者参考电压的数量。在任意两个相邻参考电压之间，或者在 V1 和 VREF- 之间或者在 VREF+ 和 VN 之间的电压阶跃是变化的，其中所述电压阶跃的至少一个不同于所述电压阶跃中的其它至少一个。如果非线性 A/D 转换器 20 是一个几何 A/D 转换器，则相对误差 E 恒定（也就是不依赖于 VIN），由以下公式给出：

[0072] E = (C-1)/2 (2)

[0073] 其中

[0074] C = (VREF+/VREF-)1/N (3)

[0075] 然而，N 不是任意的，在指定最大相对误差 ε 时，必须满足以下公式：

[0076] (VREF+/VREF-)1/N ＜ 1+2 ε (4)

[0077] 从而可以计算得到 N 为：

[0078] N = ln(VREF+/VREF-)/ln(1+2 ε) (5)

[0079] 如果在公式 (5) 中 N 不是整数，则必须将 N 向上进位到下一个整数。对于本例子，采用公式 (5)，N = ln(1.0/0.1)/ln(1+2*0.002) = 576.8，向上进位为 N = 577，并根据公式 (3) 得到 C = (1.0/0.1)1/577 ;1.004。作为验算，由公式 (2) 得出 E = 0.002。图 6 中画出了恒定的相对误差 E = 0.002。应当注意的是，从公式 (5) 中可以推出，VREF- 趋近于 0 时，所需的参考电压阶跃的数量 N 变为无穷大，因此在几何 A/D 转换器不能处理 VREF- = 0。

[0080] 几何 A/D 转换器产生不实际的分数输出值，同时编码器 25 的复杂性增加。更实际采用的方法是使用线性快闪型 A/D 转换器的设计，并省略不需要的电压比较。例如，特别是

省略电阻器或者比较器或者两者都省略。如果省略比较不会造成相对误差超过给定最大相对误差 ε，则可以将该比较省略。可以采用能省略比较的任何算法，如果该算法是本领域技术人员所公知或显而易见的。其中一个算法仅仅需要 659 个阶跃就可以满足图 1-3 的范例的条件（即 VMIN = VREF- = 0.1 伏，VMAX = VREF+ = 1 伏，ε = 0.002）。与结合图 1-3 的上述纯粹线性 A/D 转换器所需要的 4096 个参考电压阶跃相比，它就具有很大的优势。在图 7 中示出了作为一个输入电压 VIN 的函数的算法对于相对误差的影响。在图 7 中，相对误差是关于 VIN 的一个分段连续函数，VIN 范围为 VREF- < VIN < VREF+。该 VIN 的分段连续函数有多个分段，其中多个分段中的每两个相邻分段是不连续地连接在一起。每个所述分段中的相对误差是关于 VIN 的单调递减函数。在图 7 中，多个分段中的每个这样的分段都有一个几乎相同的最大相对误差，大约为 0.002。

[0081] 采用如图 7 的算法的结果就是可以得到一个非线性 A/D 转换器，它的动态电压范围可以与一个 12 位的线性 A/D 转换器相当，而它的复杂程度大致相当于一个 10 位的转换器（即，659 个电压阶跃在 29 和 210 个电压阶跃之间，因此 659 向上进位到 210）。这里没有考虑的是略微复杂的数字编码器 25（见图 4），它的功能是将来自比较器的 658 个输出位转换为一个 12 位的输出值，也没有考虑适合参考电压的必要模拟条件，和能够与一个 12 位线性 A/D 转换器的比较器相当的比较器。

[0082] 其它实施例都有图 4 所示的非线性 A/D 转换器 20，其结构包括多个的线性范围。例如，一个正整数 M，1 < M < N，这里 N 为非线性 A/D 转换器 20 中的参考电压阶跃的总数，参考电压 V1，V2，…，VM-1 可以线性地分布在 VREF- 和 VM 之间，其参考电压阶跃大小为 ΔV1，参考电压 VM+1，…，VN 可以线性地分布在 VM 和 VREF+ 之间，其参考电压阶跃大小为 ΔV2，这里 ΔV1 < ΔV2。这里有一个更普通的例子，多个线性范围可以包含 L 个线性区域，并且使 $L \geq 2$，这些在 VREF- 到 VREF+ 的电压递增顺序中的线性区域具有从 VREF- 到 VREF+ 的参考电压阶跃大小 ΔV1，ΔV2，…，ΔVL，服从 ΔV1 < ΔV2 <…< ΔVL。在这些其它实施例中，如所述结合图 7 所做的上述解释，在部分或者全部线性区域内可以省略非必要的电压比较。

[0083] 在另外一个实施例中，参考电压 V1，V2，…，VM-1 线性地分布在 VREF- 和 VM 之间，其参考电压阶跃大小为 ΔV，参考电压 VM+1，…，VN 可以非线性地（例如几何性地）分布在 VM 和 VREF+ 之间，这里 1 < M < N。在该另一实施例中，如所述结合图 7 所做的上述解释，在部分或者全部线性区域内可以省略非必要的电压比较。

[0084] 以上对各种非线性 A/D 转换器的实施例地论述可以按照以下进行总结。一个快闪型线性 A/D 转换器用于将输入电压 VIN 转换为数字输出，其中 VIN 在 A/D 转换器的工作电压范围内。工作电压区域由一个最低电压 VREF- 和一个最高电压 VREF+ 定义。该 A/D 转换器包括：N 个参考电压（$N \geq 3$），N 个比较器和一个编码器。N 个参考电压表示为 V1，V2，…，VN，并且在 VREF- 和 VREF+ 之间非线性分布，按 VREF- < V1 < V2 <…，< VN < VREF+ 排序。N 个比较器按照一对一的方式和 N 个参考电压相关联。每个比较器都适于进行 VIN 和与该比较器相关联的参考电压之间的比较，并且每个比较器都包含位生成装置，用于生成反映所述比较的二进制结果的一个二进制位。编码器装置用于从由位生成装置所生成的二进制位的分析中产生数字输出。

[0085] 图 8-13 示出了根据本发明的实施例，多个线性快闪型 A/D 转换器的应用。图 8-9

示出了该类型的第一个实施例。图 10-11 示出了该类型的第二个实施例。图 12-13 示出了该类型的第三个实施例。

[0086] 图 8 示出了根据本发明的实施例的一个系统 30，包括线性快闪型 A/D 转换器 31 和 32。A/D 转换器 31 和 32 每一个都处理输入电压的不同范围，但是每一个都有相同的电压工作范围。一个算术单元 45 线性地将输入电压 VIN 转换为电压 VIN1，A/D 转换器 31 将电压 VIN1 转换为一个多位字符串 S1。算术单元 45 包括一个减法器 46 和一个乘法器 47。这里 A/D 转换器 31 和算术单元 45 合称为 A/D 转换器设备 Z1。一个算术单元 40 线性地将输入电压 VIN 转换为电压 VIN2，A/D 转换器 32 将电压 VIN2 转换为一个多位字符串 S2。算术单元 40 包括一个减法器 41 和一个乘法器 42。这里 A/D 转换器 32 和算术单元 40 合称为 A/D 转换器设备 Z2。字符串 S1 和 S2 可以有相同的位数，或者也可以有不同的位数。

[0087] 一个编码器 35 将多位字符串 S1 和 S2 合并为数字输出 33。编码器 35 对多位字符串 S1 和 S2 进行变换从而可以有效的进转换算术单元 45 和 40 的数字运算。因此转换 S1 包括用其除以 4.625，然后加上 0.1。转换 S2 包括用其除以 1.462，然后加上 0.3162。数字输出 33 有足够的位数来保证 S1 和 S2 中所含的精度。因此数字输出 33 比 S1 和 S2 中任一个都有着更多的位。

[0088] 图 8 所述的例子将 VIN 的范围 0 到 1 分为两个电压子范围 δV1 和 δV2。在该例子中，A/D 转换器 31 和 32 各自有从 0 到 1 的工作电压范围。子范围 δV1 是从 0.10 到 0.3162 伏特，子范围 δV2 是从 0.3162 到 1 伏特。所述用于 δV1 和 δV2 的先前数值是优化值，该值使子范围 δV1 的最大相对误差 ε1 和子范围 δV2 的最大相对误差 ε2 的值相等。注意，在子范围 δV1 和 δV2 中，X 代表相同数量的电压阶跃，并且定义一个截止电压 VC，其作为子范围 δV1 和 δV2 的接口，它符合 [(VC-0.1)/0.1]/2X+1 和 ε2 = [(1-VC)/VC]/2X+1。设置 ε1 = ε2，求出 VC 的值为 $VC = 1/(10)^{1/2} = 0.3162$，该值确定了用于子范围 δV1 和 δV2 的上述数值。在图 8 中，算术单元 45 执行 VIN1 = (VIN-0.1)*4.625，将从 0.10 到 0.3162 伏的子范围 δV1 转换为 A/D 转换器 31 的从 0 到 1 伏的工作电压范围。同样，在图 8 中，算术单元 40 执行 VIN2 = (VIN-0.3162)*1.462，将从 0.3162 到 1 伏的子范围 δV2 转换为 A/D 转换器 32 的从 0 到 1 伏的工作范围。

[0089] 图 9 示出了图 8 的系统 30 使用前述例子，子范围 δV1 和 δV2 中采用 0.002 的最大相对误差，数字输出 36 的相对误差与输入电压 VIN 的比较。图 9 示出了数字输出 36 的最大相对误差只有 0.001，这表明采用两个 A/D 转换器替代一个 A/D 转换器所带来的性能改善（与 0.002 相比）。由于子范围 δV1 和 δV2 中的最大相对误差为 0.002，多位字符串 S1 和 S2 每一个都必须具有至少 10 个位。编码器 35 为数字输出 36 生成一个 12 位的结果。作为所述从 VIN 到 VIN1 和 VIN2 的变换的结果，子范围 δV1 和 δV2 有大小为 ΔV1 和 ΔV2 的有效参考电压阶跃，并且比率大约为 ΔV1/ΔV2 = 0.3162/(1-0.3162) = 0.46，这符合 ΔV1 < ΔV2 的一般关系。

[0090] 图 8-9 的实施例通常应用于 K 个线性快闪型 A/D 转换器设备 Z1，Z2，…，ZK，它们各自有大小为 ΔV1，ΔV2，…，ΔVK 的参考电压阶跃，并且各自将 VIN 转换为多位字符串 S1，S2，…，SK，其中 ΔV1 < ΔV2 <…< ΔVK，其中 K ≥ 2。一个编码器将 S1，S2，…和 SK 组合，生成数字输出，其中数字输出有足够的位数以保证在 S1，S2，…和 SK 中的精确度。对于 K = 1，2，…，K，A/D 转换器设备 ZK 包括一个算术单元 Ak，它与一个线性 A/D 转换器

Bk 串联。A/D 转换器有相同的工作电压范围，并且 VIN 在该工作电压范围内。工作电压范围包括 K 个连续的电压子范围，按照电压从低到高表示为 δV1，δV2，…，δVK。对于 K = 1，2，…，K，算术单元 Ak 根据将 δVK 转换为工作电压范围，将 VIN 转换为一个新的输入电压 VIN，K，A/D 转挟器 BK 将 VIN，K 转换为多位字符串 SK。

[0091] 尽管图 8 和 9 的实施例基于一种优化算法生成了子范围 δV1 和 δV2，但是也可以基于一种与按照相对误差进行优化的方法相比较差的电压分割方法生成子范围 δV1 和 δV2，但是该方法可以极大的简化编码器，如图 10-13 中示出的本发明的实施例中所述。图 10-13 包括基于同一思想的两种不同形式，即图 10-11 的实施例和图 12-13 的实施例。

[0092] 图 10 示出了根据本发明的实施例的一个系统 50，包括线性快闪型 A/D 转换器 51 和 52。A/D 转换器 51 和 52 每一个都处理输入电压的不同范围，但是每一个都有相同的电压工作范围。一个算术单元 53 按照一个系数 22，线性地将输入电压 VIN 放大为电压 VI1，并且 A/D 转换器 51 将电压 VI1 转换为一个多位字符串 S1A。A/D 转换器 52 将输入电压 VIN 转换为一个多位字符串 S2A。这里 A/D 转换器 51 和算术单元 53 合称为一个 A/D 转换器设备。字符串 S1A 和 S2A 可以有如图所示的相同位数，或者也可以有不同的位数。

[0093] 对于一个给定输入电压 VIN，基于 VIN 的大小，既可以用 A/D 转换器 51 生成多位字符串 S1A，或者也可以用 A/D 转换器 52 生成多位字符串 S2A。假定 VIN 有从 0 到 1 伏的输入范围，并且 A/D 转换器 51 和 52 各自有从 0 到 1 伏的工作电压范围，则如果 VIN ＜ 1/22，采用 A/D 转换器 51，如果 VIN ≥ 1/22 则采用 A/D 转换器 52。如果 VIN ＜ 1/22，则将 VIN 乘于 22，其效果是在 VIN ＜ 1/22 时按照系数 22 降低相对误差。

[0094] 编码器 54 基于采用 A/D 转换器 51 还是采用 52，选择多位字符串 S1A 或者 S2A 以生成数字输出 55。编码器 55 变换多位字符串 S1A，从而可以有效的转换算术单元 53 的数字运算。因此，如图 10 所示，转换 S1A 包括除以 22。数字输出 55 有足够的位数以保证在 S1 和 S2 中的精确度。

[0095] 图 11 示出了图 10 的实施例中，以所述数字为例，数字输出 55 中的相对误差与输入电压 VIN 的比较。图 11 示出了 VIN 从 0 变化到 1，如所述，在 VIN ＝ 22 时，转换从采用 A/D 转换器 51 改为采用 A/D 转换器 52 时，相对误差按照一个大约为 22 的期望系数增加。

[0096] 尽管在图 10 中，算术单元 53 将 VIN 乘了一个 22，算术单元 53 或者一个类似设备也可以将 VIN 乘一个 2J，其中 J 为一个正整数。通常，只要编码器 54 完成一个 VIN 的关于 R 的一个适当的变换，算术单元 53 或者一个类似设备可以用任何比 1 大的实数 R 与 VIN 相乘。如果所述乘法是与一个不同于 2J 的实数 R 相乘，其中 J 为一个正整数，编码器 54 的复杂程度会增加。作为所述处理的结果，A/D 转换器 51 和 52 各自有大小为 ΔV1 和 ΔV2 的参考电压阶跃，并且有 ΔV1 ＜ ΔV2。

[0097] 图 12 示出了根据本发明的实施例的一个系统 60，包括第一线性快闪型 A/D 转换器 61 和第二线性快闪型 A/D 转换 62。图 12 的系统 60 产生的相对误差曲线与图 11 所示出的图 10 的系统 50 的曲线相同。A/D 转换器 61 和 62 各自有工作电压范围 δ1 和 δ2，其中 δ1/δ2 ＝ 1/22。因此如果 A/D 转换器 62 处理从 0 到 1 伏的电压，则 δ2 ＝ 1 伏并且 δ1 ＝ 1/22 伏。A/D 转换器 61 和 62 共同处理输入电压 VIN。A/D 转换器 61 将 VIN 转换为多位字符串 S1B。A/D 转换器 62 将输入电压 VIN 转换为多位字符串 S2B。字符串 S1B 和 S2B 各自可以有如图所示的相同位数，或者也可以有不同的位数。

[0098] 编码器 64 基于 S2B 的值，选择多位字符串 S1B 或者 S2B 以生成数字输出 65。如果 S2B 没有在 δ1 范围内，则编码器 64 选择 S2B；否则编码器 64 选择 S1B。编码器 65 将多位字符串 S1B 与 δ2/δ1 相乘。数字输出 65 有足够的位数以保证在 S 和 S2 中的精确度。如果 VIN ＜ 1/22，相对于 A/D 转换器 62 来说，有效的降低 A/D 转换器 61 的工作电压范围可以按照系数 22 降低相对误差。

[0099] 图 13 是一个流程图，示出了根据本发明实施例，图 12 中系统 60 的运作。在步骤 71 和 72 中，分别使用了第一 A/D 转换器 61（其工作电压范围为 δ1）和第二线性 A/D 转换 62（其工作电压范围为 δ2）。在步骤 73 中，第一 A/D 转换器 61 将 VIN 转换为 S1B。在步骤 74 中，第二 A/D 转换器 62 将 VIN 转换为 S2B。步骤 75 询问 S2B 是否在 δ1 范围内。如果为否，则编码器 64 在步骤 76 中从 S2B 中生成数字输出 65。如果为是，则编码器 64 在步骤 77 中从 S1Bx（δ2/δ1）中生成数字输出 65。

[0100] 应用于以上图 10 中系统 50 的图 11，也同样可以应用于系统 60，显示以所述数字为例，在数字输出 65 中的相对误差和 VIN 的比较。与图 12-13 相比，图 11 示出了 VIN 从 0 变化到 1，如所述，在 VIN ＝ 22，进行从未在 δ1 范围内的 S2B 到在 δ1 范围内的 S2B 的转换时，相对误差按照一个大约为 22 的期望系数增加。

[0101] 尽管在图 12-13 中所述的数字例子中，δ1/δ2 ＝ 1/22，δ1/δ2 的值也可以为 1/2J 的形式，其中 J 为一个正整数。通常，只要编码器 64 有效地用 R 与 S1B 相乘，δ1/δ2 可以为任何比 1 大的实数 R。如果 δ1/δ2 为一个不同于 2J 的实数 R，其中 J 为一个正整数，编码器 64 的复杂程度会增加。作为所述处理的结果，A/D 转换器 51 和 52 各自有大小为 ΔV1 和 ΔV2 的参考电压阶跃，并且有 ΔV1 ＜ ΔV2。

[0102] 图 8-13 的实施例通常应用于 K 个线性快闪型 A/D 转换器设备 Z1，Z2，…，ZK，它们各自有大小为 ΔV1，ΔV2，…，ΔVK 的参考电压阶跃，并且各自将 VIN 转换为多位字符串 S1，S2，…，SK，其中 ΔV1 ＜ ΔV2 ＜，…＜ ΔVK，且其中 K ≥ 2。一个编码器将 S1，S2，…和 SK 组合，生成数字输出，其中数字输出有足够的位数以保证在 S1，S2，…和 SK 中的精确度。

[0103] 虽然为了说明的目的，这里描述了本发明的一些实施例，可以进行对于本领域技术人员来说显而易见的很多修改和变化。因此，附加的权利要求目的是涵盖在本发明的实质思想和范围之内的所有的修改和变化。

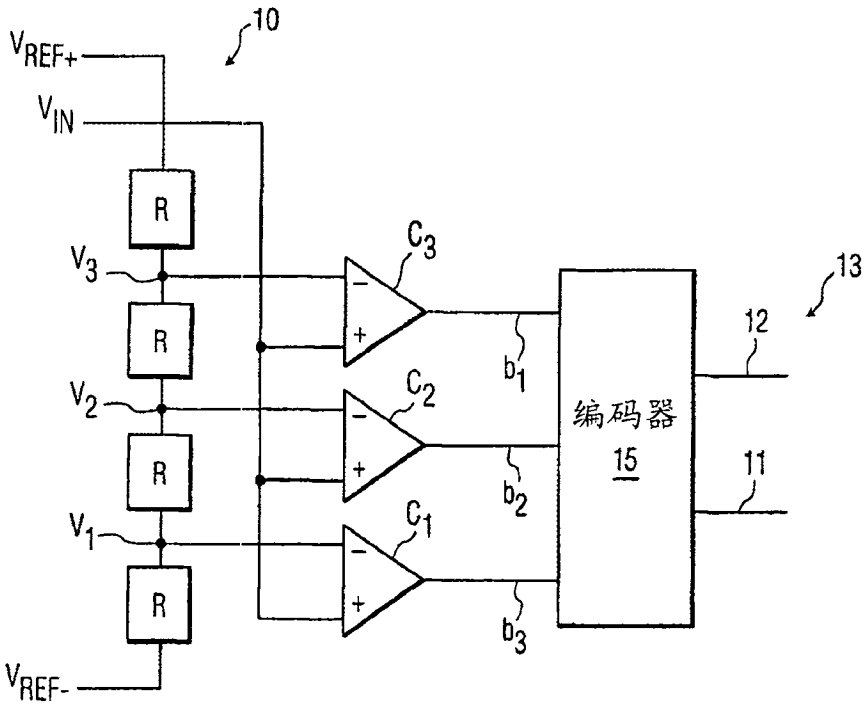

10
V_{REF+}
V_{IN}
R
V_3
R
V_2
R
V_1
R
V_{REF-}
C_3
C_2
C_1
b_1
b_2
b_3
编码器
15
12
11
13

图 1

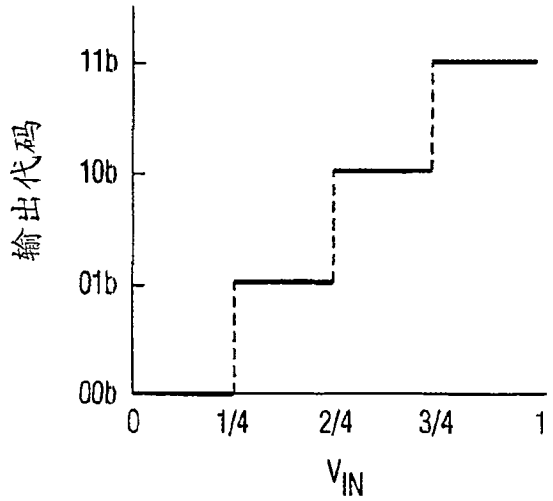

输出代码
11b
10b
01b
00b
0
1/4
2/4
3/4
1
V_{IN}

图 2

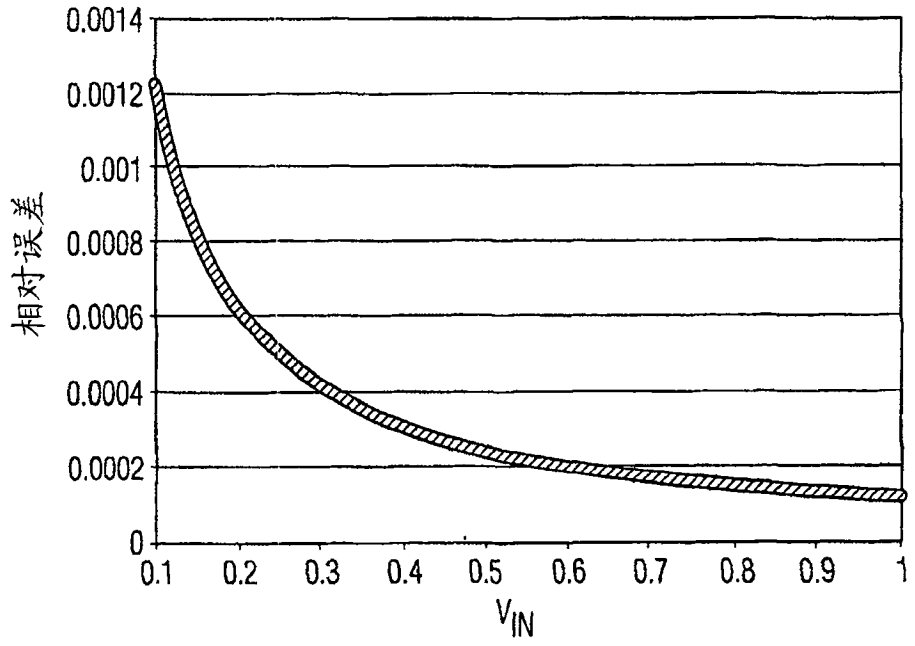

0.0014
0.0012
0.001
0.0008
0.0006
0.0004
0.0002
0
相对误差
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
0.9
1
VIN

图 3

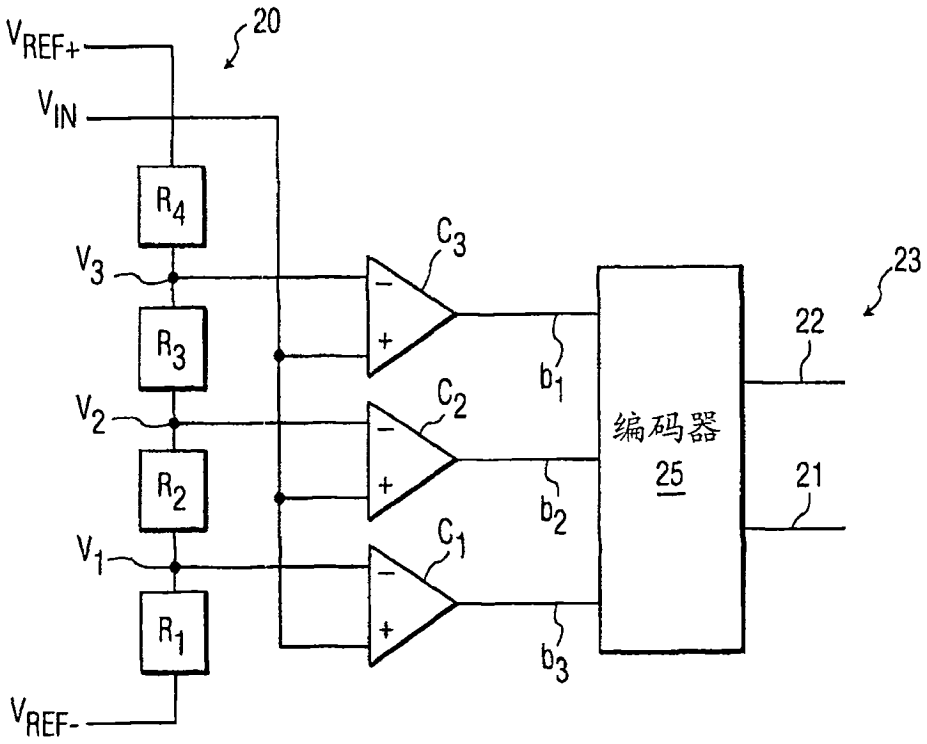

VREF+
VIN
20
R4
V3
R3
V2
R2
V1
R1
VREF-
C3
C2
C1
b1
b2
b3
编码器
25
22
21
23

图 4

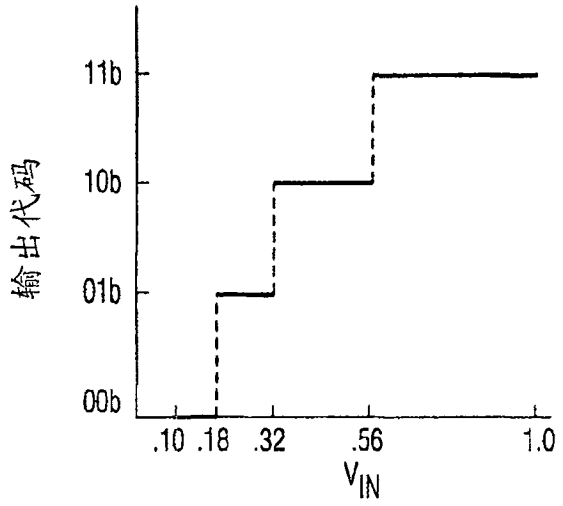

11b
10b
01b
00b
输出代码
.10 .18 .32 .56 1.0
V_{IN}

图 5

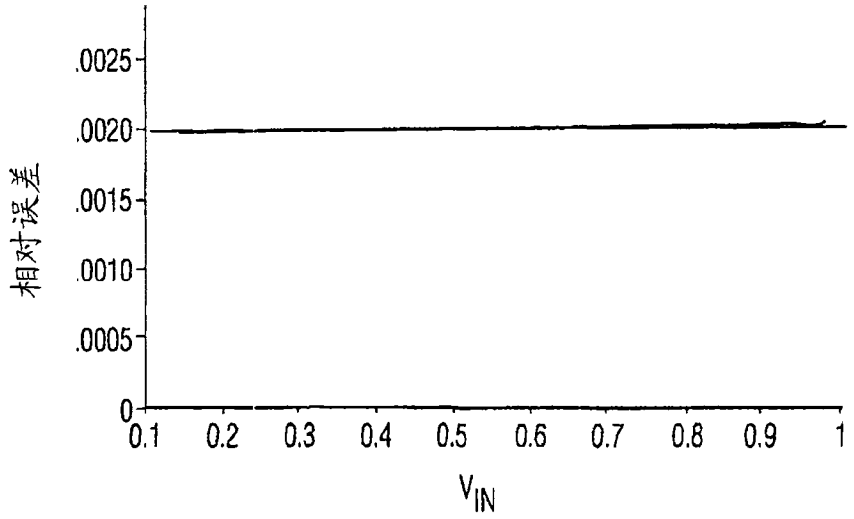

.0025
.0020
.0015
.0010
.0005
0
相对误差
0.1 0.2 0.3 0.4 0.5 0.6 0.7 0.8 0.9 1
V_{IN}

图 6

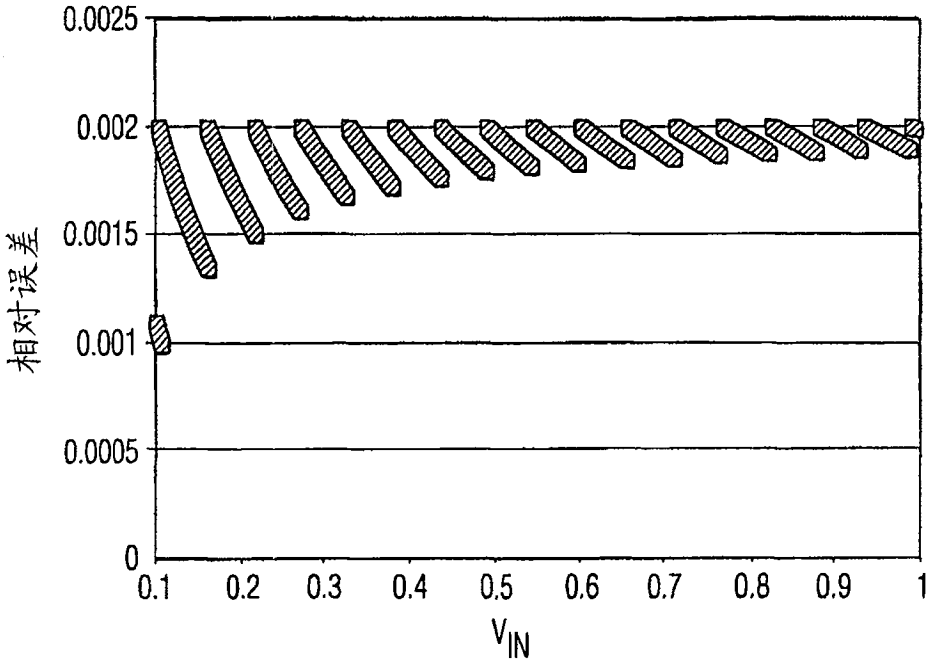

0.0025
0.002
0.0015
0.001
0.0005
0
相对误差
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
0.9
1
V_{IN}

图 7

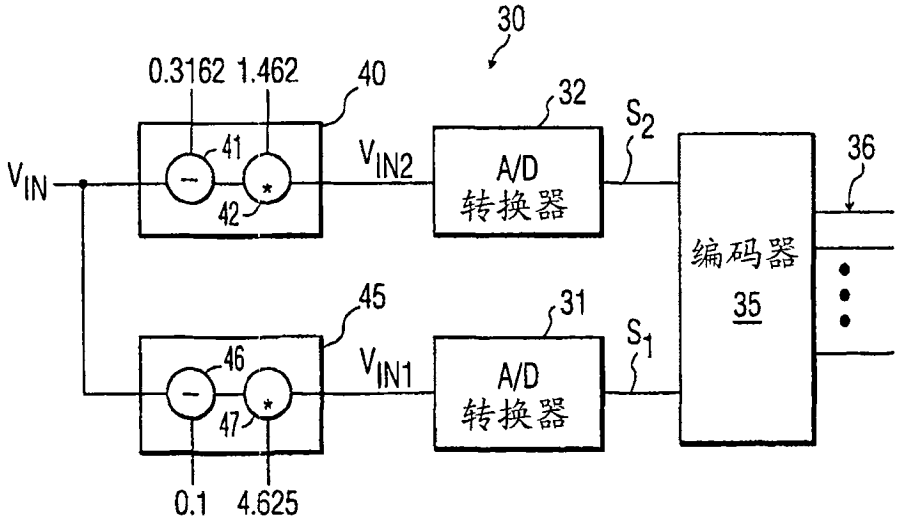

30
0.3162
1.462
40
41
42
V_{IN}
V_{IN2}
32
A/D
转换器
S_2
36
编码器
35
45
46
47
V_{IN1}
31
A/D
转换器
S_1
0.1
4.625

图 8

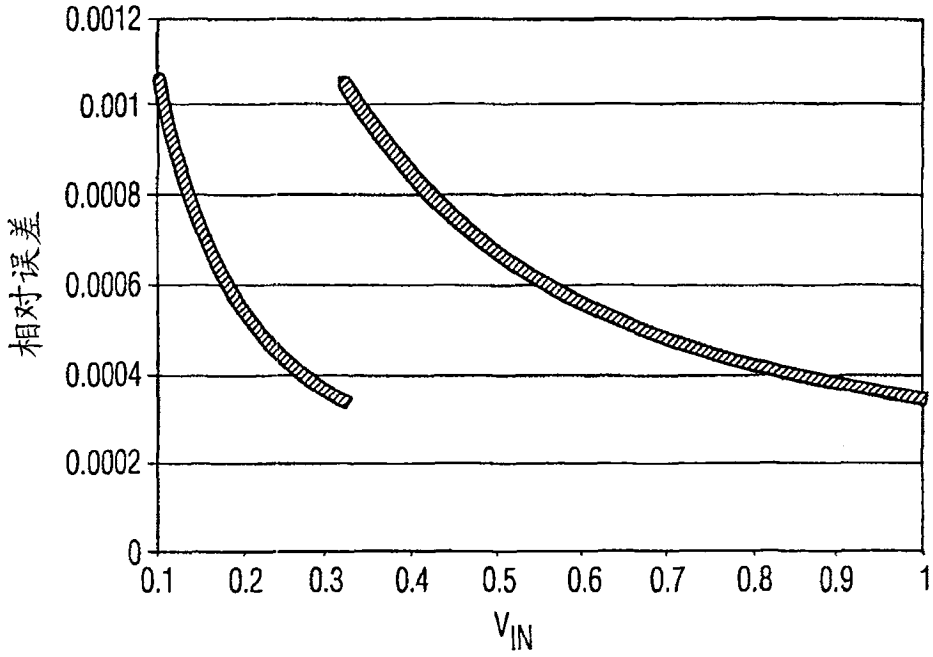

0.0012
0.001
0.0008
0.0006
0.0004
0.0002
0
相对误差
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
0.9
1
V_{IN}

图 9

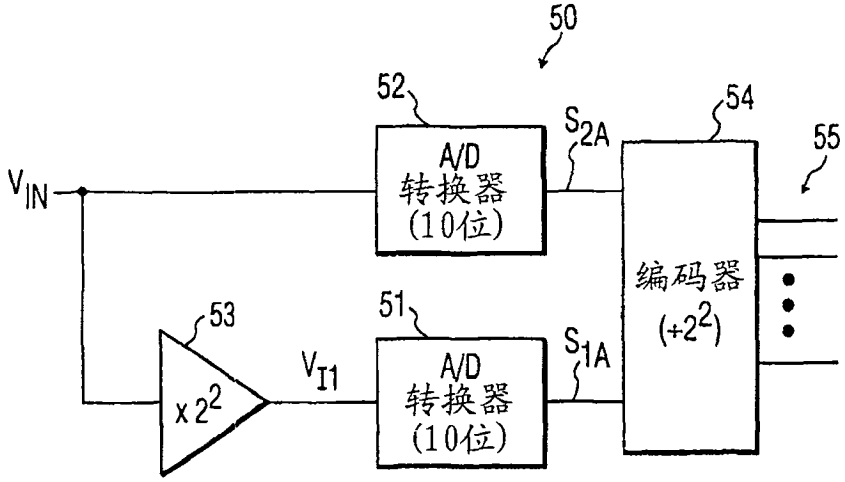

50
52
A/D
转换器
(10位)
S_{2A}
54
55
编码器
$(+2^2)$
V_{IN}
53
$x\,2^2$
V_{I1}
51
A/D
转换器
(10位)
S_{1A}

图 10

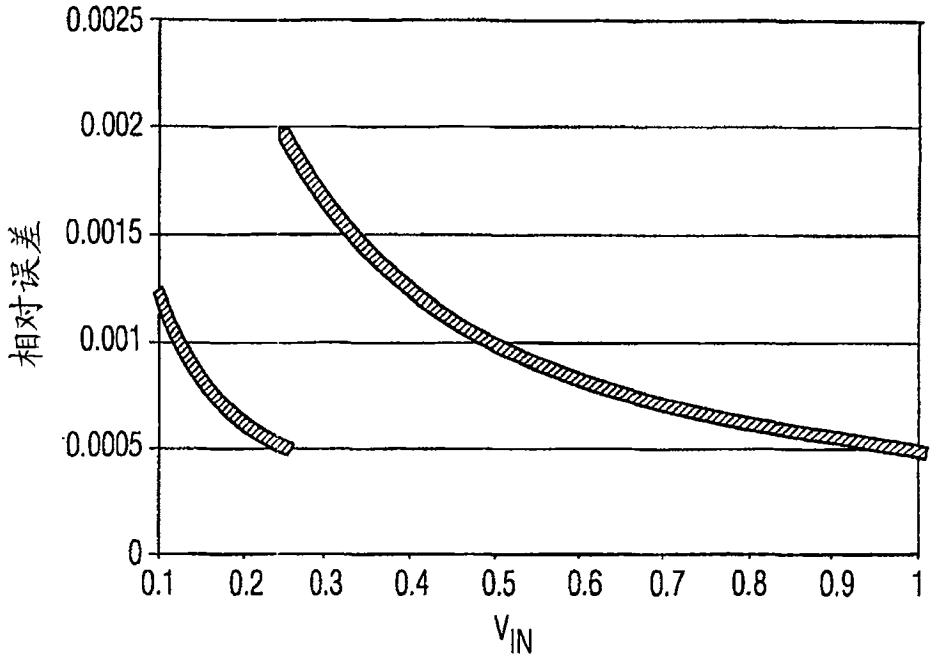

0.0025
0.002
0.0015
0.001
0.0005
0
相对误差
0.1
0.2
0.3
0.4
0.5
0.6
0.7
0.8
0.9
1
V_{IN}

图 11

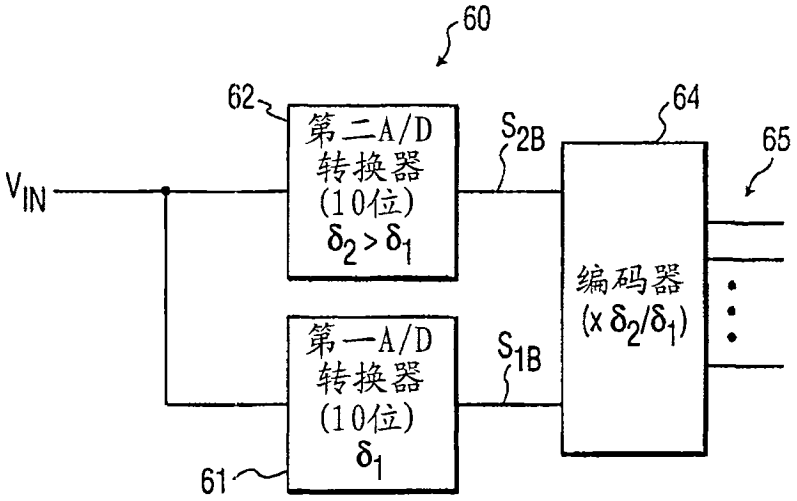

60
62
第二A/D
转换器
(10位)
$\delta_2 > \delta_1$
S_{2B}
64
65
V_{IN}
编码器
(x δ_2/δ_1)
第一A/D
转换器
(10位)
δ_1
S_{1B}
61

图 12

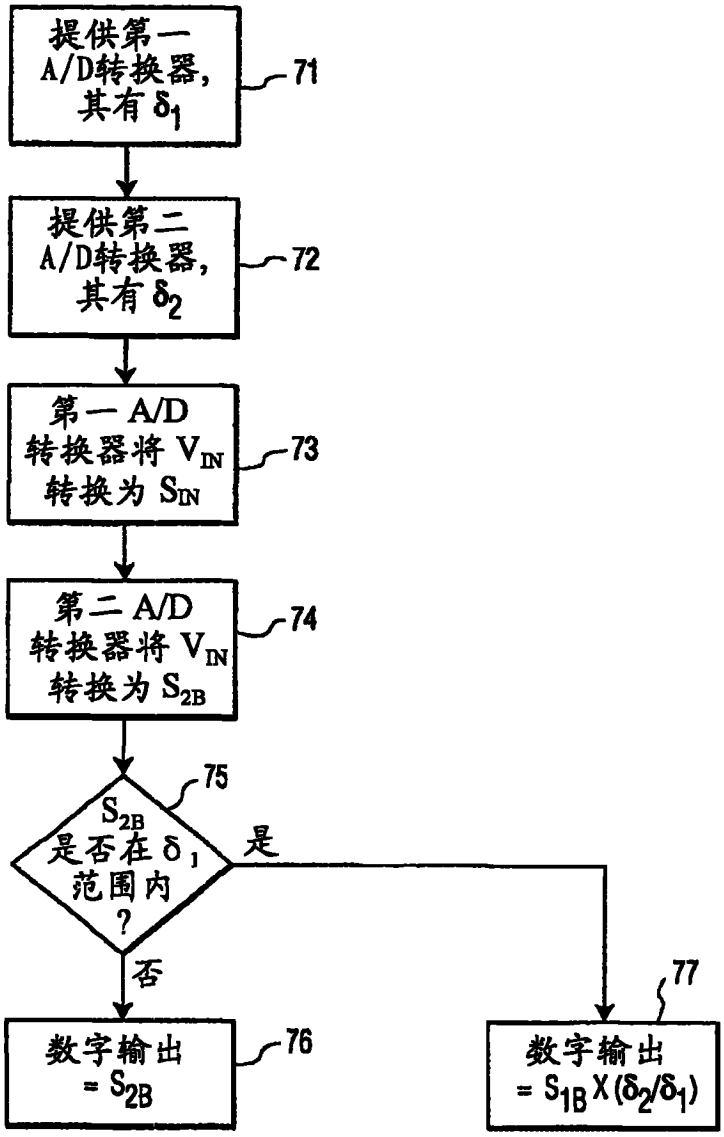

提供第一A/D转换器，其有 δ_1
71
提供第二A/D转换器，其有 δ_2
72
第一 A/D 转换器将 V_{IN} 转换为 S_{IN}
73
第二 A/D 转换器将 V_{IN} 转换为 S_{2B}
74
S_{2B} 是否在 δ_1 范围内 ?
75
是
否
数字输出 = S_{2B}
76
数字输出 = $S_{1B} X (\delta_2/\delta_1)$
77

图 13