

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4118463号
(P4118463)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月2日(2008.5.2)

(51) Int.Cl.	F I
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 M
GO 1 R 1/06 (2006.01)	GO 1 R 31/28 K
	GO 1 R 1/06 E

請求項の数 7 (全 11 頁)

(21) 出願番号	特願平11-208653	(73) 特許権者	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22) 出願日	平成11年7月23日(1999.7.23)	(74) 代理人	100121706 弁理士 中尾 直樹
(65) 公開番号	特開2001-33523(P2001-33523A)	(74) 代理人	100128705 弁理士 中村 幸雄
(43) 公開日	平成13年2月9日(2001.2.9)	(74) 代理人	100066153 弁理士 草野 卓
審査請求日	平成18年4月18日(2006.4.18)	(74) 代理人	100100642 弁理士 稲垣 稔
		(72) 発明者	蛭谷 公一 東京都練馬区旭町1丁目32番1号 株式会社アドバンテスト内

最終頁に続く

(54) 【発明の名称】 タイミング保持機能を搭載したIC試験装置

(57) 【特許請求の範囲】

【請求項1】

試験パターン信号を被試験ICに供給する試験パターン供給経路と、この試験パターン供給経路の信号伝搬遅延時間を調整するための可変遅延素子と、この可変遅延素子の遅延時間を直接設定するレジスタとによって構成されるピンカードを搭載したIC試験装置において、

各ピンカードに不揮発メモリを実装し、この不揮発メモリに上記試験パターン供給経路の信号伝搬遅延時間を予め規定した設定値に合わせ込むための遅延補正データを記憶させ、上記記憶した遅延補正データを直接上記レジスタに設定させる構成としたことを特徴とするタイミング保持機能を搭載したIC試験装置。

【請求項2】

被試験ICの各端子毎に設けられ、被試験ICが出力する応答出力信号の理論値を読み取る信号読取回路と、この信号読取回路に読み取りのタイミングを与えるストロブパルス供給経路と、このストロブパルスの印加タイミングを調整するための可変遅延素子と、この可変遅延素子の遅延時間を設定するレジスタとによって構成されるピンカードを搭載したIC試験装置において、

各ピンカードに不揮発メモリを実装し、この不揮発メモリに上記ストロブパルス供給経路の信号伝搬時間を予め規定した設定値に合わせ込むために上記レジスタに設定する遅延補正データを記憶させた構成としたことを特徴とするタイミング保持機能を搭載したIC試験装置。

【請求項 3】

請求項 1 及び請求項 2 に記載のタイミング保持機能を搭載した I C 試験装置の双方の構成を装備し、上記不揮発メモリに試験パターン供給経路の信号伝搬遅延時間を設定値に合わせ込むための遅延補正データと、ストロブパルス供給経路の信号伝搬遅延時間を設定値に合わせ込むための遅延補正データの双方を記憶させた構成としたことを特徴とするタイミング保持機能を搭載した I C 試験装置。

【請求項 4】

請求項 1 に記載のタイミング保持機能を搭載した I C 試験装置において、1 枚のピンカードに上記被試験 I C の複数の端子に試験パターン信号を与える複数の試験パターン供給経路と、これら複数の試験パターン供給経路に対応して設けた不揮発メモリとを搭載し、各試験パターン供給経路の遅延時間を補正する遅延補正データをそれぞれ不揮発メモリに記憶して用意した構成としたことを特徴とするタイミング保持機能を搭載した I C 試験装置。

10

【請求項 5】

請求項 2 に記載のタイミング保持機能を搭載した I C 試験装置において、1 枚のピンカードに上記被試験 I C の複数の端子から出力される応答信号を取り込む信号読取回路と、この信号読み取り回路にストロブパルスを供給する複数のストロブパルス供給経路と、各ストロブパルス供給経路に対応して設けた不揮発メモリとを搭載し、各不揮発メモリに上記各ストロブパルス供給経路の遅延時間を規定値に補正するための遅延補正データを記憶した構成としたことを特徴とするタイミング保持機能を搭載した I C 試験装置。

20

【請求項 6】

請求項 4 と 5 の双方の構成を 1 枚のピンカードに搭載して構成したタイミング保持機能を搭載した I C 試験装置。

【請求項 7】

請求項 1、2、3、4、5、6 に記載したタイミング保持機能を搭載した I C 試験装置の何れかにおいて、

I C 試験装置の動作を制御する制御器は試験開始の初期設定時に上記各ピンカードに設けた不揮発メモリからそれぞれのピンカードに設けたレジスタに遅延補正データを転送する転送命令を出力し、その転送命令によって試験パターン供給経路又はストロブパルス供給経路の信号伝搬時間を設定値に校正することを特徴とするタイミング保持機能を搭載した I C 試験装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は タイミング保持機能を搭載した I C 試験装置 に関する。

【0002】

【従来の技術】

図 4 に I C 試験装置の概略の構成を示す。図中 T E S は I C 試験装置の全体を示す。I C 試験装置 T E S は I C 試験装置 T E S の全体を制御する制御器 1 1 と、パターン発生器 1 2、タイミング発生器 1 3、波形生成部 1 4、論理比較器 1 5、ドライバ 1 6、アナログ比較器 1 7、不良解析メモリ 1 8、論理振幅基準電圧源 2 1、比較基準電圧源 2 2、ディバイス電源 2 3 等により構成される。

40

【0003】

制御器 1 1 は一般にコンピュータシステムによって構成され、利用者が作製した試験プログラムに従って主にパターン発生器 1 2 とタイミング発生器 1 3 を制御し、パターン発生器 1 2 から試験パターンデータを発生させ、この試験パターンデータを波形生成部 1 4 で実波形を持つ試験パターン信号に変換し、この試験パターン信号を論理振幅基準電圧源 2 1 で設定した振幅値を持った波形に電圧増幅するドライバ 1 6 を通じて被試験 I C 1 9 に印加する。

【0004】

50

被試験 IC 19 から出力される応答信号はアナログ比較器 17 で比較基準電圧源 22 から与えられる基準電圧と比較し、所定の論理レベル（H 論理の電圧、L 論理の電圧）を持っているか否かを判定し、所定の論理レベルを持っていると判定した信号は論理比較器 15 でパターン発生器 12 から出力される期待値と比較し、期待値と不一致が発生した場合は、その読み出したアドレスのメモリセルに不良があるものと判定し、不良発生毎に不良解析メモリ 18 に不良アドレスを記憶し、試験終了時点で例えば不良セルの救済が可能か否かを判定する。

【0005】

ここで、タイミング発生器 13 は被試験 IC 19 に与える試験パターン信号の波形の立ち上がりのタイミング及び立ち下りのタイミングを規定するタイミングと、論理比較器 15

10

で論理比較のタイミングを規定するストロブパルスのタイミングを発生する。これらの各タイミングは利用者が作製した試験プログラムに記載され、利用者が意図したタイミングで被試験 IC 19 を動作させ、またその動作が正常か否かを試験できるように構成されている。

【0006】

波形生成部 14 とドライバ 16 及びアナログ比較器 17 は被試験 IC 19 の各端子毎にピンカードと呼ばれている基板に搭載され、故障時は交換が可能な状態に作られている。

図 5 にその様子を示す。PCAD はそのピンカードを示す。図 5 では 2 つの端子分のピンカードを示すが、現実には被試験 IC 19 の端子数に相当する数のピンカードが設けられる。図 5 では波形生成部 14 とドライバ 16 によって構成される試験パターン供給経路を

20

搭載したピンカードを示す。この形式のピンカード PCAD は被試験 IC 19 の入力端子に接続されて利用される。また、図 6 に示すようにアナログ比較器 17 を搭載した出力端子用のピンカード及び図 7 に示すドライバ 16 とアナログ比較器 17 を搭載した入力出力兼用のピンカードも存在する。

【0007】

図 6 と図 7 に関しては後に説明することにするが、図 5 に示すピンカード PCAD は可変遅延素子 DY 1 が設けられ、この可変遅延素子 DY 1 に各ピンカード PCAD 毎に固有の遅延時間を設定し、波形生成部 14 から出力した試験パターン信号が被試験 IC 19 の各端子に同一位相で印加されるように調整する。この調整を一般にスキュー調整と呼んでいる。

30

【0008】

スキュー調整の方法には各種存在するが、その一例としては複数のピンカード PCAD の

中から基準タイミングとなる基準ピンカードを定め、この基準ピンカードから出力される信号と校正しようとしているピンカードから出力される信号の位相差を求め、この位相差がゼロになる可変遅延素子 DY 1 の遅延時間を求め、この遅延時間を遅延補正データ P 1、P 2・・・として制御器 11 の遅延補正データ記憶部 11A に取り込んで記憶する。検査開始時にはこの遅延補正データ P 1、P 2・・・を各ピンカード PCAD に設けたレジスタ RG 1 に転送し、各可変遅延素子 DY 1 の遅延時間を設定して検査を開始する。

【0009】

図 6 はピンカード PCAD にアナログ比較器 17 と、可変遅延素子 DY 2 と、レジスタ RG 2 とを搭載した形式のピンカードを示す。アナログ比較器 17 の後段には例えば D 型フリップフロップによって構成した信号読み取り回路 DF が設けられ、この信号読取回路 DF にストロブパルス STB を印加してアナログ比較器 17 が出力している論理値を読み込む。つまり、この場合には出力ピン用のピンカードの構成例を示す。

40

【0010】

この形式のピンカードの場合も、ストロブパルス供給経路に可変遅延素子 DY 2 を設け、この可変遅延素子 DY 2 の遅延時間を調整して信号読取回路 DF に印加されるストロブパルス STB の印加タイミングが基準タイミングに一致するように調整される。可変遅延素子 DY 2 に設定する遅延時間は各ピンカード PCAD 毎に特異な値を持つため、その遅延補正データをそれぞれ制御器 11 に記憶させ、試験の開始毎に各ピンカード PCAD

50

毎に遅延補正データを各ピンカードPCADに設けたレジスタRG2に転送し、レジスタRG2に設定した遅延補正データにより可変遅延素子DY2の遅延時間を補正してストロープパルスSTBの印加タイミングを揃えるようにしている。

【0011】

図7はドライバ16とアナログ比較器17の双方を搭載した形式のピンカードを示す。一般にはこの形式のピンカードが最も多く用いられている。この形式のピンカードPCADにはレジスタRG1とRG2が設けられ、これら2つのレジスタRG1とRG2に試験パターン供給経路の遅延補正データと、ストロープパルス供給経路の遅延補正データを設定し、試験パターン供給経路と、ストロープパルス供給経路の各タイミング合わせを行う構成とされる。

10

【0012】

上述した遅延補正データは各ピンカードPCADをIC試験装置に装着し、IC試験装置を実動させて各ピンカード毎に試験パターン信号の伝搬遅延時間を計測し、その計測結果を制御器11に設けた例えばハードディスクのような遅延補正データ記憶部11Aに格納する。

試験開始時には制御器11は遅延補正データ記憶部に格納した遅延補正データを各ピンカードPCADに設けたレジスタRG1又はRG2に転送し、各ピンカードPCADの信号伝搬遅延時間を構成して試験を開始する。

【0013】

【発明が解決しようとする課題】

上述したように、従来は遅延補正データを制御器11が保持し、試験開始時に各ピンカードPCADに設けたレジスタRG1又はRG2に遅延補正データを転送して各可変遅延素子DY1又はDY2の遅延時間を設定する構成とされているから、仮に試験中にピンカードPCADが不良となりこれを交換したとすると、その交換したピンカードPCADは遅延補正データを新たに計測し直さなくてはならない。このために遅延補正データの計測に時間がかかり、試験を中断している時間が長くなる欠点がある。

20

【0014】

つまり、IC試験装置は高価であるため、高価な装置を長時間停止させると、試験装置の運用効率さが下がり、試験に要するコストが高くなる欠点が生じる。

また、他の欠点としてはピンカードPCADを交換しただけで、試験を再開させてしまう恐れがあり、この場合には交換したピンカードPCADの遅延補正データでない遅延補正データで遅延時間が設定されてしまうため、誤った試験結果が発生し、信頼性の面で問題がある。

30

【0015】

この発明の第1の目的はボードを交換しても試験再開までの時間を短くすることができるタイミング保持機能を搭載して構成したIC試験装置を提供しようとするものである。

この発明の第2の目的はピンカードを交換した場合、以前のピンカードの遅延補正データを誤って使用することのないタイミング保持機能を搭載したIC試験装置を提供しようとするものである。

【0016】

【課題を解決するための手段】

この発明の請求項1では被試験ICの各端子毎に設けられ、試験パターン信号を被試験ICに供給する試験パターン供給経路と、この試験パターン供給経路の信号伝搬遅延時間を調整するための可変遅延素子と、この可変遅延素子の遅延時間を設定するレジスタとによって構成されるピンカードを搭載したIC試験装置において、

各ピンカードに不揮発メモリを実装し、この不揮発メモリに試験パターン供給経路の信号伝搬遅延時間を予め規定した設定値に合わせ込むためにレジスタに設定する遅延補正データを記憶させた構成のピンカードを装備したタイミング保持機能を搭載したIC試験装置を提案するものである。

40

【0017】

50

この発明の請求項 2 では被試験 IC の各端子毎に設けられ、被試験 IC が出力する応答信号の理論値を読み取る信号読取回路と、この信号読取回路に読み取りのタイミングを与えるストロブパルス供給経路と、このストロブパルスの印加タイミングを調整するための可変遅延素子と、この可変遅延素子の遅延時間を設定するレジスタとによって構成されるピンカードを搭載した IC 試験装置において、

各ピンカードに不揮発メモリを実装し、この不揮発メモリにストロブパルス供給経路の信号伝搬時間を予め規定した設定値に合わせ込むためにレジスタに設定する遅延補正データを記憶させた構成の タイミング保持機能を搭載した IC 試験装置 を提案する。

【 0 0 1 8 】

この発明の請求項 3 では請求項 1 及び請求項 2 に記載のピンカードの双方の構成を装備し、不揮発メモリに試験パターン供給経路の信号伝搬遅延時間を設定値に合わせ込むための遅延補正データと、ストロブパルス供給経路の信号伝搬遅延時間を設定値に合わせ込むための遅延補正データの双方を記憶させた構成とした タイミング保持機能を搭載した IC 試験装置 を提案するものである。

【 0 0 1 9 】

この発明の請求項 4 では請求項 1 に記載の タイミング保持機能を搭載した IC 試験装置 において、1 枚のピンカードに上記被試験 IC の複数の端子に試験パターン信号を与える複数の試験パターン供給経路と、これら複数の試験パターン供給経路に対応して設けた不揮発メモリとを搭載し、各試験パターン供給経路の遅延時間を補正する遅延補正データをそれぞれ不揮発メモリに記憶して用意した構成とした タイミング保持機能を搭載した IC 試験装置 を提案する。

【 0 0 2 0 】

この発明の請求項 5 では請求項 2 に記載の タイミング保持機能を搭載した IC 試験装置 において、1 枚のピンカードに上記被試験 IC の複数の端子から出力される応答信号を取り込む信号読取回路と、この信号読み取り回路にストロブパルスを供給する複数のストロブパルス供給経路と、各ストロブパルス供給経路に対応して設けた不揮発メモリとを搭載し、各不揮発メモリに上記各ストロブパルス供給経路の遅延時間を規定値に補正するための遅延補正データを記憶した構成とした タイミング保持機能を搭載した IC 試験装置 を提案する。

【 0 0 2 1 】

この発明の請求項 6 では請求項 4 と 5 の双方の構成を 1 枚のピンカードに搭載して構成した タイミング保持機能を搭載した IC 試験装置 を提案する。

この発明の請求項 7 では請求項 1、2、3、4、5、6 に記載した タイミング保持機能を搭載した IC 試験装置 の何れかにおいて、

IC 試験装置の動作を制御する制御器は試験開始の初期設定時に各ピンカードに設けた不揮発メモリからそれぞれのピンカードに設けたレジスタに遅延補正データを転送する転送命令を出力し、その転送命令によって試験パターン供給経路又はストロブパルス供給経路の信号伝搬時間を予め規定した設定値に校正する構成とした IC 試験装置を提案する。

【 0 0 2 2 】

【作用】

この発明による タイミング保持機能を搭載した IC 試験装置 によればピンカードの組立が完了した時点で各ピンカードに搭載した試験パターン供給経路又はストロブパルス供給経路の各信号伝搬時間をピンカード単体の状態で計測し、その信号伝搬時間が予め規定した値に合わせ込むために可変遅延素子に設定する遅延補正データを求め、この遅延補正データを不揮発メモリに記憶させるから、どのピンカードに交換しても、不揮発メモリに記憶させた遅延補正データを利用することにより遅延時間の計測を行うことなく直ちに試験を開始させることができる。

【 0 0 2 3 】

つまり、ピンカードを交換する毎に各ピンカードに搭載した試験パターン供給経路及びストロブパルス供給経路の信号伝搬遅延時間を計測しなくて済むため、試験を中断してい

10

20

30

40

50

る時間を大幅に短縮できる大きな利点が得られる。

更にこの発明による IC 試験装置によれば起動時に必ず不揮発メモリに記憶した遅延補正データを初期設定するから交換前のピンカードの遅延補正データを利用して動作してしまう誤動作が発生する恐れは全く無い。従って信頼性の高い IC 試験装置を提供することができる利点が得られる。

【 0 0 2 4 】

【発明の実施の形態】

図 1 にこの発明に用いるピンカードと、このピンカードを装着して被試験 IC を試験する IC 試験装置の一実施例を示す。図 1 に示す実施例では各ピンカード PCAD に試験パターン供給経路のみを搭載したピンカードにこの発明を適用した場合を示す。

10

【 0 0 2 5 】

つまり、波形生成部 1 4 と、可変遅延素子 DY 1 と、ドライバ 1 6 とによって試験パターン供給経路を構成し、ドライバ 1 6 から被試験 IC 1 9 に試験パターン信号が供給される。

この発明では各ピンカード PCAD に不揮発メモリ 2 4 を設け、この不揮発メモリ 2 4 に可変遅延素子 DY 1 に設定する遅延補正データを記憶させる。不揮発メモリ 2 4 は例えばフラッシュメモリ等と呼ばれ、電源電圧を断にしても記憶を維持する機能を具備したメモリを用いることができ、ピンカード PCAD の単体の状態で波形生成部 1 4 の出力端子からピンカード PCAD の出力端子 TOU までの間の信号伝搬遅延時間を計測する。この計測には例えばオシロスコープ（特に図示しない）を用いることができる。計測条件としては可変遅延素子 DY 1 の遅延時間をゼロに設定した状態において計測するものとする。

20

【 0 0 2 6 】

この計測結果が例えば 9 PS（ピコ秒）であったとする。更に予め規定した遅延時間が例えば 1 5 PS であったとすると、可変遅延素子 DY 1 に 6 PS の遅延時間を与えればよいことになる。従って、不揮発メモリ 2 4 に 6 PS の遅延時間を与えるための遅延補正データを記憶させればよい。

どのピンカード PCAD であっても、不揮発メモリ 2 4 に記憶した遅延補正データを各ピンカード PCAD のレジスタ RG 1 に設定すれば各ピンカード PCAD の試験パターン供給経路の規定した伝搬遅延時間は、例えば 1 5 PS に揃えられる。

【 0 0 2 7 】

従って、この発明によるピンカード PCAD を IC 試験装置に装着した場合、制御器 1 1 は試験開始時の初期設定動作において、各ピンカード PCAD に不揮発メモリ 2 4 に記憶している遅延補正データをレジスタ RG 1 に転送し、設定する転送命令を送達することにより、各ピンカード PCAD に搭載している試験パターン供給経路の伝搬遅延時間の校正は終了する。

30

【 0 0 2 8 】

この結果、仮に試験中にピンカードが不良になっても、その不良になったピンカードを交換し、その交換したピンカードに遅延補正データの転送命令を送達すればピンカードの遅延時間の校正が完了するから、短時間の内に故障状態から復旧させることができる利点が得られる。

40

図 2 はこの発明の請求項 2 で提案したピンカードを用いた IC 試験装置の実施例を示す。つまり、請求項 2 では被試験 IC 1 9 の出力端子用のピンカードにこの発明を適用した構成を請求するものである。従ってこの実施例ではアナログ比較器 1 7 の出力側に設けた信号読取回路 DF にストローブパルス STB を印加するストローブパルス供給経路の遅延時間を計測し、その計測した遅延時間と規定した遅延時間との差を求めその差の値を遅延補正データとして不揮発メモリ 2 4 に記憶させる。

【 0 0 2 9 】

制御器 1 1 は試験開始時に初期化動作として、各ピンカード PCAD に遅延補正データの転送命令を送達することにより、不揮発メモリ 2 4 に記憶した遅延補正データをレジスタ RG 2 に転送するから、この転送により可変遅延素子 DY 2 の遅延時間が規定の遅延時間

50

との差の遅延時間に設定され、各ピンカードPCAD上のストロープ供給経路の遅延時間は規定の遅延時間に揃えられる。

【0030】

従って、図1に示した実施例と同様にピンカードPCADを交換しても、単にその交換したピンカードに遅延補正データの転送命令を送達するだけで校正作業は終了し、短い時間で試験を開始することができる利点が得られる。

図3はこの発明の請求項3で提案したピンカードの実施例を示す。この実施例ではピンカードPCADに試験パターン供給経路とストロープパルス供給経路との双方を搭載したピンカードにこの発明を適用した場合を示す。

【0031】

従って、この実施例では不揮発メモリ24Aと24Bとを設け、これらの不揮発メモリ24Aと24Bに試験パターン供給経路の遅延時間を補正する遅延補正データとストロープパルス供給経路の遅延時間を補正する遅延補正データとを記憶させ、初期設定時にこれらの不揮発メモリ24A、24Bに記憶した遅延補正データをレジスタRG1とRG2に転送して各可変遅延素子DY1とDY2の遅延時間を設定する。

【0032】

尚、図3に示した実施例において、不揮発メモリを24Aと24Bの別個のメモリとして示したが現実には同一の例えばフラッシュメモリによって構成し、フラッシュメモリの異なるアドレスに試験パターン供給経路の遅延補正データとストロープパルス供給経路の遅延補正データを記憶するように構成される。

また、上述では不揮発メモリ24に遅延補正データのみを記憶させるものとして説明したが、不揮発メモリには遅延補正データだけに限らず、ピンカードに係わる他の補正データを記憶し、始動時にこの補正データを制御器11が読み取って各部の初期設定を実行するように構成することもできる。

【0033】

また、図1乃至3に示した実施例では1枚のピンカードPCADに被試験IC19の一つの端子に試験パターン信号を与える試験パターン供給経路とストロープパルス供給経路とを設けた例を示したが、現実には1枚のピンカードに複数のチャンネルの試験パターン供給経路及びストロープパルス供給経路を搭載する例が多く見られ、これらの構成もこの発明の権利範囲に含まれるものとする。

【0034】

また、図1に示した例では試験パターン供給経路を搭載したピンカードのみでIC試験装置を構成した場合を示し、また図2ではストロープパルス供給経路を搭載したピンカードのみでIC試験装置を構成したものとして説明したが、現実にはそのようなIC試験装置は存在するものではなく、図1に示したピンカードと、図2に示したピンカードと、図3で示したピンカードが混在して、IC試験装置が構成されることは容易に理解できよう。

【0035】

【発明の効果】

以上説明したように、この発明によれば各ピンカードPCADに予め遅延補正データを記憶させて用意しておくから、ピンカードPCADを交換する毎に、各ピンカードPCADの試験パターン供給経路及びストロープパルス供給経路の遅延時間を計測し、遅延補正データを取得する作業を行う必要が無い。

【0036】

従って、仮に試験中にピンカードを交換しなければならない故障が発生しても、正常なピンカードに交換すれば直ちに再起動させることができ、試験を中断する時間を大幅に短縮することができ、スループットの向上を達することができる利点が得られる。

また、再起動した場合に以前のピンカードの遅延補正データが誤まって設定されてしまう事故が起きる恐れも全く無いから、信頼性の高いIC試験装置を提供することができる利点も得られる。

【図面の簡単な説明】

【図1】この発明の請求項1に記載のタイミング保持機能を搭載したIC試験装置の一実施例を説明するためのブロック図。

【図2】この発明の請求項2に記載のタイミング保持機能を搭載したIC試験装置の一実施例を説明するためのブロック図。

【図3】この発明の請求項3に記載のタイミング保持機能を搭載したIC試験装置の一実施例を説明するためのブロック図。

【図4】IC試験装置の全体の概要を説明するためのブロック図。

【図5】従来のピンカードの構成を説明するためのブロック図。

【図6】従来のピンカードの他の例を説明するためのブロック図。

【図7】従来のピンカードの更に他の例を説明するためのブロック図。

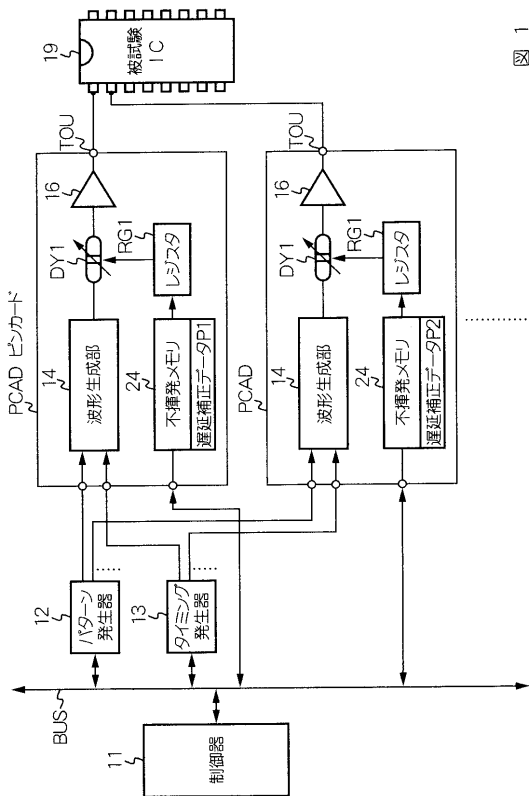
10

【符号の説明】

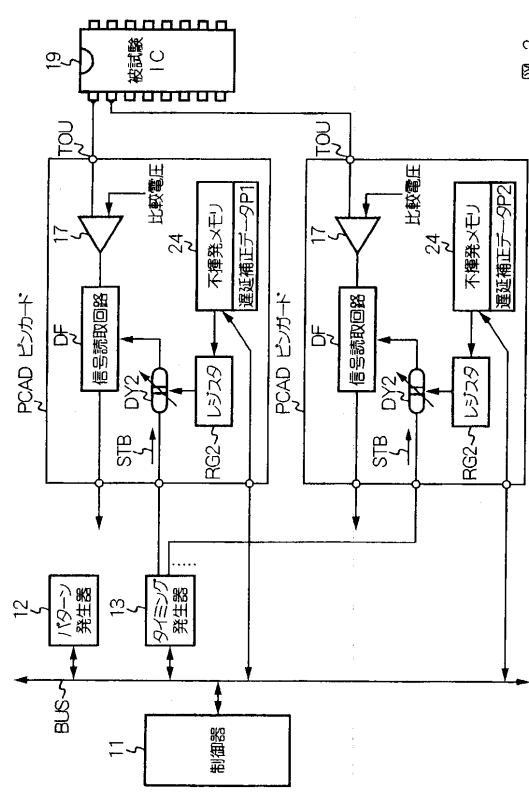
- 1 1 制御器
- 1 2 パターン発生器
- 1 3 タイミング発生器
- 1 4 波形生成部
- 1 6 ドライバ
- 1 7 アナログ比較器
- 1 9 被試験IC
- P C A D ピンカード
- D Y 1、D Y 2 可変遅延素子
- R G 1、R G 2 レジスタ
- D F 信号読取回路
- 2 4 不揮発メモリ

20

【図1】



【図2】



【図3】

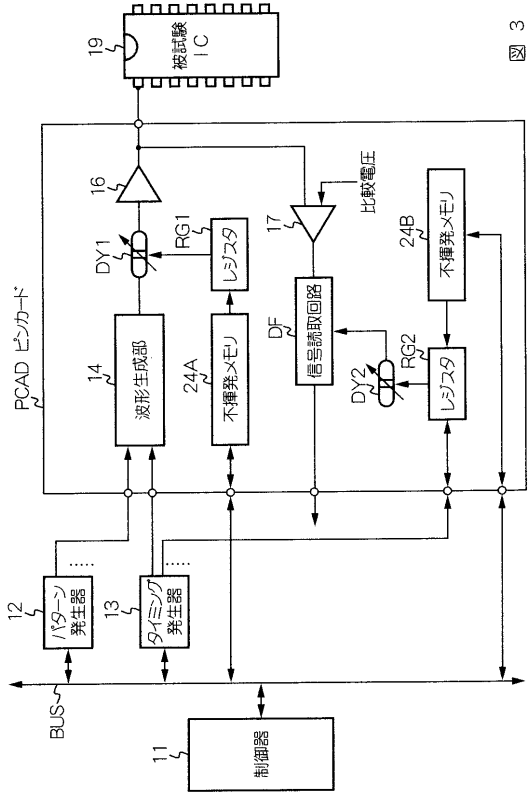


図 3

【図4】

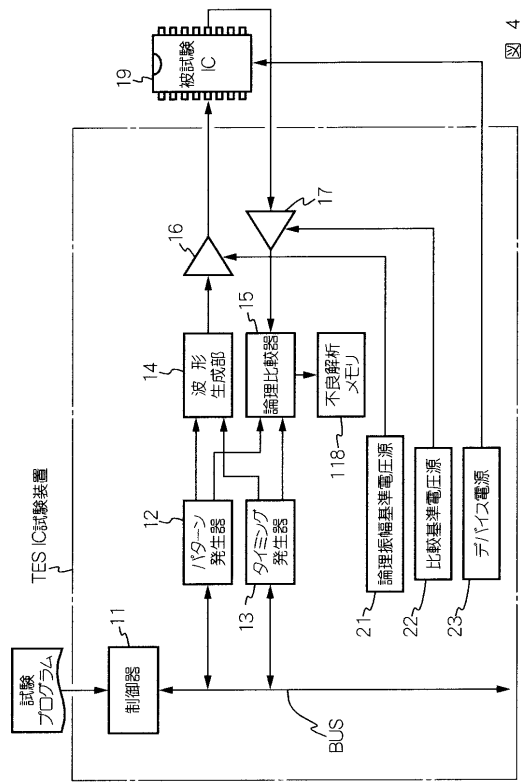


図 4

【図5】

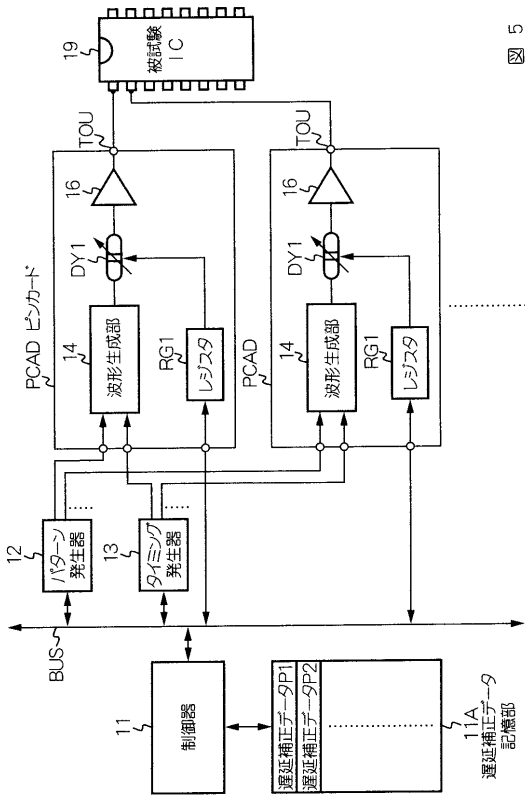


図 5

【図6】

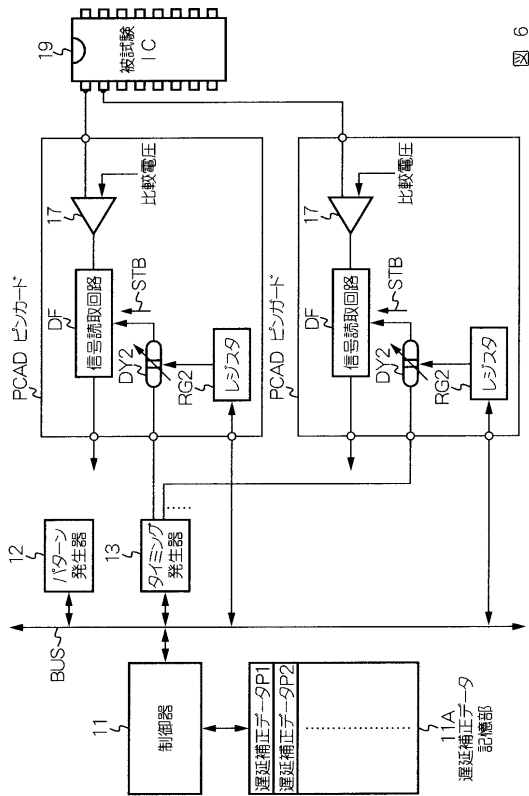


図 6

【 図 7 】

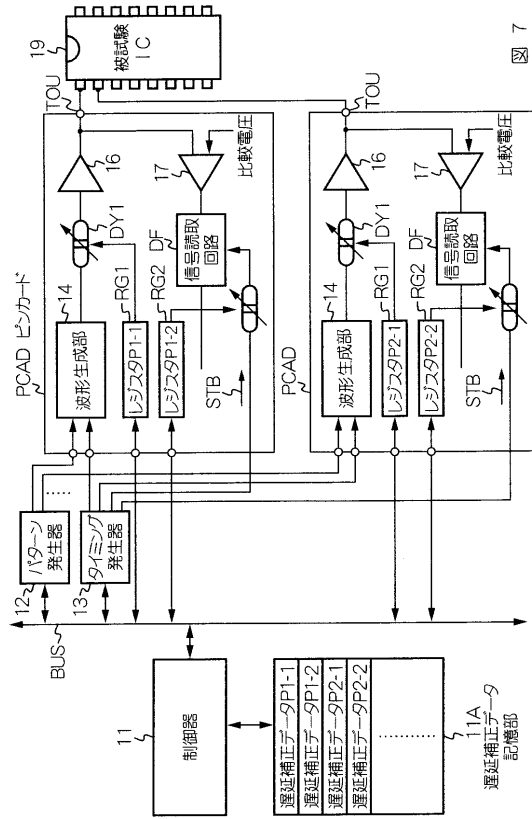


図 7

フロントページの続き

審査官 藤原 伸二

- (56)参考文献 特開平07-055882(JP,A)
特開平10-010206(JP,A)
特開平06-265597(JP,A)
特開平03-229172(JP,A)
特開2000-137057(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28-31/3193
G01R 31/26
G01R 1/06-1/073
G01R 35/00