(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0131054
(43) 공개일자 2024년08월30일

(51) 국제특허분류(Int. Cl.)
H03F 1/26 (2006.01) *H03F 1/48* (2006.01)
H03F 3/193 (2006.01) *H03G 3/30* (2006.01)
(52) CPC특허분류
H03F 1/26 (2013.01)
H03F 1/483 (2013.01)
(21) 출원번호 10-2023-0024301
(22) 출원일자 2023년02월23일
심사청구일자 2023년02월23일

(71) 출원인
국립한밭대학교 산학협력단
대전광역시 유성구 동서대로 125 (덕명동)
(72) 발명자
김주성
대전광역시 유성구 상대복용로 29번길 51, 207동 703호(아이파크시티 2단지)
한정환
대전광역시 유성구 죽동로 321 금성백조예미지아파트 103동 1305호
(74) 대리인
이은철, 이우영

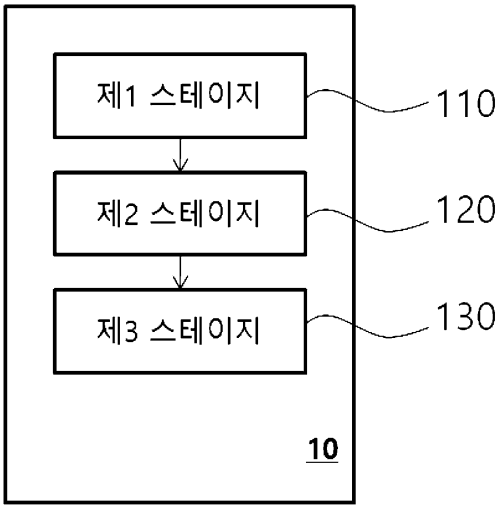
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **광대역, 높은 차동 오차 성능의 저잡음 증폭기 및 가변 이득 방법**

(57) 요 약

본 발명은 광대역, 높은 차동 오차 성능의 저잡음 증폭기에 관한 것으로, 복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성하여 차동신호를 기반으로 하는 광대역, 높은 차동 오차 성능의 저잡음 증폭기 및 가변 이득 방법에 관한 것이다. 본 발명에 따르면, 복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성되는 차동 오차 성능을 갖는 저잡음 증폭기에 있어서, 저잡음을 확보하고, single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행하는 제1 스테이지, 차동신호를 기반으로 추가적인 이득을 확보하고, 동시에 송수신 거리에 따른 동적 범위를 확보하기 위한 가변 이득 기능을 수행하는 제2 및 제3 스테이지를 포함하여 CS 증폭단의 출력단의 신호를 CG 증폭단의 게이트 신호로 이용하여, 이를 통해 CG 증폭단의 이득을 증가시키고, 추가적으로 소자의 사이즈 감소, 기생 성분의 감소를 통해 대역폭, 차동 오차 성능 향상을 이끌어내는 효과가 있다.

대 표 도 - 도1



(52) CPC특허분류
H03F 3/193 (2013.01)
H03G 3/3036 (2013.01)
H03F 2200/09 (2013.01)
H03F 2200/294 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 1711172900
과제번호 2022R1A4A3029433
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 집단연구지원
연구과제명 확장성, 신뢰성 갖춘 양자컴퓨터 실현을 위한 극저온 CMOS Interconnect Electronics 개발
기 여 율 1/2
과제수행기관명 한밭대학교
연구기간 2022.06.01 ~ 2025.02.28
이 발명을 지원한 국가연구개발사업
과제고유번호 1711106202
과제번호 2019R1F1A1048784
부처명 과학기술정보통신부
과제관리(전문)기관명 한국연구재단
연구사업명 개인기초연구(과기정통부)(R&D)
연구과제명 RF 펄스 폭 변조 기반 송신기, Wake-up 수신 기능 내재화한 수신기 기반의 높은 데이터 전송률을 가진 초저전력 IoT 송수신단 개발
기 여 율 1/2
과제수행기관명 한밭대학교
연구기간 2021.06.01 ~ 2025.05.31

명 세 서

청구범위

청구항 1

복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성되는 차동 오차 성능의 저잡음 증폭기에 있어서,

저잡음을 확보하고, single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행하는 제1 스테이지,

차동신호를 기반으로 추가적인 이득을 확보하고, 동시에 송수신 거리에 따른 동적 범위를 확보하기 위한 가변 이득 기능을 수행하는 제2 및 제3 스테이지를 포함하는 것을 특징으로 하는 광대역, 높은 차동 오차 성능의 저잡음 증폭기.

청구항 2

제1항에 있어서,

상기 제1 스테이지는 단극 입력, 차동 출력 증폭단으로서, low noise와 single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행하는 것을 특징으로 하는 광대역, 높은 차동 오차 성능의 저잡음 증폭기.

청구항 3

제1항에 있어서,

상기 제2 및 제3 스테이지는

back-to-back inverter 구조를 활용하여 차동 출력에 오류가 발생할 경우 자가 보정 기능을 수행하여 오차 성능을 향상시키는 것을 특징으로 하는 광대역, 높은 차동 오차 성능의 저잡음 증폭기.

청구항 4

제1항에 있어서,

상기 제2 및 제3 스테이지는

RL1, RL2, L1으로 이루어진 출력 임피던스 구조를 통해 광대역 동작을 위해 제공되는 부하의 낮은 값에 따라 출력단의 RC 시상수를 작게하고, 가변 이득을 보장하기 위해 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 광대역, 높은 차동 오차 성능의 저잡음 증폭기.

청구항 5

제4항에 있어서,

상기 제2 및 제3 스테이지는 상기 출력단에 존재하는 PMOS 트랜지스터의 On/Off를 통해 가변 이득을 제어하는 것을 특징으로 하는 광대역, 높은 차동 오차 성능의 저잡음 증폭기.

청구항 6

복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성되는 차동 오차 성능의 저잡음 증폭기를 이용한 가변 이득 방법에 있어서,

(a) 상기 저잡음 증폭기가 상기 복수의 스테이지 중, 제1 스테이지를 통해 저잡음을 확보하고, single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행하는 단계,

(b) 상기 저잡음 증폭기가 제2 및 제3 스테이지를 통해 차동신호를 기반으로 추가적인 이득을 확보하고, 동시에 송수신 거리에 따른 동적 범위를 확보하기 위한 가변 이득 기능을 수행하는 단계를 포함하는 것을 특징으로 하는 저잡음 증폭기를 이용한 가변 이득 방법.

청구항 7

제6항에 있어서,

상기 (a)단계는 상기 제1 스테이지가 단극 입력, 차동 출력 증폭단으로서, low noise와 single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행하는 것을 특징으로 하는 저잡음 증폭기를 이용한 가변 이득 방법.

청구항 8

제6항에 있어서,

상기 (b)단계는 상기 제2 및 제3 스테이지가 back-to-back inverter 구조를 활용하여 차동 출력에 오류가 발생할 경우 자가 보정 기능을 수행하여 오차 성능을 향상시키는 것을 특징으로 하는 저잡음 증폭기를 이용한 가변 이득 방법.

청구항 9

제6항에 있어서,

상기 (b)단계는 상기 제2 및 제3 스테이지가 RL1, RL2, L1으로 이루어진 출력 임피던스 구조를 통해 광대역 동작을 위해 제공되는 부하의 낮은 값에 따라 출력단의 RC 시상수를 작게하고, 가변 이득을 보장하기 위해 PMOS 트랜지스터를 구비하는 것을 특징으로 하는 저잡음 증폭기를 이용한 가변 이득 방법.

청구항 10

제9항에 있어서,

상기 (b)단계는 상기 제2 및 제3 스테이지가 상기 출력단에 존재하는 PMOS 트랜지스터의 On/Off를 통해 가변 이득을 제어하는 것을 특징으로 하는 저잡음 증폭기를 이용한 가변 이득 방법.

발명의 설명

기 술 분 야

[0001] 본 발명은 광대역, 높은 차동 오차 성능을 가진 저잡음 증폭기에 관한 것으로, 보다 상세하게는 복수의 스테이지로 구성된 증폭기 및 차동 오차를 보정할 수 있는 가변 이득 블록으로 구성하여 단극성 입력, 차동 출력을 기반으로 하는 광대역, 높은 차동 오차 성능을 가진 저잡음 증폭기 및 가변 이득 방법에 관한 것이다.

배 경 기 술

[0002] 단극성(single-ended) 입력 및 출력의 증폭기(혹은 회로)는 전원 및 접지(ground) 단자에서의 교란(disturbance) 신호, 그리고 외부에서 인가되는 간섭(interference) 신호에 의해 상기 회로의 신호 대 잡음비(signal to noise ratio)의 저하가 극심하다. 이에 집적 회로 내부에서는 차동(differential) 입력 및 차동 출력의 증폭기가 주로 사용되며, 입력 혹은 출력에서의 차동 신호는 같은 크기(magnitude), 그리고 반대의 위상(phase)를 가짐을 바람직하다.

[0003] 무선 송수신기의 수신부에 쓰이는 저잡음 증폭기는 단극성의 안테나(antenna)와의 연결이 필수적이다. 뿐만 아니라 저잡음 증폭기의 후단에 연결되는 하향 혼합기(down-conversion mixer)는 전원 및 접지 단자에서의 교란 신호, 그리고 외부에서 인가되는 간섭 신호에 의한 영향을 최소화하기 위해 주로 차동으로 설계된다. 따라서 저잡음 증폭기는 단극성 입력, 그리고 차동 출력을 가짐이 바람직하며, 이는 Balun(balanced-unbalanced)라 불리기도 한다.

[0004] 이러한 단극성 입력, 그리고 차동 출력을 가진 저잡음 증폭기(Low-Noise Amplifier, LNA)는 차동 오차를 줄임이 바람직할 뿐만 아니라 입력 신호의 증폭, 그리고 추가 잡음의 최소화를 통해 수신부 시스템의 신호 대 잡음 비율을 향상시키는 것을 주요로 한다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 등록특허 1948014 (2019.02.08)

발명의 내용

해결하려는 과제

[0006] 본 발명은 상술한 문제를 해결하고자 고안한 것으로, 복수의 스테이지로 구성된 증폭기 및 차동 오차를 보정할 수 있는 가변 이득 블록으로 구성하여 추가적인 이득을 확보하고, 동시에 송수신 거리에 따른 동적 범위를 확보하기 위한 광대역, 높은 차동 오차 성능의 저잡음 증폭기 및 가변 이득 방법을 제공함에 있다.

과제의 해결 수단

[0007] 본 발명에 따른 복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성되는 차동 오차 성능을 갖는 저잡음 증폭기에 있어서, 저잡음을 확보하고, single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행하는 제1 스테이지, 차동신호를 기반으로 추가적인 이득을 확보하고, 동시에 송수신 거리에 따른 동적 범위를 확보하기 위한 가변 이득 기능을 수행하는 제2 및 제3 스테이지를 포함한다.

[0008] 제1 스테이지는 단극 입력, 차동 출력 증폭단으로서, low noise와 single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행한다.

[0009] 제2 및 제3 스테이지는 back-to-back inverter 구조를 활용하여 차동 출력에 오류가 발생할 경우 자가 보정 기능을 수행하여 오차 성능을 향상시킨다.

[0010] 제2 및 제3 스테이지는 RL1, RL2, L1으로 이루어진 출력 임피던스 구조를 통해 광대역 동작을 위해 제공되는 부하의 낮은 값에 따라 출력단의 RC 시상수를 작게하고, 가변 이득을 보장하기 위해 PMOS 트랜지스터를 구비한다.

[0011] 제2 및 제3 스테이지는 상기 출력단에 존재하는 PMOS 트랜지스터의 On/Off를 통해 가변 이득을 제어한다.

[0012] 복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성되는 차동 오차 성능의 저잡음 증폭기를 이용한 가변 이득 방법에 있어서, (a) 상기 저잡음 증폭기가 상기 복수의 스테이지 중, 제1 스테이지를 통해 저잡음을 확보하고, single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행하는 단계, (b) 상기 저잡음 증폭기가 제2 및 제3 스테이지를 통해 차동신호를 기반으로 추가적인 이득을 확보하고, 동시에 송수신 거리에 따른 동적 범위를 확보하기 위한 가변 이득 기능을 수행하는 단계를 포함한다.

[0013] (a)단계는 상기 제1 스테이지가 단극 입력, 차동 출력 증폭단으로서, low noise와 single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행한다.

[0014] (b)단계는 상기 제2 및 제3 스테이지가 RL1, RL2, L1으로 이루어진 출력 임피던스 구조를 통해 광대역 동작을 위해 제공되는 부하의 낮은 값에 따라 출력단의 RC 시상수를 작게하고, 가변 이득을 보장하기 위해 PMOS 트랜지스터를 구비한다.

[0015] (b)단계는 상기 제2 및 제3 스테이지가 상기 출력단에 존재하는 PMOS 트랜지스터의 On/Off를 통해 가변 이득을 제어한다.

발명의 효과

[0016] 본 발명의 일 실시예에 따르면, CS 증폭단의 출력단의 신호를 CG 증폭단의 게이트 신호로 이용하여, 이를 통해 CG 증폭단의 이득을 증가시키고, 추가적으로 소자의 사이즈 감소, 기생 성분의 감소를 통해 대역폭, 차동 오차 성능 향상을 이끌어내는 효과가 있다.

[0017] 또한 CG 증폭단에서 요구되는 trans-conductance의 크기가 감소함에 따라 전류 사용도 감소가 되며, 이에 수반되는 효과로써, 전체 시스템의 전력 소모 최소화, 바이어스 트랜지스터(M3)에 의한 잡음 성분이 감소하게 된다.

[0018] 뿐만 아니라 본 발명의 일 실시예에 따르면, 제 1스테이지에서 발생하는 크기 및 위상에서의 차동 오차는, 제2, 제 3 스테이지에서의 차동 출력 오차를 보정할 수 있는 구조로 인해, 광대역에서 높은 수준의 차동 오차 성능을 보장할 수 있는 기능을 가지게 된다.

[0019] 또한 제2, 제 3 스테이지에서의 가변 이득 회로 구비를 통해 송수신 거리에 따른 넓은 범위의 입력 신호에 대해

넓음 동적 범위(dynamic range)를 가질 수 있는 효과가 있다.

도면의 간단한 설명

[0020] 도 1은 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기의 구성을 나타낸 도면이다.

도 2는 본 발명의 일 실시예에 따른 복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성되는 차동 오차 성능의 저잡음 증폭기를 이용한 가변 이득 방법을 나타낸 흐름도이다.

도 3은 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기의 제1 스테이지를 나타낸 도면이다.

도 4는 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기의 제2 및 제3 스테이지를 나타낸 도면이다.

도 5는 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

[0021] 본 발명의 실시예에서 제시되는 특정한 구조 내지 기능적 설명들은 단지 본 발명의 개념에 따른 실시예를 설명하기 위한 목적으로 예시된 것으로, 본 발명의 개념에 따른 실시예들은 다양한 형태로 실시될 수 있다. 또한, 본 명세서에 설명된 실시예들에 한정되는 것으로 해석되어서는 아니 되며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경물, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다.

[0022] 한편, 본 발명에서 제1 및/또는 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 한정되지는 않는다. 상기 용어들은 하나의 구성요소를 다른 구성요소들과 구별하는 목적으로만, 예컨대 본 발명의 개념에 따른 권리 범위로부터 벗어나지 않는 범위 내에서, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소는 제1 구성요소로도 명명될 수 있다.

[0023] 도 1은 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기(10)의 구성을 나타낸 도면이다. 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기는 복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성되는 차동 오차 성능의 저잡음 증폭기에 있어서, 제1 스테이지(110), 제2 및 제3 스테이지(120, 130)를 포함한다.

[0024] 제1 스테이지(110)는 저잡음을 확보하고, single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행한다. 여기서, 발룬(Balun)은 balanced-to-unbalanced의 약자로, 균형 신호와 비균형 신호 간의 변환을 수행하는 것으로, 균형 신호는 대칭적인 신호로서, 양쪽의 선이 같은 진폭을 가지며, 위상은 반대(180o)를 가지게 된다. 반면에, 비균형 신호는 대칭이 아닌 신호로서, 한 쪽의 선은 신호를 나타내고 다른 쪽의 선은 접지(ground)에 연결된다.

[0025] 본 실시예에 따른 저잡음 증폭기에서 발룬은 반전 증폭기, 비반전 증폭기를 활용하여 불균형 신호(입력)를 균형 신호(신호)로 변환한다. 또한, 발룬은 증폭기와 안테나 간의 임피던스 매칭 역할을 하기도 한다. 비반전 증폭기로 쓰이는 공통-게이트 증폭기는 Transconductor(Gm) 에 반비례하는 양의 입력 저항을 나타내게 되며, 이는 안테나의 출력 저항과 동일한 값을 가질 수 있도록 설계가 이루어진다. 전통적인 트랜스포머, 혹은 수동 소자를 활용한 발룬에 비해, 본 실시예에 따른 저잡음 증폭기는 능동 소자를 활용한 증폭 이득과 더불어 발룬 기능을 수행하기에, 잡음 성능 및 수신기의 이득 측면에서 큰 장점을 가지고 있다.

[0026] 본 실시예에 따른 제1 스테이지(110)는 단극 입력, 차동 출력 증폭단으로서, low noise와 single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행한다.

[0027] 제2 및 제3 스테이지(120, 130)는 차동신호를 기반으로 추가적인 이득을 확보하고, 제 1 스테이지에서 발생한 차동 오차를 제거하는 기능을 구비함과 동시에 송수신 거리에 따른 동적 범위를 확보하기 위한 가변 이득 기능을 수행한다.

[0028] 이러한 제2 및 제3 스테이지는 back-to-back inverter 구조를 활용하여 차동 출력에 오류가 발생할 경우 자가 보정 기능을 수행하여 오차 성능을 향상시킨다.

[0029] 또한 제2 및 제3 스테이지는 RL1, RL2, L1으로 이루어진 출력 임피던스 구조를 통해 광대역 동작을 위해 제공되는 부하의 낮은 값에 따라 출력단의 RC 시상수를 작게하고, 가변 이득을 보장하기 위해 PMOS 트랜지스터를 구비

한다. 그리고 제2 및 제3 스테이지는 상기 출력단에 존재하는 PMOS 트랜지스터의 On/Off를 통해 가변 이득을 제어한다.

[0030] 도 2는 본 발명의 일 실시예에 따른 복수의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성되는 차동 오차 성능의 저잡음 증폭기를 이용한 가변 이득 방법을 나타낸 흐름도이다.

[0031] 본 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기(이하, 저잡음 증폭기)를 이용한 가변 이득 방법에 있어서, (a)저잡음 증폭기는 복수의 스테이지 중, 제1 스테이지를 통해 저잡음을 확보하고, single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행하는 단계, (b)저잡음 증폭기는 제2 및 제3 스테이지를 통해 차동신호를 기반으로 추가적인 이득을 확보하고, 제 1 스테이지에서 발생한 차동 오차를 제거하는 기능을 구비함과 동시에 송수신 거리에 따른 동적 범위를 확보하기 위한 가변 이득 기능을 수행하는 단계를 포함한다.

[0032] 본 실시예에 따른 (a)단계는 상기 제1 스테이지가 단극 입력, 차동 출력 증폭단으로서, low noise와 single-ended 안테나와의 인터페이스를 위한 balun 기능을 수행한다.

[0033] 또한 (b)단계는 상기 제2 및 제3 스테이지가 back-to-back inverter 구조를 활용하여 차동 출력에 오류가 발생할 경우 자가 보정 기능을 수행하여 오차 성능을 향상시킨다.

[0034] 또한 (b)단계는 상기 제2 및 제3 스테이지가 RL1, RL2, L1으로 이루어진 출력 임피던스 구조를 통해 광대역 동작을 위해 제공되는 부하의 낮은 값에 따라 출력단의 RC 시상수를 작게하고, 가변 이득을 보장하기 위해 PMOS 트랜지스터를 구비한다.

[0035] 그리고 (b)단계는 상기 제2 및 제3 스테이지가 상기 출력단에 존재하는 PMOS 트랜지스터의 On/Off를 통해 가변 이득을 제어한다.

[0036] 도 3은 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기의 제1 스테이지를 나타낸 도면이다. 도 3에 도시된 바와 같이, 제1 스테이지(1st-stage)는 단극 입력, 차동 출력 증폭단으로 구성된다.

[0037] 제1 스테이지는 단극 입력, 차동 출력 증폭단으로서, 저잡음을 확보하고, single-ended 안테나와의 효율적인 인터페이스를 위한 balun 기능을 수행한다.

[0038] 이러한 단극 입력, 차동 출력 증폭단은 common-gate(CG)의 증폭 트랜지스터(M1)에서 입력 정합(매칭)을 수행하며, common-source(CS)의 증폭 트랜지스터(M2)와의 조합을 통해 active-balun (single in, differential out) 동작을 수행한다.

[0039] 또한 제1 스테이지의 common-source(CS)/common-gate(CG) 증폭단 출력의 반전/비반전 동작은 기생 성분의 영향이 미비한 저주파 동작에서는 낮은 차동 오차(위상 오차, 이득 오차)를 나타낼 수 있으나, 고주파에서는 비대칭적인 기생 성분으로 인해 성능 열화가 수반된다. 차동 오차 성능 지표는 다음과 같이 정의된다.

[0040]
$$\text{위상 오차: } \Delta\phi = \phi_{v1} - \phi_{v2} - 180$$

$$\text{이득 오차: } \Delta v = 20 \cdot \log_{10}\left(\frac{v_1}{v_2}\right)$$

[0041] 여기서, v_1 은 Common-Gate 출력단의 신호 크기이고, v_2 는 Common-Source 출력단의 신호 크기이며, ϕ_{v1}은 Common-Gate 출력단의 신호 위상이고, ϕ_{v2} 는 Common-Source 출력단의 신호 위상이다.

[0042] 이때, 각각의 증폭단이 가지는 극점의 위치를 대역폭 바깥으로 밀어 낼 수 있다면 이러한 문제점을 극복할 수 있을 것이나, 실제 그러한 높은 대역폭 성능은 다른 성능의 희생을 필연적으로 수반한다.

[0043] 제안 기술인 제1 스테이지의 장점으로는 CS증폭단의 출력단의 신호를 CG증폭단의 게이트 신호로 이용한다. 이를 통해 CG 증폭단의 이득을 증가시키고, 추가적으로 소자의 사이즈 감소, 기생 성분의 감소를 통해 대역폭, 차동 오차 성능 향상을 이끌어낸다.

[0044] 또한 제안 기술인 제1 스테이지의 장점으로는 더불어 CG증폭단에서 요구되는 trans-conductance의 크기가 감소함에 따라 전류 사용도 감소가 되며, 이에 수반되는 효과로써, 1. 전체 시스템의 전력 소모 최소화, 2. 바이어

스 트랜지스터(M3)에 의한 잡음 성분이 감소하게 된다.

[0045] 도 4는 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기의 제2 및 제3 스테이지를 나타낸 도면이다. 도 4에 도시된 바와 같이, 제2 및 제3 스테이지는 차동 오차 보정기를 포함한 가변 이득 증폭기로 구성된다.

[0046] 2번째/3번째 스테이지는 전단부에서의 차동 신호를 기반으로 추가적인 이득을 확보하고, 동시에 통신 거리에 따라 높은 동적 범위에서 신호 품질을 확보하기 위해 가변 이득을 포함한다.

[0047] 도 2의 가변 이득 증폭기는 캐스코드 단을 포함한 common-source(CS) 구조로써 입력 신호 대비 반전된 출력 신호를 생성한다. 캐스코드 단, 그리고 출력단 총 2개의 노드에서 차동 신호를 구비하고 있으며, 이들은 서로 간 back-to-back regeneration 구조를 통해 신호의 추가적인 증폭 및 차동 신호의 오차(위상 오차, 이득 오차)를 보정한다.

[0048] 이들 regeneration transistor(인버터)는 positive-feedback 구조이기에 증폭기기의 이득을 향상시킬 수 있는 장점을 가질 수 있으나, 발진을 일으키지 않는 범위 내에서 설계가 이루어져야 한다.

[0049] 제안 기술의 back-to-back inverter(1), 광대역 구현을 위한 출력 임피던스 구조(2), 광대역의 가변 이득 구현(3)에 대해 설명하면 다음과 같다.

[0050] (1)제안 기술의 back-to-back inverter와 관련하여, 캐스코드 노드 (M1과 M2 트랜지스터 사이)와 출력 노드(voutn, 혹은 voutp)는 이상적으로는 같은 크기(이득), 반대 위상(180도 차이)를 가진 신호를 가지고 있어야 함에도 불고하고, 그림 1의 발룬에서 발생한 오차로 인해 본질적으로 차동 출력에 오류가 발생한다. Back-to-back inverter 구조를 활용하여, 차동 출력에 오류가 발생할 경우, 이 오류는 서로 간에 자가 보정을 이루게 되고, 오차 성능이 향상된다.

[0051] (2)제안 기술의 광대역 구현을 위한 출력 임피던스 구조와 관련하여, RL1, RL2, L1으로 이루어진 출력 임피던스 구조는 광대역 동작을 위해 다음과 같이 동작을 한다. RL1 저항은 주파수의 변화에 관계없이 일정한 부하를 제공하며, 제공되는 부하는 낮은 값을 가짐으로 인해 출력단의 RC 시상수가 충분히 작게 설계된다. RL2와 L1으로 이루어진 출력 임피던스는 낮은 품질계수(Q, quality-factor)를 가지고 있음에 따라 넓은 대역폭($BW = \frac{1}{Q}$)을 보장하게 된다. 가변 이득을 보장하기 위해 구비된 PMOS 트랜지스터는 RL1과 L1으로 이루어진 출력 임피던스의 크기를 원하는 가변 이득 설정에 따라 감소시키는 동작을 수행한다.

[0052] (3)제안 기술의 광대역의 가변 이득 구현과 관련하여, 출력단에 존재하는 PMOS 트랜지스터의 동작이 On/Off 됨에 따라 가변 이득을 성취하게 된다. 가변 이득을 일으키는 트랜지스터는 출력단으로부터 분리된 노드에 존재한다. 이로 인해 출력 단은 가변 이득을 위한 트랜지스터에 의한 기생 효과(커패시터)로부터 분리되어 있어, 넓은 대역폭 확보에 용이하다.

[0053] 도 5는 본 발명의 일 실시예에 따른 광대역, 높은 차동 오차 성능의 저잡음 증폭기를 나타낸 도면이다. 도 5에 도시된 바와 같이, 3개의 스테이지로 구성된 증폭기 및 가변 이득 블록으로 구성이 되며, 큰 동적 범위(dynamic range)를 가진 신호에 대하여 신호 압축(signal compression) 및 잡음(noise)에 강성을 가진 높은 신호 품질을 보장하게 된다.

[0054] 1번째 스테이지는 저잡음을 확보하고, singled-ended 안테나와의 효율적인 인터페이스를 위한 balun(single to differential) 기능을 수행한다. 트랜스포터(수동 소자) 기반의 발룬과 비교하였을 때 칩 면적의 최소화, 시스템 전체의 잡음 성능 향상을 달성할 수 있다.

[0055] 2번째/3번째 스테이지는 전단부에서의 차동 신호를 기반으로 추가적인 이득을 확보하고, 동시에 송수신 거리에 따른 높은 동적 범위를 확보하기 위한 가변 이득 기능을 포함한다.

[0056] 더불어 2번째/3번째 스테이지는 차동 출력의 오차 성능, 구체적으로는 차동 출력의 이득 오차, 그리고 위상 오차 최소화를 위한 보정기(compensator)를 포함한다.

[0057] 본 발명의 일 실시예에 따르면, CS 증폭단의 출력단의 신호를 CG 증폭단의 게이트 신호로 이용하여, 이를 통해 CG 증폭단의 이득을 증가시키고, 추가적으로 소자의 사이즈 감소, 기생 성분의 감소를 통해 대역폭, 차동 오차 성능 향상을 이끌어내는 효과가 있다.

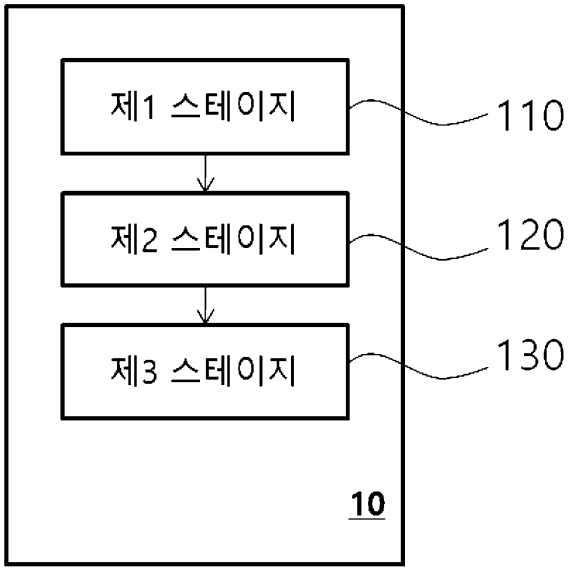
[0058] 또한 CG 증폭단에서 요구되는 trans-conductance의 크기가 감소함에 따라 전류 사용도 감소가 되며, 이에 수반

되는 효과로써, 전체 시스템의 전력 소모 최소화, 바이어스 트랜지스터(M3)에 의한 잡음 성분이 감소하게 된다.

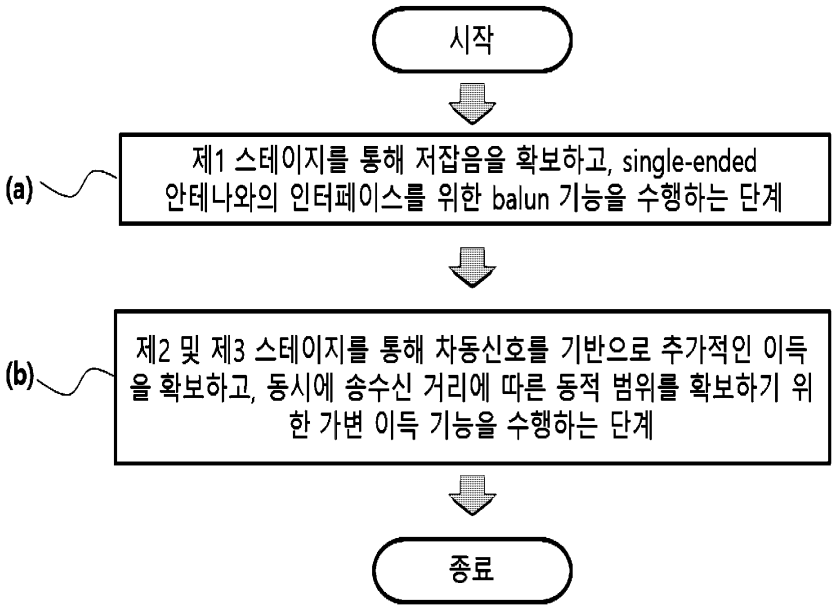
[0059] 이상에서 설명한 본 발명은 전술한 실시예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능함은 당업자에게 명백할 것이다.

도면

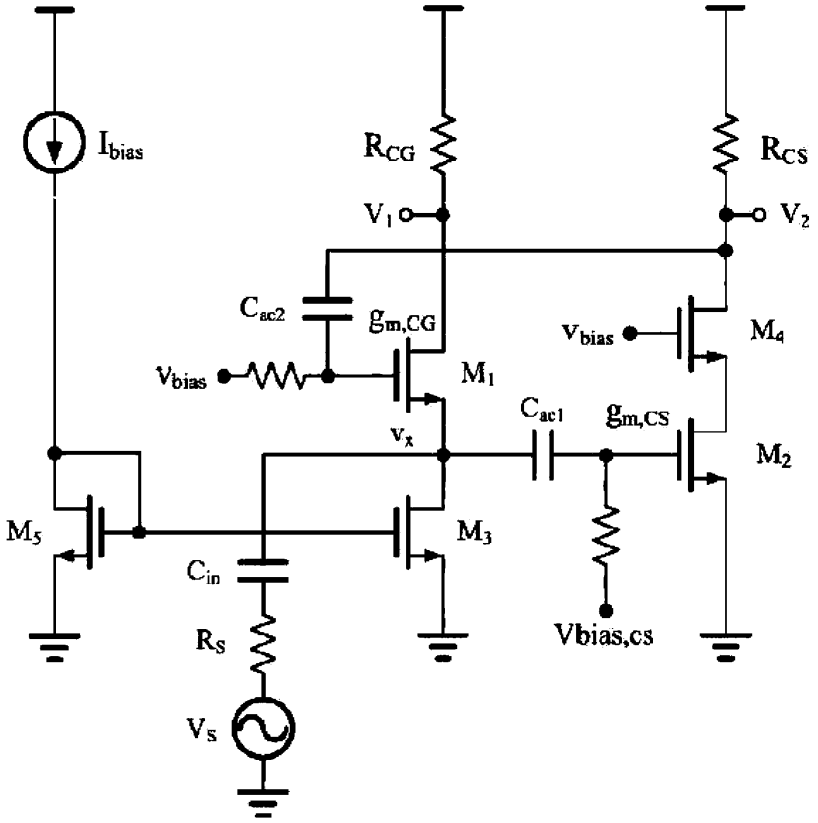
도면1



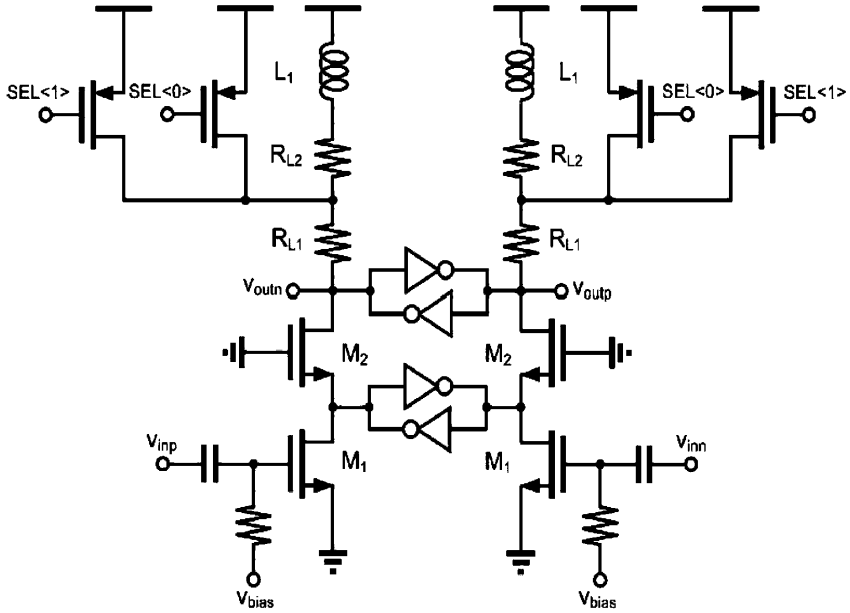
도면2



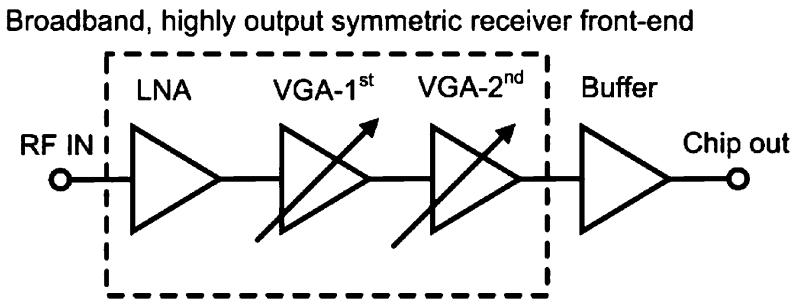
도면3


Ibias
RCG
RCS
V1
V2
Cac2
gm,CG
vbias
M1
M4
Cac1
gm,CS
vx
M2
M5
M3
Cin
RS
Vbias,cs
VS

도면4


SEL<1>
SEL<0>
L1
RL2
RL1
Voutn
Voutp
M2
Vinp
Vinn
M1
Vbias

도면5


Broadband, highly output symmetric receiver front-end
LNA
VGA-1st
VGA-2nd
Buffer
RF IN
Chip out