(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2009 年 12 月 3 日(03.12.2009)

PCT

(10) 国際公開番号
WO 2009/144878 A1

(51) 国際特許分類:
G01N 27/414 (2006.01)

(21) 国際出願番号: PCT/JP2009/002092

(22) 国際出願日: 2009 年 5 月 13 日(13.05.2009)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2008-139045 2008 年 5 月 28 日(28.05.2008) JP

(71) 出願人 (米国を除く全ての指定国について): ミツミ電機株式会社 (MITSUMI ELECTRIC CO., LTD.) [JP/JP]; 〒2068567 東京都多摩市鶴牧２丁目１１番地２ Tokyo (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山林 智明 (YAMABAYASHI, Tomoaki). 高橋 理 (TAKAHASHI, Osamu). 近藤 勝則 (KONDO, Katsunori). 菊地 洋明 (KIKUCHI, Hiroaki).

(74) 代理人: 鷲田 公一 (WASHIDA, Kimihito); 〒2060034 東京都多摩市鶴牧１丁目２４－１新都市センタービル５階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

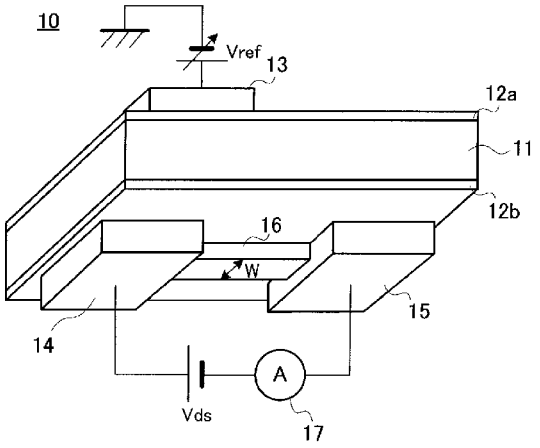
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SENSOR AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: センサ及びその製造方法

[図1]



(57) **Abstract**: Provided is a sensor having a high sensitivity and a high degree of freedom of layout by reducing constrictions of the channel shape, the reaction field area, and the position. Provided is also a method for manufacturing the sensor. The sensor (10) includes: a source electrode (15), a drain electrode, (14), and a gate electrode (13) arranged on silicon oxide film (12a, 12b); a channel (16) arranged on the silicon oxide films (12a, 12b) and electrically connected to the source electrode (15) and the drain electrode (14); and a reaction field (20) arranged on the silicon oxide films (12a, 12b). The reaction field (20) is formed on the silicon oxide film (12a) which is different from the channel (16). With this configuration, it is possible to independently select the shape of the channel (16) and the area of the reaction field (20). This enables the sensor (10) to have a high measurement sensitivity and a high degree of freedom of layout.

(57) 要約:

[続葉有]

WO 2009/144878 A1

チャネルの形状、反応場の面積及び位置の制約を少なくして、測定感度及びレイアウトの自由度の高いセンサ及びその製造方法を提供すること。センサ（１０）は、酸化シリコン膜（１２ａ，１２ｂ）に配置されたソース電極（１５）、ドレイン電極（１４）及びゲート電極（１３）と、酸化シリコン膜（１２ａ，１２ｂ）に配置され、ソース電極１５及びドレイン電極１４に電気的に接続されたチャネル（１６）と、酸化シリコン膜（１２ａ，１２ｂ）上に配置された反応場（２０とを備え、チャネル（１６）とは異なる酸化シリコン膜１２ａ）上に反応場（２０を形成する。この構成により、チャネル（１６）の形状及び反応場（２０）の面積をそれぞれ独立に選択できるようになる。その結果、測定感度及びレイアウトの自由度の高いセンサ（１０）を実現することができる。

明　細　書

発明の名称 ： センサ及びその製造方法

技術分野

[0001] 本発明は、例えばバイオセンサやｐＨセンサ等として使用されるセンサ及びその製造方法に関し、特にＦＥＴ（Field Effect Transistor：電界効果トランジスタ）を備えたセンサ及びその製造方法に関する。

背景技術

[0002] 従来、バイオセンサやｐＨセンサ等のセンサにおいて、ＦＥＴを用いたものが提案されている（特許文献１～３参照）。一般に、ＦＥＴを利用したセンサでは、ソース電極及びドレイン電極が、絶縁膜上に形成されたチャネルによって電気的に接続されている。チャネル上には、被検出物質の反応場が形成されている。反応場には、被検出物質を固定化するための反応膜が設けられている。そして、通常、反応膜の上から、ゲート電極によってゲート電圧を印加し、そのときのソースードレイン電流を測定することにより、反応場に提供されている被検出物質の濃度等を測定する。

先行技術文献

特許文献

[0003] 特許文献1：特開２００４－８５３９２号公報

特許文献2：特開２００６－２０１１７８号公報

特許文献3：特開２００７－１３９７６２号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、上述したようなセンサにおいては、チャネルが感知部として機能する。従って、チャネルの形状に応じて、ゲート電圧に対するソースードレイン電流の変化量（つまり測定感度）が異なる。よって、チャネルの形状は、測定しようとする被検出物の種類等に応じて、自由に選択できることが望ましい。

[0005] 一方で、反応場の面積も、被検出物質からＦＥＴ基板にかかるポテンシャルに影響を及ぼす。従って、反応場の面積によっても測定感度が異なる。よって、反応場の面積も、測定しようとする被検出物の種類等に応じて、自由に選択できることが望ましい。さらに、反応場の位置は、ユーザの使い勝手や、センサとしてのレイアウト等を考えると、選択の幅が広い方が望ましい。

[0006] 本発明は、チャネルの形状、反応場の面積及び位置の制約を少なくして、測定感度及びレイアウトの自由度の高いセンサ及びその製造方法を提供する。

課題を解決するための手段

[0007] 本発明の第一は、酸化シリコン膜を有するシリコン基板と、前記酸化シリコン膜に配置されたソース電極、ドレイン電極及びゲート電極と、ポリシリコン又はアモルファスシリコンからなり、前記酸化シリコン膜に配置され、前記ソース電極及びドレイン電極に電気的に接続されたチャネルと、前記酸化シリコン膜上に配置された反応場と、を備えるセンサに関する。

[0008] 本発明の第二は、半導体基板と、前記半導体基板の表面に形成された酸化シリコン膜と、前記酸化シリコン膜に接続された電極とを有し、前記酸化シリコン膜の一部が被検出物の反応場として使用される、ＦＥＴを含むセンサの製造方法であって：シリコン基板に酸化シリコン膜を形成する工程と、前記酸化シリコン膜に、ポリシリコン膜又はアモルファスシリコン膜を形成する工程と、前記ポリシリコン膜又はアモルファスシリコン膜に不純物をドーピングする工程と、前記不純物がドーピングされた前記ポリシリコン膜又はアモルファスシリコン膜にソース電極及びドレイン電極を形成する工程と、前記酸化シリコン膜にゲート電極を形成する工程と、前記酸化シリコン膜に反応場を形成する工程と、を含む製造方法に関する。

発明の効果

[0009] 本発明によれば、反応場がチャネルとは異なる酸化シリコン膜上に配置されるので、チャネルの形状、反応場の面積及び位置の制約が少なくなり、測

定感度及びレイアウトの自由度を高くすることができる。また、チャネルがポリシリコン又はアモルファスシリコンで形成されるので、ＴＦＴを製造するのと同様の半導体製造工程を用いて、容易に酸化シリコン膜、ドレイン電極、ソース電極及びチャネルを形成することができ、チャネルの幅及び酸化シリコン膜の厚さも容易に選択できる。この結果、測定感度を容易に変更できるようになる。

図面の簡単な説明

[0010] [図1]本発明の実施の形態１に係るセンサの構成を模式的に示す斜視図

[図2]上記実施の形態１に係るセンサの構成を模式的に示す断面図

[図3]上記実施の形態１に係るセンサのチャネルの線路幅と測定感度との関係を示す図

[図4]上記実施の形態１に係るセンサの酸化シリコン膜の厚さと測定感度との関係を示す図

[図5]上記実施の形態１に係るセンサの半導体製造工程

[図6]本発明の実施の形態２に係るセンサの構成を模式的に示す断面図

[図7]本発明の実施の形態３に係るセンサの構成を模式的に示す斜視図

[図8]上記実施の形態３に係るセンサの構成を模式的に示す断面図

[図9]上記実施の形態３に係るセンサの半導体製造工程を示す図

[図10]本発明の実施の形態４に係るセンサの構成を模式的に示す断面図

[図11]本発明の実施の形態５に係るセンサの構成を模式的に示す断面図

[図12]本発明の実施の形態６に係るセンサの半導体製造工程を示す図

発明を実施するための形態

[0011] 以下、本発明の実施の形態について、図面を参照して詳細に説明する。

[0012] （実施の形態１）

〔センサの構成〕

図１は、本発明の実施の形態１に係るセンサの構成を模式的に示す斜視図である。図２は、上記センサの構成を模式的に示す断面図である。本実施の形態は、本発明のセンサをバイオセンサやｐＨセンサ等に適用した例である

。

[0013] 図１及び図２に示すように、センサ１０は、シリコン基板１１の両面に、絶縁膜である酸化シリコン膜１２ａ，１２ｂが形成されている。

[0014] 酸化シリコン膜１２ａが形成された面には、ゲート電極１３が形成されている。ゲート電極１３には、参照電圧Ｖrefが印加される。ゲート電極１３、酸化シリコン膜１２ａ及びシリコン基板１１は、金属－絶縁体－半導体（Metal-Insulator-Semiconductor：ＭＩＳ）構造となっている。したがって、ゲート電圧はシリコン基板１１に直接印加されない。ゲート電極１３の材質は、導電性を有するものであれば特に限定されず、例えば金、白金、チタン、アルミニウムなどの金属や導電性プラスチックなどであればよい。

[0015] 一方、酸化シリコン膜１２ｂが形成された面には、ドレイン電極１４及びソース電極１５が形成されている。ドレイン電極１４とソース電極１５は、酸化シリコン膜１２ｂ上で、チャネル１６を介して電気的に接続されている。

[0016] 本実施の形態の場合、チャネル１６は、ポリシリコンで形成されている。これにより、酸化シリコン膜１２ｂ、ドレイン電極１４、ソース電極１５及びチャネル１６は、一般的なＴＦＴ（Thin Film Transistor）構造とされているので、ＴＦＴを製造するのと同様の半導体製造工程を用いて、容易に酸化シリコン膜１２ｂ、ドレイン電極１４、ソース電極１５及びチャネル１６を形成することができる。

[0017] また、チャネル１６はポリシリコンで形成されているので、チャネル１６をカーボンナノチューブ等によって形成する場合と比較して、チャネル１６の線路幅Ｗを、半導体製造工程のなかで、容易に選択できるようになる。

[0018] ドレイン電極１４とソース電極１５の間には、外部配線を介して電源Ｖds及び電流計１７が接続されている。これにより、電源Ｖdsによってドレイン電極１４とソース電極１５との間に所定の電圧が印加され、電流計１７によってシリコン基板１１に流れる電流が測定される。

[0019] ドレイン電極１４とソース電極１５との間隔は、特に限定されないが、通

常は０．５～１０［μｍ］程度である。この間隔は、チャネル１６による電極間の接続を容易にするためにさらに縮めてもよい。ソース電極及びドレイン電極の形状及び大きさは特に限定されず、目的に応じて適宜設定すればよい。

[0020] ここで、図２に示すように、酸化シリコン膜１２ａが形成された面には、反応場２０が形成されている。反応場２０とは、試料溶液を提供する領域を意味する。

[0021] 反応場２０とゲート電極１３は、酸化シリコン膜１２ａ，１２ｂのうち、同一の面の酸化シリコン膜（図２の場合、酸化シリコン膜１２ａ）に配置されることが好ましい。また、反応場２０とゲート電極１３は、同一の酸化シリコン膜１２ａ上のできるだけ近い位置に形成されることが好ましい。例えば、反応場２０の上側にゲート電極１３を配置してもよく、反応場２０の周囲にゲート電極１３を形成してもよい。このようにすることで、反応場２０に提供された被検出物の濃度変化等に対するチャネル１６での電圧変化を大きくできるので、測定感度を高めることができる。

[0022] 反応場２０が配置された領域の酸化シリコン膜１２ａの厚さは、その周囲の酸化シリコン膜１２ａの厚さよりも薄いことが好ましい。すなわち、反応場２０は凹部の内部にあることが好ましい。これにより、試料溶液を反応場２０に効率的に留めることができるだけでなく、ゲート電極１３から基板面方向に漏れ出た電気力線をより効率的に反応場２０を通過させることができる。また、酸化シリコン膜１２ａ上に、反応場２０を取り囲む障壁を設けても、試料溶液を反応場２０に効率的に留めることができる。

[0023] センサ１０をバイオセンサとして使用する場合、反応場２０に、抗体や酵素、レクチンなどのタンパク質、核酸、オリゴ糖又は多糖、あるいはそれらの構造を有する物質である被検出物質認識分子２１を固定化するとよい。被検出物質認識分子を反応領域に固定化することで、特定のタンパク質や化学物質などを特異的に検出することができる。なお、センサ１０をｐＨセンサ等として使用する場合には、反応場２０に、被検出物質認識分子２１を固定

する必要はない。

[0024] 図３は、チャネルの線路幅と測定感度との関係を示す図であり、チャネル１６をポリシリコンで形成した場合における、チャネル１６の線路幅Wと、ゲート電圧に対するソースードレイン電流との関係を示す。図３に示されるように、チャネル１６の線路幅Wが広くなるほど、ゲート電圧の変化に対するソースードレイン電流の変化量が大きいこと；すなわち線路幅Wを広くするほど測定感度を高くできることが分かる。また、図３から、測定感度の点で、チャネル１６の線路幅Wは、５０［μｍ］～２００［μｍ］程度であることが好ましいことが分かる。

[0025] さらに、半導体製造工程のなかで、酸化シリコン膜１２ｂの厚さ選択することで、測定感度を調整することもできる。図４は、酸化シリコン膜１２ｂの厚さと測定感度との関係を示す図であり、酸化シリコン膜１２ｂの厚さと、ゲート電圧に対するソースードレイン電流との関係を示す。図４に示されるように、酸化シリコン膜１２ｂが薄くなるほど、ゲート電圧の変化に対するソースードレイン電流の変化量が大きいこと；すなわち酸化シリコン膜１２ｂを薄くするほど測定感度を高くできることが分かる。また、図４から、測定感度の点で、酸化シリコン膜１２ｂの厚さは、２７［ｎｍ］～１００［ｎｍ］程度であることが好ましいことが分かる。

[0026] 〔センサの製造方法〕

以下、上述のように構成されたセンサ１０の製造方法について説明する。図５は、センサ１０の半導体製造工程を示す図である。

[0027] まず、図５Ａに示すように、シリコン基板上に、熱酸化法によって酸化シリコン膜（SiO_2）を形成する。

[0028] 次に、図５Ｂに示すように、酸化シリコン膜上の所定位置（チャネル１６の位置）にポリシリコン膜を形成する。この場合、例えば、先ず酸化シリコン膜にアモルファスシリコンを堆積させ、このアモルファスシリコンにレーザービームを照射することによりポリシリコンを形成すればよい。

[0029] 次に、図５Ｃに示すように、ポリシリコン膜に不純物を埋め込み、熱処理

によりこの不純物を拡散することにより、ＮＰＮ型のチャネル１６を形成する。図５Ｃには、一例として、ポリシリコン膜をＮＰＮ型にすることでチャネル１６を形成した場合が示されているが、ポリシリコン膜をＰＮＰ型とすることでチャネル１６を形成してもよい。また、ポリシリコン膜をＮｉＰ型又はＰｉＰ型とすることでチャネル１６を形成してもよい。

[0030] チャネル１６をＮＰＮ型又はＰＮＰ型とした場合には、バンドギャップが大きくなるので、ＮｉＰ型やＰｉＰ型に比べリーク電流が小さい。このため、待機状態の消費電流を少なくすることが求められる回路を構成する場合に有効である。一方、ＮｉＮ型やＰｉＰ型は、製造工程数がＮＰＮ型やＰＮＰ型と比べて１～２工程少ない。このため、原価を低減することが可能であり、待機状態の消費電流を少なくすることへの要求が厳しくない回路を構成する場合に有効である。このようにして、ポリシリコンでなるチャネル１６が形成される。

[0031] 次に、図５Ｄに示すように、チャネル１６を被覆する層間絶縁膜１８を形成する。なお、図２Ｄでは、図を簡単化するために、層間絶縁膜１８は省略して示されている。

[0032] 次に、図５Ｅに示すように、ドレイン電極１４及びソース電極１５を形成する。なお、ドレイン電極１４及びソース電極１５は、コンタクトホールを通してチャネル１６に電気的に接続される。

[0033] 次に、図２に示すように、ドレイン電極１４とソース電極１５とを電流計１７を介して接続する処理（外部配線処理）を行う。次に、図２に示すように、酸化シリコン膜１２ａ上にゲート電極１３を形成した後、反応場２０を形成する。

[0034] このように、ＴＦＴを製造するのと同様の半導体製造工程を用いて、酸化シリコン膜１２ｂ、ドレイン電極１４、ソース電極１５及びチャネル１６を容易に形成することができる。また、ゲート電極１３及び反応場２０をチャネル１６とは異なる位置に形成するので、ゲート電極１３及び反応場２０の製造も容易となり、かつ反応場２０の面積等も自由に選択できるようになる

。

[0035] 図１及び図２に示すように、センサ１０は、シリコン基板１１の両面に、絶縁膜である酸化シリコン膜１２ａ，１２ｂが形成されている。

[0036] 酸化シリコン膜１２ａが形成された面には、ゲート電極１３が形成されている。ゲート電極１３には、参照電圧Ｖrefが印加される。ゲート電極１３、酸化シリコン膜１２ａ及びシリコン基板１１は、金属－絶縁体－半導体（Metal-Insulator-Semiconductor：ＭＩＳ）構造となっている。したがって、ゲート電圧はシリコン基板１１に直接印加されない。ゲート電極１３の材質は、導電性を有するものであれば特に限定されず、例えば金、白金、チタン、アルミニウムなどの金属や導電性プラスチックなどであればよい。

[0037] 一方、酸化シリコン膜１２ｂが形成された面には、ドレイン電極１４及びソース電極１５が形成されている。ドレイン電極１４とソース電極１５は、酸化シリコン膜１２ｂ上で、チャネル１６を介して電気的に接続されている。

[0038] 以上詳細に説明したように、本実施の形態によれば、センサ１０は、酸化シリコン膜１２ａ，１２ｂに配置されたソース電極１５、ドレイン電極１４及びゲート電極１３と、酸化シリコン膜１２ａ，１２ｂに配置され、ソース電極１５及びドレイン電極１４に電気的に接続されたチャネル１６と、酸化シリコン膜１２ａ，１２ｂ上に配置された反応場２０とを備え、チャネル１６とは異なる酸化シリコン膜１２ａ上に反応場２０を形成する。この構成により、チャネル１６の形状及び反応場２０の面積をそれぞれ独立に選択できるようになる。その結果、測定感度及びレイアウトの自由度の高いセンサ１０を実現することができる。

[0039] また、チャネル１６をポリシリコンで形成したことにより、ＴＦＴを製造するのと同様の半導体製造工程を用いて、容易に酸化シリコン膜１２ｂ、ドレイン電極１４、ソース電極１５及びチャネル１６を形成することができる。また、チャネル１６をカーボンナノチューブ等によって形成する場合と比較して、チャネル１６の線路幅Ｗを、半導体製造工程のなかで、容易かつ高

精度で選択できるので、測定感度を容易かつ高精度で選択することができる。

[0040] なお、本実施の形態では、図５Ｅに示すように、層間絶縁膜１８を形成し、コンタクトホールを通してドレイン電極１４及びソース電極１５をチャネル１６に電気的に接続した場合について述べたが、層間絶縁膜１８を省略してもよい。その場合、例えば、チャネル１６のＰ型領域を被膜するレジストを形成し、このレジストによって電気的に分離されたドレイン電極１４及びソース電極１５を酸化シリコン膜１２ｂ上に直接形成すればよい。

[0041] （実施の形態２）

図６は、本発明の実施の形態２に係るセンサの構成を模式的に示す断面図である。図２と同一構成部分には同一符号を付して重複箇所の説明を省略する。

[0042] 実施の形態１は、ドレイン電極１４、ソース電極１５及びチャネル１６が形成された酸化シリコン膜１２ｂに対して裏面側の酸化シリコン膜１２ａ上にゲート電極１３及び反応場２０を形成した場合について説明した。実施の形態２では、酸化シリコン膜１２ｂ上にゲート電極１３及び反応場２０を形成する例について説明する。

[0043] 図６に示すように、センサ３０は、ドレイン電極１４、ソース電極１５及びチャネル１６が形成された酸化シリコン膜１２ｂと同一の酸化シリコン膜１２ｂにゲート電極１３及び反応場２０を形成する。図６に示すセンサ３０の酸化シリコン膜１２ａは省略されてもよい。

[0044] 図６のように構成するよりも、図２のように構成する方が、センシング部であるドレイン電極１４、ソース電極１５及びチャネル１６が被検出物（試料溶液）の飛散によって損傷を受ける可能性を低くできる場合がある。

[0045] なお、実施の形態１及び２では、チャネル１６をポリシリコンによって形成した場合について説明したが、チャネル１６はアモルファスシリコンによって形成してもよい。この場合でも、ＴＦＴを製造するのと同様の半導体製造工程を用いて、容易に酸化シリコン膜１２ｂ、ドレイン電極１４、ソース

電極１５及びチャネル１６を形成することができる。

[0046] 上記実施の形態１及び２では、反応場がチャネルとは異なる酸化シリコン膜上に配置されるセンサについて説明した。上記実施の形態１及び２に係るセンサは、反応場がチャネルとは異なる酸化シリコン膜上に配置されるので、チャネルの形状、反応場の面積及び位置の制約が少なくなり、測定感度及びレイアウトの自由度を高くすることができる。

[0047] ところで、バイオセンサにおいて、検出精度を向上させるためには、被検出物質を含む試料溶液が反応場上で拡がる面積が一定であることが望ましい。つまり、この面積を一定にできれば、生体分子が反応する領域が一定になるので、ＦＥＴ基板にかかるポテンシャルが一定になる。この結果、濃度に対する検量線が安定化され、バイオセンシングの精度を向上させることができる。また、反応場の面積が様々なバイオセンサを製造できれば、ユーザは、その中から実験に適した反応場面積を有するバイオセンサを選択できるようになる。

[0048] 実施の形態３～５では、試料溶液が反応場上で拡がる面積を一定とすることができるセンサの製造方法について説明する。また、比較的容易に、反応場の面積を自由に選択して形成できるセンサ製造方法について説明する。

[0049] （実施の形態３）

〔センサの構成〕

図７は、本発明の実施の形態３に係るセンサの構成を模式的に示す斜視図である。図８は、上記センサの構成を模式的に示す断面図である。図２と同一構成部分には同一符号を付して重複箇所の説明を省略する。

[0050] 図７及び図８に示すように、センサ４０は、シリコン基板１１の両面に、絶縁膜である酸化シリコン膜１２ａ、１２ｂが形成されている。

[0051] 酸化シリコン膜１２ａが形成された面に対向する位置には、ゲート電極４３が形成されている。ゲート電極４３には、参照電圧Ｖrefが印加される。ゲート電極４３、酸化シリコン膜１２ａ及びシリコン基板１１は、金属－絶縁体－半導体（ＭＩＳ）構造を形成する。したがって、ゲート電圧はシリコン

基板１１に直接印加されない。ゲート電極４３の材質は、導電性を有するものであれば特に限定されず、例えば金、白金、チタン、アルミニウムなどの金属や導電性プラスチックなどであればよい。

[0052] 一方、酸化シリコン膜１２ｂが形成された面には、ドレイン１４及びソース１５が形成されている。ドレイン１４とソース１５は、酸化シリコン膜１２ｂ上で、チャネル１６を介して電気的に接続されている。チャネル１６は、例えばポリシリコンやカーボンナノチューブで形成されている。また、ドレイン１４とソース１５の間には、外部配線を介して電源Ｖds及び電流計１７が接続されている。これにより、電源Ｖdsによってドレイン１４とソース１５との間に所定の電圧が印加され、電流計１７によってシリコン基板１１に流れる電流が測定される。

[0053] ドレイン１４とソース１５との間隔は、特に限定されないが、通常は０．５～１０μｍ程度である。この間隔は、チャネル１６による電極間の接続を容易にするためにさらに縮めてもよい。ソース電極及びドレイン電極の形状及び大きさは特に限定されず、目的に応じて適宜設定すればよい。

[0054] ここで、図８に示すように、酸化シリコン膜１２ａが形成された面には、ゲート電極４３に対向する反応場（ゲート酸化膜）５０と、反応場５０を取り囲む障壁部５１とが形成されている。反応場５０は、被検出物質認識分子６０を固定する機能を有する。本実施の形態の場合、反応場５０及び障壁部５１は、共に酸化シリコンにより形成されている。

[0055] 被検出物質認識分子の例には、抗体や酵素、レクチンなどのタンパク質、核酸、オリゴ糖又は多糖、あるいはそれらの構造を有する物質が含まれる。本発明のセンサをｐＨセンサなどとして使用する場合は、被検出物質を固定化する必要はない。

[0056] 反応場５０の厚さは２００［ｎｍ］以下とされており、実際には１～２００ｎｍ程度（例えば、１００ｎｍ）であることが好ましい。障壁部５１の厚さは、反応場５０の厚さよりも厚く、かつ数１０００［ｎｍ］以下とされており、実際には２００～１０００ｎｍ程度（例えば、６００ｎｍ）であるこ

とが好ましい。さらに、反応場５０の上面と障壁部５１の上面との差（つまり段差）は、２００～８００ｎｍ程度（例えば、５００ｎｍ）であることが好ましい。また実際上、反応場５０の面積は、２５ｍｍ^{2}程度である。

[0057] なお、障壁部５１は、反応場５０を完全に取り囲んでいることが好ましいが、完全に取り囲んでいなくてもよい。要は、反応場５０からの試料溶液の流出を規制できる程度に取り囲んでいればよい。

[0058] このように、本実施の形態のセンサ４０は、反応場５０を取り囲む障壁部５１を形成したことにより、反応場５０に被検出物質や被検出物質認識分子を載置した場合に、これらの物質が障壁部５１に規制されて反応場５０の面積よりも拡がることを防止できる。つまり、試料溶液が反応場５０上で拡がる面積を一定とすることができる。

[0059] 〔バイオセンサの製造方法〕

以下、上述のように構成されたセンサ４０の製造方法について説明する。図９は、センサ４０の半導体製造工程を示す図である。本実施の形態におけるバイオセンサの製造方法は、特に、障壁部５１を、ＬＯＣＯＳ（Local Oxidation of Silicon：素子分離酸化膜）法を用いて形成することに特徴があるので、その工程を中心に説明する。

[0060] まず、図９Ａに示すように、ｐ形シリコン基板上に、熱酸化法によって酸化シリコン膜（ＳｉＯ２）を形成する。

[0061] 次に、図９Ｂに示すように、酸化シリコン酸化膜上に、ＣＶＤ（Chemical Vapor Deposition）技術によって窒化シリコン膜（Si_3N_4）を堆積させる。

[0062] 次に、図９Ｃに示すように、リソグラフィックとエッチング技術でSi_3N_4膜を除去する。除去した部分は、障壁部５１が形成される部分である。また、Si_3N_4膜が残っている部分は、反応場５０が形成される部分である。

[0063] 次に、図９Ｄに示すように、１０００°Ｃ程度の温度でｗｅｔ　O_2雰囲気中で酸化処理を行う。Si_3N_4は酸化されないので、Si_3N_4が除去された部分だけが選択的に酸化される。このとき、厚く形成された酸化膜の一部が

Si_3N_4膜直下に潜り込む（いわゆるバーズビーク）。このようにして、障壁部５１が形成される。

[0064] 次に、図９Ｅに示すように、Si_3N_4膜を除去した後、図９Ｆに示すように、熱酸化法又は気相成長法によってゲート酸化膜すなわち反応場５０を形成する。

[0065] 次に、シリコン基板を反転させ、障壁部５１及び反応場５０を形成した面と反対側の面に、ソース及びドレインを形成し、チャネルを形成し、チャネルを被覆する層間膜を形成し、外部配線処理を行った後に、表面保護膜を形成する。最後に、反応場５０に、被検出物質認識分子６０を固定する。

[0066] このように、本実施の形態のバイオセンサ製造方法によれば、従来、素子分離技術として用いられているＬＯＣＯＳ法を、反応場を囲む障壁部５１を形成するために用いたことにより、障壁部５１及び反応場５０を、容易かつ高精度で形成することができる。また、ドレイン及びソースにおける素子分離もＬＯＣＯＳ法を用いて形成すれば、ドレイン１４及びソース１５を形成する工程と、障壁部５１及び反応場５０を製造する工程とを一部共通化できるので、製造工程及び製造装置を簡単化できる。但し、ドレイン及びソースの素子分離は、必ずしもＬＯＣＯＳ法を用いて形成する必要はなく、要は、反応場５０と障壁部５１が形成された領域以外の半導体基板上に形成すればよい。

[0067] （実施の形態４）

実施の形態３は、ゲート電極４３を、反応場５０に対向する位置に設けた場合について述べたが、ゲート電極４３の形成位置はこれに限らない。実施の形態４では、ゲート電極４３を、障壁部５１の表面に固定して取り付ける例について説明する。

[0068] 図１０は、本発明の実施の形態４に係るセンサの構成を模式的に示す断面図である。図８と同一構成部分には同一符号を付して重複箇所の説明を省略する。

[0069] 図１０に示すように、センサ７０は、ゲート電極４３を、障壁部５１の表

面に固定して取り付ける。すなわち、センサ７０は、ゲート電極４３を反応場５０に対向する位置には形成せずに、障壁部５１の表面に固定して取り付ける。この場合、例えば障壁部５１の上面が反応場５０を囲む四角の枠形状である場合には、ゲート電極４３もそれに合わせて四角の枠形状として、障壁部５１の上面全体に接触させるようにすれば、反応場５０を通過する電界を強めることができる。

[0070] また、実施の形態４の構成は、図８のようにゲート電極４３を反応場５０に対向する位置に設けた場合と比較して、ゲート電極４３と、障壁部５１や試料溶液との接触に起因する帯電を防ぐことができる。

[0071] （実施の形態５）

実施の形態３及び４は、いわゆるバックゲート型と呼ばれるセンサ４０の構成について説明した。つまり、反応場５０及び障壁部５１が形成されたシリコン基板面に対して裏面側に、ドレイン１４及びソース１５を形成した場合について説明した。

[0072] 実施の形態５では、サイドゲート型のバイオセンサの適用例について説明する。図１１は、本発明の実施の形態５に係るセンサの構成を模式的に示す断面図である。図１０と同一構成部分には同一符号を付して重複箇所の説明を省略する。

[0073] 図１１に示すように、センサ８０は、反応場５０及び障壁部５１が形成されたシリコン基板面と同一面側に、ドレイン１４及びソース１５を形成する。すなわち、センサ８０は、反応場５０及び障壁部５１が形成されたシリコン基板面と同一面側に、ドレイン１４及びソース１５を形成する。

[0074] このように、本実施の形態によれば、実施の形態３及び４のバックゲート型のセンサの場合と同様の効果、すなわち反応場５０を取り囲む障壁部５１を形成したことにより、反応場５０に被検出物質や被検出物質認識分子を載置した場合に、これらの物質が障壁部５１に規制されて反応場５０の面積よりも拡がることを防止でき、試料溶液が反応場５０上で拡がる面積を一定とすることができる。

[0075] （実施の形態６）

実施の形態３～５は、障壁部５１を、ＬＯＣＯＳ法を用いて形成し；反応場５０を、気相成長法を用いて形成した場合について説明した。実施の形態６では、障壁部５１及び反応場５０をフォトリソグラフィによって形成するセンサの製造方法について説明する。図１２は、本発明の実施の形態６に係るセンサの半導体製造工程を示す図である。

[0076] まず、図１２Ａに示すように、シリコン基板上に、熱酸化法によって酸化シリコン膜を形成する。ここで、酸化シリコン膜の厚みは、障壁部５１の厚みから反応場５０の厚みを引いた値となるようにする。

[0077] 次に、図１２Ｂに示すように、酸化シリコンの全面にレジストを塗布し、反応場５０に相当する領域を露光する。

[0078] 次に、図１２Ｃに示すように、露光されたレジストを現像処理により除去する。

[0079] 次に、図１２Ｄに示すように、フッ酸によってレジストが除去された部分の酸化シリコンを除去する。

[0080] 次に、図１２Ｅに示すように、レジストを除去した後、熱酸化法又は気相成長法によって反応場５０の厚みの酸化シリコン膜を形成する。これにより、反応場５０と、反応場５０よりも厚い障壁部５１とを形成することができる。

[0081] 以上の説明は本発明の好適な実施の形態の例証であり、本発明の範囲はこれに限定されることはない。例えば、上記各実施の形態では、本発明をバイオセンサの製造方法に適用した場合について説明したが、本発明はこれに限らず、ＦＥＴを含むセンサの製造方法に広く適用可能である。なお、本発明を、バイオセンサ以外のＦＥＴを含むセンサの製造方法に適用する場合には、上述した、反応場に被検出物質認識分子を固定する工程が省略される。

[0082] また、上記各実施の形態ではセンサ及びセンサ製造方法という名称を用いたが、これは説明の便宜上であり、バイオセンサ等であってもよいことは勿論である。さらに、上記センサ及びセンサ製造方法が使用する被検出物質や

被検出物質認識分子の種類、数及び処理方法などは前述した実施の形態に限られない。

[0083] ２００８年５月２８日出願の特願２００８－１３９０４５の日本出願に含まれる明細書、図面及び要約書の開示内容は、すべて本願に援用される。

産業上の利用可能性

[0084] 本発明に係るセンサ及びセンサ製造方法は、ＦＥＴを含んだセンサの製造方法に広く適用可能である。

符号の説明

[0085] １０，４０，７０，８０ センサ

１１ シリコン基板

１２ａ，１２ｂ 酸化シリコン膜

１３，４３ ゲート電極

１４ ドレイン

１５ ソース

１６ チャネル

２０，５０ 反応場

２１，５１ 障壁部

３０，６０ 被検出物質認識分子

請求の範囲

[請求項1] 酸化シリコン膜を有するシリコン基板と、

前記酸化シリコン膜に配置されたソース電極、ドレイン電極及びゲート電極と、

ポリシリコン又はアモルファスシリコンからなり、前記酸化シリコン膜に配置され、前記ソース電極及びドレイン電極に電気的に接続されたチャネルと、

前記酸化シリコン膜上に配置された反応場と、

を備えるセンサ。

[請求項2] 前記チャネルは、ＮＰＮ型である、請求項１に記載のセンサ。

[請求項3] 前記チャネルは、ＰＮＰ型である、請求項１に記載のセンサ。

[請求項4] 前記チャネルは、ＮｉＮ型である、請求項１に記載のセンサ。

[請求項5] 前記チャネルは、ＰｉＰ型である、請求項１に記載のセンサ。

[請求項6] 前記シリコン基板は、両面に前記酸化シリコン膜を有し、

前記ゲート電極は、前記ソース電極、ドレイン電極及びチャネルが配置された酸化シリ膜と反対の面の酸化シリコン膜に配置される、

請求項１に記載のセンサ。

[請求項7] 前記シリコン基板は、両面又は片面に酸化シリコン膜を有し、

前記ゲート電極は、前記ソース電極、ドレイン電極及びチャネルが配置された酸化シリコン膜と同一の面の酸化シリコン膜に配置される、

請求項１に記載のセンサ。

[請求項8] 前記シリコン基板は、両面に前記酸化シリコン膜を有し、

前記ゲート電極と前記反応場は、前記酸化シリコン膜の両面のうち、同一の面の酸化シリコン膜に配置される、

請求項１に記載のセンサ。

[請求項9] 半導体基板と、前記半導体基板の表面に形成された酸化シリコン膜と、前記酸化シリコン膜に接続された電極とを有し、前記酸化シリコ

ン膜の一部が被検出物の反応場として使用される、ＦＥＴを含むセンサの製造方法であって、

シリコン基板に酸化シリコン膜を形成する工程と、

前記酸化シリコン膜に、ポリシリコン膜又はアモルファスシリコン膜を形成する工程と、

前記ポリシリコン膜又はアモルファスシリコン膜に不純物をドーピングする工程と、

前記不純物がドーピングされた前記ポリシリコン膜又はアモルファスシリコン膜にソース電極及びドレイン電極を形成する工程と、

前記酸化シリコン膜にゲート電極を形成する工程と、

前記酸化シリコン膜に反応場を形成する工程と、

を含むセンサ製造方法。

[請求項10] 前記反応場を囲み、かつ前記反応場よりも厚い障壁部を、ＬＯＣＯＳ法を用いて形成する工程と、

ゲート酸化膜である前記反応場を形成する工程と、

を含む請求項９に記載のセンサ製造方法。

[請求項11] 前記酸化シリコン膜上における、前記反応場及び前記障壁部とは別の位置に、ドレイン電極及びソース電極を形成する工程を、さらに含む、

請求項１０に記載のセンサ製造方法。

[請求項12] 前記ドレイン電極及びソース電極を形成する工程では、

前記反応場及び前記障壁部が形成された半導体基板面に対して裏面側に、前記ドレイン電極及びソース電極を形成する、

請求項１０に記載のセンサ製造方法。

[請求項13] 前記ドレイン及びソースを形成する工程では、

前記反応場及び前記障壁部が形成された半導体基板面と同一面側に、前記ドレイン電極及びソース電極を形成する、

請求項１０に記載のセンサ製造方法。

[請求項14] 前記反応場に、被検出物質認識分子を固定する工程を、さらに含む、

請求項１０に記載のセンサ製造方法。

[請求項15] 前記反応場を囲み、かつ前記反応場よりも厚い障壁部を、フォトリソグラフィ法を用いて形成する工程と、

ゲート酸化膜である前記反応場を形成する工程と、

を含む請求項９に記載のセンサ製造方法。

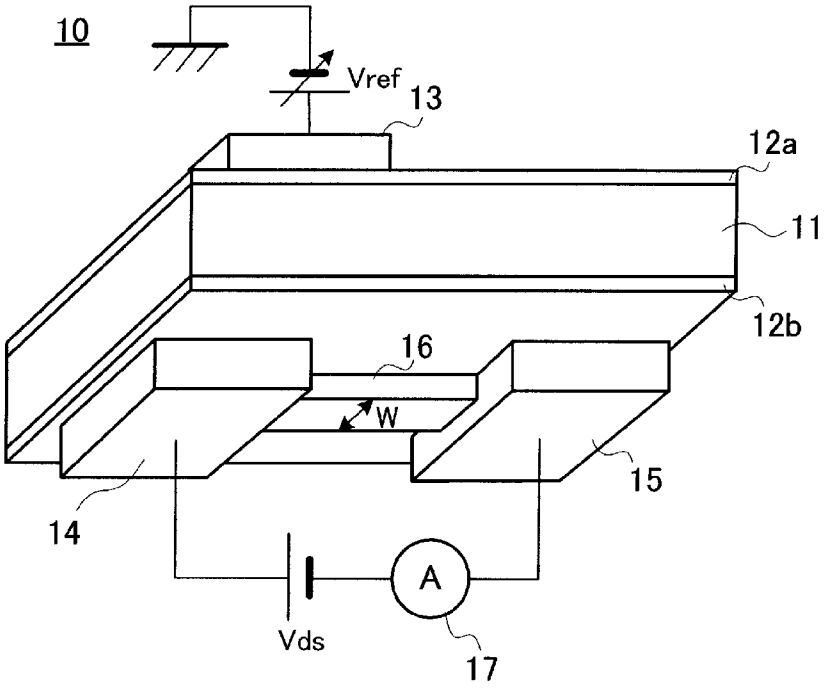
[請求項16] 半導体基板と、前記半導体基板の表面に形成された酸化シリコン膜と、前記酸化シリコン膜に接続された電極とを有し、前記酸化シリコン膜の一部が被検出物の反応場として使用される、ＦＥＴを含むセンサの製造方法であって、

前記反応場を囲みかつ前記反応場よりも厚い障壁部を、ＬＯＣＯＳ法を用いて形成する工程と、

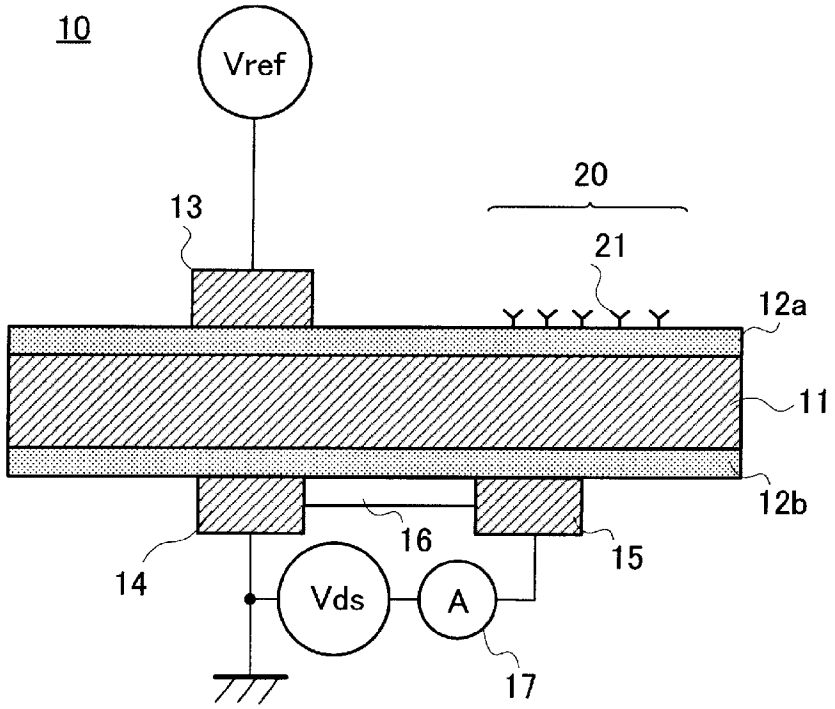
ゲート酸化膜である前記反応場を形成する工程と、

を含むセンサ製造方法。

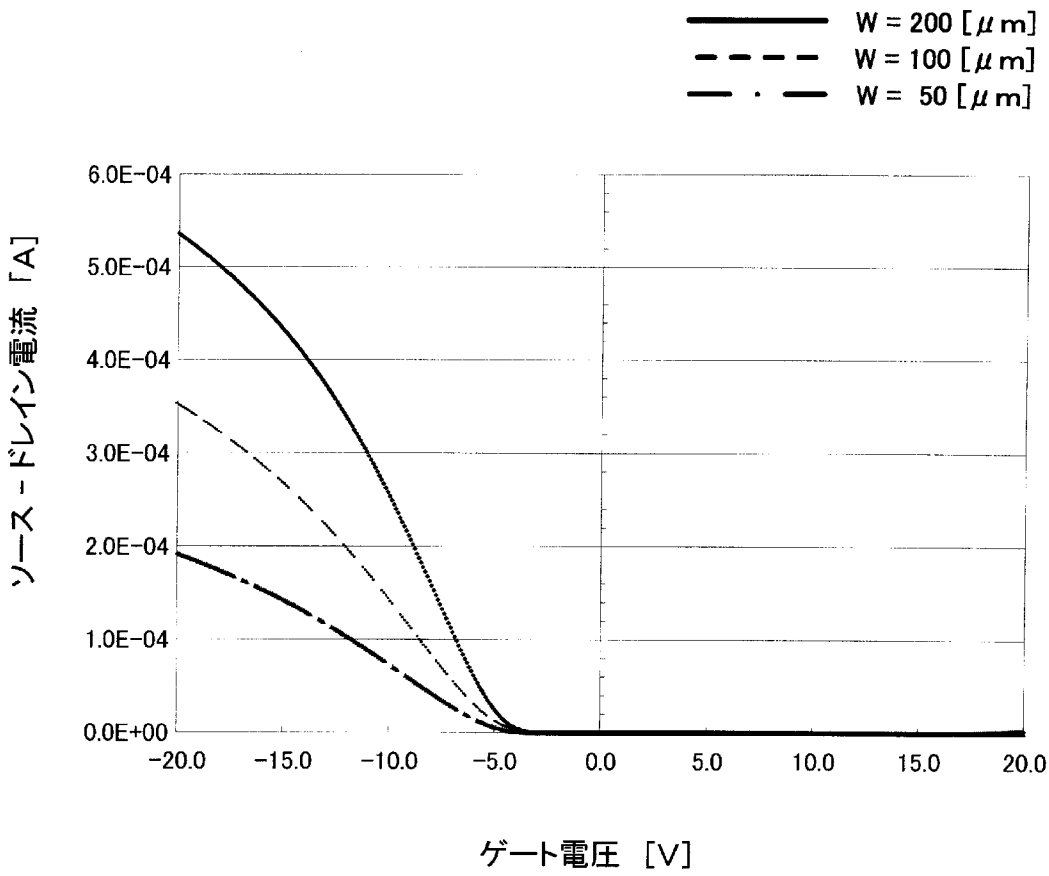
[図1]


10
Vref
13
12a
11
12b
16
W
15
14
A
Vds
17

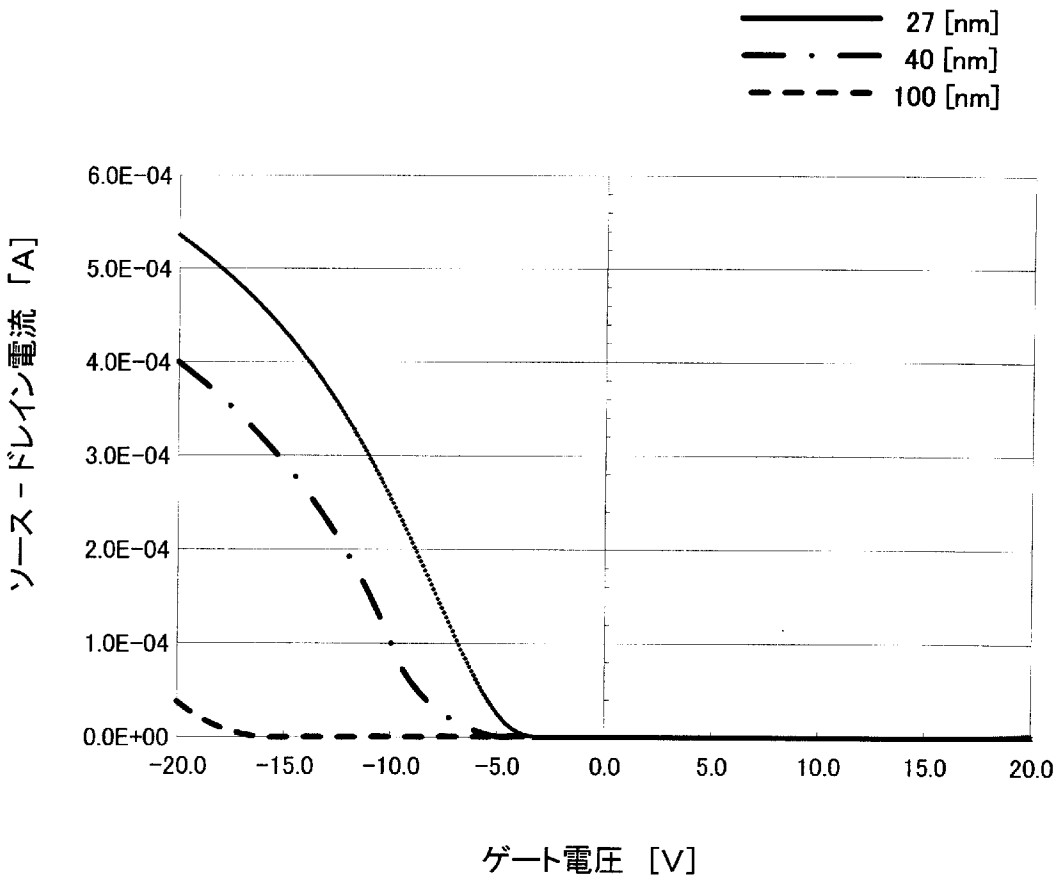
[図2]


10
Vref
20
13
21
12a
11
12b
16
15
14
Vds
A
17

[図3]


W = 200 [μm]
W = 100 [μm]
W = 50 [μm]
6.0E-04
5.0E-04
4.0E-04
3.0E-04
2.0E-04
1.0E-04
0.0E+00
ソース－ドレイン電流 [A]
-20.0
-15.0
-10.0
-5.0
0.0
5.0
10.0
15.0
20.0
ゲート電圧 [V]

[図4]


27 [nm]
40 [nm]
100 [nm]
6.0E-04
5.0E-04
4.0E-04
3.0E-04
2.0E-04
1.0E-04
0.0E+00
ソース－ドレイン電流［A］
-20.0
-15.0
-10.0
-5.0
0.0
5.0
10.0
15.0
20.0
ゲート電圧 ［V］

[図5]

図5A

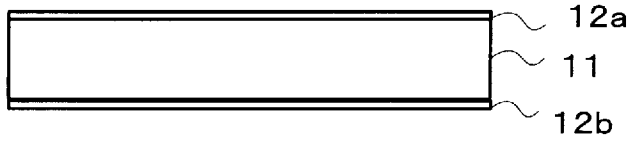


図5B

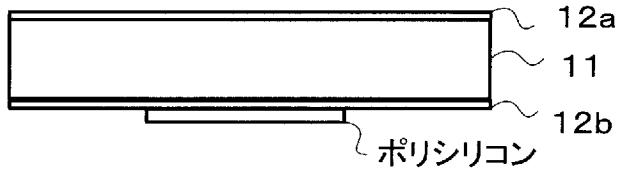


図5C

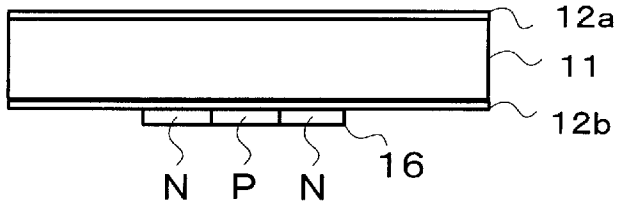


図5D

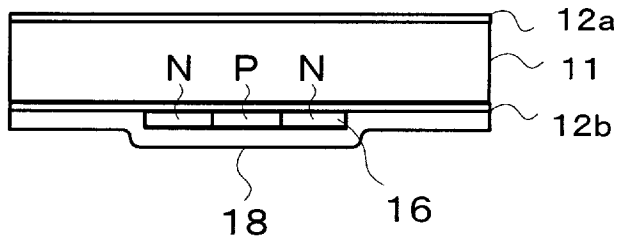
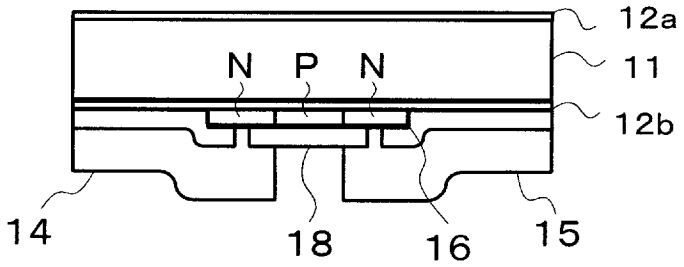
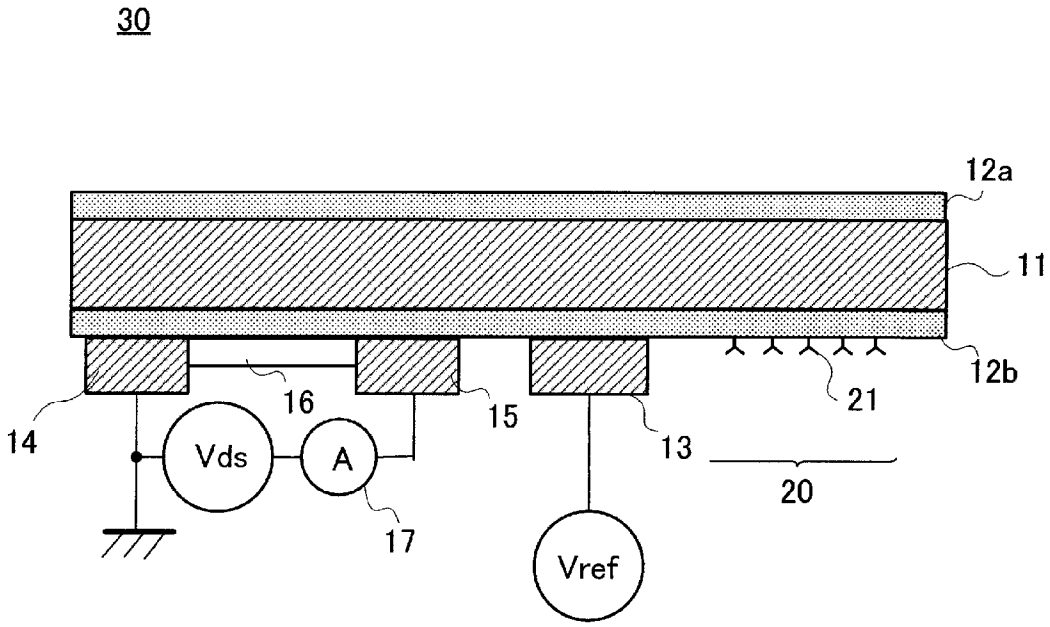


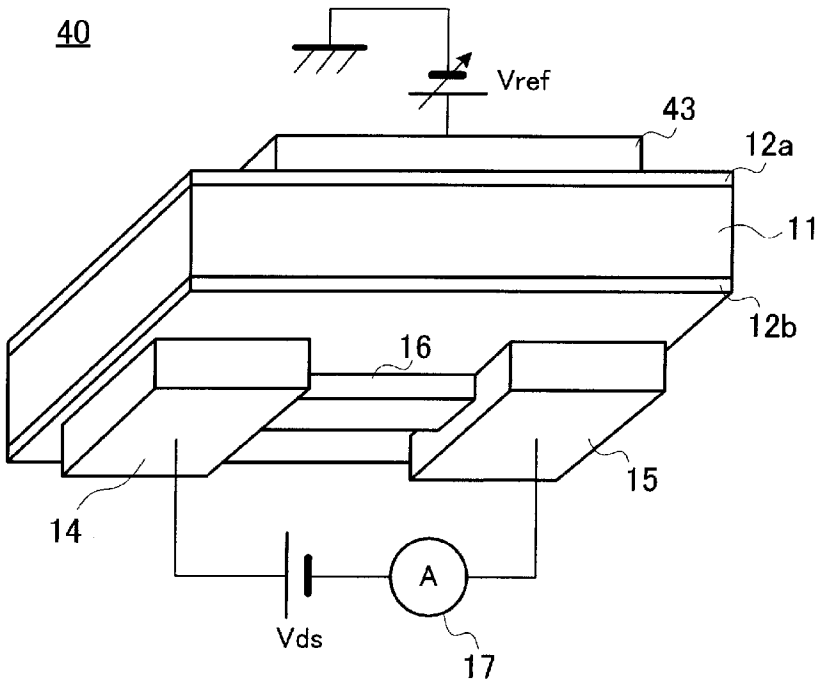
図5E



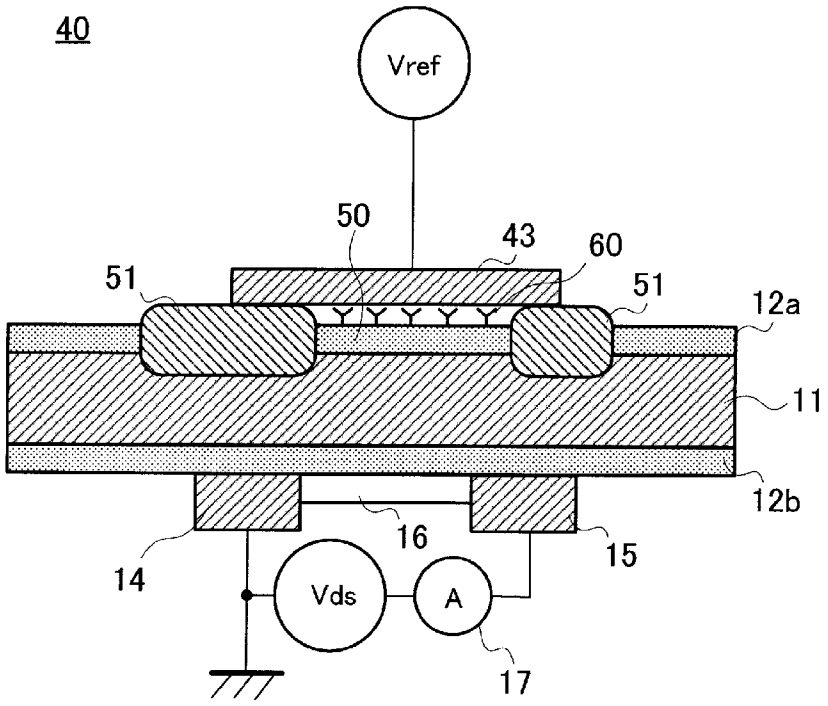
[図6]



[図7]


40
Vref
43
12a
11
12b
16
15
14
A
Vds
17

[図8]


40
Vref
50
43
60
51
51
12a
11
12b
16
15
14
Vds
A
17

[図9]

図9A

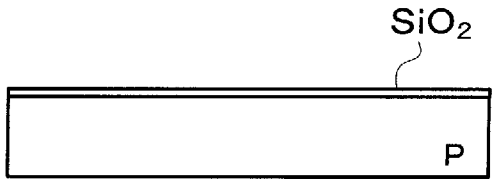


図9B

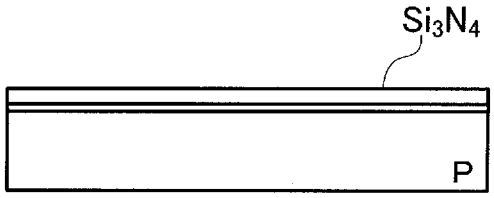


図9C

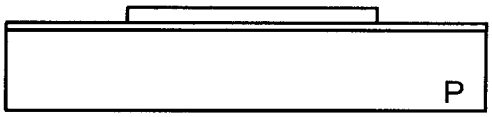


図9D

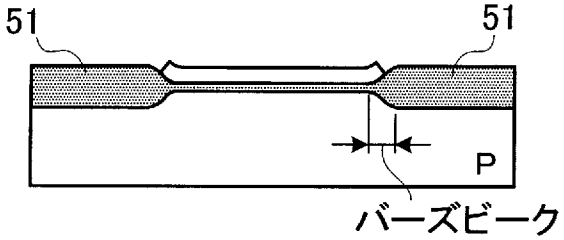


図9E

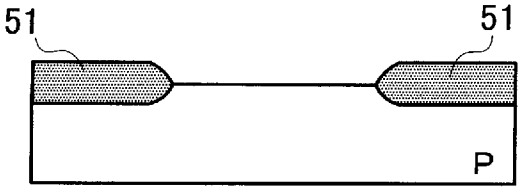
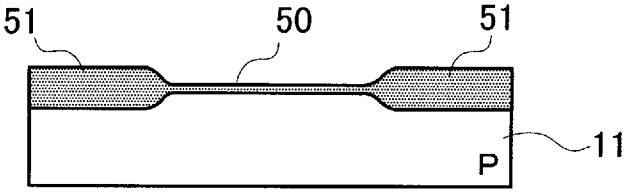
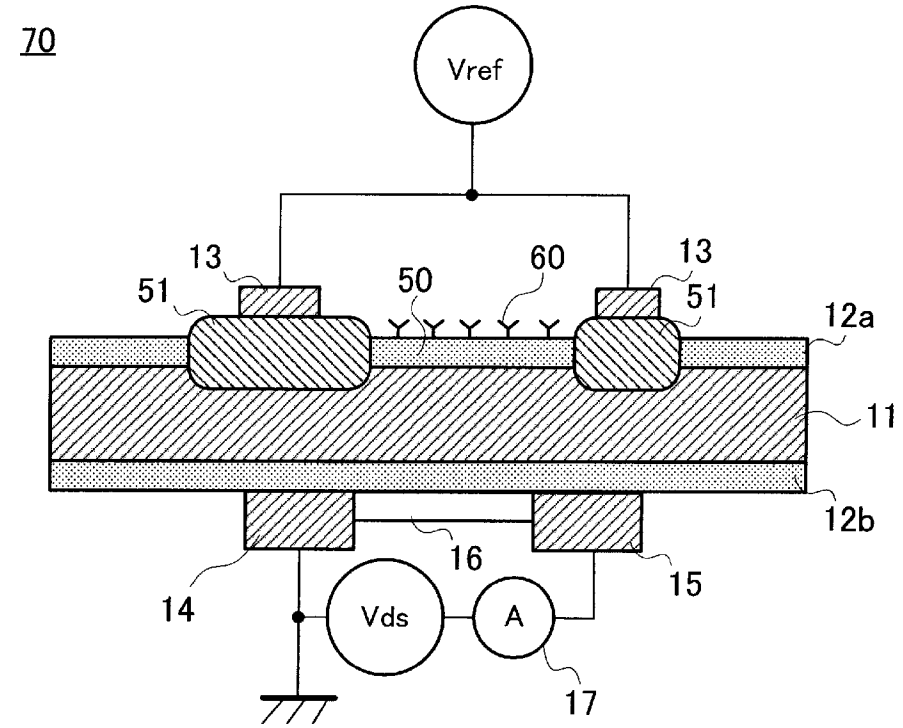


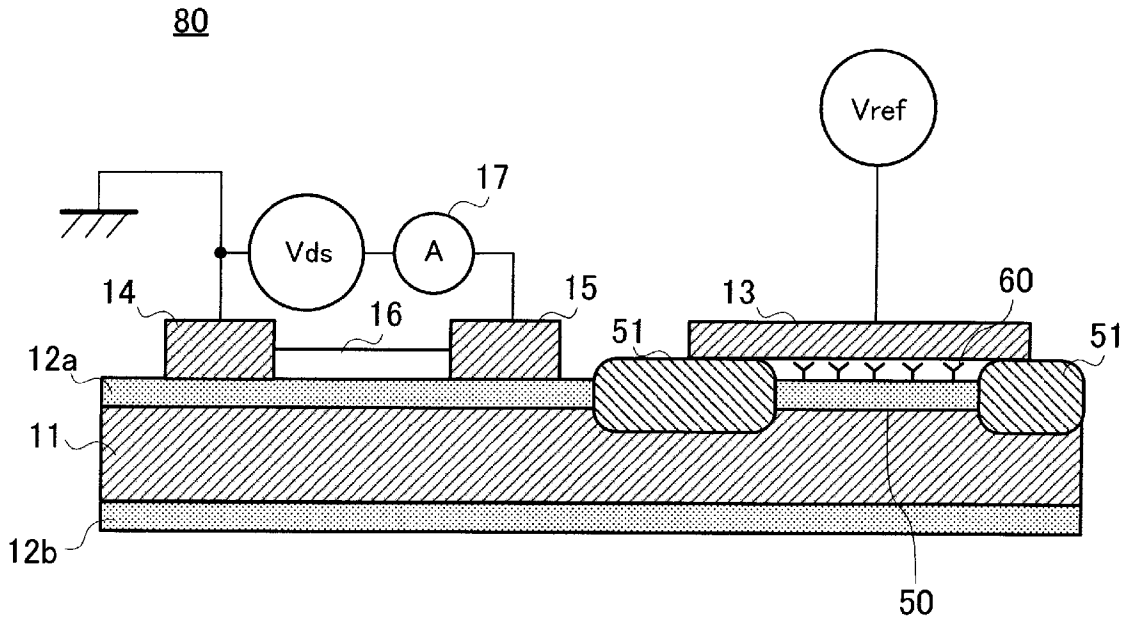
図9F



[図10]


70
Vref
13
51
50
60
13
51
12a
11
12b
16
14
15
Vds
A
17

[図11]


80
Vref
17
Vds
A
14
15
16
13
60
51
51
12a
11
12b
50

[図12]

図12A

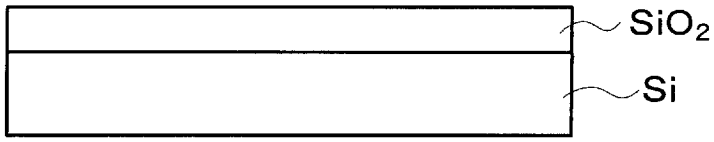


図12B

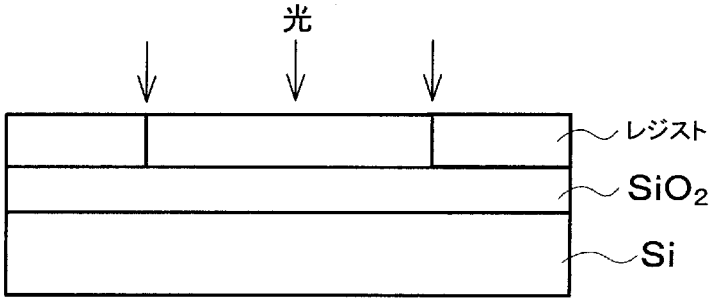


図12C

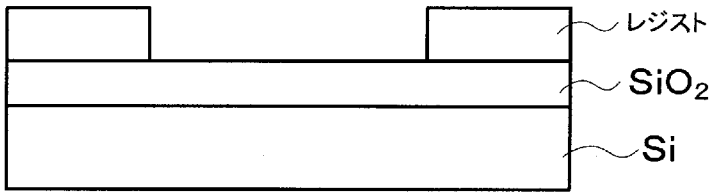


図12D

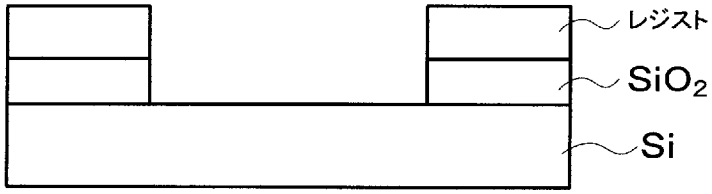
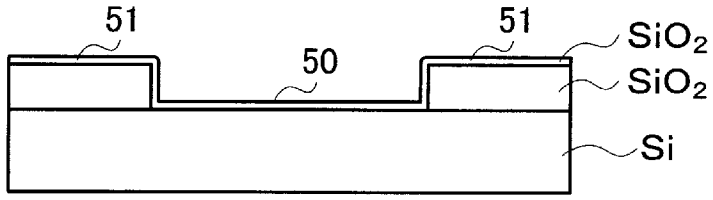


図12E



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/002092

A. CLASSIFICATION OF SUBJECT MATTER
G01N27/414(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G01N27/414

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009
Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2006/103872 A1 (National University Corporation Hokkaido University), 05 October, 2006 (05.10.06), Par. Nos. [0083], [0085], [0089], [0092]; Figs. 21, 25, 26 (Family: none)	1-16
Y	JP 2007-304089 A (Samsung Electronics Co., Ltd.), 22 November, 2007 (22.11.07), Par. No. [0006]; Fig. 1 & US 2007/0231211 A1 & EP 1843152 A1	1-15
Y	JP 2007-526466 A (Micronas GmbH), 13 September, 2007 (13.09.07), Par. No. [0019]; Fig. 1 & US 2007/0284630 A1 & EP 1740935 A	1-15

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
10 August, 2009 (10.08.09)	25 August, 2009 (25.08.09)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/002092

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 10-62383 A (Siemens AG.), 06 March, 1998 (06.03.98), Par. No. [0007]; Fig. 1 & US 5900128 A & EP 810431 A1	10,16
Y	JP 2001-242131 A (Matsushita Electric Works, Ltd.), 07 September, 2001 (07.09.01), Par. No. [0010]; Fig. 1 (Family: none)	10,16

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2009/002092

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-15 have "a special technical feature" relating to "a sensor manufacturing method including: a step for forming a silicon oxide film on a silicon substrate; a step for forming a polysilicon film or an amorphous silicon film on the oxide silicon film; a step for doping the polysilicon film or the amorphous silicon film with impurities; a step for forming a source electrode and a drain electrode on the polysilicon film or the amorphous silicon film doped with the impurities; and a step for forming a gate electrode on the oxide silicon film; and a step for forming a reaction field on the oxide silicon film."

(Continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Continuation of Box No.III of continuation of first sheet(2)

The invention of claim 16 has "a special technical feature" relating to a sensor manufacturing method including: a step for forming a barrier portion surrounding the reaction field and having a thickness greater than the reaction field, by using the LOCOS method; and a step for forming the reaction field as the gate oxide film.

There is no technical relationship among those inventions involving one or more of the same or corresponding special technical features. Accordingly, the inventions are not so linked as to form a single general inventive concept.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００２０９２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G01N27/414(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G01N27/414

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００９年
日本国実用新案登録公報	１９９６－２００９年
日本国登録実用新案公報	１９９４－２００９年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	WO 2006/103872 A1 (国立大学法人北海道大学) 2006.10.05, 段落【0083】, 【0085】, 【0089】, 【0092】, 図 21, 25, 26 (ファミリーなし)	1-16
Y	JP 2007-304089 A (三星電子株式会社) 2007.11.22, 段落【0006】, 図 1 & US 2007/0231211 A1 & EP 1843152 A1	1-15

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １０．０８．２００９	国際調査報告の発送日 ２５．０８．２００９
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　２Ｊ　３４９５ 柏木　一浩 電話番号　０３－３５８１－１１０１　内線　３２５２

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2007-526466 A (ミクロナス　ゲーエムベーハー) 2007.09.13, 段落【0019】, 図1 & US 2007/0284630 A1 & EP 1740935 A	1-15
Y	JP 10-62383 A (シーメンス　アクチエンゲゼルシャフト) 1998.03.06, 段落【0007】, 図1 & US 5900128 A & EP 810431 A1	10,16
Y	JP 2001-242131 A (松下電工株式会社) 2001.09.07, 段落【0010】, 図1 (ファミリーなし)	10,16

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００９／００２０９２

第Ⅱ欄　請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

１．☐ 請求項＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

２．☐ 請求項＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

３．☐ 請求項＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求項1-15に係る発明の「特別な技術的特徴」はシリコン基板に酸化シリコン膜を形成する工程と、酸化シリコン膜に、ポリシリコン膜又はアモルファスシリコン膜を形成する工程と、ポリシリコン膜又はアモルファスシリコン膜に不純物をドーピングする工程と、不純物がドーピングされた前記ポリシリコン膜又はアモルファスシリコン膜にソース電極及びドレイン電極を形成する工程と、酸化シリコン膜にゲート電極を形成する工程と、酸化シリコン膜に反応場を形成する工程と、を含むセンサ製造方法に関し、請求項16に係る発明の「特別な技術的特徴」は反応場を囲みかつ前記反応場よりも厚い障壁部を、ＬＯＣＯＳ法を用いて形成する工程と、ゲート酸化膜である反応場を形成する工程と、を含むセンサ製造方法に関するものである。これらの発明は、一又は二以上の同一又は対応する特別な技術的特徴を含む技術的な関係にないから、単一の一般的発明概念を形成するように連関しているものとは認められない。

１．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

２．☑ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

３．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

４．☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。