



(12) 发明专利

(10) 授权公告号 CN 101473441 B

(45) 授权公告日 2011.09.28

(21) 申请号 200780023065.6

(22) 申请日 2007.03.23

(30) 优先权数据

11/455,985 2006.06.20 US

(85) PCT申请进入国家阶段日

2008.12.19

(86) PCT申请的申请数据

PCT/US2007/007388 2007.03.23

(87) PCT申请的公布数据

WO2007/149137 EN 2007.12.27

(73) 专利权人 全视技术有限公司

地址 美国加利福尼亚州

(72) 发明人 E·G·斯蒂芬斯 H·科莫里

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 李娜 王忠忠

(51) Int. Cl.

H01L 27/146 (2006.01)

(56) 对比文件

GB 2332049 A, 1999.06.09, 说明书第5页第

1行至第18页第25行,附图5至15.

DE 19933162 A1, 2001.02.01, 全文.

US 5608204 A, 1997.03.04, 全文.

US 6023293 A, 2000.02.08, 全文.

Hidekazu Takahashi, Massakuni Kinoshita, Kazumichi Morita, Takahiro Shirai, Toshiaki Sato, Takayuki Kimura, Hiroshi Yuzurihara, Shunsuke Inoue. A 3.9- μ m Pixel Pitch VGA Format 10-b Digital Output CMOS Image Sensor With 1.5 Transistor/Pixel. IEEE JOURNAL OF SOLID-STATE CIRCUITS 39 12. 2004, 39(12), 第2418页第10行至第2423栏最后一行、附图3-10.

审查员 王子元

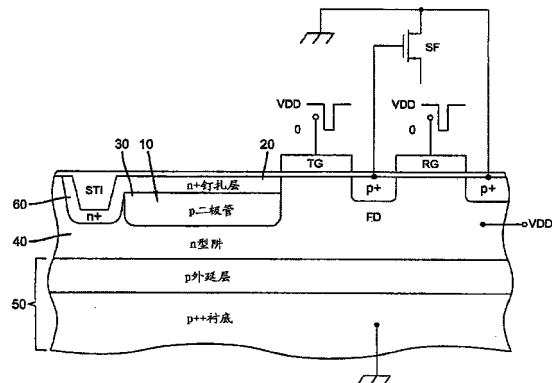
权利要求书 2 页 说明书 5 页 附图 11 页

(54) 发明名称

具有低串扰的 PMOS 像素结构

(57) 摘要

一种图像传感器,该图像传感器具有包含多个像素的图像区,该多个像素的每一个具有第一导电类型的光电探测器,该图像传感器包括:第一导电类型的衬底;第二导电类型的第一层,位于该衬底和该光电探测器之间,跨过该图像区,且相对于该衬底被偏置在预定电势用于将过剩载流子驱入该衬底内以减小串扰;一个或多个相邻有源电子部件,布置于每一个像素内的该第一层中;以及电子电路,布置于该图像区外部的该衬底中。



1. 一种图像传感器,所述图像传感器具有图像区,该图像区具有多个像素,所述多个像素的每一个具有使用空穴作为载荷子的 p 导电类型的光电探测器,所述图像传感器包括:

(a)p 导电类型的衬底;

(b)n 导电类型的第一层,位于所述衬底和所述 p 型光电探测器之间,其中该第一层跨过整个所述具有多个像素的图像区;

(c) 电连接到所述第一层的接触,用于相对于所述衬底将该第一层偏置在预定电势,以将过剩的载荷子驱入所述衬底内以减小串扰;

(d) 一个或多个相邻的有源 P 沟道金属氧化物半导体 PMOS 电子部件,布置于每一个像素内的所述第一层中;以及

(e)CMOS 电子支持电路,布置于所述图像区外部的所述衬底中并电连接到所述图像区。

2. 如权利要求 1 所述的图像传感器,其中所述一个或多个有源 P 沟道金属氧化物半导体电子部件包括复位晶体管和浮置扩散。

3. 如权利要求 1 所述的图像传感器,其中所述一个或多个有源 P 沟道金属氧化物半导体电子部件包括放大器。

4. 如权利要求 1 所述的图像传感器,还包括布置在所述衬底和所述第一层之间的 p 外延层;其中所述衬底为 p+ 型且所述第一层为 n 型。

5. 如权利要求 1 所述的图像传感器,还包括 n+ 钉扎层,并且其中所述光电探测器为钉扎光电二极管。

6. 如权利要求 1 所述的图像传感器,其中所述第一层包括渐变的掺杂以将过剩的载荷子驱入所述衬底中。

7. 一种相机,包括:

图像传感器,所述图像传感器具有图像区,该图像区具有多个像素,所述多个像素的每一个具有使用空穴作为载荷子的 p 导电类型的光电探测器,所述图像传感器包括:

(a)p 导电类型的衬底;

(b)n 导电类型的第一层,位于所述衬底和所述 p 型光电探测器之间,其中该第一层跨过整个所述具有多个像素的图像区;

(c) 电连接到所述第一层的接触,用于相对于所述衬底将该第一层偏置在预定电势,以将过剩的载荷子驱入所述衬底内以减小串扰;

(d) 一个或多个相邻的有源 P 沟道金属氧化物半导体 PMOS 电子部件,布置于每一个像素内的所述第一层中;以及

(e)CMOS 电子支持电路,布置于所述图像区外部的所述衬底中并电连接到所述图像区。

8. 如权利要求 7 所述的相机,其中所述一个或多个有源 P 沟道金属氧化物半导体电子部件包括复位晶体管和浮置扩散。

9. 如权利要求 7 所述的相机,其中所述一个或多个有源 P 沟道金属氧化物半导体电子部件包括放大器。

10. 如权利要求 7 所述的相机,还包括布置在所述衬底和所述第一层之间的外延层;其中所述衬底为 p+ 型且所述第一层为 n 型。

11. 如权利要求 7 所述的相机,还包括 n+ 钉扎层,其中所述光电探测器为钉扎光电二极管。

12. 如权利要求 7 所述的相机,其中所述第一层包括渐变的掺杂以将过剩的载荷子驱入所述衬底中。

具有低串扰的 PMOS 像素结构

技术领域

[0001] 本发明总体上涉及图像传感器领域,且具体而言涉及在 n 型阱内具有 n 型钉扎层和 p 型收集区用于减小串扰的有源像素图像传感器。

背景技术

[0002] 当前的有源像素图像传感器通常是构建在 p 型或者 n 型硅衬底上。有源像素传感器是指这样的传感器,其具有位于每一个像素内或者与每一个像素相关联的诸如放大器的有源电路元件。CMOS 是指“互补金属氧化物硅”晶体管,其中由相反掺杂剂组成的两个晶体管(一个为 n 型且一个为 p 型)按照互补的方式连接在一起。有源像素传感器通常还使用 CMOS 晶体管,且因此可互换地使用。

[0003] 构建在 p 型衬底上的 CMOS 传感器通常包含在芯片上的更高的电路集成水平,因为该工艺衍生自标准 CMOS,其已经全面发展且包含所有必须的器件和电路库以支持如此高的集成水平。不幸的是,这些传感器遭受高水平的像素-像素串扰,该串扰是由于该传感器构建于其上的 p 型衬底内少数载流子的横向扩散导致的。另一方面,由于垂直溢流漏极(VOD)结构消除了横向载流子扩散,使用从典型隔行(interline)CCD 图像传感器衍生的工艺来构建的 CMOS 图像传感器(其中焦平面形成在 n 型衬底上的 p 型阱内)具有低得多的串扰。对于这些器件,色彩串扰主要是光学的,因为受到上覆 CFA 的透射的限制。

[0004] 对于构建在 p 型衬底上的 CMOS 传感器,最近已经有诸多提议来减小硅衬底内的电学串扰(美国临时专利申请 No. 60/721,168 和 60/721,175,申请日均为 2005 年 9 月 28 日),不过使用这些技术用于某些用途仍无法将串扰降得足够低。并且尽管 CMOS 工艺可以在 n 型衬底上发展,不过将要求对所有支持电路和器件的完全再设计。且还要求 AC 接地平面,在该情形下衬底,应偏置在 VDD 电源电压,从噪声角度而言这是不期望的。与 p 型衬底相比,n 型衬底也更难除气(getter),这会导致更高水平的暗电流缺陷。

[0005] 因此,本领域中需要提供一种 CMOS 图像传感器,其具有降低的串扰同时维持现有主流 CMOS 工艺发展的所有当前优点和水平。

发明内容

[0006] 本发明旨在克服一个或多个上述问题。简言之,根据本发明一个方面,本发明提供了一种图像传感器,该图像传感器具有包含多个像素的图像区,该多个像素的每一个具有第一导电类型的光电探测器,该图像传感器包括:第一导电类型的衬底;第二导电类型的第一层,位于该衬底和该光电探测器之间,跨过该图像区,且相对于该衬底被偏置在预定电势用于将过剩载流子驱入该衬底内以减小串扰;一个或多个相邻有源电子部件,布置于每一个像素内的所述第一层中;以及电子电路,布置于该图像区外部的该衬底中。

[0007] 通过阅读对优选实施例的下述详细描述和所附权利要求,并参考附图,本发明的这些和其他方面、目的、特征和优点可以得到更加清楚的理解和认识。

[0008] 本发明的有益效果

[0009] 本发明具有的优点为,减小了串扰和暗电流的体扩散分量,同时维持了使用集成在 p 型衬底上的主流标准 CMOS 的所有优点。

附图说明

- [0010] 图 1 示出了典型现有技术 CMOS 图像传感器中使用的图像区域像素的俯视图；
- [0011] 图 2a 示出通过截面截取的二维掺杂结构的示意图,该截面穿过典型现有技术针扎光电二极管探测器的传输栅极和浮置扩散；
- [0012] 图 2b 示出穿过现有技术光电二极管的中间的一维掺杂分布对到硅内的深度；
- [0013] 图 2c 示出穿过现有技术光电二极管的中间的一维电势分布对到硅内的深度；
- [0014] 图 3 说明现有技术 CMOS 有源像素图像传感器像素的像素 - 像素串扰对耗尽深度的二维计算的示例结果；
- [0015] 图 4a 示出通过截面截取的本发明的 PMOS 像素结构的二维掺杂结构的示意图,该截面穿过传输栅极、浮置扩散和复位栅极；
- [0016] 图 4b 示出图 4a 的图像传感器的示例性布局的俯视图；
- [0017] 图 4c 示出穿过本发明的 PMOS 像素结构的中间的一维掺杂分布对到硅内的深度；
- [0018] 图 4d 示出穿过本发明的 PMOS 像素结构的中间的一维电势分布对到硅内的深度；
- [0019] 图 5 示出对于构建在阱中的本发明的 PMOS 像素结构的各种光电二极管耗尽深度,像素 - 像素串扰的二维计算对溢流或沉降 (sink) 深度的结果 ;以及
- [0020] 图 6 为数码相机的图示,用于说明普通消费者所习惯的本发明典型商业实施例。

具体实施方式

[0021] 历史上,基于电荷耦合器件 (CCD) 的图像传感器主要使用电子作为信号电荷载流子,以利用其更高的迁移率来维持在高数据率下的良好传输效率。为了减小色彩串扰和拖影 (smear),且为了提供模糊现象 (blooming) 保护,CCD 成像器还经常构建在阱内,或者垂直溢流漏极 (VOD) 结构内 (例如,见美国专利 4,527,182)。因此,构建 VOD 结构以及对于 n 沟道的需求,需要在 n 型衬底内形成 p 阱。

[0022] 基于 CMOS 的图像传感器已经变得越来越容易获得。当前的 CMOS 图像传感器通常构建在 p 型或者 n 型硅衬底上。使用主流 CMOS 工艺构建在 p 型衬底上的图像传感器可包含高的电路集成水平,但是遭受高水平的色彩串扰。使用类似典型 CCD 工艺构建在 n 型衬底上的图像传感器 (S.Inoue et al., " A 3.25 M-pixel APS-C size CMOS Image Sensor, " in Eizo Joho Media Gakkai Gijutsu Hokoku (Technology Report, The Institute of Image Information and Television Engineers) Eijogakugihō, vol. 25, no. 28, pp. 37-41, 2001 年 3 月 . ISSN1342-6893.) 具有低的色彩串扰,但是具有如前所述的其他缺点。

[0023] 与 CCD 图像传感器不同,CMOS 图像传感器仅具有一个传输 (transfer),即,从光电二极管到浮置扩散的传输。因此,CMOS 图像传感器不需要如此高的载流子迁移率。因此,空穴的较低迁移率对于 CMOS 图像传感器而言不是缺陷。因此本发明的一个目的是披露一种 CMOS 图像传感器,其采用使用空穴作为信号电荷载流子的 PMOS (p 沟道) 像素结构。本发明的这种 PMOS 结构使得像素可以构建在位于 p 外延层上的 n 阱内以减小像素 - 像素串扰。然而,与典型的基于 CCD 的图像传感器不同,这种阱仅使用在传感器的成像部分的下方

(或者跨过成像部分)。集成在芯片上的所有数字和模拟 CMOS 支持电路形成于 p 型外延层内 (见图 4b, 即, 模拟或者数字电路 80、数字逻辑 90、行解码器 100 和列解码器 110)。这意味着芯片的标准 CMOS 电路部分中器件的所有物理方面得以保持。此外, 与构建在阱内的 CCD 图像传感器 (其中该阱偏置在地电势且衬底偏置在特定正电势) 不同, 通过将本发明的 n 阱偏置在 VDD, CMOS 电路的接地平面 (即, p 型外延衬底) 可以维持在 0V。这意味着芯片的标准 CMOS 电路部分的所有电学方面也得以保持。仅数字和模拟部分中某些逻辑脉冲和信号摆动的方向需要恰当地反转, 而本领域技术人员容易实现这一点。因此, 在上面背景技术部分中所述的 p 型衬底的所有优点得以保持。通过消除来自衬底的扩散成分, 这种阱型结构也减小了暗电流。

[0024] 典型现有技术 CMOS 图像传感器像素的俯视图示于图 1。该典型像素包括: 光电二极管 (PD); 传输栅极 (TG), 用于从该光电二极管读出电荷; 浮置扩散 (FD), 用于将信号电荷转换成电压信号; 源跟随晶体管 (SF), 用作信号缓冲器, 其栅极电连接到 FD; 行选择晶体管 (RS), 选择性地将源跟随晶体管的输出连接到列输出电路 (未示于图 1); 以及复位栅极 (RG), 用于复位该浮置扩散的电势。电源电压 (VDD) 用于对源跟随器供电, 并在浮置扩散的复位操作期间从浮置扩散排出信号电荷。

[0025] 典型现有技术 CMOS 图像传感器像素包含钉扎光电二极管, 该钉扎光电二极管具有构建在 p-/p++ 外延硅晶片上的 p+ 型钉扎层和 n 型存储区域, 如图 2a-2c 示例性所示。耗尽区深度 (图 2a 和 2c 所示) 界定光电二极管的收集边界。向下穿过现有技术光电二极管的中心的示例性掺杂分布示于图 2b。在收集区域 (即, 耗尽区边界) 内生成的由较短波长光产生的载荷子 (电子) 被捕获并被存储作为信号电荷。越过该耗尽深度而形成的由较长波长产生的载荷子通过热扩散沿任意方向自由地扩散。横向扩散且被毗邻像素收集的任何电荷称为电学串扰。

[0026] 串扰可以通过将其定义为未受照射像素和受照射像素中的信号比例来定量, 且可以表达为分数或者百分比。因此, 串扰代表不被 (多个) 像素 (信号在该像素下方产生) 收集的信号的相对量。对于该示例性现有技术像素, 串扰与耗尽深度的关系示于图 3。串扰计算假设沿着一条线的每隔一个像素被照射 (且交替的交叉像素不被照射)。假设波长为 650nm, 这是因为光学吸收系数在长波长更低 (即, 光子在更深处被吸收), 所以在长波长, 串扰更成为问题。从该图可以看出, 尽管增大耗尽深度可以减小串扰, 但是串扰在耗尽深度即使多达 3 μ m 时仍不为零, 其在 650nm 在对于硅的吸收系数之上近似一。

[0027] 本发明的 PMOS 像素结构的截面示于图 4a。包含该像素结构的示例性 CMOS 图像传感器的俯视图示于图 4b。向下穿过该光电二极管的中心的示例性掺杂分布示于图 4c。向下穿过空的光电二极管的中心的示例性电势分布示于图 4d。从图 4a 和 4c 可以看出, 本发明的钉扎光电二极管 10 包含构建在位于 p-/p++ 外延衬底 50 上的 n 型阱 40 内的 n+ 钉扎层 20 和 p 型掩埋存储区 30。由于本发明的光电二极管的表面钉扎层 20 为 n 型, 砷可被使用。这使得更容易形成浅钉扎层, 因为与硼的注入范围相比, 砷的注入范围更浅。(现有技术结构具有 p 型钉扎层, 该钉扎层通常使用硼)。此外, 由于光电二极管的存储区 30 现在是 p 型而不是 n 型, 硼可被使用, (与现有技术结构的存储区所需的磷或砷相比, 硼的注入范围更长), 由此更容易使该注入深。在图 4a 可以看出, n+ 钉扎层 20 通过典型的浅沟槽隔离 (STI) 区域周围的 n+ 型隔离注入 60 而电连接到 n 型阱 40。该钉扎层 20 维持二极管的表

面集聚（电子）。信号电荷以空穴的形式存储在钉扎光电二极管 10 的 p 型掩埋存储区 30 内。n 型阱 40 仅形成于具有多个像素的图像区 70 内，如图 4b 中俯视图所示。通过仅在图像区 70 内形成该阱 40，图像传感器 75 在模拟或数字电路 80、数字逻辑 90、行解码器 100 和列解码器 110 中使用标准主流 CMOS 器件和电路，同时维持 p 型衬底的所有益处。优选地在工艺开始时形成 n 型阱 40，使得其形成不影响其他器件结构。例如，如果 n 型阱 40 通过注入和热驱动来形成，通过在标准 CMOS 工艺之前进行该步骤，热驱动步骤将不会导致图像区周围的 CMOS 支持电路中使用的器件所需要的浅结区的扩散。当形成于该 n 型阱 40 内时，像素的传输栅极（TG）、复位栅极（RG）、源跟随（SF）晶体管全部优选为 p 型金属氧化物硅（注意，栅极通常不是金属；栅极为多晶硅，且有时电介质不单是氧化物）场效应晶体管（PMOS FET）。与源跟随放大器（SF）的输出串联的行选择晶体管（RS，未示出）也是 PMOS 器件。所有外围支持 CMOS 电路 80、90、100 和 110 形成于 p-/p++ 外延衬底内。该衬底接地且 n 型阱 40 偏置在方便的正偏置，例如 VDD。图像积分之后（或期间），在自光电二极管的信号传输之前，浮置扩散（FD）使用复位栅极（RG）上的负向脉冲来复位。方便的 FD 复位电压水平为地电势。在浮置扩散复位之后（即，在 RG 脉冲之后），通过传输栅极 TG 上的负向脉冲来开始自光电二极管到浮置扩散的电荷（空穴）传输。用于这些脉冲的方便的时钟电压的示例（VDD）示于图 4a。可使用其他电压而不背离本发明的范围。由于本发明结构的信号电荷为空穴，浮置扩散和源跟随（SF）输出上的信号摆动将是正向的。在光电二极管收集区域 30 下方的 n 型阱 40 内产生的任何光信号（空穴）在能够扩散到相邻钉扎光电二极管 10 之前被扫入衬底 50 内，由此消除电学串扰。该信号通过本领域技术人员公知的一般方式从芯片读出。由于该结构产生的衬底和光电二极管之间的势垒也消除了从衬底（体）到光电二极管内的暗电流扩散成分。

[0028] 对于具有构建在位于 p 型衬底上的 n 型阱内的钉扎光电二极管的本发明像素结构，电学串扰大幅减小，如图 5 所示。示出各种耗尽深度时的串扰对沉降深度（载流子排到衬底所经过的深度）。通过由 E. G. Stevens 和 J. P. Lavine 在 IEEE Trans, on Electron Devices, 第 41 卷, no. 10, 第 1753 页（1994 年 10 月）所描述的方法来进行该计算。对于该示例性计算，假设恒定的 n 阱掺杂浓度对深度。对于 n 阱优选地通过离子注入来形成的实际器件，得到的掺杂梯度（例如如图 4c 所示）将产生电势梯度（如图 4d 所示），使得 n 型阱内的少数载流子（空穴）将被驱入衬底，由此有效消除电学串扰和衬底暗电流成分。

[0029] 参考图 6，示出其中布置有本发明的图像传感器 75 的数码相机 120，用于说明普通消费者所习惯的典型商业实施例。

[0030] 尽管所示的本发明的优选实施例包含钉扎光电二极管，该钉扎光电二极管是由位于 p 型外延衬底上的 n 阱内的 n+ 钉扎（顶表面）层和 p 型掩埋收集区组成，不过本领域技术人员将理解，其他结构可被使用而不背离本发明的范围。例如，如果需要，可以使用形成于 n 型阱内的简单的未钉扎 p 型二极管。此外，尽管示出了简单的未共享像素结构，共享结构（例如美国专利 6, 107, 655）也可被使用而不背离本发明的范围。

[0031] 部件列表

[0032] 10 钉扎光电二极管

[0033] 20 n+ 钉扎层

[0034] 30 p 型掩埋存储区

[0035]	40	n 型阱
[0036]	50	p-/p++ 外延衬底
[0037]	60	n+ 型隔离注入
[0038]	70	图像区
[0039]	75	图像传感器
[0040]	80	模拟或数字电路
[0041]	90	数字逻辑
[0042]	100	行解码器
[0043]	110	列解码器
[0044]	120	数码相机

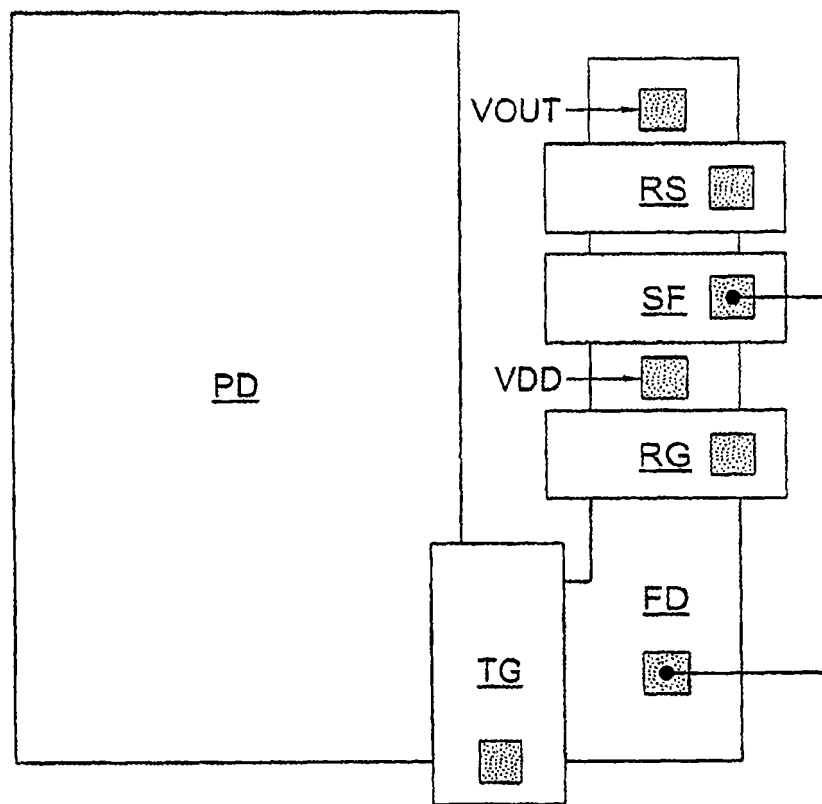


图 1 现有技术

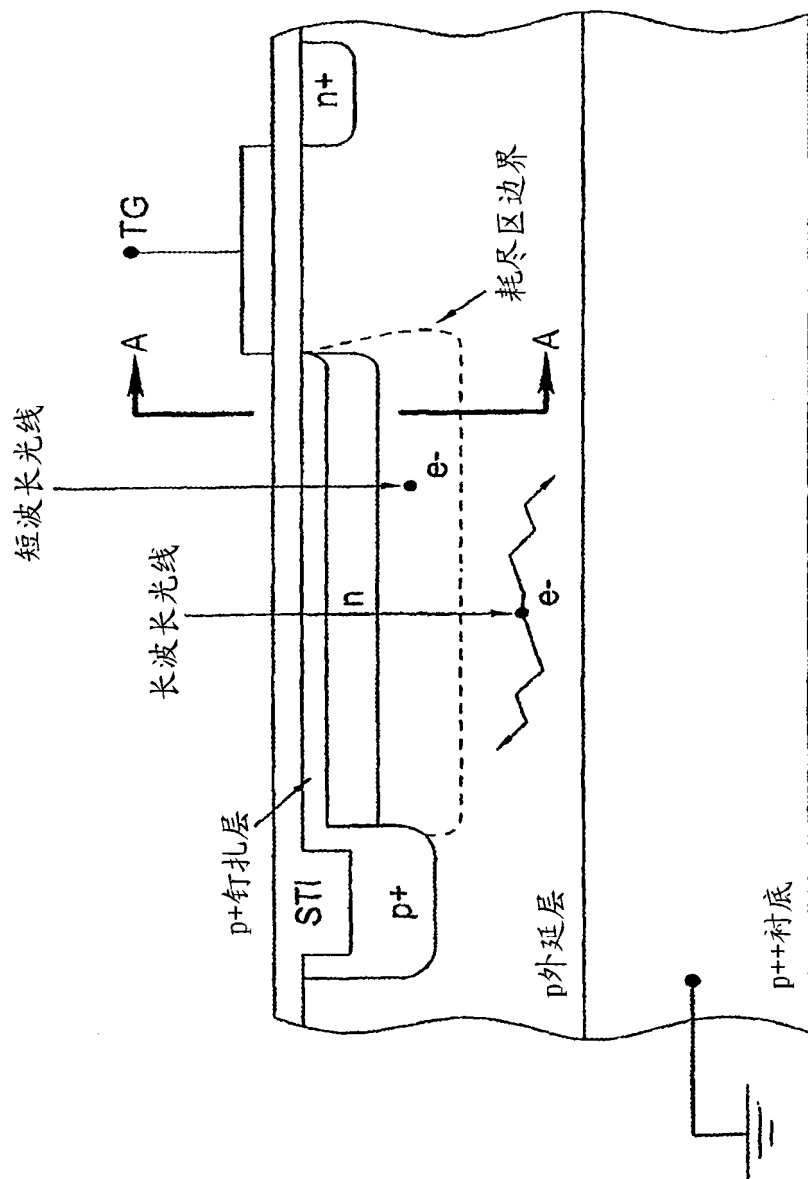


图 2a
现有技术

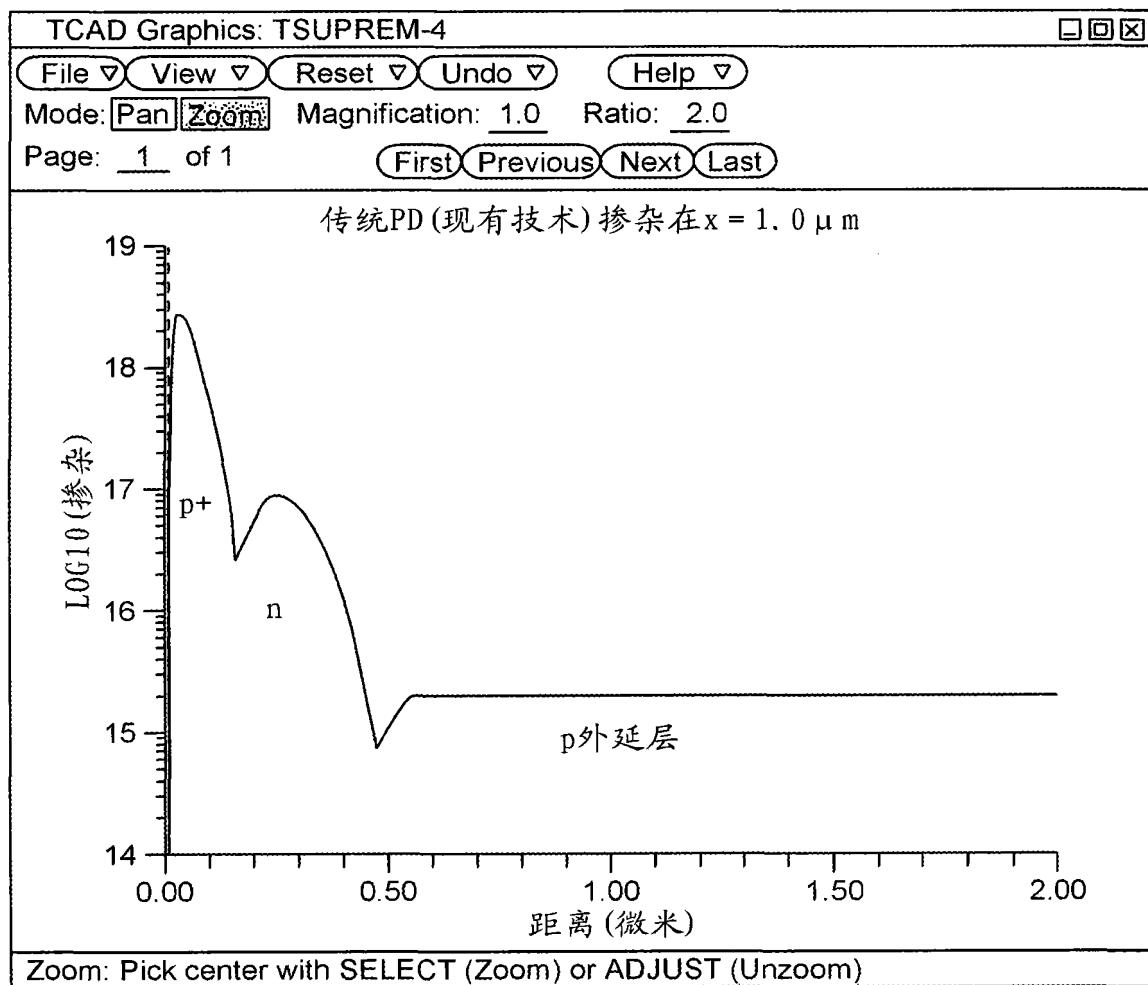


图 2b 现有技术

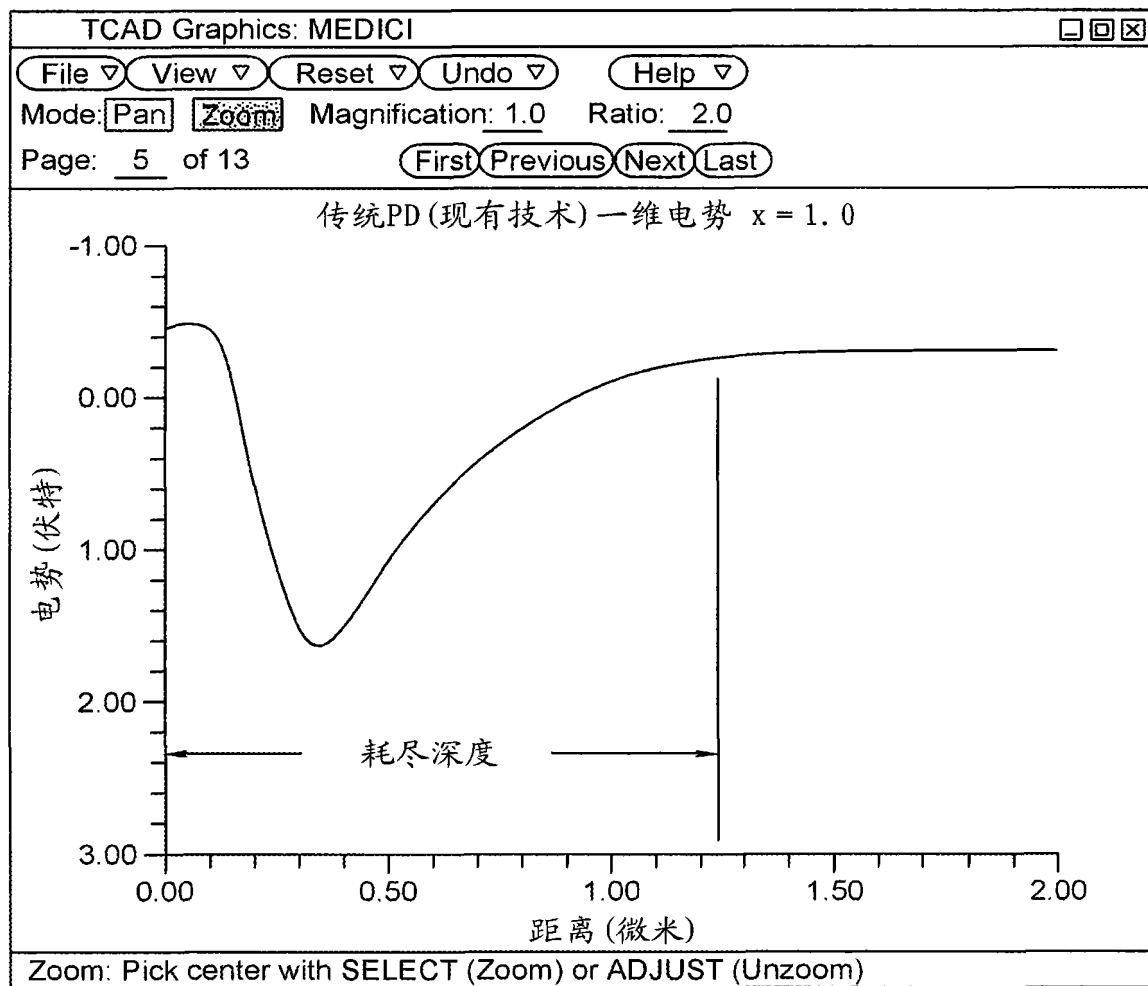


图 2c 现有技术

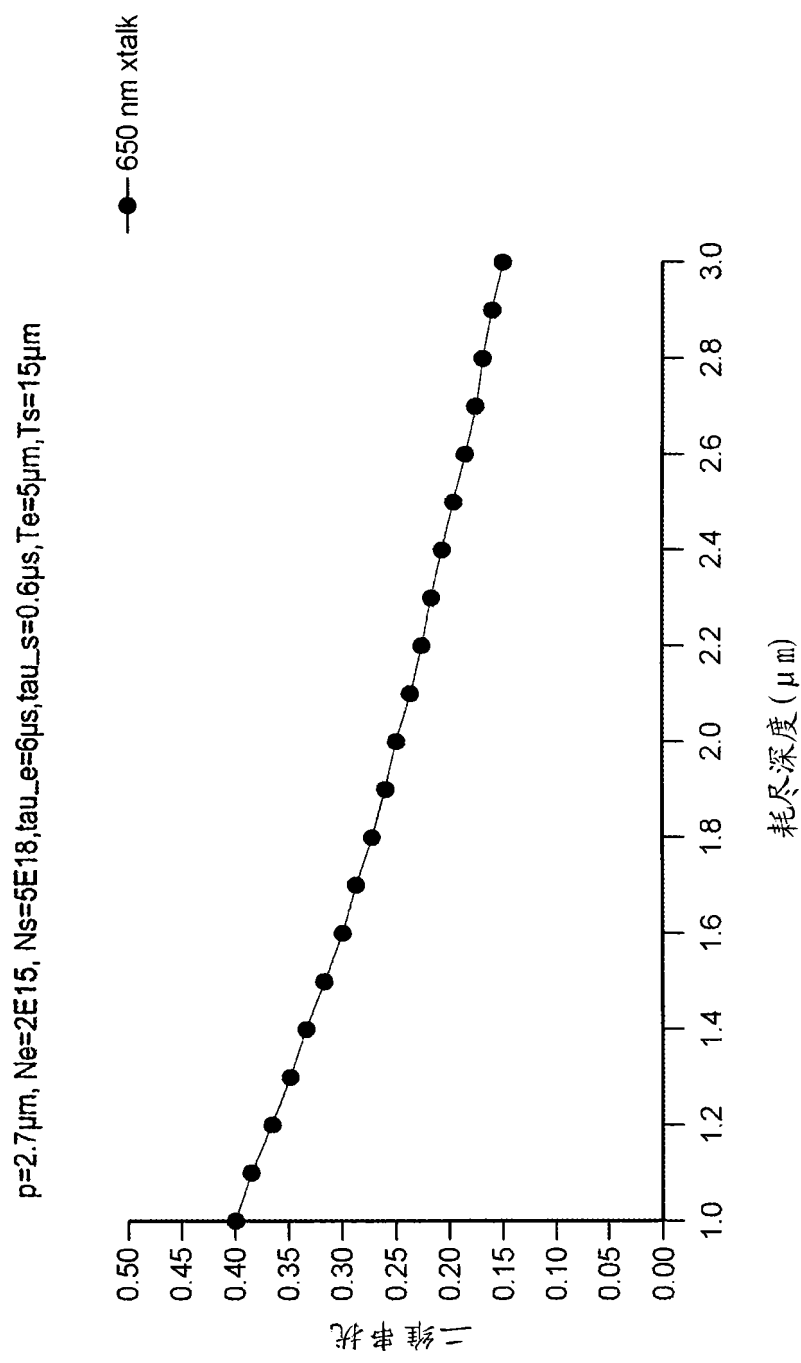


图 3
现有技术

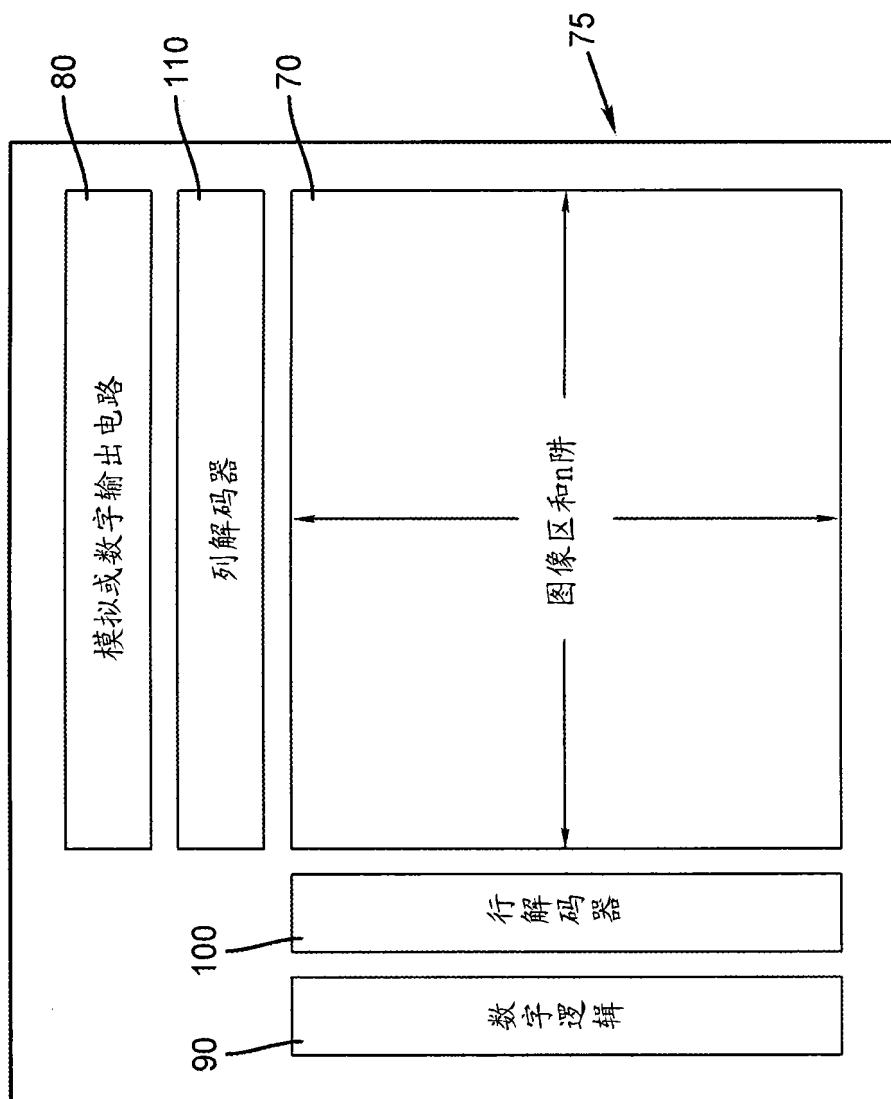


图 4b

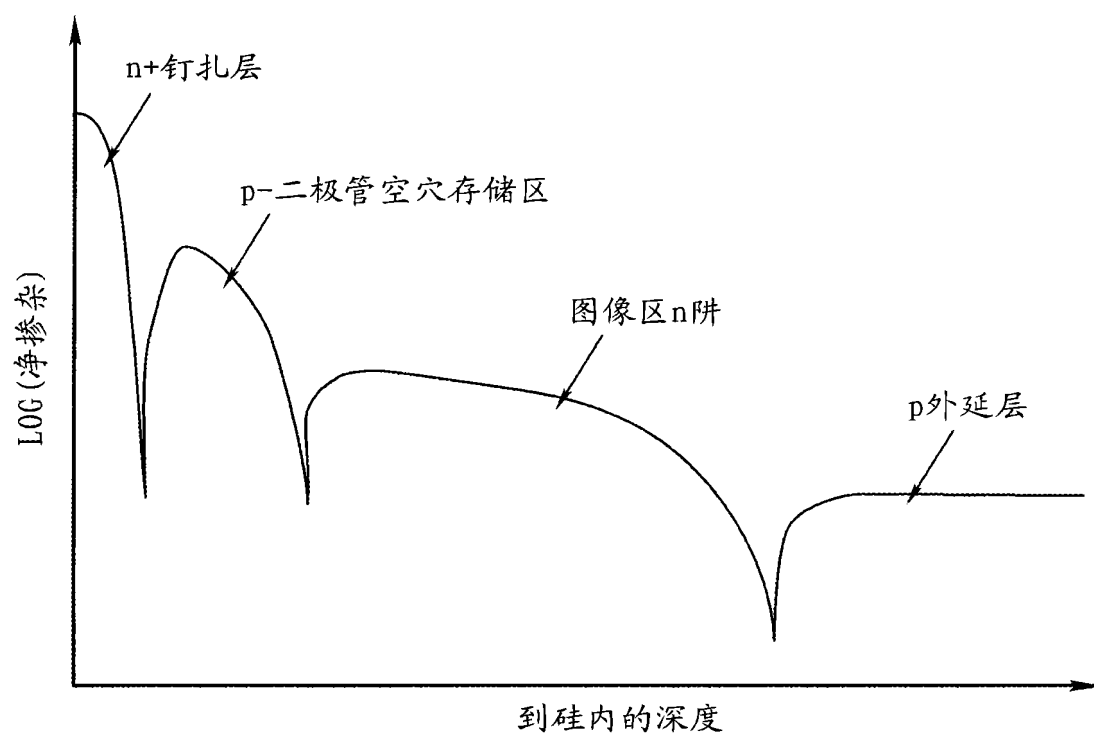


图 4c

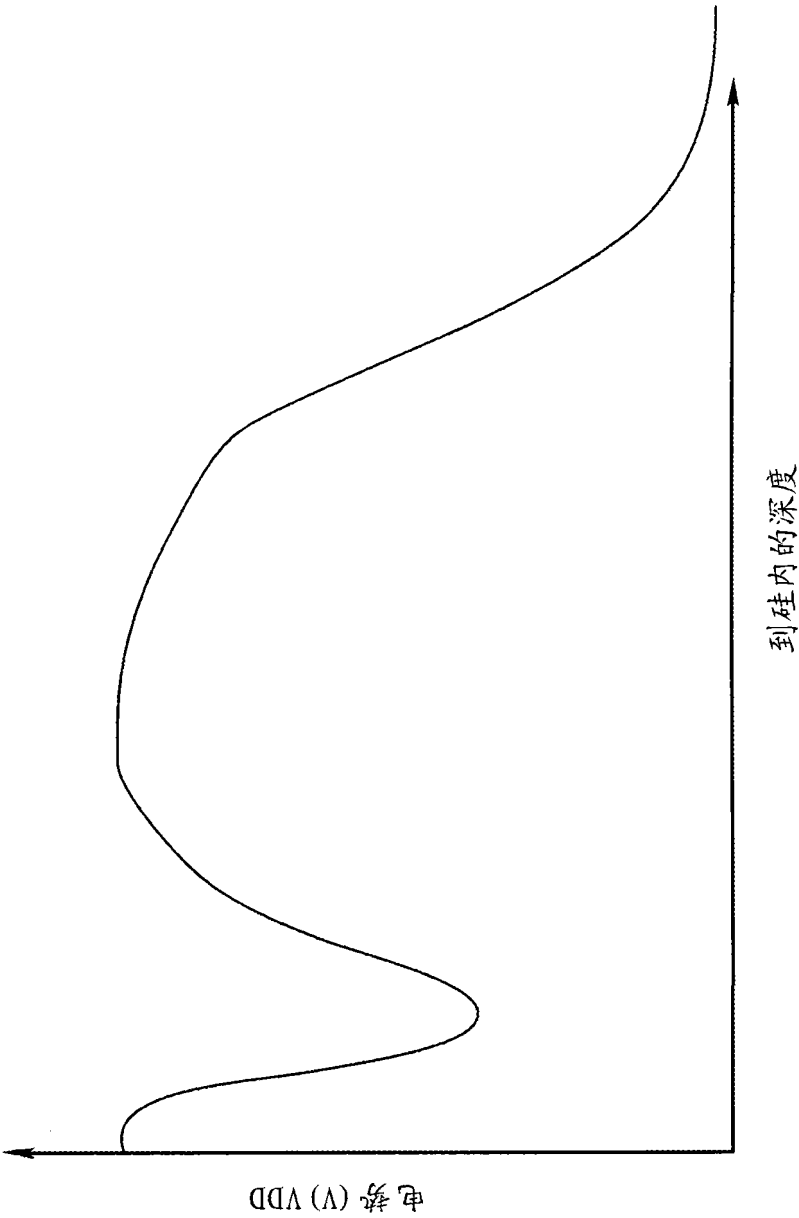


图 4d

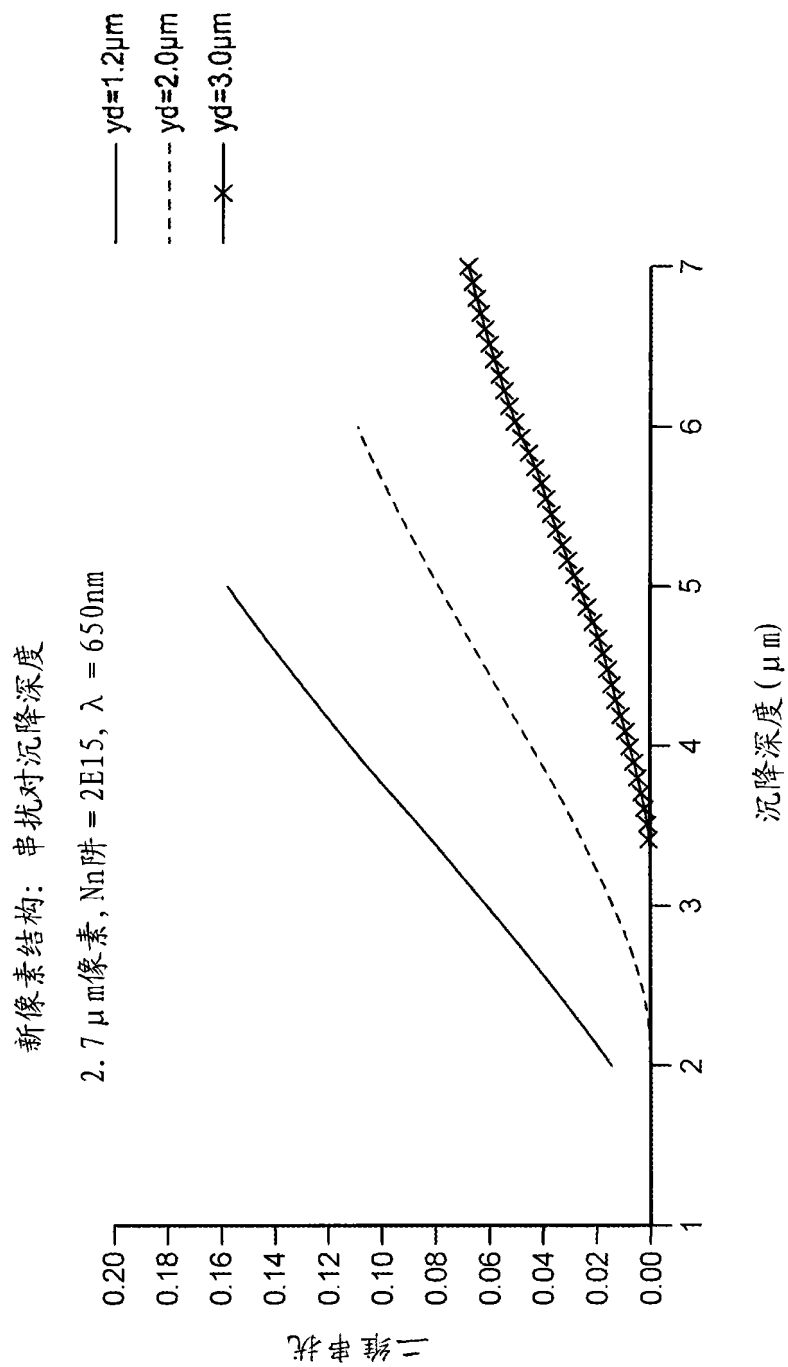


图 5

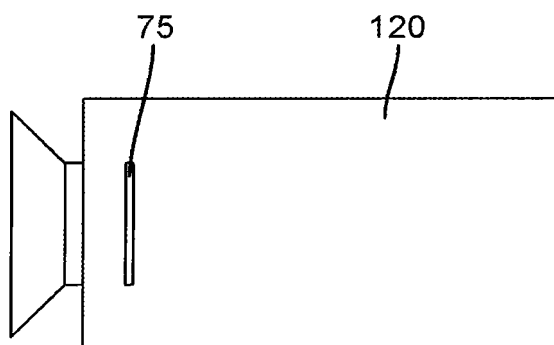


图 6