

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610138550.5

[51] Int. Cl.

H01L 29/43 (2006.01)
H01L 29/786 (2006.01)
H01L 21/283 (2006.01)
H01L 21/768 (2006.01)
H01L 27/12 (2006.01)
H01L 23/522 (2006.01)

[43] 公开日 2007 年 5 月 16 日

[11] 公开号 CN 1964067A

[51] Int. Cl. (续)

H01L 23/532 (2006.01)

[22] 申请日 2006.11.7

[21] 申请号 200610138550.5

[30] 优先权

[32] 2005.11.8 [33] KR [31] 10-2005-0106274

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李制勋 金时烈 金度贤 金炳范
郑敬午 李竣泳 裴良浩 康盛旭

[74] 专利代理机构 北京康信知识产权代理有限责任
公司

代理人 李 伟

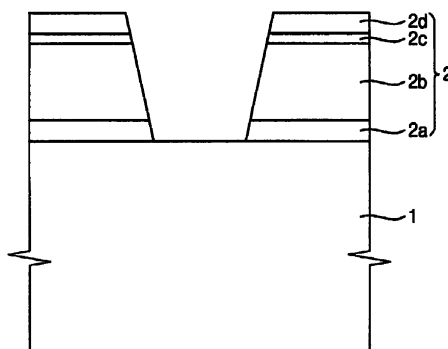
权利要求书 7 页 说明书 22 页 附图 23 页

[54] 发明名称

用于显示器的薄膜晶体管基板

[57] 摘要

本发明公开了一种含有能够被蚀刻的铜以具有可靠轮廓的导电结构,其中,铜层不被腐蚀或氧化,该导电结构包括形成于绝缘或半导体基板上的屏障层以及随后的铜层、阻挡层和覆盖层。铜层包含铜或铜合金。屏障层包含钼(Mo)、氮化钼(MoN)、或钼合金(包括MoW、MoTi、MoNb或MoZr中的至少一种)。阻挡层包含氮化铜、氧化铜或氮氧化铜。覆盖层包含钼、氮化钼(MoN)或钼合金(包括MoW、MoTi、MoNb和MoZr中的至少一种)。



1. 一种导电结构, 包括:
 屏障层, 其形成于基板上;
 铜层, 其形成于所述屏障层上, 所述铜层包含铜或铜合金;
 阻挡层, 其形成于所述铜层上; 以及
 覆盖层, 其形成于所述阻挡层上。
2. 根据权利要求 1 所述的导电结构, 其中, 所述屏障层包含钼 (Mo)、氮化钼 (MoN)、或钼合金。
3. 根据权利要求 2 所述的导电结构, 其中, 所述钼合金包括选自 MoW、MoTi、MoNb、MoZr、以及其混和物组成的组中的任一种。
4. 根据权利要求 1 所述的导电结构, 其中, 所述阻挡层包含氮化铜。
5. 根据权利要求 1 所述的导电结构, 其中, 所述阻挡层包含氧化铜。
6. 根据权利要求 1 所述的导电结构, 其中, 所述阻挡层包含氮氧化铜。
7. 根据权利要求 1 所述的导电结构, 其中, 所述覆盖层包含钼、氮化钼 (MoN)、或钼合金。

-
8. 根据权利要求7所述的导电结构,其中,所述钼合金包括选自由MoW、MoTi、MoNb、MoZr、以及其混和物组成的组中的任一种。
 9. 根据权利要求1所述的导电结构,其中,所述基板对应于绝缘基板、半导体层、或绝缘层。
 10. 一种导电结构,包括:
 - 屏障层,其形成于基板上;
 - 第一阻挡层,其形成于所述屏障层上;
 - 铜层,其形成于所述第一阻挡层上,所述铜层包含铜或铜合金;
 - 第二阻挡层,其形成于所述铜层上;以及
 - 覆盖层,其形成于所述第二阻挡层上。
 11. 根据权利要求10所述的导电结构,其中,所述屏障层包含钼(Mo)、氮化钼(MoN)、或钼合金。
 12. 根据权利要求11所述的导电结构,其中,所述钼合金包括选自由MoW、MoTi、MoNb、MoZr、以及其混和物组成的组中的任一种。
 13. 根据权利要求10所述的导电结构,其中,所述第一和第二阻挡层中的至少一层包含氮化铜。
 14. 根据权利要求10所述的导电结构,其中,所述第一和第二阻挡层中的至少一层包含氧化铜。

15. 根据权利要求 10 所述的导电结构, 其中, 所述第一和第二阻挡层中的至少一层包含氮氧化铜。
16. 根据权利要求 10 所述的导电结构, 其中, 所述覆盖层包含钼 (Mo)、氮化钼 (MoN)、或钼合金。
17. 根据权利要求 16 所述的导电结构, 其中, 所述钼合金包括选自由 MoW、MoTi、MoNb、MoZr、以及其混和物组成的组中的任一种。
18. 根据权利要求 10 所述的导电结构, 其中, 所述基板对应于绝缘基板、半导体层、或绝缘层。
19. 一种制造导电结构的方法, 包括:
 - 在基板上形成屏障层;
 - 在其上形成有所述屏障层的所述基板上形成包含铜或铜合金的铜层;
 - 在所述铜层上形成阻挡层; 以及
 - 在所述阻挡层上形成覆盖层。
20. 根据权利要求 19 所述的方法, 其中, 通过在充有氮气的箱室中使用铜作为靶极的溅射方法形成所述阻挡层。
21. 根据权利要求 19 所述的方法, 其中, 通过在充有氧气的箱室中使用铜作为靶极的溅射方法形成所述阻挡层。
22. 根据权利要求 19 所述的方法, 其中, 通过在充有氧气和氮气的箱室中使用铜作为靶极的溅射方法形成所述阻挡层。

-
23. 根据权利要求 19 所述的方法，其中，所述阻挡层通过真空截止而形成。
24. 一种制造导电结构的方法，包括：
- 在基板上形成屏障层；
 - 在所述屏障层上形成第一阻挡层；
 - 在所述第一阻挡层上形成包含铜或铜合金的铜层；
 - 在所述铜层上形成第二阻挡层；以及
 - 在所述第二阻挡层上形成覆盖层。
25. 根据权利要求 24 所述的方法，其中，通过在充有氮气的箱室中使用铜作为靶极的溅射方法形成所述第一阻挡层和第二阻挡层中的至少一层。
26. 根据权利要求 24 所述的方法，其中，通过在充有氧气的箱室中使用铜作为靶极的溅射方法形成所述第一阻挡层和第二阻挡层中的至少一层。
27. 根据权利要求 24 所述的方法，其中，通过在充有氧气和氮气的箱室中使用铜作为靶极的溅射方法而形成所述第一阻挡层和第二阻挡层中的至少一层。
28. 根据权利要求 24 所述的方法，其中，所述第二阻挡层通过真空截止而形成。
29. 一种薄膜晶体管（TFT）基板，包括：
- 栅极导电结构，包括：栅极线，形成于绝缘基板上并沿第一方向延伸；以及栅电极，其电连接至所述栅极线；

数据导电结构，包括：数据线，形成于所述绝缘基板上，使得所述数据线与所述栅极线电绝缘；源电极，其电连接至所述数据线；以及漏电极，与所述源电极间隔设置，所述数据线沿不同于所述第一方向的第二方向延伸；以及

像素电极，其电连接至所述漏电极，所述像素电极形成于由所述栅极线和所述数据线限定的像素中；

其中，所述栅极导电结构和所述数据导电结构中的至少一个包括：

屏障层，其形成于基板上；

铜层，其形成于所述屏障层上，所述铜层包含铜或铜合金；

阻挡层，其形成于所述铜层上；以及

覆盖层，其形成于所述阻挡层上。

30. 根据权利要求 29 所述的 TFT 基板，其中，所述屏障层包含钼 (Mo)、氮化钼 (MoN)、或钼合金。
31. 根据权利要求 30 所述的 TFT 基板，其中，所述钼合金包括选自由 MoW、MoTi、MoNb、MoZr、以及其混和物组成的组中的任一种。
32. 根据权利要求 29 所述的 TFT 基板，其中，所述阻挡层包含氮化铜。
33. 根据权利要求 29 所述的 TFT 基板，其中，所述阻挡层包含氧化铜。
34. 根据权利要求 29 所述的 TFT 基板，其中，所述阻挡层包含氮氧化铜。

35. 根据权利要求 29 所述的 TFT 基板, 其中, 所述覆盖层包含钼、氮化钼 (MoN)、或钼合金。

36. 根据权利要求 35 所述的 TFT 基板, 其中, 所述钼合金包括选自 MoW、MoTi、MoNb、MoZr、以及其混和物组成的组中的任一种。

37. 一种薄膜晶体管 (TFT) 基板, 包括:

栅极导电结构, 包括: 栅极线, 形成于绝缘基板上并沿第一方向延伸; 以及栅电极, 其电连接至所述栅极线;

数据导电结构, 包括: 数据线, 形成于所述绝缘基板上, 使得所述数据线与所述栅极线电绝缘; 源电极, 其电连接至所述数据线; 以及漏电极, 与所述源电极间隔设置, 所述数据线沿不同于所述第一方向的第二方向延伸; 以及

像素电极, 其电连接至所述漏电极, 所述像素电极形成于由所述栅极线和所述数据线限定的像素中;

其中, 所述栅极导电结构和所述数据导电结构中的至少一个包括:

屏障层, 其形成于基板上;

第一阻挡层, 其形成于所述屏障层上;

铜层, 其形成于所述第一阻挡层上, 所述铜层包含铜或铜合金;

第二阻挡层, 其形成于所述铜层上; 以及

覆盖层, 其形成于所述第二阻挡层上。

38. 根据权利要求 37 所述的 TFT 基板, 其中, 所述屏障层包含钼 (Mo)、氮化钼 (MoN)、或钼合金。

-
39. 根据权利要求 38 所述的 TFT 基板, 其中, 所述钼合金包括选自 MoW、MoTi、MoNb、MoZr、以及其混和物组成的组中的任一种。
 40. 根据权利要求 37 所述的 TFT 基板, 其中, 所述第一和第二阻挡层中的至少一层包含氮化铜。
 41. 根据权利要求 37 所述的 TFT 基板, 其中, 所述第一和第二阻挡层中的至少一层包含氧化铜。
 42. 根据权利要求 37 所述的 TFT 基板, 其中, 所述第一和第二阻挡层中的至少一层包含氮氧化铜。
 43. 根据权利要求 37 所述的 TFT 基板, 其中, 所述覆盖层包含钼、氮化钼 (MoN)、或钼合金。
 44. 根据权利要求 43 所述的 TFT 基板, 其中, 所述钼合金包括选自 MoW、MoTi、MoNb、MoZr、以及其混和物组成的组中的任一种。

用于显示器的薄膜晶体管基板

技术领域

本发明涉及一种用于诸如可能在制造液晶和有机发光显示器时有用的薄膜晶体管中的导电结构，具体地说，涉及一种包括铜或铜合金的导电结构。

背景技术

薄膜晶体管（TFT）基板可以用于液晶显示器（LCD）中或用于有机发光器件（OLED）显示器中。LCD 包括具有电极的两个基板和设置在两基板之间的液晶层。当两基板之间产生电场时，液晶分子的排列会改变，从而改变了其光透射比。OLED 通过使用有机场致发光材料来显示图像。OLED 的每一像素均包括向有机场致发光材料提供电流的驱动 TFT 以及控制驱动 TFT 的开关 TFT。

随着 LCD 装置或 OLED 尺寸的增大，栅极线和数据线变得较长且它们的电阻增大，从而延迟了信号的传递。人们期望出现由诸如铜（Cu）的低电阻材料制成的导电材料。铜具有约 $1.67\ \mu\Omega\text{cm}$ 的电阻系数（在薄膜状态中约 $2.0\ \mu\Omega\text{cm}$ 至约 $2.3\ \mu\Omega\text{cm}$ ）。相反，铝（Al）具有约 $2.65\ \mu\Omega\text{cm}$ 的电阻系数（在薄膜状态中约 $3.1\ \mu\Omega\text{cm}$ ）。简言之，铜（Cu）的电阻系数比铝（Al）的电阻系数低得多。因此，当采用铜作为栅极线和数据线时，信号延迟问题可以得到解决。

但是，铜对于绝缘基板（诸如对于玻璃基板或半导体层）具有较小的粘附。而且，当操作 TFT 时铜离子迅速扩散到非晶硅（a-Si）

或硅层内，并且在导电结构进行蚀刻时使用的蚀刻剂（蚀刻溶液）所产生的或在剥离光刻胶图案的过程中所产生的铜离子，可能渗入非晶硅层，从而产生影响 TFT 性能的泄漏电流。此外硅离子也可以扩散到铜导电结构内，使铜导电结构的电阻系数增大并降低了其化学耐腐蚀性。

因此，铜不单独使用，而是使用多层结构，该多层结构包括屏障层（barrier layer）、形成于屏障层上的铜层、以及形成于铜层上的覆盖层。但是，铜层可能被蚀刻/图案化多层结构的过程中或玻璃光刻胶图案的过程中出现的电化效应所腐蚀，造成不期望的覆盖层突悬和有缺陷的侧部轮廓。

发明内容

本发明提供了一种具有可被可靠地图案化的侧部轮廓的多层导电结构，并且其中免腐蚀和氧化铜层紧密地附着到基板上。示例性导电结构包括屏障层、铜层、阻挡层（blocking layer）、以及覆盖层。附加的阻挡层可以包括在屏障层与铜层之间。屏障层和覆盖层均可以包含钼（Mo）、氮化钼（MoN）、或钼合金（诸如 MoW、MoTi、MoNb、或 MoZr 中的一种或多种）。阻挡层可以包含氮化铜、氧化铜、或氮氧化铜。

在制造导电结构的示例性方法中，在基板上形成屏障层。在屏障层上形成包括铜或铜合金的铜层。在铜层上形成阻挡层。然后，在阻挡层上形成覆盖层。可以通过在充有氮或氮气或氧气和氮气混合物的箱室中用铜作为靶极的溅射方法或通过真空截止（vacuum break）形成阻挡层。

示例性 TFT 基板包括栅极导电结构、数据导电结构和像素电极。栅极导电结构包括：栅极线，其形成于绝缘基板上并沿第一方

向延伸；以及栅电极，其电连接至栅极线。数据导电结构包括：数据线，其形成于绝缘基板上，从而数据线与栅极线电绝缘；源电极，电连接至数据线；以及漏电极，其与源电极间隔设置。数据线沿不同于且有利地正交于第一方向的第二方向延伸。像素电极电连接至漏电极。像素电极形成在由栅极线和数据线限定的像素区中。栅极导电结构和数据导电结构都或其中任意一个包括屏障层、铜层、阻挡层、以及覆盖层。

附图说明

通过结合附图阅读下面的描述，本发明的上述和其它特征和优点将变得更明显，附图中：

图 1 是示出了根据本发明示例实施例的 TFT 导电结构的示意性横截面视图；

图 2 是示出了传统的多层导电结构的轮廓缺陷的示意性横截面视图；

图 3A 至图 3D 是示出了制造根据本发明示例实施例的 TFT 导电结构的方法的横截面视图；

图 4 是示出了根据本发明另一示例实施例的 TFT 导电结构的横截面视图；

图 5A 是示出了根据本发明示例实施例的 TFT 基板的布局图；

图 5B 和图 5C 是沿图 5A 中线 B-B' 截取的横截面视图；

图 6A、7A、8A 和图 9A 是示出了制造根据本发明示例实施例的 TFT 基板的方法的平面视图；

图 6B 和图 6C 是沿图 6A 中线 B-B' 截取的横截面视图;

图 7B 和图 7C 是沿图 7A 中线 B-B' 截取的横截面视图;

图 8B 和图 8C 是沿图 8A 中线 B-B' 截取的横截面视图;

图 9B 和图 9C 是沿图 9A 中线 B-B' 截取的横截面视图;

图 10A 是示出了根据本发明另一示例实施例的 TFT 基板的布局图;

图 10B 和图 10C 是沿图 10A 中线 B-B' 截取的横截面视图;

图 11 示出了导电结构中氮或氧密度的曲线图。

具体实施方式

可以理解, 当指出一个元件或层在另一元件或层“上”、“连接至”或“耦合至”另一元件或层时, 它可以直接在另一元件或层上、直接连接至或直接耦合至另一元件或层, 或者可能存在中间元件或层。相反, 当指出一个元件“直接”在另一元件或层上、“直接连接至”或“直接耦合至”另一元件或层时, 则不存在中间元件或层。全文中, 相同的标号表示相同的元件。如这里所使用的, 除非文中以其它方式清楚地指明, 否则单数形式 (“a” “an” 和 “the”) 也可以包括复数形式。附图中所示出的区域应该理解为在本质上是示意性的, 所以可以预料视图形状上存在例如由于制造技术和/或公差而产生的偏差。因此, 图示为矩形的注入区通常在其边缘具有圆形或弯曲特征和/或注入浓度梯度, 而不是从注入区到非注入区的二元变化。同样, 由注入形成的掩埋区可能会在掩埋区与其中发生注入的表面之间的区域中产生一些注入。

图1是示出了根据本发明示例实施例的TFT导电结构2的结构的示意性横截面视图。屏障层2a形成在基板1上,并且由铜或铜合金制成的铜层2b形成在屏障层上。覆盖层2d形成在铜层2b上,并且阻挡层2c被布置在铜层2b与覆盖层2d之间。基板1可以包括单层或包含多个元件、器件、层的复杂结构,诸如绝缘玻璃或硅基板或包含非晶硅的半导体层、绝缘层等。

屏障层2a加强了基板1与铜层2b之间的粘附,并防止铜离子扩散到基板1内,且优选地呈现出与铜层2b的蚀刻选择性类似的蚀刻选择性,从而它们可以同时被蚀刻。用于屏障层2a的示例性材料包括钼(Mo)、氮化钼(MoN)和钼合金(诸如MoTi、MoNb、MoZr等)。

为了防止铜层2b被图案化时使用的蚀刻溶液腐蚀,覆盖层2d覆盖并保护铜层。覆盖层2d由具有化学耐受性相对较高的材料组成,以防止铜层2b被用于图案化的蚀刻溶液腐蚀。优选地,覆盖层2d由具有类似于铜层2b的蚀刻选择性的材料组成,从而覆盖层2d和铜层2b可以同时被蚀刻。覆盖层2d包含例如钼(Mo)、氮化钼(MoN)和钼合金(诸如MoW、MoTi、MoNb、MoZr等)。

图2是示出了传统的多层导电结构的轮廓缺陷的示意性横截面视图。参照图2,当屏障层2a形成在铜层2b下方且覆盖层2d形成在铜层2b上时,在屏障层2a与铜层2b的边界以及在覆盖层2d与铜层2b的边界发生电化腐蚀。电化腐蚀起因于在蚀刻导电结构的过程以及在去除光刻胶图案的过程期间的电子交换。因此,铜层2b被不正确地蚀刻,形成了有缺陷轮廓,其中在处理期间覆盖层2d的突悬部可能导致断裂。

根据本发明,为了防止电化腐蚀,阻挡层2c被布置在铜层2b与覆盖层2d之间,如图1所示。阻挡层2c可以包含例如介电材料。

可替换地, 阻挡层 **2c** 可以包含半导体材料。即使当阻挡层 **2c** 包括半导体材料时, 阻挡层 **2c** 也能防止电子交换, 以减少由电化腐蚀引起的覆盖层 **2d** 的突悬。

可替换地, 阻挡层 **2c** 可以包含金属化合物, 诸如铜化合物, 以简化制造工艺。例如, 阻挡层 **2c** 可以包含氮化铜、氧化铜、氮氧化铜等。氮化铜的实例包括 Cu_3N 等。氧化铜的实例包括 Cu_2O 、 CuO 等。氮氧化铜的实例包括氧化铜和氮化铜的混和物, 诸如 $\text{Cu}_3\text{N}+\text{CuO}$ 、 $\text{Cu}_3\text{N}+\text{Cu}_2\text{O}$ 等等。阻挡层的氮化铜或氧化铜中的氮或氧的原子百分比在 0.001 至 50 原子百分比 (atomic %) 的范围内 (以下, 称为 at%)。

阻挡层 **2c** 的厚度由所需要的绝缘程度来确定。当氮或氧的原子百分比增加时, 绝缘程度增大, 从而阻挡层 **2c** 可以被做得更薄。相反, 当氮或氧的原子百分比减少时, 绝缘程度降低, 需要更厚的阻挡层。此外, 当阻挡层 **2c** 呈现出某些小导电率时, 需要更厚的阻挡层。例如, 阻挡层 **2c** 的厚度可以在约 50 埃至约 1000 埃的范围内。

参照图 3A, 基板 **1** 可以由诸如玻璃或半导体的绝缘材料制成。例如通过对包含钼 (Mo)、氮化钼 (MoN)、钼合金 (诸如 MoW 、 MoTi 、 MoNb 、 MoZr 等) 的材料进行溅射而形成具有约 100 埃至约 300 埃厚度的屏障层 **2a**。然后, 例如通过对铜或铜合金进行溅射而在屏障层 **2a** 上形成铜层 **2b**。例如, 具有约 1500 埃至约 2500 埃厚度的铜层 **2b** 可以通过氩离子与铜或铜合金的碰撞而形成。然后减少氩气量, 并使氮气流入溅射箱室内。不像惰性的氩气, 当氮气被离子化并与铜或铜合金碰撞时, 离子化的氮与铜或铜合金发生化学反应, 以形成氮化铜。

形成于铜层 **2b** 上的氮化铜层对应于阻挡层 **2c**。但是, 所有的铜原子都不与氮发生化学反应。因此, 与氩气碰撞的铜原子、或不

与氮气发生化学反应的铜原子可以与氮化铜一起包含在阻挡层 **2c** 中。

箱室中的氩气与氮气的比例，例如在约 90:10 至约 40:60 的范围内。当箱室中的氩气与氮气的比例例如在约 90:10 至约 40:60 的范围内时，阻挡层 **2c** 可以包含约 0.001 at%至约 50 at%的氮，并且阻挡层 **2c** 具有约 50 埃至约 1000 埃的厚度。

包含氧化铜（诸如 Cu_2O 、 CuO 等）的阻挡层 **2c** 可以通过向箱室内提供氧气（ O_2 ）以及氩气（Ar）而形成。包含氮氧化铜（诸如 $\text{Cu}(\text{O},\text{N})_x$ 等）的阻挡层 **2c** 可以通过向箱室提供例如氧气（ O_2 ）和氮气（ N_2 ）的混和气、氧气（ O_2 ）和氨气（ NH_3 ）的混和气、一氧化二氮气（ N_2O ）、一氧化氮（ NO ）、二氧化氮（ NO_2 ）等等以及氩气（Ar）而形成。通过调节混和比例，可以调节氮原子或氧原子相对于铜原子的比例。

此外，形成阻挡层 **2c** 的过程可以在含有氮气或氧气的箱室中进行。具体地，形成阻挡层 **2c** 的过程可以在与进行前述过程的箱室不同的箱室中进行。

当通过溅射形成多层时，层之间的氮和氧的比例可以通过真空截止操作进行调节。具体地，在基板 **1** 上形成屏障层 **2a** 并且在屏障层 **2a** 上形成铜层 **2b** 之后，结束真空，或将空气注入到箱室内。然后，由于空气中的氧，在铜层 **2b** 上形成氧化铜层。氧化铜层可以用作阻挡层 **2c** 的一部分。

如图 3c 所示，使用氩气通过溅射方法在阻挡层 **2c** 上形成覆盖层 **2d**。可以同时与铜层 **2b** 一起被湿蚀刻或可以具有与铜层 **2b** 类似的蚀刻选择性的材料，可以用作溅射靶，其对应于包含在覆盖层 **2d** 中的材料。例如钼（Mo）、氮化钼（ MoN ）、或钼合金（诸如 MoW 、

MoTi、MoNb、MoZr 等)的钼基团 (group), 可以用作上述材料。这样, 形成了具有屏障层 **2a**、铜层 **2b**、阻挡层 **2c** 和覆盖层 **2d** 四层的多层 **2'**。

在多层 **2'**上形成光刻胶层, 并对光刻胶层进行曝光和显影, 以形成限定导电结构的光刻胶图案 **3**。通过使用光刻胶图案 **3** 作为蚀刻掩膜, 对覆盖层 **2d**、阻挡层 **2c**、铜层 **2b** 和屏障层 **2a** 同时进行蚀刻, 以暴露基板 **1**。过氧化氢或基于硝酸的蚀刻溶液可以用作蚀刻溶液。以上蚀刻溶液还可以包含磷酸、醋酸等。当屏障层 **2a** 通过对覆盖层 **2d**、阻挡层 **2c** 和铜层 **2b** 进行湿蚀刻而暴露时, 可以通过使用光刻胶图案 **3** 对屏障层 **2a** 进行图案化来形成导电结构 **2**, 以暴露基板 **1**。

使用诸如 HCl、Cl₂、H₂、O₂、或其混和气通过干蚀刻对屏障层 **2a** 进行图案化。当屏障层 **2a** 不由蚀刻溶液来蚀刻时, 由于屏障层 **2a** 覆盖了基板 **1**, 所以可以防止基板 **1** 由于包含铜离子的蚀刻溶液而被损坏。然后, 去除光刻胶图案 **3**。因此, 完成了图 1 中的导电结构 **2**。此前, 例如使用光刻胶图案 **3** 作为蚀刻掩膜对屏障层 **2a** 进行干蚀刻。可替换地, 当覆盖层 **2d**、阻挡层 **2c** 和铜层 **2b** 被蚀刻以限定重叠层 (over layer) 时, 可以去除光刻胶图案, 并且通过使用重叠层作为蚀刻掩膜, 屏障层 **2a** 可以被干蚀刻, 以形成导电结构 **2**。

由于布置在铜层与覆盖层之间的阻挡层阻挡了电子, 通过上述过程形成的导电结构 **2** 将不被电化腐蚀损坏。防止了突悬, 并且导电结构 **2** 的轮廓具有令人满意的锥角。

将描述导电结构的另一实例和制造导电结构的方法。图 4 是示出了根据本发明另一示例实施例的 TFT 导电结构的横截面视图。除了布置在屏障层 **2a** 与铜层 **2b** 之间的附加阻挡层 **2e** 之外, 导电结

构大致与图 1 中的相同。以下，阻挡层 **2c** 被称为“第一阻挡层”，而附加阻挡层 **2e** 被称为“第二阻挡层”。

参照图 4，布置在屏障层 **2a** 与铜层 **2b** 之间的第二阻挡层 **2e** 可以防止屏障层 **2a** 与铜层 **2b** 之间的电子交换。第二阻挡层 **2e** 可以包括介电材料。可替换地，第二阻挡层 **2e** 可以包括半导体材料。即使当第二阻挡层 **2e** 包括半导体层时，第二阻挡层 **2e** 也可以防止大多数的电子交换，以减少铜层 **2b** 的对应于电化腐蚀的腐蚀。类似于第二阻挡层 **2e**，第一阻挡层 **2c** 可以包括介电材料或半导体材料。优选地，为了简化制造工艺，第一和第二阻挡层 **2c** 和 **2e** 可以包括可与铜层 **2b** 同时被蚀刻的金属合金。第二阻挡层 **2e** 可以包含氮化铜、氧化铜、氮氧化铜等。氮化铜的实例包括 Cu_3N 等。氧化铜的实例包括 Cu_2O 、 CuO 等。氮氧化铜的实例包括氧化铜和氮化铜的混和物，诸如 $\text{Cu}_3\text{N}+\text{CuO}$ 、 $\text{Cu}_3\text{N}+\text{Cu}_2\text{O}$ 等等。

为了防止电化腐蚀，阻挡层的氮化铜、氧化铜、氮氧化铜中的氮或氧的原子百分比在约 0.001 至 50 原子百分比 (atomic %) 的范围内 (以下，称为 at%)。当第二阻挡层 **2e** 与第一阻挡层 **2c** 一起形成时，可以获得更令人满意的导电结构轮廓。

以下，将详细描述制造第二阻挡层 **2e** 的过程。准备诸如绝缘玻璃基板、半导体层、绝缘层等的基板 **1**。然后，例如通过对包含钼 (Mo)、氮化钼 (MoN)、钼合金 (诸如 MoTi 、 MoNb 、 MoZr 等) 的材料进行溅射而形成屏障层 **2a**。屏障层 **2a** 形成为使得屏障层 **2a** 具有约 100 埃至约 300 埃的厚度。

使用铜或铜合金靶，允许诸如氩气的惰性气体和诸如氮气的反应气体进入溅射室 (未示出)。然后，形成第二阻挡层 **2e**。不像惰性气体的氩气，当氮气被离子化以形成氮离子，并且氮离子与铜或铜合金靶碰撞时，氮离子反抗 (react against) 铜或铜合金靶。因此，

当靶包括铜或铜合金时，氮离子与铜或铜合金发生反应，以形成氮化铜。结果，在屏障层 **2a** 上形成包括氮化铜的第二阻挡层 **2e**。

然而，并不是所有的铜原子都发生化学反应而形成氮化铜。因此，与氩气碰撞的铜原子或者未与氮气发生化学反应的铜原子可以与氮化铜一起被包括在第二阻挡层 **2e** 中。箱室中的氩气与氮气的比例例如在约 90:10 至约 40:60 的范围内。当箱室中的氩气与氮气的比例例如在约 90:10 至约 40:60 的范围内时，第二阻挡层 **2e** 可以包含约 0.001 at% 至约 50 at% 的氮，并且第二阻挡层 **2e** 具有约 50 埃至约 1000 埃的厚度。

包含氧化铜（诸如 Cu_2O 、 CuO 等）的阻挡层 **2c** 可以通过向箱室中提供氧气（ O_2 ）以及氩气（Ar）而形成。包含氮氧化铜（诸如 $\text{Cu}(\text{O},\text{N})_x$ 等）的阻挡层 **2c** 可以通过向箱室提供例如氧气（ O_2 ）和氮气（ N_2 ）的混和气、氧气（ O_2 ）和氨气（ NH_3 ）的混和气、一氧化二氮（ N_2O ）、一氧化氮（NO）、二氧化氮（ NO_2 ）等等以及氩气（Ar）而形成。通过调节混和比例，可以调节氮原子或氧原子相对于铜原子的比例。然后，停止向箱室提供氮气或氧气，并通过在氩气条件下对铜靶或铜合金靶进行溅射，在第二阻挡层 **2e** 上形成铜层 **2b**。

然后，提供氮气或氧气，并进行反应溅射，以形成包含氮化铜、氧化铜或氮氧化铜的第一阻挡层 **2c**。第一阻挡层 **2c** 可以通过图 3B 所描述的真空截止法而形成。第二阻挡层 **2e** 和屏障层 **2a** 可以在相同的室中通过原位复合（in-situ）工艺形成，但第一阻挡层 **2c** 可以在充有氮气和氧气的不同室中通过反应溅射形成。如以上实施例所描述，在第一阻挡层 **2c** 上形成覆盖层 **2d**，并且例如通过光刻工艺形成导电结构图案 **2**。

可以通过以下方法检查本导电结构的第一和第二阻挡层 **2c** 和 **2e** 的存在。参照图 11, 当屏障层 **2a** 和覆盖层 **2d** 包括钼 (Mo), 并且铜层 **2b** 包括铜 (Cu) 时, 可以通过使用诸如次级离子质谱法 (SIMS)、x 射线光电光谱法 (XPS) 等的工具检测氧或氮的密度, 来检查第一和第二阻挡层 **2c** 和 **2e** 的存在。

当 IOMo 表示包含在屏障层或含有钼的覆盖层中的氧、氮、或氧和氮的密度, 而且 IOCu 表示包含在铜层中的氧、氮、或氧和氮的密度时, 则 ΔI 表示[(包含在阻挡层中的氧、氮、或氧和氮的密度) - (IOMo、IOCu、或 IOMo 和 IOCu 的平均值)], 阻挡层优选地满足了下面的方程式:

$$5 < [\Delta I / \text{IOMo} \times 100, \Delta I / \text{IOCu} \times 100, \text{或 } 2 \times \Delta I / (\text{IOMo} + \text{IOCu})] < 10000$$

根据本发明的导电结构和制造导电结构的方法可以适用于由液晶显示 (LCD) 装置、有机发光器件 (OLED) 等采用的薄膜晶体管 (TFT) 基板、半导体器件、使用半导体的装置等。此外, 根据本发明的导电结构和制造导电结构的方法可以适用于需要微型图案的其它领域。

图 5A 是示出了根据本发明示例实施例的 TFT 基板的布局图, 而图 5B 和图 5C 是沿图 5A 中线 B-B' 截取的横截面视图。图 6A、7A、8A 和图 9A 是示出了制造根据本发明示例实施例的 TFT 基板的方法的平面视图。图 6B 和图 6C 是沿图 6A 中线 B-B' 截取的横截面视图。图 7B 和图 7C 是沿图 7A 中线 B-B' 截取的横截面视图。图 8B 和图 8C 是沿图 8A 中线 B-B' 截取的横截面视图。图 9B 和图 9C 是沿图 9A 中线 B-B' 截取的横截面视图。

如图 6A 和图 6B 所示, 传递栅极信号的栅极导电结构形成在绝缘基板 **10** 上。栅极导电结构包括栅极线 **22**、栅极线端部 **24**、栅电

极 26、存储电极 27 和存储电极线 28。栅极线 22 沿第一方向延伸。栅极线端部 24 电连接至栅极线 22 的端部，以将外部装置的栅极信号传递至栅极线 22。栅电极 26 电连接至栅极线 22。

每一像素的存储电极 27 电连接至沿第一方向延伸穿过像素的存储电极线 28。存储电极 27 与电连接至像素电极 82 的漏电极延伸部 67 交叠，以便于提高电容的存储电容器保持电荷容量。

存储电极 27 和存储电极线 28 可以具有各种位置和形状。例如，存储电极 27 和存储电极线 28 可以由不同于栅极导电结构的导电结构形成。此外，当存储电容足够时，可以不形成存储电极 27 和存储电极线 28。

如图 5B 所示，栅极导电结构包括：屏障层 221、241、261 和 271；包含铜或铜合金的铜层 222、242、262 和 272；包含氮化铜、氧化铜或氮氧化铜的阻挡层 223、243、263 和 273；以及覆盖层 224、244、264 和 274。因此，栅极导电结构具有四层结构。现在示于图 5B 中，存储电极线 28 具有与栅极导电结构 22、24、26 和 27 相同的结构。将被解释的栅极导电结构 22、24、26 和 27 的特征也适用于存储电极线 28。

本实施例的栅极导电结构 22、24、26 和 27 具有与上述实例大致相同的结构。也就是说，屏障层 221、241、261 和 271 有助于铜层 222、242、262 和 272，使得铜层 222、242、262 和 272 固定到绝缘基板 10 上。此外，屏障层 221、241、261 和 271 防止绝缘基板 10 与铜层 222、242、262 和 272 之间的材料的扩散。

此外，布置在铜层 222、242、262、272 与覆盖层 224、244、264、274 之间的阻挡层 223、243、263、273 防止由于铜层 222、242、262、272 与覆盖层 224、244、264、274 之间的电子交换所引

起的电化腐蚀。因此，避免了诸如覆盖层 224、244、264、274 突悬的轮廓缺陷。

当栅极导电结构 22、24、26、27 和 28 同时被蚀刻时，即使铜离子扩散到布置在栅极导电结构 22、24、26、27 和 28 下方的绝缘基板 10 内，也不会引起问题。因此，就像覆盖层 224、244、264、274 一样，屏障层 221、241、261、271 可以包含可与铜层 222、242、262 和 272 同时被蚀刻的材料。

如图 1 中的导电结构，栅极导电结构 22、24、26、27、28 具有屏障层 221、241、261、271，铜层 222、242、262、272，阻挡层 223、243、263、273，以及覆盖层 224、244、264、274 的四层结构。

可替换地，如图 5C 中的导电结构，栅极导电结构 22、24、26、27、28 可以具有屏障层 221、241、261、271，第二阻挡层 225、245、265、275，铜层 222、242、262、272，第一阻挡层 223、243、263、273，以及覆盖层 224、244、264、274 的五层结构。具有五层结构的栅极导电结构 22、24、26、27、28 大致与图 4 中的导电结构相同，并且制造栅极导电结构 22、24、26、27、28 的方法大致与上述方法相同。

栅极绝缘层 30 形成在其上形成有栅极导电结构 22、24、26、27、28 的基板 10 上。栅极绝缘层 30 包含氮化硅 (SiN_x) 等。

半导体层 40 形成在其上形成有栅极导电结构 22、24、26、27 和 28 的栅极基板 10 上所布置的栅极绝缘层 30 上。半导体层 40 包含例如非晶硅。形成于半导体层 40 上的欧姆接触层 55 和 56 包含具有硅化物或 n 型杂质的 n+非晶硅。

数据导电结构形成在欧姆接触层 55 和 56 以及栅极绝缘层 30 上。数据导电结构包括数据线 62、源电极 65、漏电极 66、漏电极延伸部 67、和数据线端部 68。数据线 62 沿不同于第一方向的第二方向延伸，从而数据线和栅极线限定了像素。源电极 65 从栅极线 62 延伸，以布置在欧姆接触层 55 上方。数据线端部 68 电连接至数据线 62 的端部，以将由外部装置提供的图像信号传递至数据线 62。漏电极 66 与源电极 65 间隔设置。漏电极 66 和源电极 65 布置在相对于 TFT 的通道层相对的侧部。漏电极延伸部 67 从漏电极 66 延伸，以与存储电极 27 交叠。

参照图 5B，与栅极导电结构 22、24、26 和 27 一样，数据导电结构 62、65、66、67 和 68 具有屏障层 621、651、661、671 和 681，铜层 622、652、662、672 和 682，阻挡层 623、653、663、673 和 683，以及覆盖层 624、654、664、674 和 684 的四层结构。图 1 中的导电结构可以适用于数据导电结构 62、65、66、67 和 68。

屏障层 621、651、661、671 和 681 有助于铜层 622、652、662、672 和 682，使得铜层 622、652、662、672 和 682 固定到诸如欧姆接触层 55 和 56 的基板上。此外，屏障层 621、651、661、671 和 681 防止铜层 622、652、662、672 和 682 与欧姆接触层 55 和 56 之间或铜层 622、652、662、672 和 682 与栅极绝缘层 30 之间的材料的扩散。

此外，屏障层 621、651、661、671 和 681 防止蚀刻溶液中的铜离子在用于形成数据导电结构 62、65、66、67 和 68 的湿蚀刻过程期间渗入到欧姆接触层 55 和 56 内或渗入到半导体层 40 内。因此，避免了 TFT 的损坏。此外，阻挡层 623、653、663、673 和 683 布置在铜层 622、652、662、672 和 682 与覆盖层 624、654、664、674 和 684 之间，以防止由电子交换引起的电化腐蚀。

参照图 5C, 数据导电结构 **62**、**65**、**66**、**67** 和 **68** 可以具有五层, 包括: 屏障层 **621**、**651**、**661**、**671** 和 **681**, 第二阻挡层 **625**、**655**、**665**、**675** 和 **685**, 铜层 **622**、**652**、**662**、**672** 和 **682**, 第一阻挡层 **623**、**653**、**663**、**673** 和 **683**, 以及覆盖层 **624**、**654**、**664**、**674** 和 **684**。图 4 中的导电结构可以适用于数据导电结构 **62**、**65**、**66**、**67** 和 **68**。

源电极 **65** 的至少一部分与半导体层 **40** 交叠。漏电极 **66** 布置成相对于栅电极 **26** 与源电极 **65** 相对。漏电极 **66** 的至少一部分与半导体层 **40** 交叠。欧姆接触层 **55** 和 **56** 布置在半导体层 **40** 与源电极 **65** 和漏电极 **66** 之间, 以降低接触电阻。

漏电极延伸部 **67** 通过漏电极延伸部 **67** 与存储电极 **27** 之间所布置的栅极绝缘层 **30** 而与存储电极 **27** 交叠, 以限定存储电容器。当不需要存储电极 **27** 时, 就不形成漏电极延伸部 **67**。

栅电极 **26**、形成于栅电极 **26** 上的半导体层 **40**、布置在半导体层 **40** 上的欧姆接触层 **55** 和 **56**、源电极 **65** 和漏电极 **66** 限定了 TFT。半导体层 **40** 对应于 TFT 的通道。

保护层 **70** 形成在未被数据导电结构 **62**、**65**、**66**、**67** 和 **68** 覆盖的数据导电结构 **62**、**65**、**66**、**67** 和 **68** 以及半导体层 **40** 上。例如, 保护层 **70** 可以包含具有良好平面化特性且感光的材料。保护层 **70** 可以包含诸如 a-Si:C:O、a-Si:O:F 等的材料, 这些材料可以具有低介电常数并且可以通过等离子体增强化学气相沉积 (PECVD) 形成。可替换地, 保护层 **70** 可以包含诸如氮化硅 (SiN_x) 等的无机材料。当保护层 **70** 包含有机材料时, 包含氮化硅 (SiN_x)、二氧化硅 (SiO_2) 等的绝缘层 (未示出) 可以附加地形成在具有有机材料的保护层 **70** 下方, 以便防止暴露于源电极 **65** 与漏电极 **66** 之间的保护层 **70** 与半导体层 **40** 之间的接触。

保护层 70 包括分别暴露漏电极延伸部 67 和数据线端部 68 的接触孔 77 和 78。保护层 70 和栅极绝缘层 30 还包括暴露栅极线端部 24 的接触孔 74。像素电极 82 形成在保护层 70 上。像素电极 82 通过接触孔 77 电连接至漏电极 66。像素电极 82 布置在像素区中。当在像素电极 82 与上基板的共用电极之间产生电场时，液晶分子的排列会改变。

子栅极线端部 84 和子数据线端部 88 形成在保护层 70 上。子栅极线端部 84 和子数据线端部 88 分别通孔接触孔 74 和 78 电连接至栅极线端部 24 和数据线端部 68。像素电极 82 和子栅极线端部 84 以及子数据线端部 88 包含诸如氧化铟锡(ITO)、氧化铟锌(IZO)等的导电且透光的材料。根据该示例实施例的 TFT 基板可以适用于液晶显示(LCD)装置。

以下，将参照图 6A 至图 9C 解释制造 TFT 基板的方法。如图 6A 和图 6B 所示，在绝缘基板 10 上形成栅极多层。栅极多层包括屏障层 221、241、261 和 271，包含铜或铜合金的铜层 222、242、262 和 272，包含氮化铜、氧化铜或氮氧化铜的阻挡层 223、243、263 和 273，以及覆盖层 224、244、264 和 274。可以通过溅射方法形成栅极多层。然后，在栅极多层上形成限定栅极导电结构 22、24、26、27 和 28 的光刻胶图案。依次对覆盖层 224、244、264 和 274，阻挡层 223、243、263 和 273，铜层 222、242、262 和 272，以及屏障层 221、241、261 和 271 进行湿蚀刻。

可替换地，当依次对覆盖层 224、244、264 和 274，阻挡层 223、243、263 和 273，以及铜层 222、242、262 和 272 进行湿蚀刻时，可以通过使用光刻胶图案作为掩膜对屏障层 221、241、261 和 271 进行干蚀刻。然后，去除光刻胶图案。可替换地，当依次对覆盖层 224、244、264 和 274，阻挡层 223、243、263 和 273，以及铜层 222、242、262 和 272 进行湿蚀刻时，去除光刻胶图案，并且可以

通过使用被湿蚀刻的覆盖层 224、244、264 和 274，阻挡层 223、243、263 和 273，以及铜层 222、242、262 和 272 作为掩膜对屏障层 221、241、261 和 271 进行干蚀刻。结果，完成了包括栅极线 22、栅电极 26、栅极线端部 24、存储电极 27 和存储电极线 28 的栅极导电结构。

制造参照图 3A 至图 3D 所描述的导电结构的方法可以适用于栅极导电结构 22、24、26、27 和 28 的方法。也就是说，阻挡层 223、243、263 和 273 可以通过使用铜作为靶极并且在充有氮气或氧气的箱室中进行的反应溅射方法而形成。阻挡层 223、243、263 和 273 的一部分可以通过真空截止形成自然氧层而形成。

参照图 6C，栅极导电结构 22、24、26、27 和 28 具有包括屏障层 221、241、261 和 271，第二阻挡层 225、245、265 和 275，铜层 222、242、262 和 272，第一阻挡层 223、243、263 和 273，以及覆盖层 224、244、264 和 274 的五层结构。栅极导电结构 22、24、26、27 和 28 具有与图 4 中结构的大致相同的结构，并且制造栅极导电结构 22、24、26、27 和 28 的方法也与上述相同。

当形成屏障层 221、241、261 和 271 时，在充有氩气以及氧气或氮气的箱室中使用铜作为靶极进行反应溅射，以形成第二阻挡层 225、245、265 和 275。然后，停止提供氮气或氧气，并在充有氩气的室中进行溅射，以形成铜层 222、242、262 和 272。然后，再次将氧气或氮气提供给箱室，以便形成第一阻挡层 223、243、263 和 273。当形成第二阻挡层 225、245、265 和 275 以及铜层 222、242、262 和 272 时，第一阻挡层 223、243、263 和 273 的一部分可以通过真空截止在铜层 222、242、262 和 272 上形成自然氧层而形成。

栅极导电结构 **22**、**24**、**26**、**27** 和 **28** 包括：第一阻挡层 **223**、**243**、**263** 和 **273**，布置在铜层 **222**、**242**、**262** 和 **272** 与覆盖层 **224**、**244**、**264** 和 **274** 之间，通过防止铜层 **222**、**242**、**262** 和 **272** 与覆盖层 **224**、**244**、**264** 和 **274** 之间的电子交换而减少电化腐蚀；以及第二阻挡层 **225**、**245**、**265** 和 **275**，布置在屏障层 **221**、**241**、**261** 和 **271** 与铜层 **222**、**242**、**262** 和 **272** 之间，通过防止屏障层 **221**、**241**、**261** 和 **271** 与铜层 **222**、**242**、**262** 和 **272** 之间的电子交换而减少电化腐蚀。因此，导电结构可以形成为具有无突悬和令人满意的锥角的完整轮廓。

然后，如在图 7A 至图 7C 中所描述的，形成包含例如氮化硅的栅极绝缘层 **30**，使得栅极绝缘层 **30** 具有约 1,500 埃至约 5000 埃的厚度。在栅极绝缘层 **30** 上形成本征非晶硅层，使得非晶硅层具有约 500 埃至约 2000 埃的厚度，以便形成半导体层 **40**，并且在本征非晶硅层上形成掺杂的非晶硅层，使得掺杂的非晶硅层具有约 300 埃至约 600 埃的厚度，以便形成欧姆接触层 **55**。通过光刻方法分别对本征非晶硅层和掺杂的非晶硅层进行图案化，以形成半导体层 **40** 和欧姆接触层 **55**。

然后，参照图 8A 和图 8B，形成包括屏障层 **621**、**651**、**661**、**671** 和 **681**，铜层 **622**、**652**、**662**、**672** 和 **682**，阻挡层 **623**、**653**、**663**、**673** 和 **683**，以及覆盖层 **624**、**654**、**664**、**674** 和 **684** 的数据导电结构的多层。屏障层 **621**、**651**、**661**、**671** 和 **681**，铜层 **622**、**652**、**662**、**672** 和 **682**，阻挡层 **623**、**653**、**663**、**673** 和 **683**，以及覆盖层 **624**、**654**、**664**、**674** 和 **684** 中的每层均可以通过溅射方法依次形成。在栅极绝缘层 **30** 和欧姆接触层 **55** 上形成屏障层 **621**、**651**、**661**、**671** 和 **681**。铜层 **622**、**652**、**662**、**672** 和 **682** 包括铜或铜合金。阻挡层 **623**、**653**、**663**、**673** 和 **683** 包括氮化铜、氧化铜或氮氧化铜。

然后,在数据导电结构的多层上形成限定数据导电结构 **62**、**65**、**66**、**67** 和 **68** 的光刻胶图案,并且通过使用光刻胶图案作为蚀刻掩膜同时对覆盖层 **624**、**654**、**664**、**674** 和 **684**,阻挡层 **623**、**653**、**663**、**673** 和 **683**,铜层 **622**、**652**、**662**、**672** 和 **682**,以及屏障层 **621**、**651**、**661**、**671** 和 **681** 进行蚀刻。可替换地,可以同时覆盖层 **624**、**654**、**664**、**674** 和 **684**,阻挡层 **623**、**653**、**663**、**673** 和 **683**,以及铜层 **622**、**652**、**662**、**672** 和 **682** 进行湿蚀刻,以暴露屏障层 **621**、**651**、**661**、**671** 和 **681**,然后通过使用光刻胶图案作为蚀刻掩膜对屏障层 **621**、**651**、**661**、**671** 和 **681** 进行干蚀刻。可替换地,当可以同时覆盖层 **624**、**654**、**664**、**674** 和 **684**,阻挡层 **623**、**653**、**663**、**673** 和 **683**,以及铜层 **622**、**652**、**662**、**672** 和 **682** 进行湿蚀刻以暴露屏障层 **621**、**651**、**661**、**671** 和 **681** 时,可以去除光刻胶图案,进而可以通过使用已图案化的覆盖层 **624**、**654**、**664**、**674** 和 **684**,阻挡层 **623**、**653**、**663**、**673** 和 **683**,以及铜层 **622**、**652**、**662**、**672** 和 **682** 作为蚀刻掩膜,对屏障层 **621**、**651**、**661**、**671** 和 **681** 进行干蚀刻。此外,可以同时屏障层 **621**、**651**、**661**、**671** 和 **681**,欧姆接触层 **55** 和 **56**,以及半导体层 **40** 进行蚀刻。

结果,完成了数据导电结构,其具有:数据线 **62**,沿基本上垂直于栅极线 **22** 方向的方向延伸;源电极 **65**,电连接至数据线 **62**,并延伸以布置于栅电极 **26** 上方;数据线端部 **68**,电连接至数据线 **62**;漏电极 **66**,布置成相对于栅电极 **26** 与源电极 **65** 相对;以及漏电极延伸部 **67**,从漏电极 **66** 延伸,以与存储电极 **27** 交叠。

可以通过制造上述导电结构的方法形成数据导电结构 **62**、**65**、**66**、**67** 和 **68**。换句话说,布置在铜层 **622**、**652**、**662**、**672** 和 **682** 与覆盖层 **624**、**654**、**664**、**674** 和 **684** 之间的阻挡层 **623**、**653**、**663**、**673** 和 **683** 防止了铜层 **622**、**652**、**662**、**672** 和 **682** 与覆盖层 **624**、**654**、**664**、**674** 和 **684** 之间的电子交换,以防止电化腐蚀。因此,

数据导电结构 62、65、66、67 和 68 具有另人满意的侧部轮廓，并且避免了突悬。

参照图 8C，与栅极导电结构 22、24、26 和 27 一样，数据导电结构 62、65、66、67 和 68 可以具有五层结构。也就是说，第二阻挡层 625、655、665、675 和 685 可以另外地形成在铜层 622、652、662、672 和 682 与屏障层 621、651、661、671 和 681 之间。当第二阻挡层 625、655、665、675 和 685 形成在铜层 622、652、662、672 和 682 与屏障层 621、651、661、671 和 681 之间时，数据导电结构 62、65、66、67 和 68 具有增强的轮廓。制造数据导电结构 62、65、66、67 和 68 的方法大致与图 4 中的方法相同。

然后，对屏障层 621、651、661、671 和 681 进行干蚀刻，并且对欧姆接触层 55 的未被数据导电结构 65、66、67 和 68 覆盖的一部分进行干蚀刻，以露出半导体层 40。欧姆接触层 55 的被蚀刻部分布置在栅电极 26 上方。用来蚀刻屏障层 621、651、661、671 和 681 的气体可以用来蚀刻欧姆接触层 55。可替换地，用来蚀刻欧姆接触层 55 的气体可以改变，并且所改变的气体可以用来蚀刻欧姆接触层 56。结果，完成了栅电极 26、形成于栅电极 26 上的半导体层 40、欧姆接触层 55 和 56、源电极 65 以及漏电极 66，以限定底部栅极型薄膜晶体管，其具有布置在通道层下方的栅电极。

参照图 9A 至图 9C，保护层 70 形成在未被数据导电结构 62、65、66、67 和 68 覆盖的数据导电结构 62、65、66、67 和 68 以及半导体层 40 上。例如，保护层 70 可以包含具有良好平面化特性且感光的材料。保护层 70 可以包含诸如 a-Si:C:O、a-Si:O:F 等的材料，这些材料具有低介电常数且可以通过等离子体增强化学气相沉积 (PECVD) 形成。可替换地，保护层 70 可以包含诸如氮化硅 (SiN_x) 等的无机材料。保护层 70 可以具有单层结构或包括各种材料的多层结构。

然后，对保护层70和栅极绝缘层30进行图案化，以通过光刻工艺形成露出栅极线端部24、漏电极延伸部67和数据线端部68的接触孔74、77和78。当保护层70和栅极绝缘层30包含感光有机材料时，接触孔74、77和78可以仅通过光刻工艺形成。优选地，保护层70和栅极绝缘层30可以具有相同的蚀刻选择性。

然后，如图5A至图5C所示，在保护层70上形成ITO层，并对ITO层进行图案化，以形成通过接触孔77电连接至漏电极66的像素电极82、通过接触孔74电连接至栅极线端部24的子栅极线端部84、以及通过接触孔78电连接至数据线端部68的子数据线端部88。

之前，解释了包括具有岛状和不同于数据导电结构的图案的半导体层的TFT基板以及制造TFT基板的方法。但是，本发明可以适用于包括具有与数据导电结构的图案大致相同的图案的半导体层的TFT基板以及制造TFT基板的方法。以下，将参照图10A至图10C解释包括具有与数据导电结构的图案大致相同的图案的半导体层的TFT基板以及制造TFT基板的方法。

图10A是示出了根据本发明另一示例实施例的TFT基板的布局图，而图10B和图10C是沿图10A中线B-B'截取的横截面视图。如图10A至图10C所示，除了半导体层42、44和48以及欧姆接触层52、55、56和58具有与数据导电结构62、65、66、67和68大致相同的结构这一事实外，本发明的示例实施例大致与图6A至图6C中的相同。欧姆接触层52、55、56和58具有与数据导电结构62、65、66、67和68大致相同的结构，而欧姆接触层52、55、56和58在通道区域没有被分隔。不像前述的实例（其中，根据该实施例的制造TFT基板的方法，半导体层和数据导电结构通过不同的掩膜形成），数据导电结构和欧姆接触层通过具有狭缝的掩膜或半色调掩膜进行图案化。

其它过程大致与前述的实施例的相同，并且本领域技术人员可以实施该过程。因此，将省略任何其它解释。根据导电结构以及制造本发明导电结构的方法，铜层可以紧密地附着于基板，并可以防止铜层的氧化或腐蚀。此外，可以防止由腐蚀引起的突悬，从而导电结构具有令人满意的轮廓。因此，提高了具有相对较低电阻的铜层的可靠性。

根据 TFT 基板和制造 TFT 基板的方法，提高了栅极导电结构和数据导电结构的可靠性，从而提高了信号特征和显示质量。

已经描述了本发明的示例实施例及其优点，对于本领域技术人员来说，在不背离本发明精神和范围的前提下，可以很容易发现各种改变、替换和变更并进行实施。

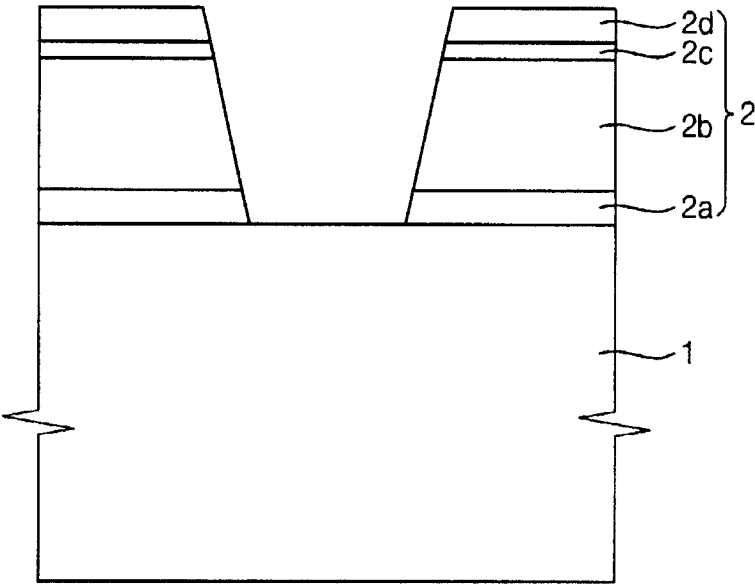


图 1

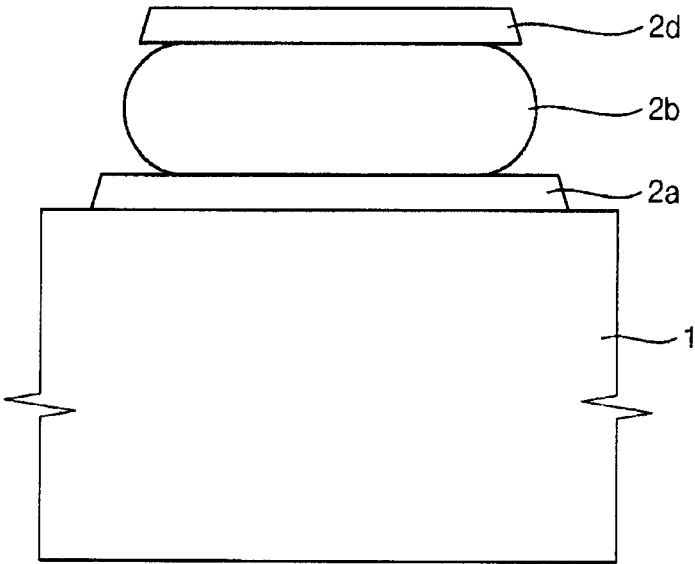


图 2
(现有技术)

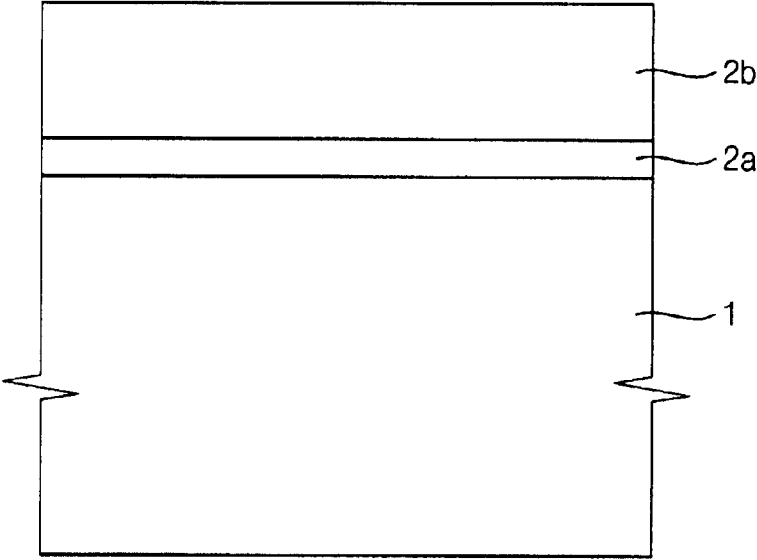


图 3A

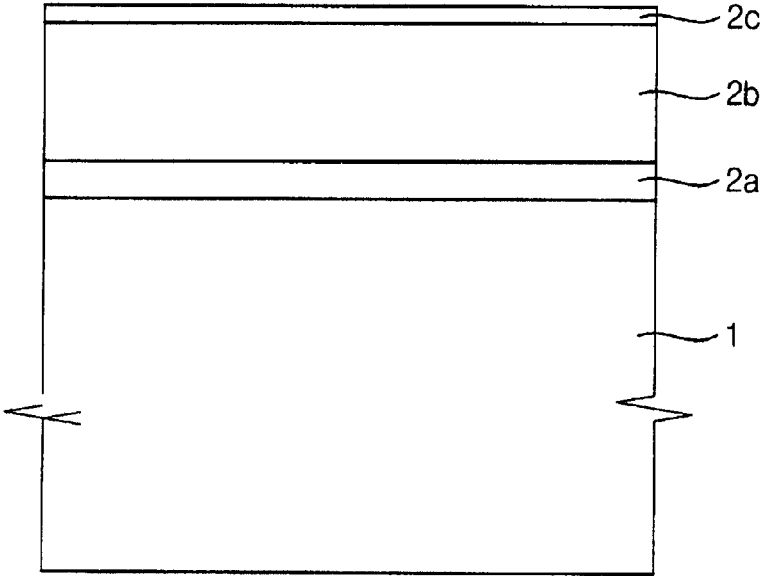


图 3B

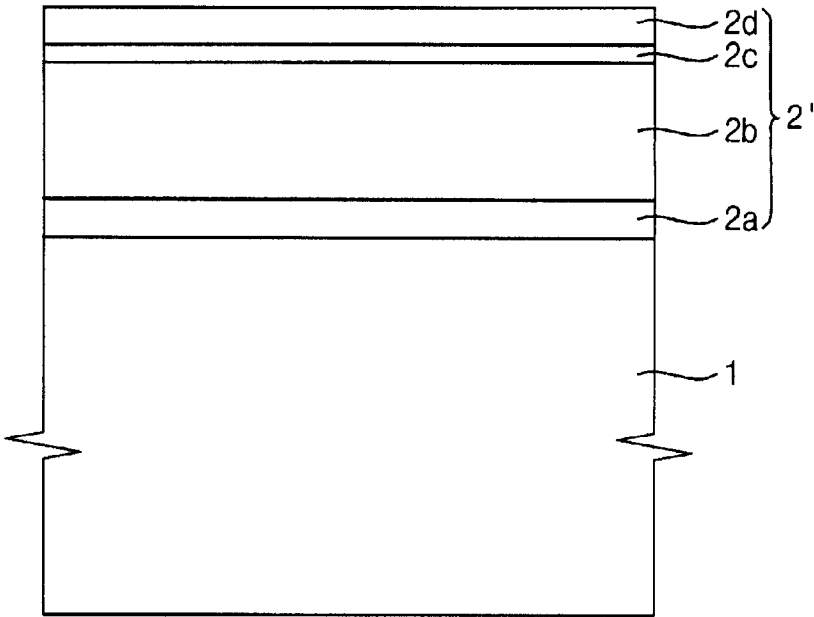


图 3C

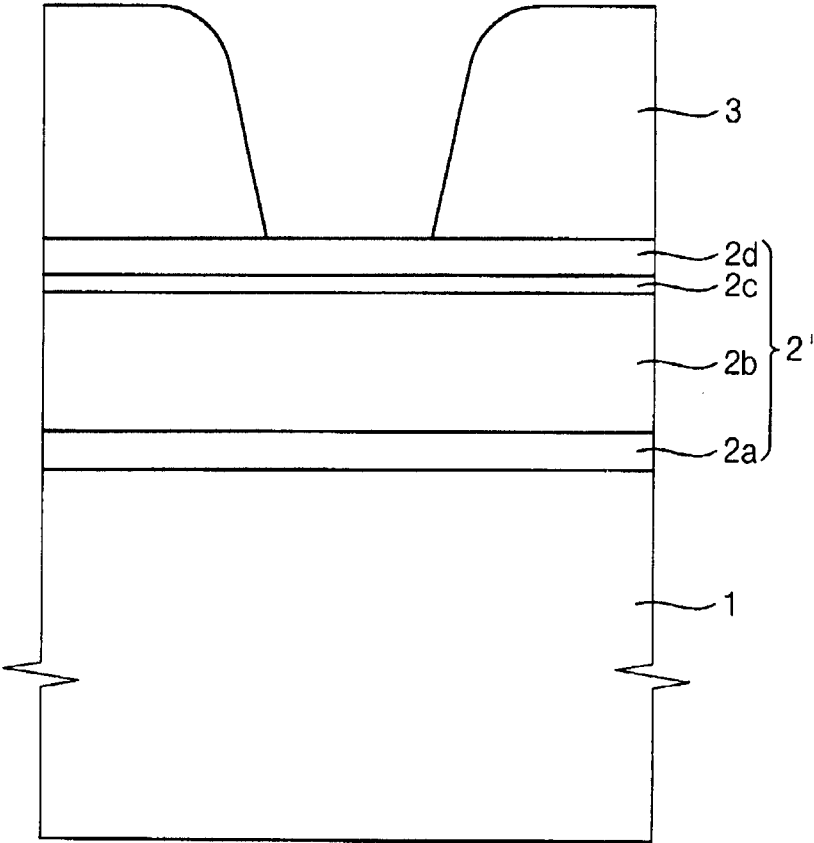


图 3D

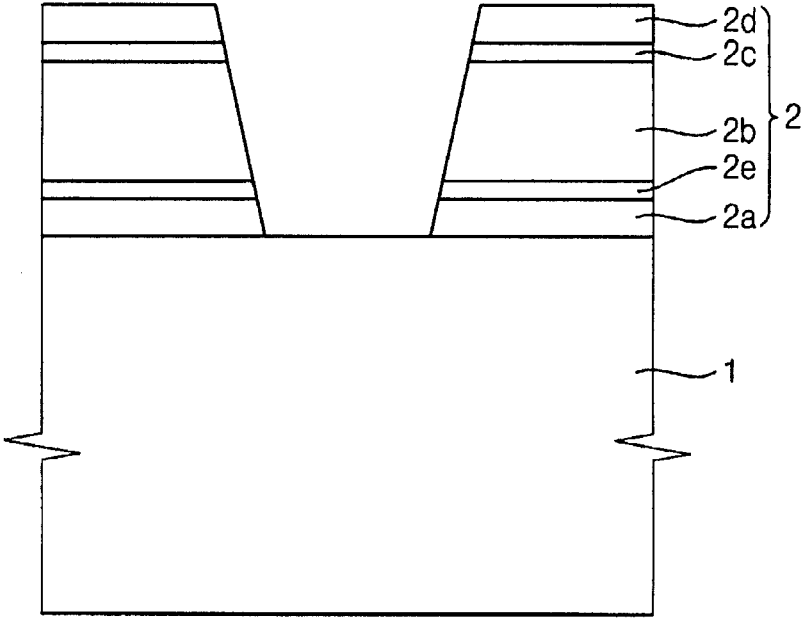


图 4

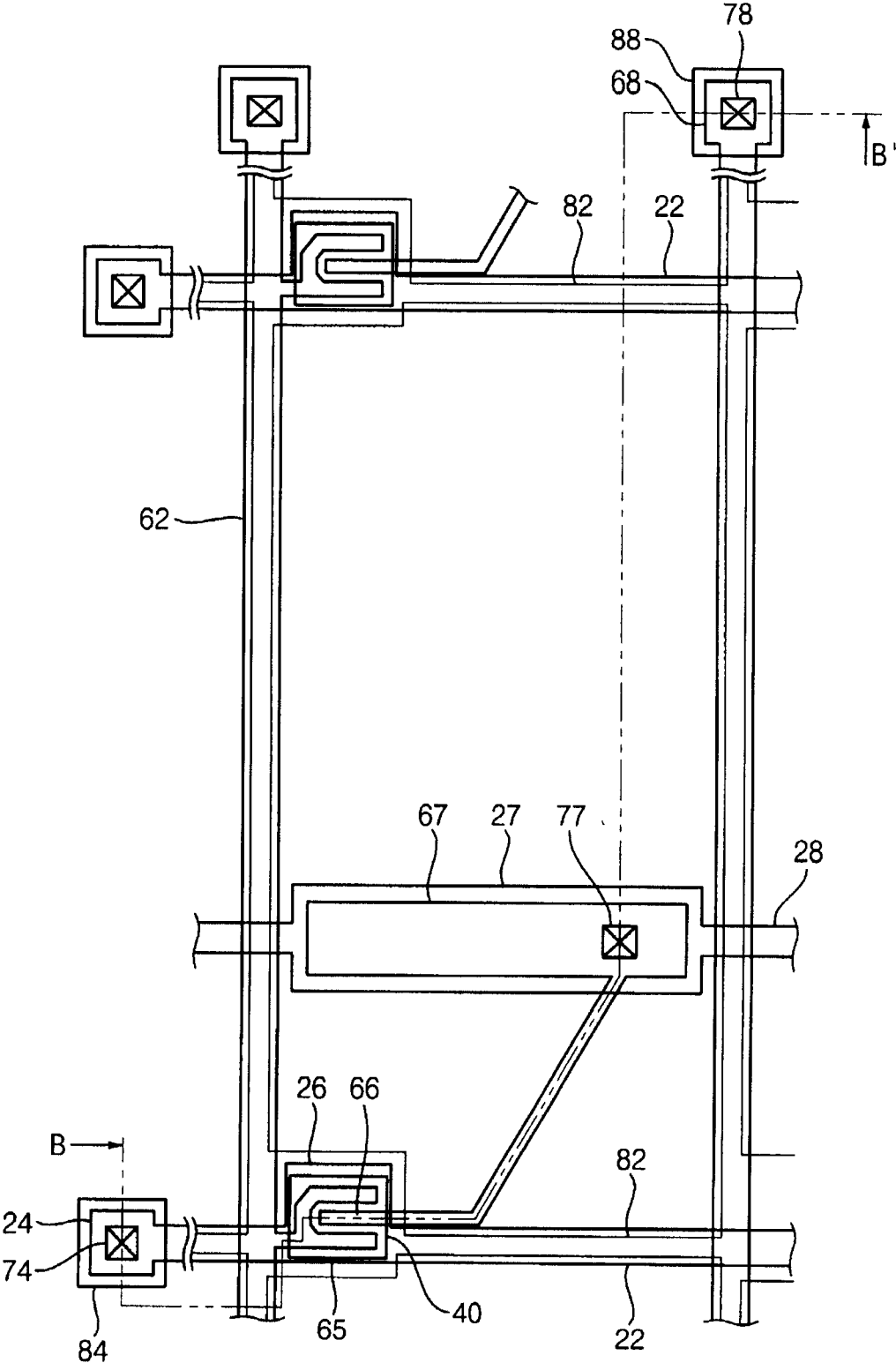


图 5A

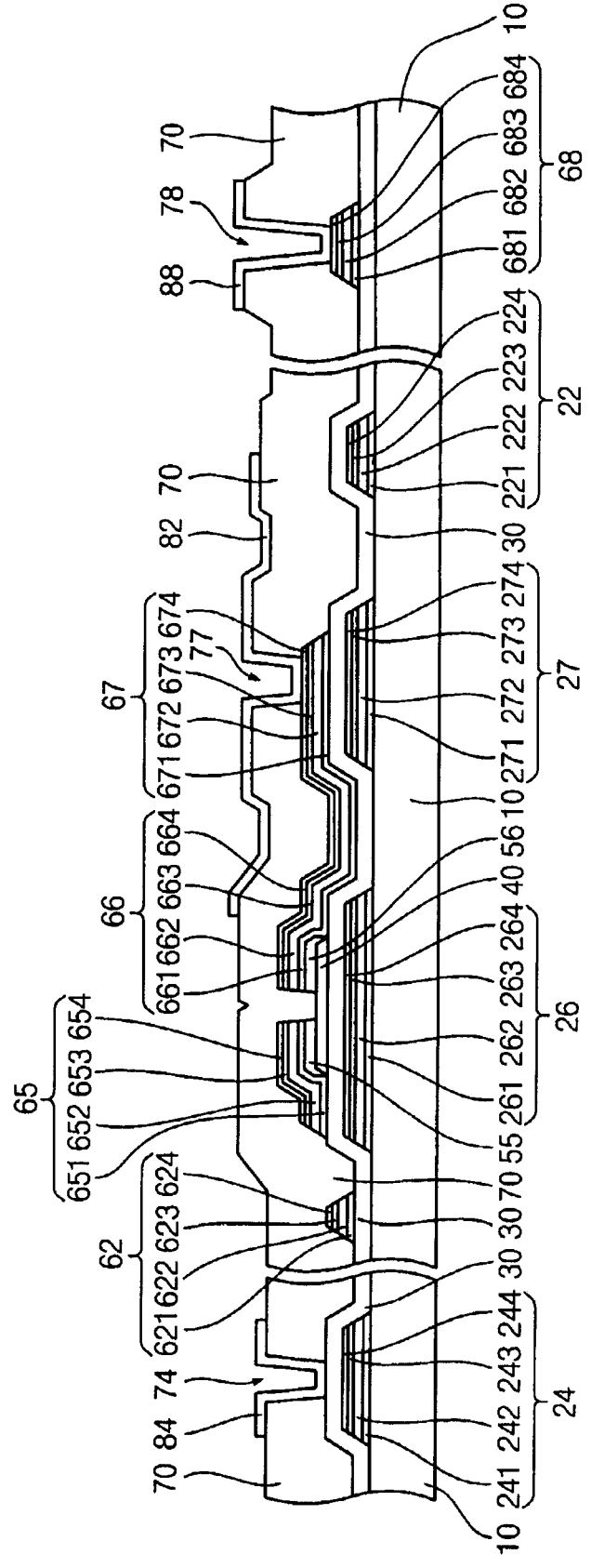


图 5B

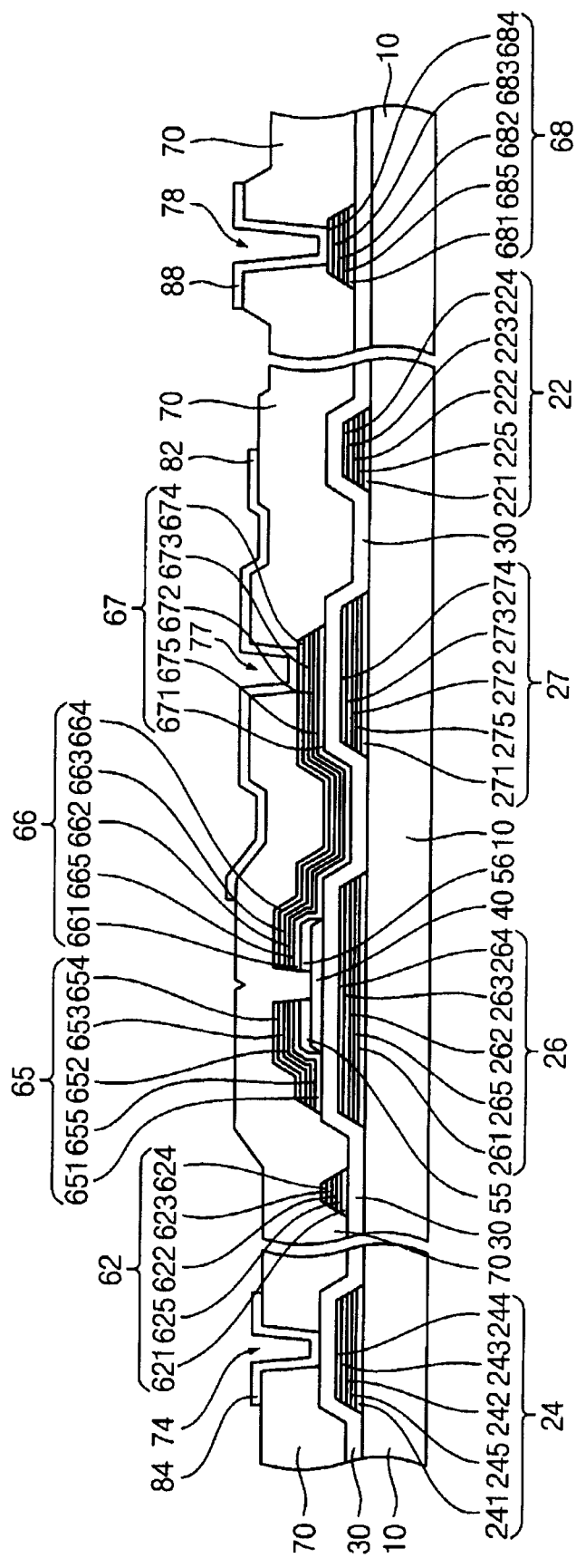


图 5C

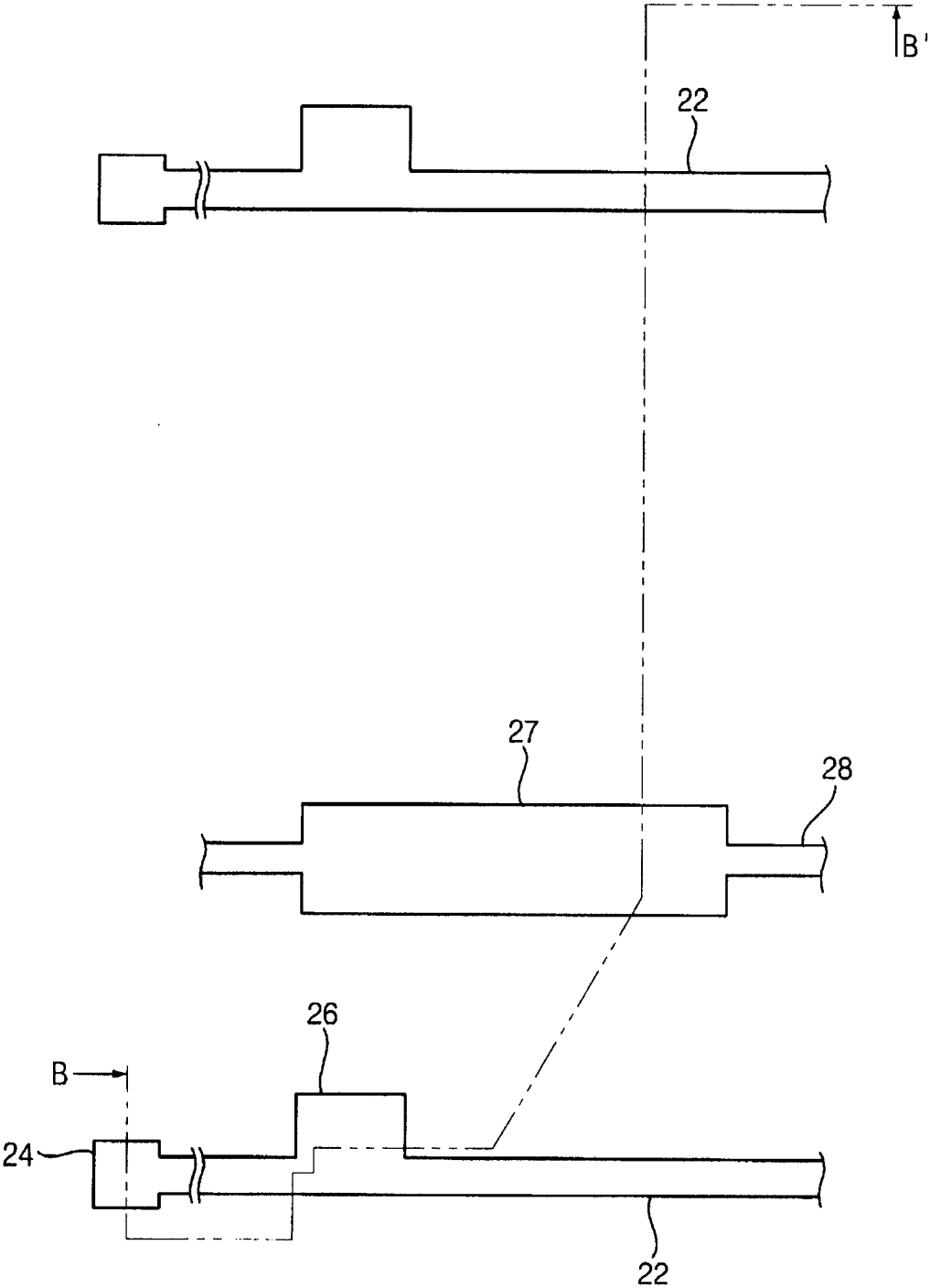


图 6A

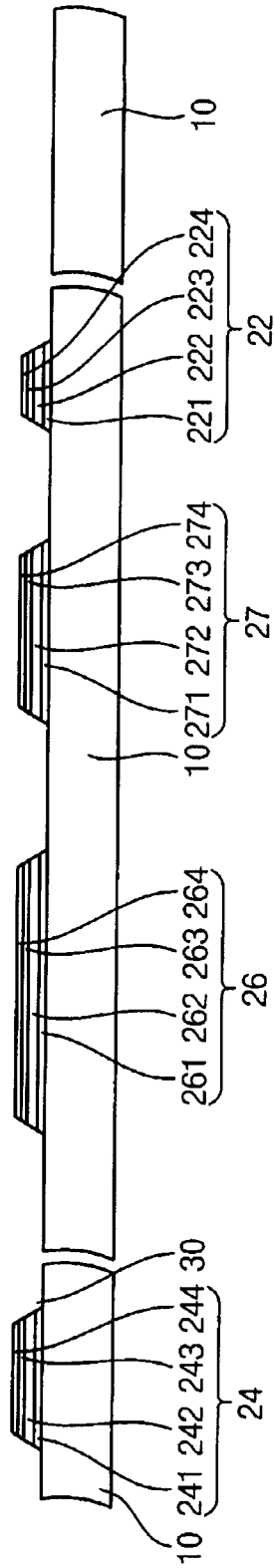


图 6B

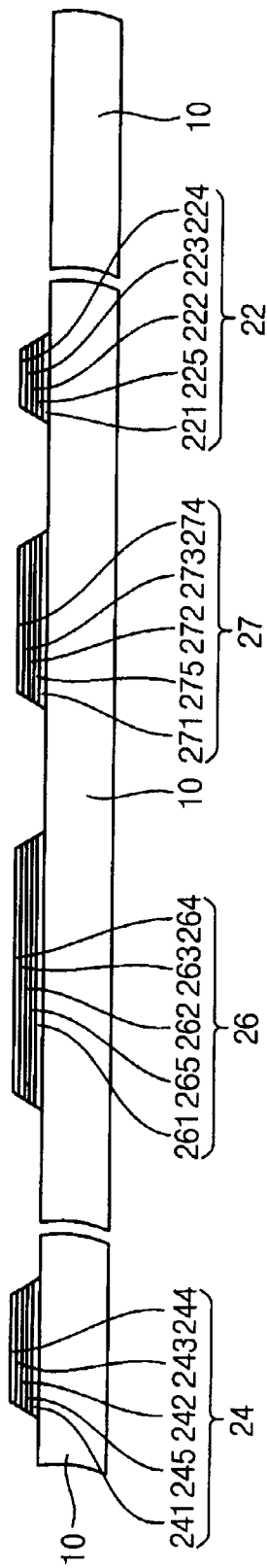


图 6C

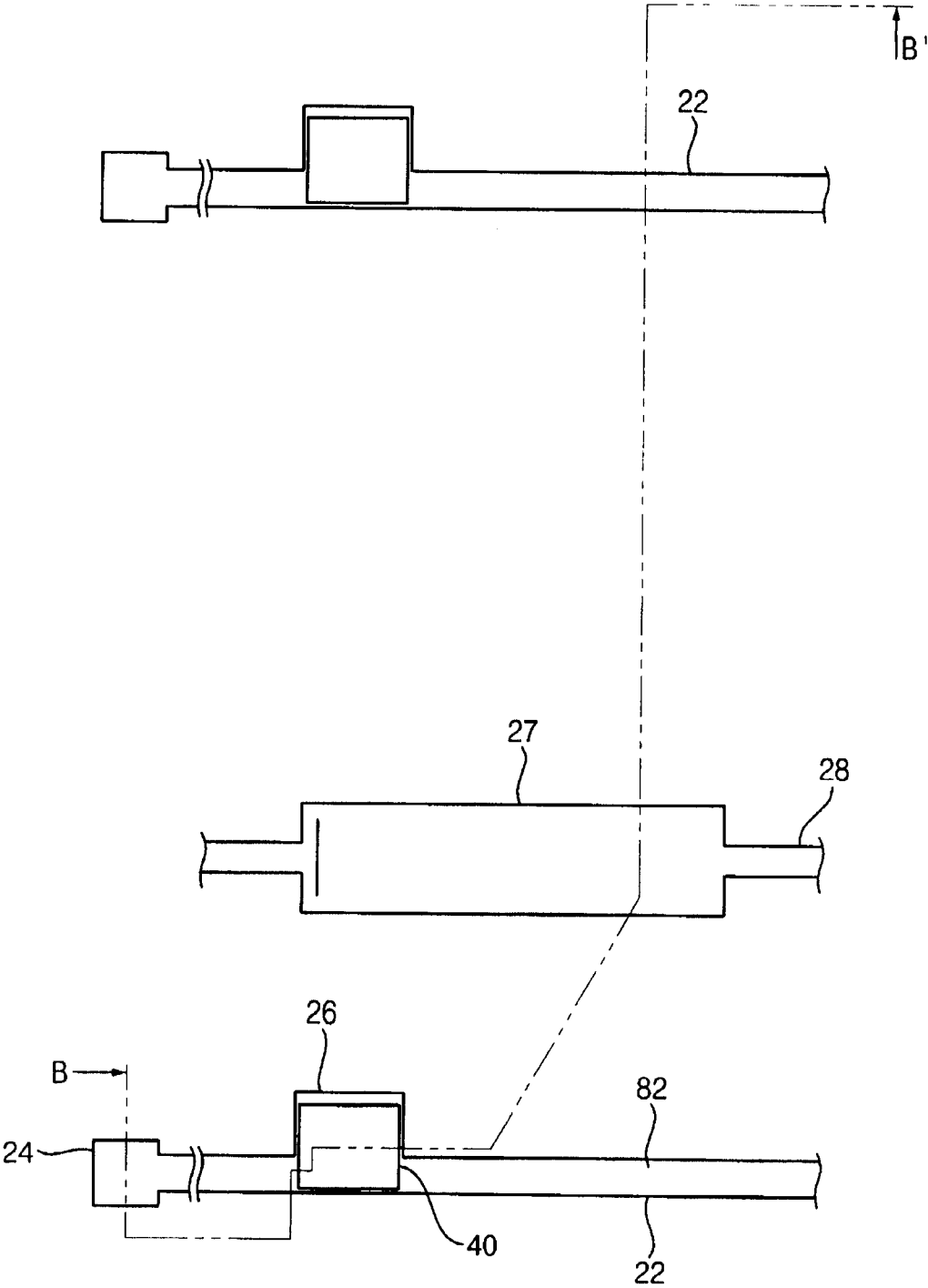


图 7A

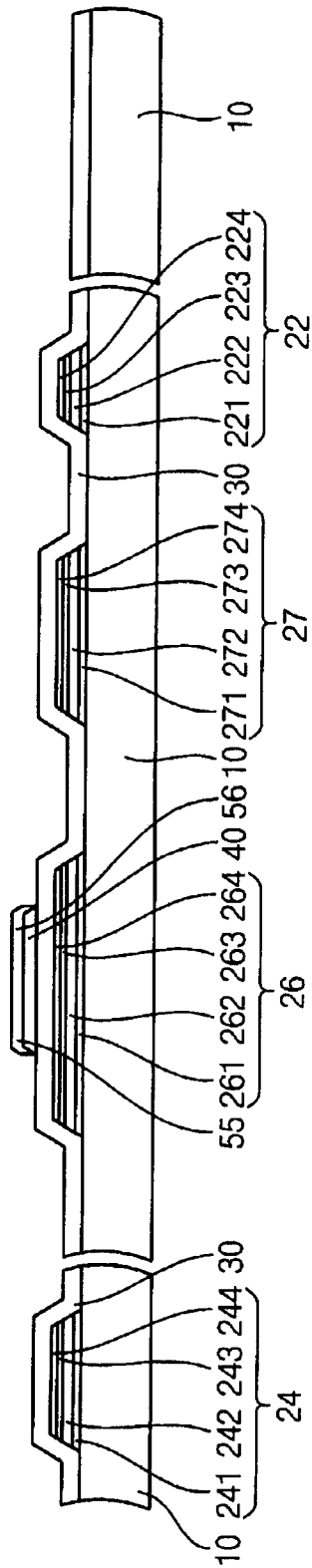


图 7B

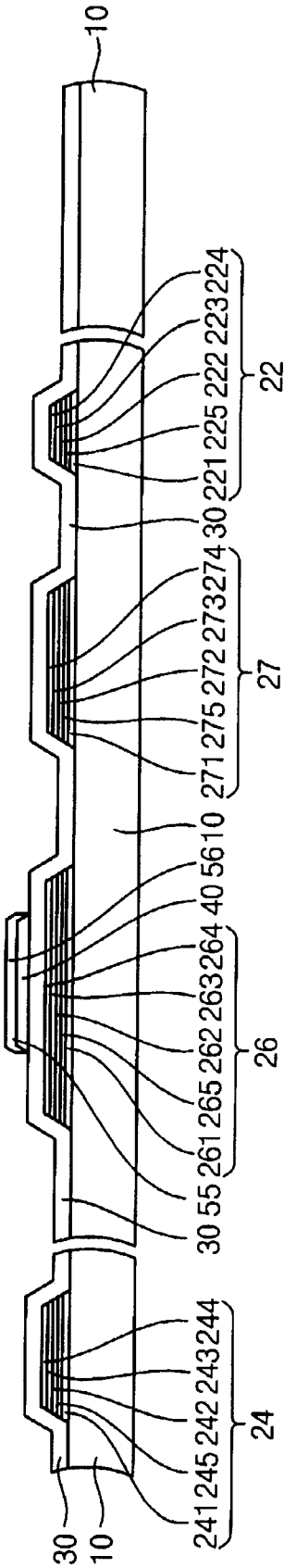


图 7C

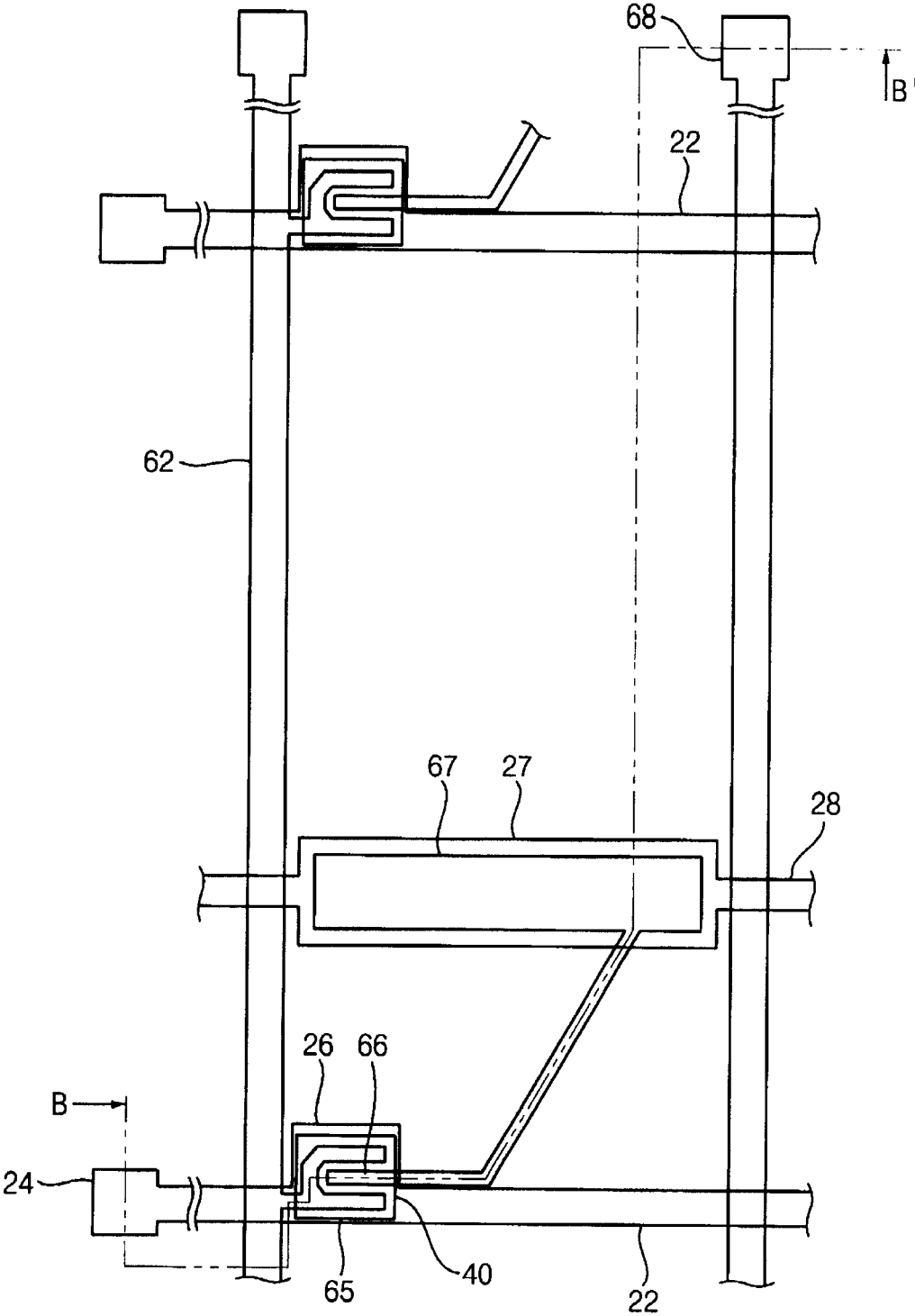


图 8A

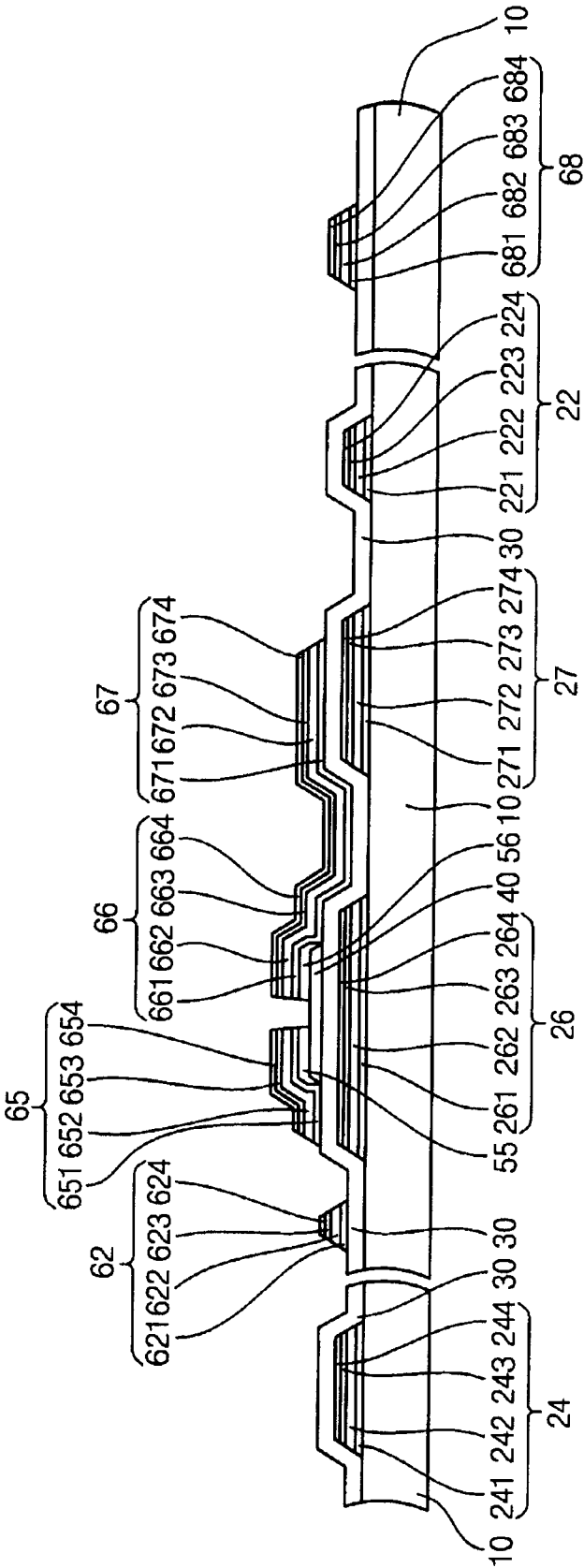


图 8B

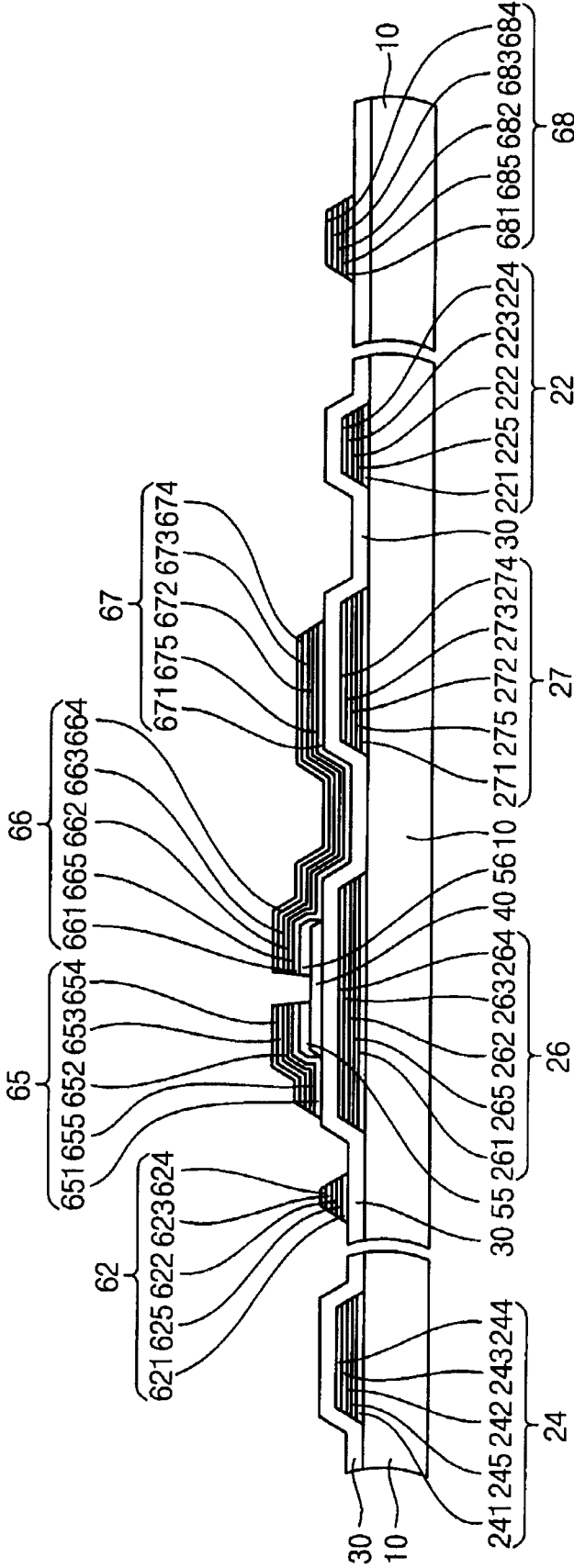


图 8C

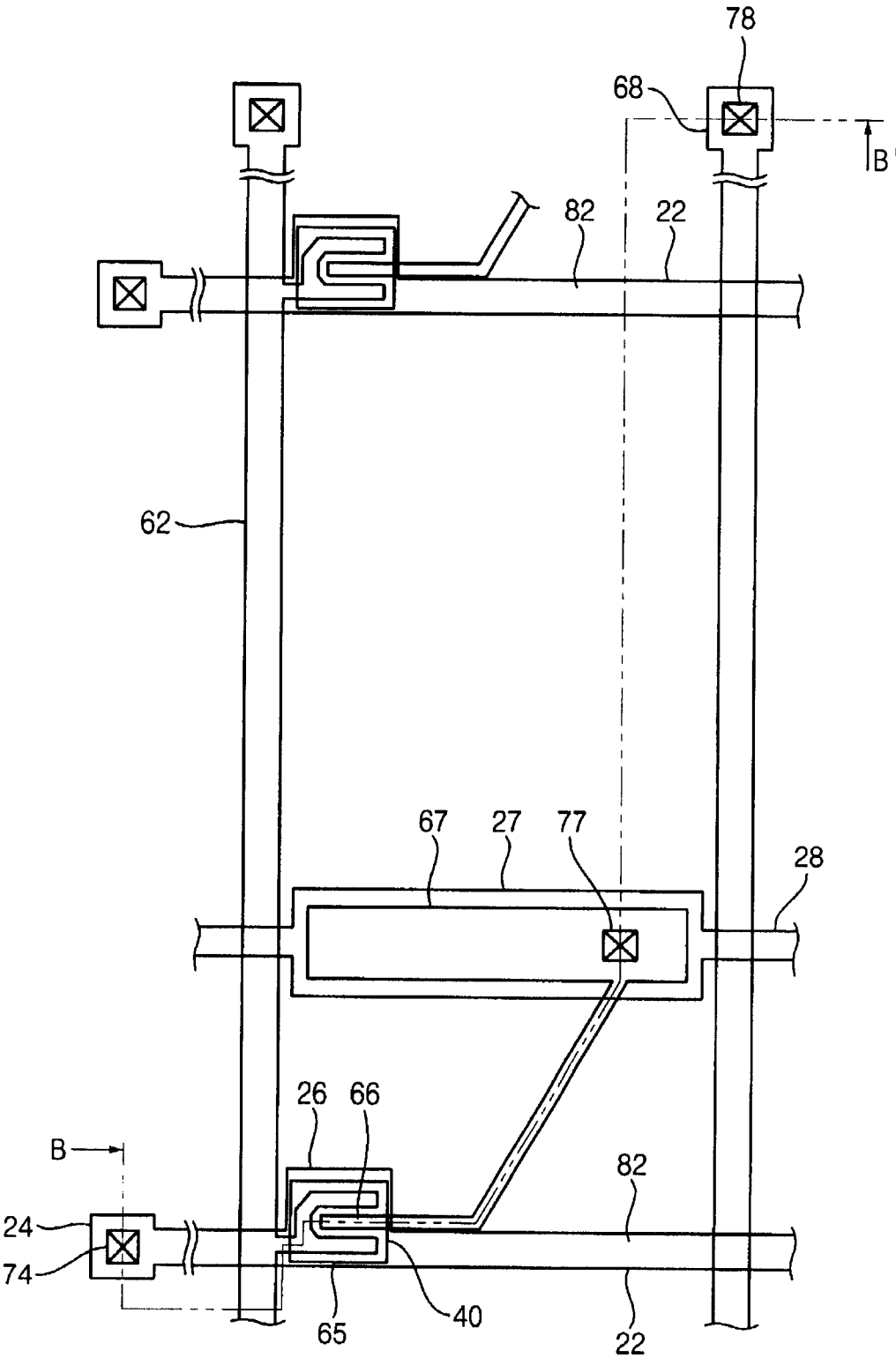


图 9A

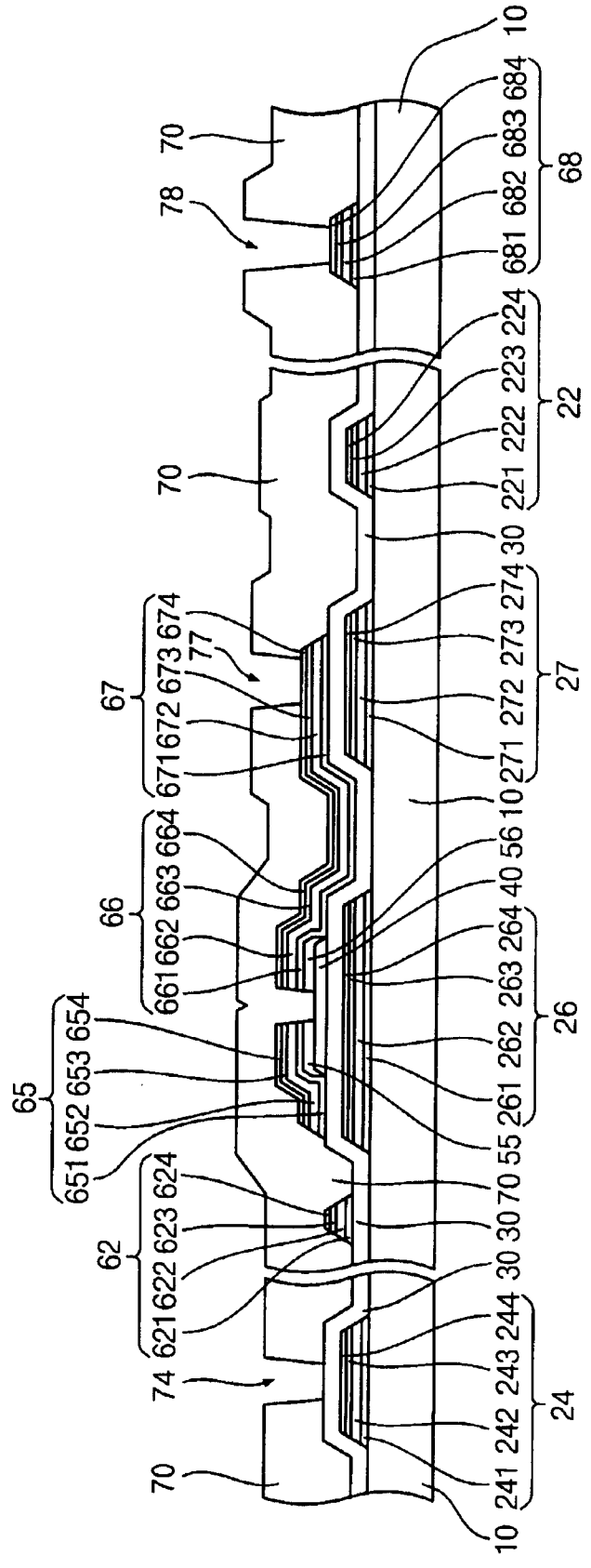
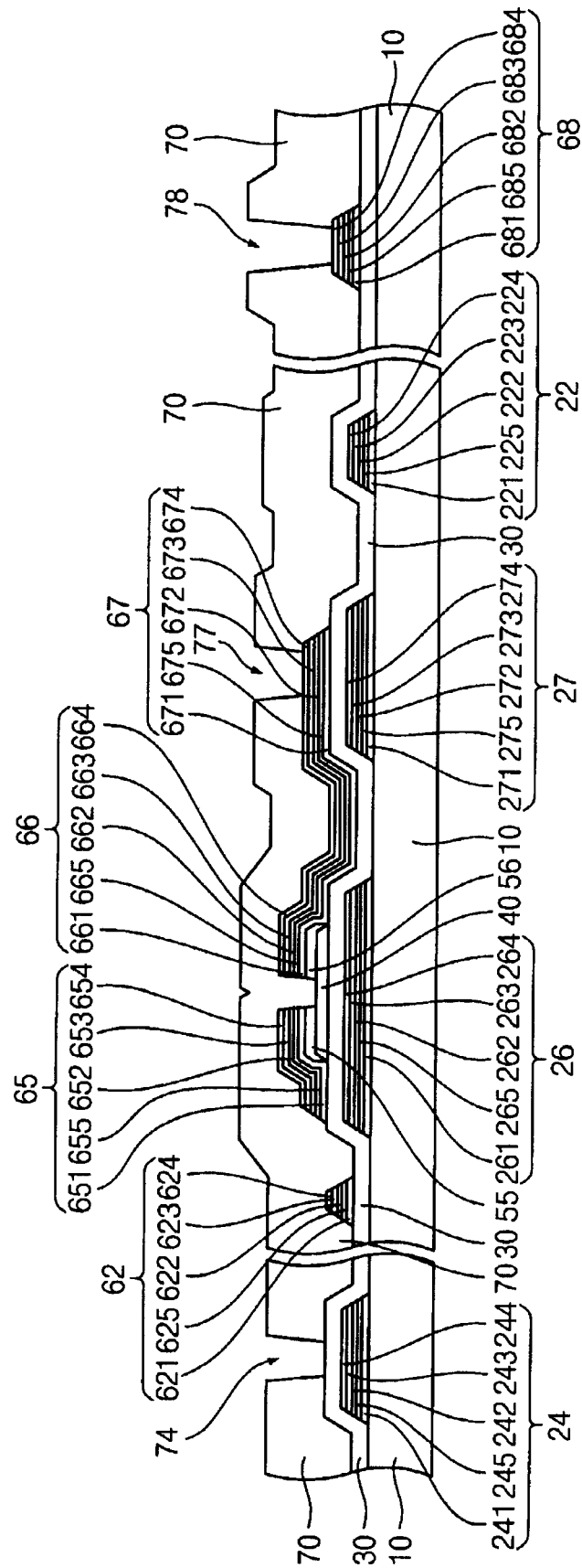


图 9B



90

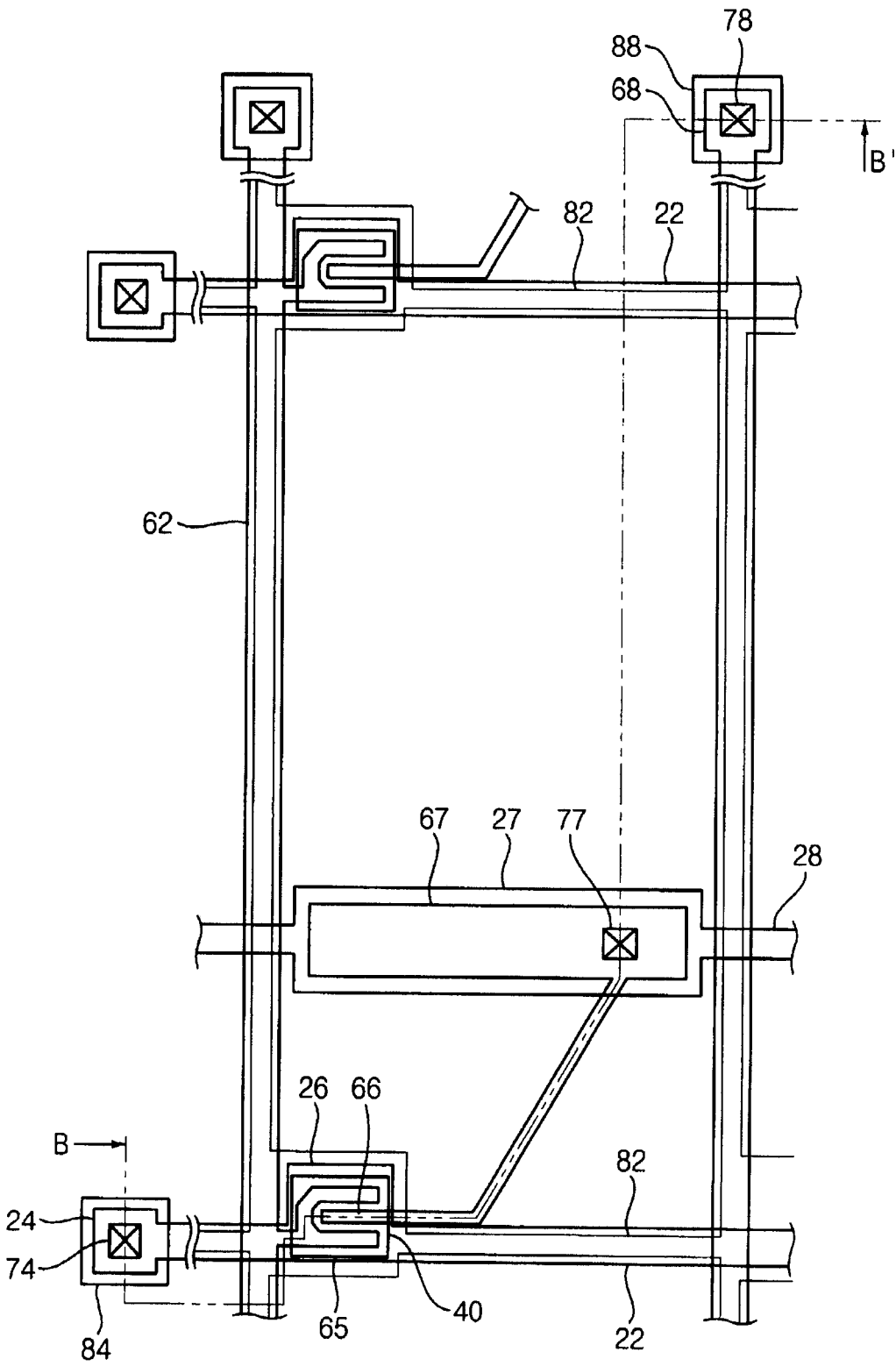


图 10A

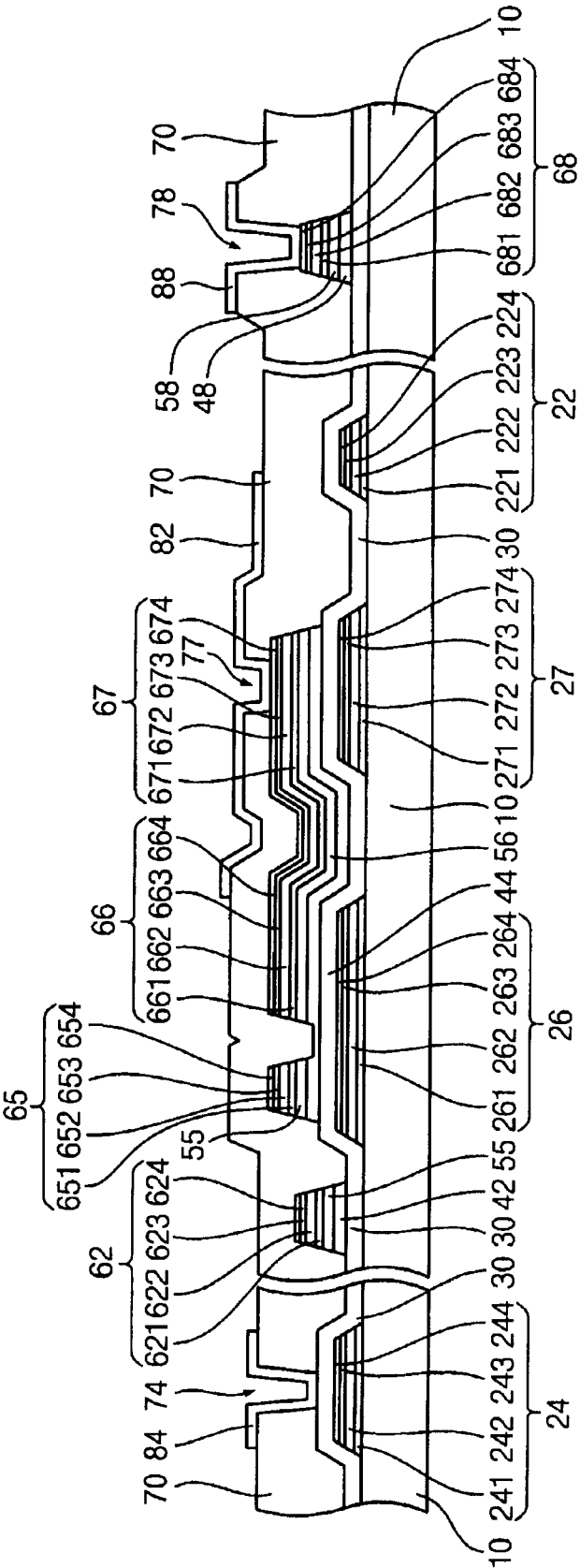


图 10B

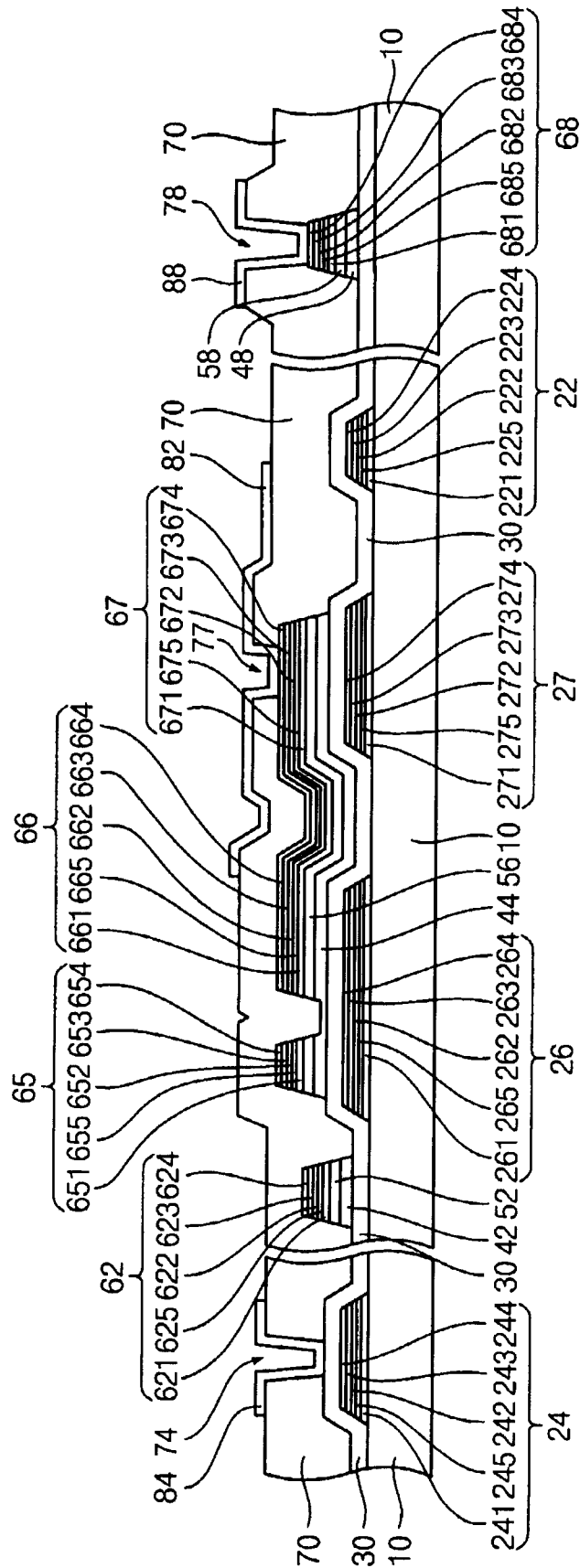


图 10C

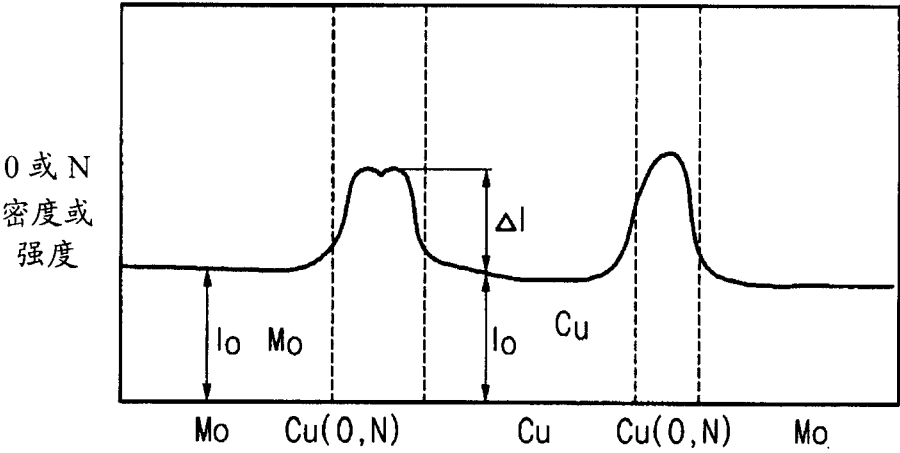


图 11