

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 11 月 27 日 (27.11.2014)



(10) 国际公布号
WO 2014/187080 A1

- (51) 国际专利分类号:
H01L 21/77 (2006.01) H01L 29/786 (2006.01)
H01L 21/28 (2006.01) G02F 1/1362 (2006.01)
- (21) 国际申请号: PCT/CN2013/086759
- (22) 国际申请日: 2013 年 11 月 8 日 (08.11.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310193797.7 2013 年 5 月 22 日 (22.05.2013) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 崔承镇 (CHOI, Seungjin); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 金熙哲 (KIM, Heecheol); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 宋泳锡 (SONG, Youngsuk); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。 刘圣烈 (YOO, Seongyeol); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

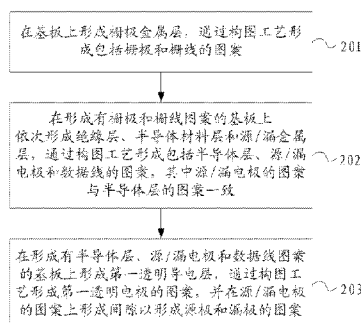
(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第 21 条(3))。

(54) Title: ARRAY SUBSTRATE, MANUFACTURING METHOD THEREFOR AND DISPLAY DEVICE THEREOF

(54) 发明名称: 阵列基板、其制造方法及显示装置



201 Forming a gate metal layer on a substrate, forming patterns including gates and gate lines by patterning processes
202 Successively forming an insulating layer, a semiconductor material layer and a source/drain metal layer on the substrate with patterns of gates and gate lines formed thereon, forming patterns including a semiconductor layer, source/drain electrodes and data lines by the patterning processes, wherein the patterns of the source/drain electrodes are consistent with the patterns of the semiconductor layer
203 Forming a first transparent conductive layer on the substrate with the semiconductor layer, the source/drain electrodes and the data lines formed thereon, forming the patterns of the first transparent electrodes by the patterning processes, and forming gaps on the patterns of the source/drain electrodes to form the patterns of sources and drains

图 2 /Fig.2

(57) Abstract: An array substrate, a manufacturing method therefor and a display device thereof. The method includes: forming a gate metal layer on a substrate (31), forming patterns including gates (32) and gate lines by patterning processes; successively forming an insulating layer (38), a semiconductor material layer and a source/drain metal layer on the substrate (31) with patterns of gates (32) and gate lines formed thereon, forming patterns including a semiconductor layer (33a), source/drain electrodes (34) and data lines (35) by the patterning processes, wherein the patterns of the source/drain electrodes (34) are consistent with the patterns of the semiconductor layer (33a); forming a first transparent conductive layer on the substrate (31) with the semiconductor layer (33a), the source/drain electrodes (34) and the data lines (35) formed thereon, forming the patterns of the first transparent electrodes (36) by the patterning processes, and forming gaps (39) on the patterns of the source/drain electrodes (34) to form the patterns of sources (341) and drains (342).

(57) 摘要:

[见续页]



WO 2014/187080 A1



一种阵列基板、其制造方法及显示装置。该方法包括：在基板（31）上形成栅极金属层，通过构图工艺形成包括栅极（32）和栅线的图案；在形成有栅极（32）和栅线图案的基板（31）上依次形成绝缘层（38）、半导体材料层和源/漏金属层，通过构图工艺形成包括半导体层（33a）、源/漏电极（34）和数据线（35）的图案，其中源/漏电极（34）的图案与半导体层（33a）的图案一致；在形成有半导体层（33a）、源/漏电极（34）和数据线（35）图案的基板（31）上形成第一透明导电层，通过构图工艺形成第一透明电极（36）的图案，并在源/漏电极（34）的图案上形成间隙（39）以形成源极（341）和漏极（342）的图案。

阵列基板、其制造方法及显示装置

技术领域

- 5 本发明的实施例涉及液晶显示技术领域，尤其涉及阵列基板、其制造方法及显示装置。

背景技术

- 10 薄膜晶体管液晶显示器件的液晶面板包括图 1 所示的阵列基板，其中，阵列基板的结构如图 1 所示，包括相互垂直并电绝缘的栅线 11 和数据线 12，栅线 11 和数据线 12 之间限定有像素区域，该像素区域内设有薄膜晶体管（如图 1 中虚线圆圈内所示）和像素电极 13。薄膜晶体管的栅极 14 与栅线 11 电连接、源极（图中未示出）与数据线 12 连接、漏极（图中未示出）与像素电极 13 电连接。

- 15 现有技术通常采用 5MASK（5 次掩模）构图工艺来制备该阵列基板，第一次构图工艺中使用第一个普通掩模板以形成栅极 14 和栅线 11 的图案，第二次构图工艺中使用第二个普通掩模板以形成半导体层的图案，第三次构图工艺使用第三个普通掩模板以形成漏极、源极和数据线 12 的图案，第四次构图工艺使用第四个普通掩模板以形成漏极过孔的图案，第五次构图工艺使用
20 第五个普通掩模板以形成像素电极 13 的图案。

- 为了减少所使用掩模板的个数以降低工艺成本，现有技术提出了使用半透掩模板或灰阶掩模板来替代普通掩模板的方案，即把 5MASK 构图工艺中的第二普通掩模板和第三普通掩模板替换为一张半透掩模板或灰阶掩模板，只需要采用一次构图工艺就能形成半导体层、漏极、源极和数据线的图案，
25 使得制备阵列基板所使用的掩模板的数量减少至 4 个。

 但是，上述方法中由于使用了半透掩模板或灰阶掩模板，工艺控制的难度显著增加，因此工艺成本并没有获得明显地降低。

发明内容

- 30 本发明的实施例提供一种阵列基板、其制造方法及显示装置，解决了现

有技术制造阵列基板时为了降低普通掩模板使用数量而采用半透掩模板或灰阶掩模板导致的工艺控制难度增加的问题。

本发明的实施例采用如下技术方案：

根据本发明的一方面，提供一种阵列基板的制造方法，包括：在基板上
5 形成栅极金属层，通过构图工艺形成包括栅极和栅线的图案；在形成有所述栅极和所述栅线图案的基板上依次形成绝缘层、半导体材料层和源/漏金属层，通过构图工艺形成包括半导体层、源/漏电极和数据线的图案，其中所述源/漏电极的图案与所述半导体层的图案一致；在形成有所述半导体层、源/漏电极和数据线图案的基板上形成第一透明导电层，通过构图工艺形成第一
10 透明电极的图案，并在所述源/漏电极的图案上形成间隙以形成源极和漏极的图案。

在一个示例中，所述源/漏电极的图案完全覆盖栅线图案上方的所述半导体层的图案。

在一个示例中，所述通过构图工艺形成包括半导体层、源/漏电极和数据
15 线的图案，包括：

采用同一掩模板去除所述半导体材料层和所述源/漏金属层。

在一个示例中，所述通过构图工艺形成包括半导体层、源/漏电极和数据
线的图案，包括：

在形成有所述源/漏金属层的基板上涂覆光刻胶，通过一掩模板对所述光
20 刻胶进行曝光、显影以形成光刻胶完全保留区域和光刻胶完全去除区域，其中光刻胶完全保留区域对应形成所述源/漏电极图案的区域以及形成所述数据线图案的区域，其他区域为光刻胶完全去除区域。

在一个示例中，所述在形成有所述栅极和所述栅线图案的基板上依次形
成绝缘层、半导体材料层和源/漏金属层，通过构图工艺形成包括半导体层、
25 源/漏电极和数据线的图案，其中所述源/漏电极的图案与所述半导体层的图案一致，包括：

在形成有所述栅极和所述栅线图案的基板上，依次形成绝缘层、半导体
层和源/漏金属层；

在形成有所述源/漏金属层的基板上涂覆光刻胶，通过掩模板对所述光刻
30 胶进行曝光、显影以形成光刻胶完全保留区域和光刻胶完全去除区域，其中

光刻胶完全保留区域对应形成所述源/漏电极图案的区域以及形成所述数据线图案的区域，其他区域为光刻胶完全去除区域；

对所述光刻胶完全去除区域进行刻蚀，依次去除所述源/漏金属层和半导体层；以及

- 5 剥离所述光刻胶完全保留区域的光刻胶，形成所述半导体层的图案、所述源/漏电极的图案、以及所述数据线的图案，其中所述源/漏电极的图案与所述半导体层的图案一致。

- 10 在一个示例中，所述在形成有所述半导体层、源/漏电极和数据线图案的基板上形成第一透明导电层，通过构图工艺形成第一透明电极的图案，并在所述源/漏电极的图案上形成间隙，以形成源极和漏极的图案，包括：

在形成有所述半导体层、源/漏电极和数据线图案的基板上形成第一透明导电层；

- 15 在形成有所述第一透明导电层的基板上涂覆光刻胶，通过一掩模板对所述光刻胶进行曝光、显影，其中光刻胶完全保留区域对应形成所述第一透明电极图案的区域，其他区域为光刻胶完全去除区域；

对所述光刻胶完全去除区域进行第一次蚀刻，去除所述第一透明导电层，以形成所述第一透明电极；

对所述光刻胶完全去除区域进行第二次蚀刻，去除未被所述数据线图案覆盖的所述半导体层的两端；

- 20 对所述光刻胶完全去除区域进行第三次蚀刻，在所述源/漏电极的图案上形成间隙以形成源极和漏极的图案。

在一个示例中，所述在形成有所述栅极和所述栅线的图案的基板上依次形成绝缘层、半导体材料层之后，形成源/漏金属层之前，还包括：在形成有所述半导体材料层的基板上形成欧姆接触层。

- 25 在一个示例中，在通过构图工艺形成包括半导体层、源/漏电极和数据线的图案时，还包括形成所述欧姆接触层的图案，其中欧姆接触层的图案与所述源/漏电极的图案、所述半导体层的图案均一致。

在一个示例中，在所述通过构图工艺形成包括栅极和栅线的图案时，还包括形成公共电极线的图案。

- 30 在一个示例中，该制造方法还包括：

在形成有所述源极、漏极以及所述第一透明电极的图案的基板上形成钝化层，通过构图工艺在周边引线区形成包括露出栅线引线的过孔和露出数据线引线的过孔的图案；

5 在形成有所述栅线引线过孔和数据线引线过孔图案的所述钝化层上形成第二透明导电层，通过构图工艺形成第二透明电极的图案，其中所述第二透明电极

根据本发明的另一方面，提供一种阵列基板，包括依次形成在基板上的栅极和栅线的图案；半导体层的图案；源极、漏极和数据线的图案及透明电极的图案，所述透明电极直接搭接所述漏极。

10 在一个示例中，在所述漏极与所述半导体层之间形成有漏极欧姆接触层。

在一个示例中，所述阵列基板还包括公共电极线的图案，所述公共电极线的图案与所述栅极和栅线的图案在同一层形成。

在一个示例中，在所述第一透明电极上还设置有钝化层和狭缝状的第二透明电极。

15 根据本发明的再一方面，提供一种显示装置，包括上述的阵列基板。

附图说明

20 为了更清楚地说明本发明实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本发明的一些实施例，而非对本发明的限制。

图 1 为现有阵列基板的顶视图；

图 2 为本发明实施例提供的一种阵列基板的制造方法的流程图；

图 3 为本发明实施例提供的另一种阵列基板的制造方法的流程图；

25 图 4 为本发明实施例提供的形成有栅极和栅线图案的基板上薄膜晶体管区的截面图；

图 5 为本发明实施例提供的形成有半导体层和源/漏电极图案的基板上薄膜晶体管区的截面图；

图 6 为本发明实施例提供的形成有数据线的基板上数据线区的截面图；

30 图 7 为本发明实施例提供的形成有第一透明电极图案的基板上薄膜晶体管区的截面图；

图 8 为本发明实施例提供的形成有第一透明电极图案的基板上数据线区的截面图；

图 9 为本发明实施例提供的去除了半导体层翼的基板上数据线区的截面图；

5 图 10 为本发明实施例提供的形成有源极和漏极的基板上薄膜晶体管区的截面图。

具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚，下面将结合本发明实施例的附图，对本发明实施例的技术方案进行清楚、完整地描述。显然，
10 所描述的实施例是本发明的一部分实施例，而不是全部的实施例。基于所描述的本发明的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本发明保护的范围。

除非另作定义，此处使用的技术术语或者科学术语应当为本发明所属领域
15 内具有一般技能的人士所理解的通常意义。本发明专利申请说明书以及权利要求书中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“一个”或者“一”等类似词语也不表示数量限制，而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现在“包括”或者“包含”前面的元件或者物件涵盖出
20 现在“包括”或者“包含”后面列举的元件或者物件及其等同，并不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

25 本文中所称的构图工艺包括光刻胶涂覆、曝光、显影、刻蚀和光刻胶剥离等工艺。在下面的实施例中，光刻胶以正性光刻胶为例进行描述。

本发明实施例提供一种阵列基板的制造方法，如图 2 所示，包括如下步骤：

201、在基板上形成栅极金属层，通过构图工艺形成包括栅极和栅线的图
30 案。

例如，此步骤的构图工艺中使用了第一掩模板，从而形成了栅极的图案和栅线的图案。

202、在形成有栅极和栅线图案的基板上依次形成绝缘层、半导体材料层和源/漏金属层，通过构图工艺形成包括半导体层、源/漏电极和数据线的图案，其中源/漏电极的图案与半导体层的图案一致。

此步骤的构图工艺中使用了第二掩模板（不是灰阶或半透的掩模板），通过构图工艺依次刻蚀源/漏金属层和半导体层，形成包括半导体层的图案以及源/漏电极和数据线的图案，例如，在形成薄膜晶体管的区域内，被刻蚀的源/漏金属层形成了源/漏电极的图案，在其下方形成了半导体层的图案，这两个图案一致（也就是，源/漏电极的图案完全覆盖栅线上方的半导体层的图案）。在形成薄膜晶体管的区域以外，被刻蚀的源/漏金属层形成了数据线的图案。

203、在形成有半导体层、源/漏电极和数据线图案的基板上形成第一透明导电层，通过构图工艺形成第一透明电极的图案，并在源/漏电极的图案上形成间隙以形成源极和漏极。

例如，此步骤的构图工艺中使用了第三掩模板，在形成有第一透明导电层的基板上涂覆光刻胶，通过第三掩模板曝光、显影后，形成光刻胶完全去除区域和光刻胶完全保留区域，所述光刻胶完全保留区域对应第一透明电极的图案，完全去除区域对应将要形成的所述源极和所述漏电极之间的间隙区域，以及其他区域；

接下来，对光刻胶完全去除区域中的所述第一透明导电层进行刻蚀，以形成第一透明电极的图案；

然后，对光刻胶完全去除区域中，未被源/漏金属层覆盖的半导体层进行刻蚀，以去除多余的半导体层，特别是对于所述数据线下方的半导体层，进行刻蚀，使半导体层的宽度与数据线的宽度相等；

再次对光刻胶完全去除区域中的源/漏金属层进行刻蚀，包括对在将要形成的所述源极和所述漏电极的间隙区域进行刻蚀，在源/漏电极的图案上形成间隙，以形成源极和漏极的图形。例如在刻蚀源/漏电极时，通过在源/漏电极的图案上形成间隙，将源/漏电极的图案分成两部分，从而形成了源极和漏极。

本发明实施例提供的阵列基板的制造方法中，由于将第一透明导电层直接形成在具有源/漏极和数据线的基板上，在构图工艺后形成了第一透明电极、源极和漏极的图案，使得第一透明电极能直接搭接在漏极上方，省去了现有技术中制作像素电极过孔的掩模板，另外，由于只使用了普通的掩模板就在形成第一透明电极的构图工艺中，通过在所述源/漏电极的图案上形成间隙而形成了源极和漏极，因此该方法仅使用了三个掩模板，相比于现有技术，不仅少用了一个掩模板而且不需要使用灰阶掩模板，使得工艺控制的难度和成本都显著降低。

由于一般情况下，对同时形成数据线和半导体层的工艺来说，数据线的宽度会小于其下方半导体层的宽度，特别是在进行第一透明导电层刻蚀时，受刻蚀液的影响，数据线的宽度会再次减小，这样数据线下方的半导体层会露出更多，会影响后续像素电极与数据线的的设计宽度，即为了避免工艺不良，只能将数据线与像素电极之间的空隙（间隔）设计的更宽。另外，一般工艺中在形成源/漏电极层和数据线的图案时，会直接形成源极和漏极，这样如果对数据线下方的半导体层再进行刻蚀处理的话，处于源极和漏极间隙（沟道部分）的半导体也会因而受到影响，直接后果就是薄膜晶体管的特性受到影响甚至无法工作。

而本发明实施例提供的阵列基板的制备方法中，特别是在第一透明电极的构图工艺过程中，在未形成源极和漏极之前，通过源/漏电极图案对其下方的半导体层形成保护的同时，对数据线下方未被源/漏金属层保护的半导体层进行刻蚀，消除多余的半导体层，可以降低像素电极与数据线的的设计限制，提高开口率。

下面参照图 3 至图 10 对该制造方法进行详细说明。

301、在基板 31 上形成栅极金属层，通过构图工艺形成包括栅极 32、栅线和公共电极线的图案。

图 4 为该构图工艺后的薄膜晶体管区的截面图。采用例如磁控溅射或热蒸发的沉积方法，在基板 31（如玻璃基板或石英基板）上沉积一层栅极金属层，采用第一掩模板通过构图工艺形成包括栅极 32、栅线（图中未示出）和公共电极线（图中未示出）的图案。栅极 32 与栅线连接，公共电极线与栅线平行。其中，公共电极线的作用是使公共电极具有较小的信号延迟，公共电

极可以形成在阵列基板上，也可以形成在彩膜基板上，当然，公共电极线并不是必要的结构，可以根据实际需要进行设置。

302、在形成有栅极和栅线图案的基板 31 上，依次形成绝缘层 38、半导体材料层和源/漏金属层。

5 303、在形成有半导体材料层和源/漏金属层的基板 31 上涂覆光刻胶，通过第二掩模板对光刻胶进行曝光、显影，以形成光刻胶完全去除区域和光刻胶完全保留区域。其中光刻胶完全保留区域对应形成源/漏电极 34 图案的区域以及形成数据线 35 图案的区域，其他区域为光刻胶完全去除区域。

10 304、对光刻胶完全去除区域进行刻蚀，依次去除源/漏金属层和半导体层。

305、剥离光刻胶完全保留区域的光刻胶，形成半导体层 33a 的图案、源/漏电极 34 的图案、以及数据线 35 的图案，其中源/漏电极 34 的图案与半导体层 33 的图案一致（见图 5）。

15 通过步骤 303 至步骤 305 的构图工艺，形成了图 5 中的源/漏电极 34 的图案与半导体层 33a 的图案，同时形成了图 6 中数据线 35 的图案。由于源/漏电极 34 的图案与半导体层 33a 的图案一致，在后续的工艺中源/漏电极 34 的图案形成对半导体层 33a 的保护层。图 6 中半导体层 33b 的两端（虚线圆圈内）未被数据线 35 覆盖，这部分称为半导体层翼（Active Wing）。

20 306、在形成有半导体层 33a、源/漏电极 34 和数据线 35 图案的基板 31 上形成第一透明导电层。

307、在形成有第一透明导电层的基板上涂覆光刻胶 37，通过第三掩模板对光刻胶 37 进行曝光、显影，形成光刻胶完全保留区域和光刻胶完全去除区域，其中光刻胶完全保留区域对应形成第一透明电极图案的区域，其他区域为光刻胶完全去除区域。

25 308、对光刻胶完全去除区域进行第一次蚀刻，去除光刻胶完全去除区域中的第一透明导电层，以形成第一透明电极 36。

30 图 7 为该第一次刻蚀工艺后薄膜晶体管区的截面图，图 8 为该第一次刻蚀工艺后数据线区的截面图。由于数据线 35 处于光刻胶完全保留区域内，因此形成了图 8 所示的结构。由于前述的半导体层翼能导电，数据线 35 上的信号会传递至该半导体层翼，从而对后续形成的第一透明电极 36 上的信号造成

干扰, 为了避免此干扰, 通常是在设计第一透明电极 36 的大小时保证其与半导体层翼有较大的距离。然而, 这使得第一透明电极 36 在设计时受到该半导体层翼的局限, 从而影响该阵列基板的像素开口率, 进而导致使用该阵列基板的液晶面板的性能下降。

- 5 在本发明中, 为了避免半导体层翼的存在所产生的上述不良影响, 本发明实施例通过采用下述步骤 309, 在不损伤薄膜晶体管区已形成结构的前提下, 去除了该半导体层翼。

309、对光刻胶完全去除区域进行第二次蚀刻, 去除未被数据线 35 图案覆盖的半导体层 33b 的两端 (即半导体层翼)。

- 10 图 9 为该第二次刻蚀工艺后数据线区的截面图。在该步骤中, 仍使用形成第一透明电极 36 图案的光刻胶 37, 并对未被数据线 35 图案覆盖的半导体层 33b 的两端进行刻蚀, 由于对半导体材料进行刻蚀的物质不会与金属材料发生反应, 因此, 在图 7 所示的薄膜晶体管区, 即使有部分源/漏电极 34 未被光刻胶 37 覆盖, 也不会被刻蚀。所以在此步骤中只有数据线区暴露的半导体层 33b 的两端会被刻蚀掉, 从而使得数据线 35 与去除半导体层翼后的半导体层 33b' 的宽度相等。在该步骤中, 在未形成源极和漏极之前, 通过源/漏电极 34 的图案对其下方的半导体层 33a 形成保护的同时, 对数据线 35 下方未被源/漏金属层 34 保护的半导体层 33b 的两端进行刻蚀, 消除多余的半导体层翼, 可以降低第一透明电极 36 与数据线 35 的设计限制, 提高开口率。

- 20 310、对光刻胶完全去除区域进行第三次蚀刻, 在源/漏电极的图案上形成间隙以形成源极和漏极的图案。

- 25 图 10 为该第三次刻蚀工艺后薄膜晶体管区的截面图。在该步骤中, 仍使用形成第一透明电极 36 图案的光刻胶 37, 图 10 中光刻胶 37 具有开口, 对开口所暴露的源/漏电极 34 进行刻蚀。由于在图 9 所示数据线区, 所有的金属层 (数据线 35 和第一透明电极 36) 都被光刻胶 37 覆盖, 因此在刻蚀暴露的源/漏电极 34 的过程中, 数据线区的各部分结构不会受到影响。当暴露的源/漏电极 34 被刻蚀掉时, 在源/漏电极 34 的图案上形成了间隙 39, 使得源/漏电极 34 被分成了两部分, 分别为薄膜晶体管的源极 341 和漏极 342。

- 30 311、在形成有源极 341、漏极 342 以及第一透明电极 36 的图案的基板 31 上形成钝化层, 通过构图工艺在周边引线区形成包括露出栅线引线的过孔

和露出数据线引线的过孔的图案。

312、在形成有栅线引线过孔和数据线引线过孔图案的钝化层上形成第二透明导电层，通过构图工艺形成第二透明电极的图案，其中第二透明电极为狭缝状电极。

5 通过步骤 311 和 312，在第一透明电极 36 上隔着钝化层又形成了第二透明电极，且该第二透明电极为狭缝状电极。这种结构的阵列基板称为水平电场驱动型阵列基板，两个透明电极上施加电压时，会在第二透明电极上形成平行于基板方向的电场。通常，第一透明电极称为像素电极，可以为狭缝状电极，也可以是板状电极，第二透明电极称为公共电极，必须为狭缝状电极。

10 当在步骤 301 中形成公共电极线时，通过将公共电极线与公共电极连接，可以减少公共电极的信号延迟。

上述实施例提供的阵列基板的制造方法的步骤 302 中，在形成绝缘层、半导体材料层之后，形成源/漏金属层之前，还可以包括：在形成有半导体材料层的基板上形成欧姆接触层。

15 随后在步骤 304 中，通过刻蚀，依次去除源/漏金属层、欧姆接触层和半导体材料层，再通过步骤 305 剥离光刻胶完全保留区域的光刻胶后，就形成了位于半导体层和源/漏电极层之间的欧姆接触层的图案，该欧姆接触层的图案与半导体层的图案、源/漏电极的图案均一致（在与栅线相垂直的纸面平面内，三者的宽度相同）。

20 随后在步骤 310 中，在源/漏电极的图案上形成间隙以形成源极和漏极的图案之后，继续刻蚀，去除源/漏电极图案上间隙的下方暴露的欧姆接触层，从而在欧姆接触层的图案上形成间隙，该间隙将欧姆接触层分成两部分，分别是位于漏极与半导体层之间的漏极欧姆接触层和位于源极与半导体层之间的源极欧姆接触层，从而使最终形成的欧姆接触层的图案与源极和漏极的图案一致。

25 通过设置漏极欧姆接触层可以降低半导体层和漏极之间的接触电阻，同理，设置源极欧姆接触层可以降低半导体层和源极之间的接触电阻。

上述本发明实施例提供的阵列基板的制造方法中，由于将第一透明导电层直接形成在具有源/漏极和数据线的基板上，在构图工艺后形成了第一透明电极、源极和漏极的图案，使得第一透明电极能直接搭接在漏极上方，省去

了现有技术中制作像素电极过孔的掩模板，另外，由于只使用了普通的掩模板就在形成第一透明电极的构图工艺中，通过在所述源/漏电极的图案上形成间隙而形成了源极和漏极，因此该方法仅使用了三个掩模板，相比于现有技术，不仅少用了一个掩模板而且不需要使用灰阶掩模板，使得工艺控制的难度和成本都显著降低。

本发明实施例还提供了一种阵列基板，该阵列基板是由上述实施例提供的阵列基板的制造方法制造而成，该阵列基板如图 10 所示，包括依次形成在基板 31 上的栅极 32 和栅线的图案；半导体层 33a 的图案；源极 341、漏极 342 和数据线 35 的图案及第一透明电极 36 的图案，该第一透明电极 36 直接搭接漏极 342。

本发明实施例提供的阵列基板中，由于采用了上述实施例提供的阵列基板的制造方法，成本显著降低。

上述实施例提供的阵列基板中，在漏极 342 与半导体层 33a 之间还可以形成有漏极欧姆接触层，通过设置漏极欧姆接触层可以降低半导体层 33a 和漏极 342 之间的接触电阻。

上述实施例提供的阵列基板中，在第一透明电极 36 上还可以设置有钝化层和狭缝状的第二透明电极。该第二透明电极即公共电极。

上述实施例提供的阵列基板中，还可以包括公共电极线的图案，公共电极线与栅极和栅线在同一层形成。通过将公共电极线与公共电极连接，可以减少公共电极的信号延迟。

本发明实施例还提供了一种显示装置，该显示装置中包括上述实施例描述的阵列基板，由于使用了上述实施例描述的阵列基板，该显示装置也具有较低的制造成本。

以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

权利要求书

1、一种阵列基板的制造方法，包括：

在基板上形成栅极金属层，通过构图工艺形成包括栅极和栅线的图案；

5 在形成有所述栅极和所述栅线图案的基板上依次形成绝缘层、半导体材料层和源/漏金属层，通过构图工艺形成包括半导体层、源/漏电极和数据线的图案，其中所述源/漏电极的图案与所述半导体层的图案一致；

10 在形成有所述半导体层、源/漏电极和数据线图案的基板上形成第一透明导电层，通过构图工艺形成第一透明电极的图案，并在所述源/漏电极的图案上形成间隙以形成源极和漏极的图案。

2、根据权利要求 1 所述的阵列基板的制造方法，其中所述源/漏电极的图案完全覆盖栅线图案上方的所述半导体层的图案。

3、根据权利要求 1 或 2 所述的阵列基板的制造方法，其中所述通过构图工艺形成包括半导体层、源/漏电极和数据线的图案，包括：

15 采用同一掩模板去除所述半导体材料层和所述源/漏金属层。

4、根据权利要求 1 至 3 任一项所述的阵列基板的制造方法，其中所述通过构图工艺形成包括半导体层、源/漏电极和数据线的图案，包括：

20 在形成有所述源/漏金属层的基板上涂覆光刻胶，通过一掩模板对所述光刻胶进行曝光、显影以形成光刻胶完全保留区域和光刻胶完全去除区域，其中光刻胶完全保留区域对应形成所述源/漏电极图案的区域以及形成所述数据线图案的区域，其他区域为光刻胶完全去除区域。

25 5、根据权利要求 1 至 4 任一项所述的阵列基板的制造方法，其中所述在形成有所述栅极和所述栅线图案的基板上依次形成绝缘层、半导体材料层和源/漏金属层，通过构图工艺形成包括半导体层、源/漏电极和数据线的图案，其中所述源/漏电极的图案与所述半导体层的图案一致，包括：

在形成有所述栅极和所述栅线图案的基板上，依次形成绝缘层、半导体层和源/漏金属层；

30 在形成有所述源/漏金属层的基板上涂覆光刻胶，通过掩模板对所述光刻胶进行曝光、显影以形成光刻胶完全保留区域和光刻胶完全去除区域，其中光刻胶完全保留区域对应形成所述源/漏电极图案的区域以及形成所述数据

线图案的区域, 其他区域为光刻胶完全去除区域;

对所述光刻胶完全去除区域进行刻蚀, 依次去除所述源/漏金属层和半导体层;

5 剥离所述光刻胶完全保留区域的光刻胶, 形成所述半导体层的图案、所述源/漏电极的图案、以及所述数据线的图案, 其中所述源/漏电极的图案与所述半导体层的图案一致。

6、根据权利要求 1-5 任一项所述的阵列基板的制造方法, 其中所述在形成有所述半导体层、源/漏电极和数据线图案的基板上形成第一透明导电层, 通过构图工艺形成第一透明电极的图案, 并在所述源/漏电极的图案上形成间隙, 以形成源极和漏极的图案, 包括:

在形成有所述半导体层、源/漏电极和数据线图案的基板上形成第一透明导电层;

15 在形成有所述第一透明导电层的基板上涂覆光刻胶, 通过一掩模板对所述光刻胶进行曝光、显影, 其中光刻胶完全保留区域对应形成所述第一透明电极图案的区域, 其他区域为光刻胶完全去除区域;

对所述光刻胶完全去除区域进行第一次蚀刻, 去除所述第一透明导电层, 以形成所述第一透明电极;

对所述光刻胶完全去除区域进行第二次蚀刻, 去除未被所述数据线图案覆盖的所述半导体层的两端;

20 对所述光刻胶完全去除区域进行第三次蚀刻, 在所述源/漏电极的图案上形成间隙以形成源极和漏极的图案。

25 7、根据权利要求 1-6 任一项所述的阵列基板的制造方法, 其中所述在形成有所述栅极和所述栅线的图案的基板上依次形成绝缘层、半导体材料层之后, 形成源/漏金属层之前, 还包括: 在形成有所述半导体材料层的基板上形成欧姆接触层。

8、根据权利要求 7 所述的阵列基板的制造方法, 其中在通过构图工艺形成包括半导体层、源/漏电极和数据线的图案时, 还包括形成所述欧姆接触层的图案, 其中欧姆接触层的图案与所述源/漏电极的图案、所述半导体层的图案均一致。

30 9、根据权利要求 1-8 任一项所述的阵列基板的制造方法, 其中在所述通

过构图工艺形成包括栅极和栅线的图案时，还包括形成公共电极线的图案。

10、根据权利要求 1 所述的阵列基板的制造方法，还包括：

在形成有所述源极、漏极以及所述第一透明电极的图案的基板上形成钝化层，通过构图工艺在周边引线区形成包括露出栅线引线的过孔和露出数据

5 线引线的过孔的图案；

在形成有所述栅线引线过孔和数据线引线过孔图案的所述钝化层上形成第二透明导电层，通过构图工艺形成第二透明电极的图案，其中所述第二透明电极

为狭缝状电极。

11、一种阵列基板，包括依次形成在基板上的栅极和栅线的图案；半导体层的图案；源极、漏极和数据线的图案及第一透明电极的图案，所述第一透明电极直接搭接所述漏极。

12、根据权利要求 11 所述的阵列基板，其中在所述漏极与所述半导体层之间形成有漏极欧姆接触层。

13、根据权利要求 11 或 12 所述的阵列基板，还包括公共电极线的图案，所述公共电极线的图案与所述栅极和栅线的图案在同一层形成。

14、根据权利要求 11-13 任一项所述的阵列基板，其中在所述第一透明电极上还设置有钝化层和狭缝状的第二透明电极。

15、一种显示装置，包括权利要求 11-14 任一项所述的阵列基板。

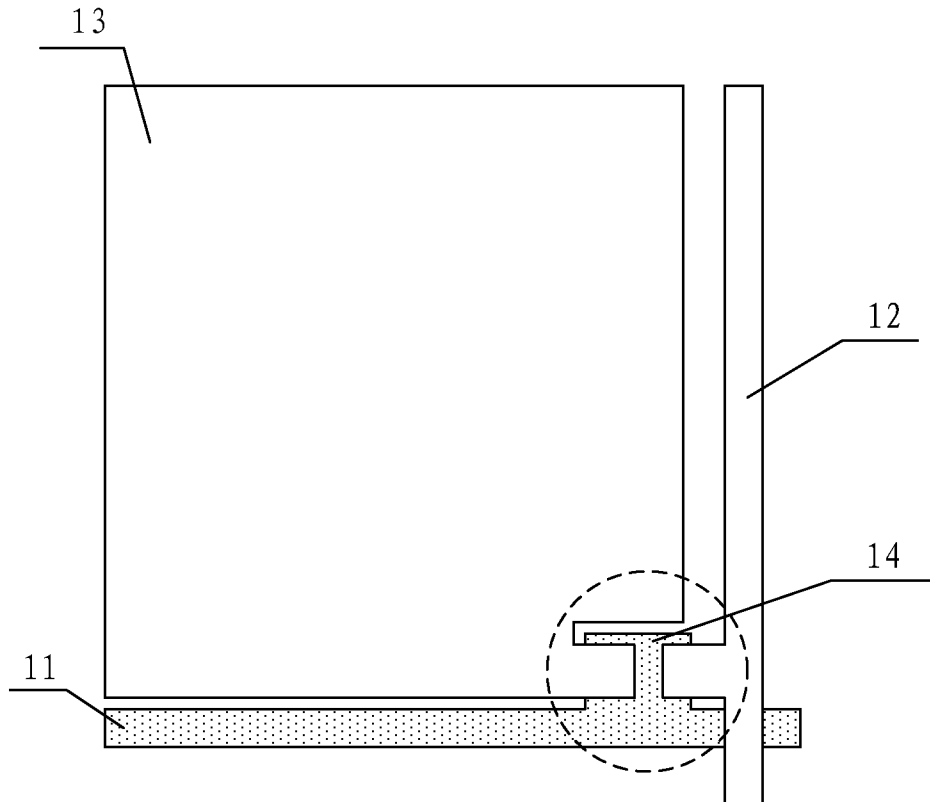


图 1

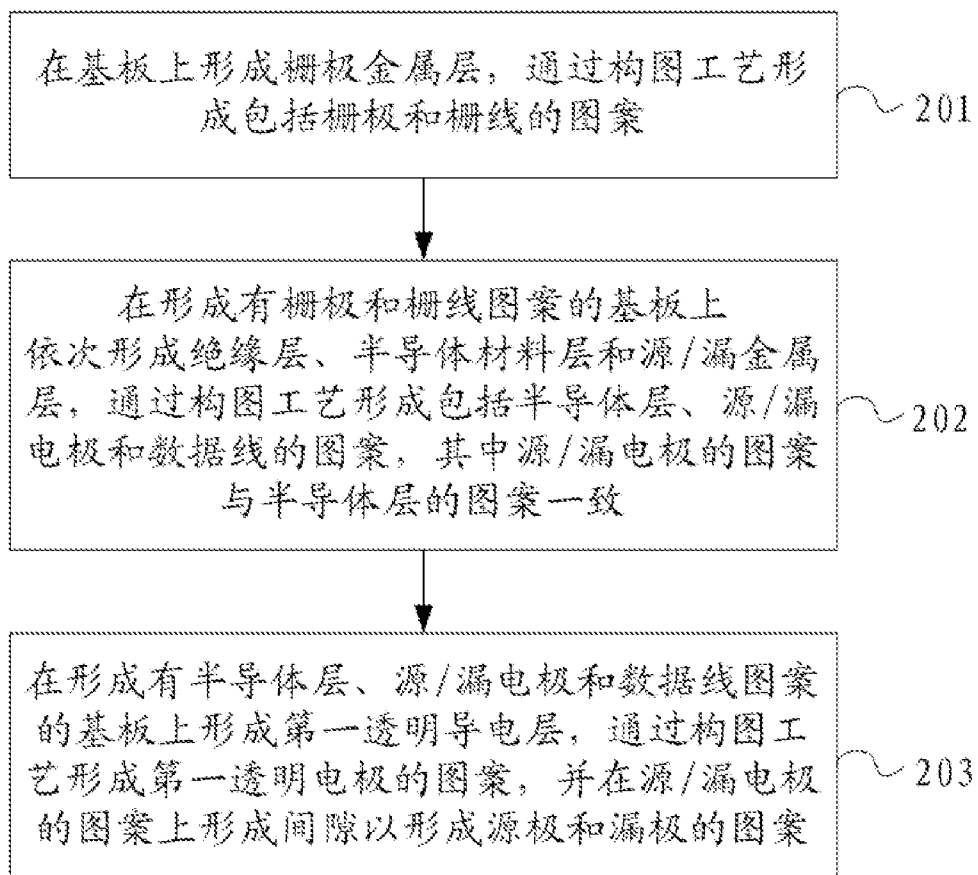


图 2

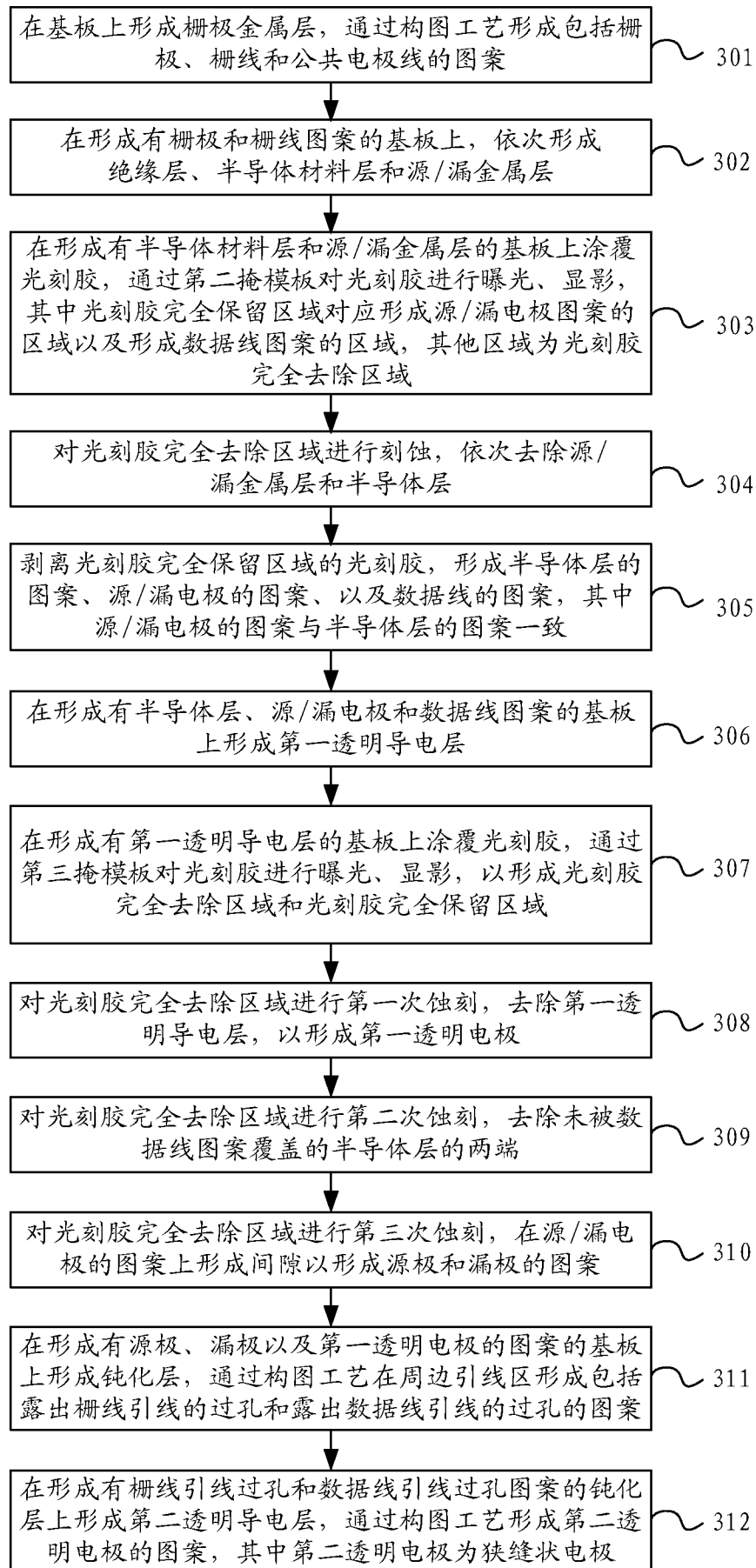


图 3

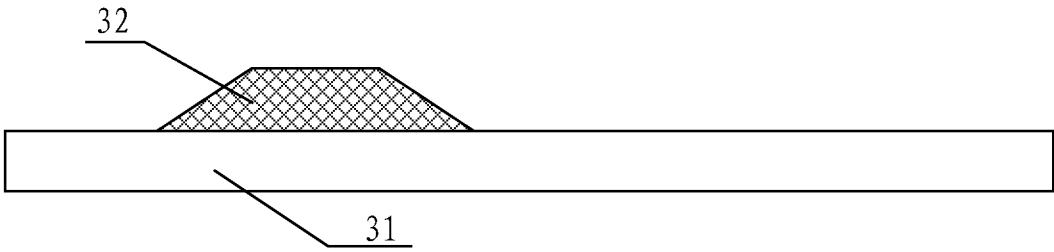


图 4

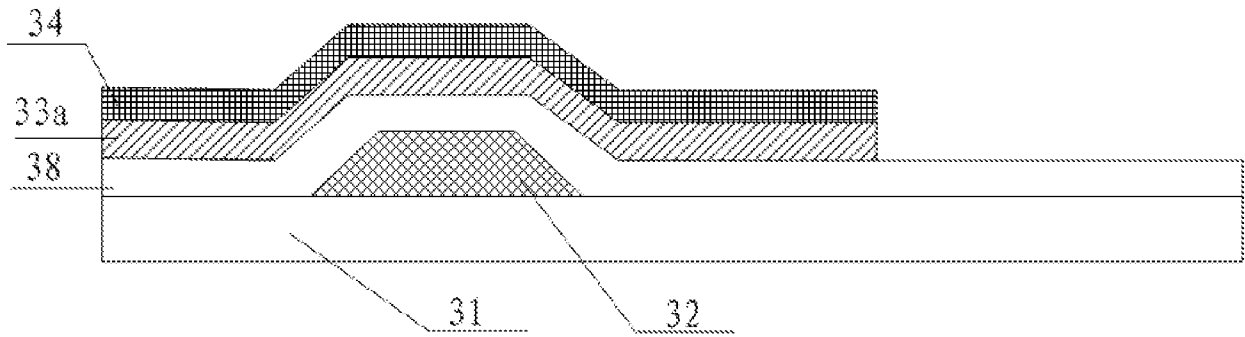


图 5

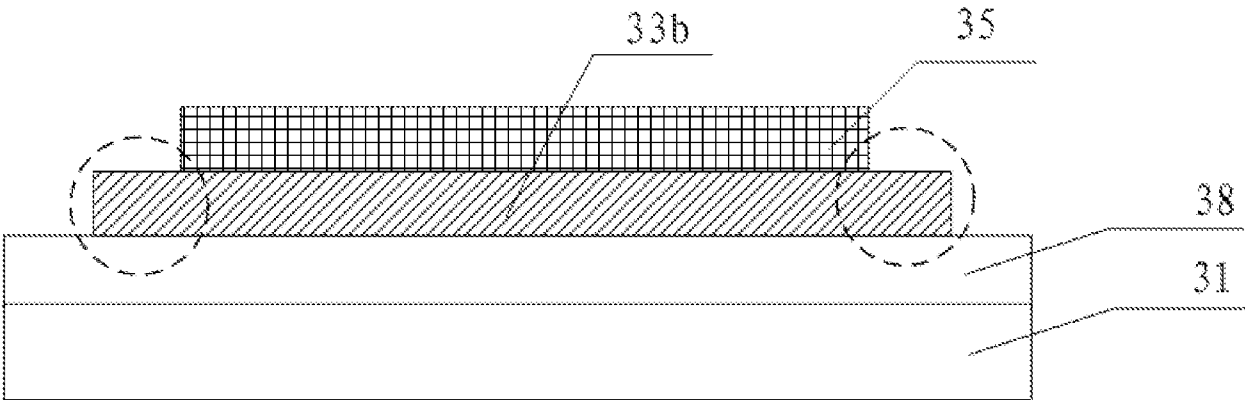


图 6

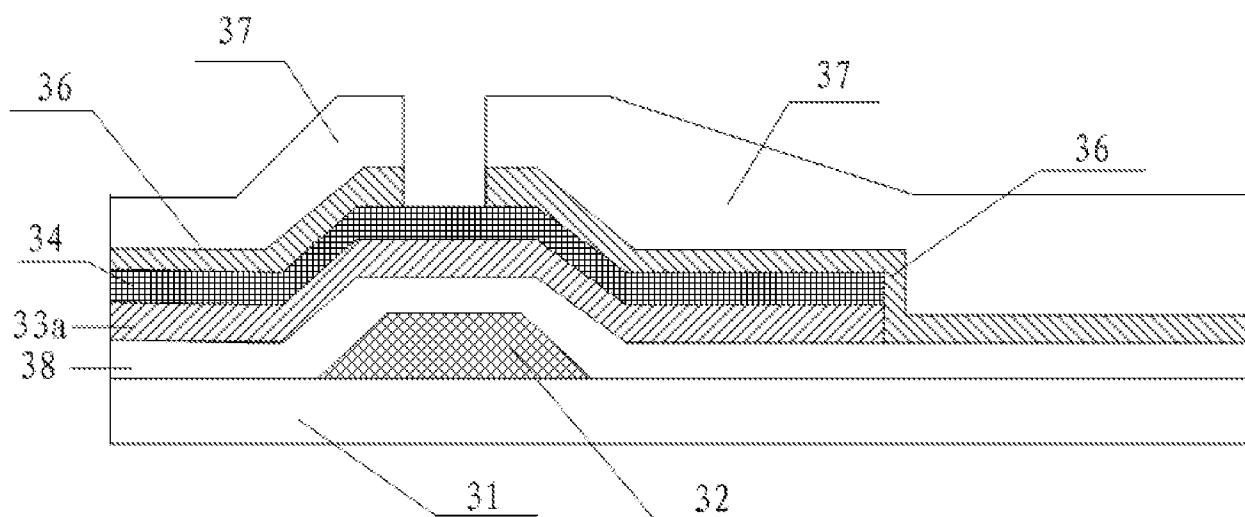


图 7

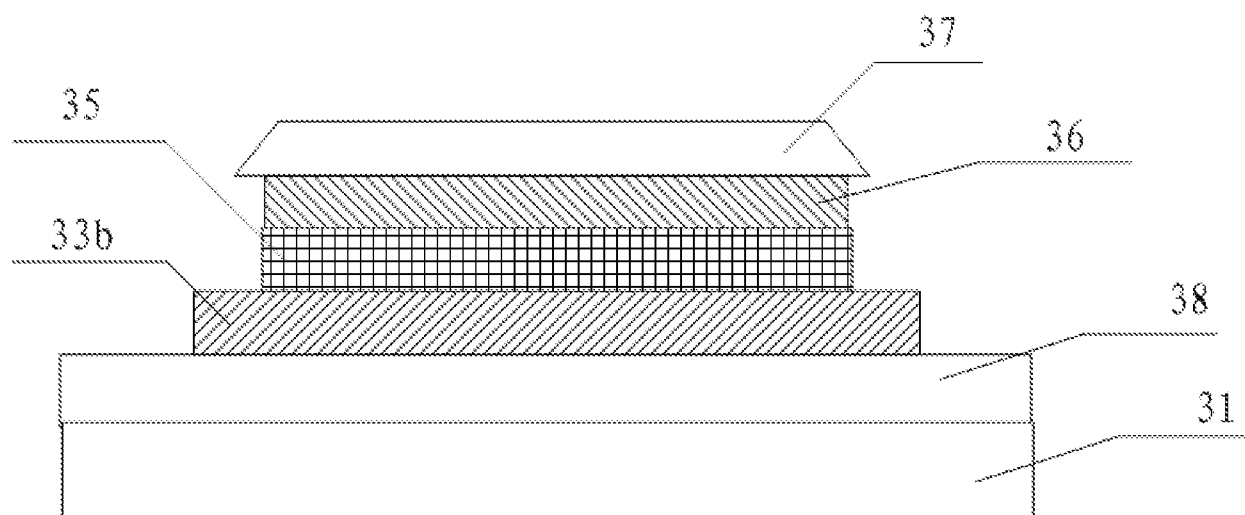


图 8

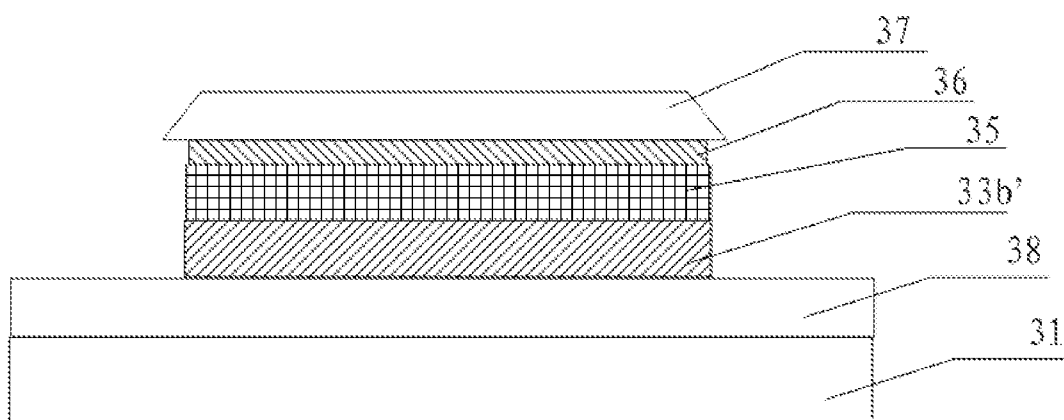


图 9

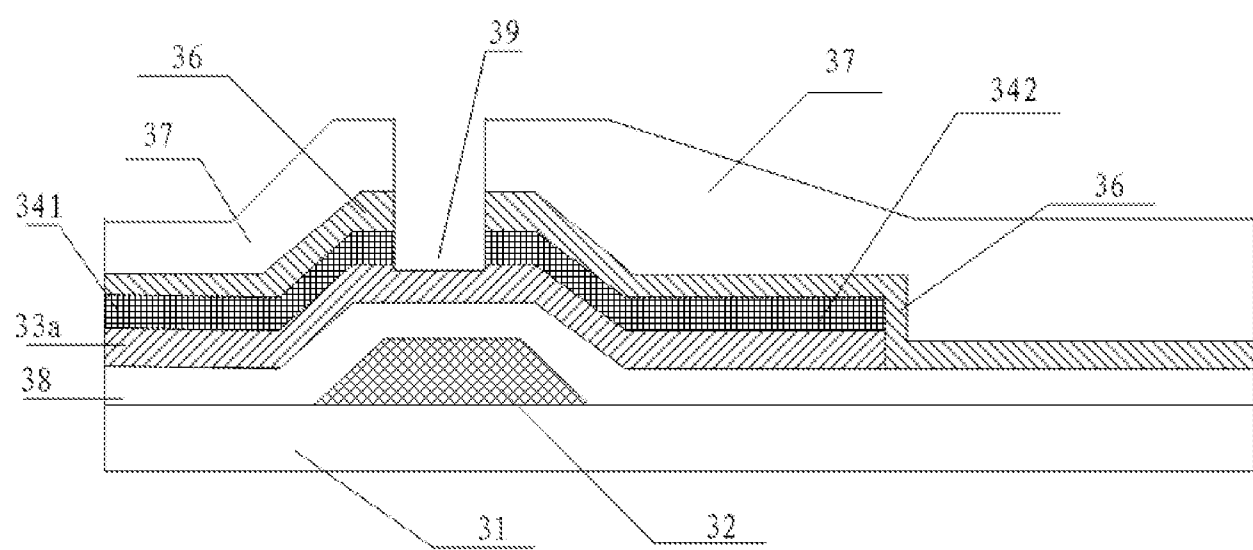


图 10

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/086759

A. CLASSIFICATION OF SUBJECT MATTER

See the extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/--; H01L 27/--; H01L 29/--; G02F 1/--

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, CNABS: ITO, pattern, mask, direct, contact, pixel, etch, transparency electrode, composition of a picture

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 102629584 A (BOE TECHNOLOGY GROUP CO LTD) 08 August 2012 (08.08.2012) description, paragraphs [0055] to [0071], and figures 1A to 3L	1-5, 7-15
P,X	CN103295961A(BOE TECHNOLOGY GROUP CO LTD)11 Sep.2013(11.09.2013) description, paragraphs [0031]to[0075], and figures 2 to 10	1-15
A	CN 1828872 A (QUANTA DISPLAY INC.) 06 September 2006 (06.09.2006) the whole document	1-15
A	CN 101022093 A (YODA PHOTOELECTRIC CO LTD) 22 August 2007 (22.08.2007) the whole document	1-15
A	JP 2008124483 A (KOBE STEEL LTD) 29 May 2008 (29.05.2008) the whole document	1-15

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&”document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 11 February 2014 (11.02.2014)	Date of mailing of the international search report 27 February 2014 (27.02.2014)
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Le Telephone No. (86-10) 62411579

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/086759

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102629584 A	08.08.2012	None	
CN 103295961 A	11.09.2013	None	
CN 1828872 A	06.09.2006	CN 100380634 C	09.04.2008
CN 101022093 A	22.08.2007	CN 101022093 B	21.03.2012
JP 2008124483 A	29.05.2008	CN 101253447 A	27.08.2008
		CN 101253447 B	29.02.2012
		JP 2007157917 A	21.06.2007
		JP 2009105424 A	14.05.2009
		JP 4117002 B2	09.07.2008
		KR 20080063869 A	07.07.2008
		KR 983196 B1	20.09.2010
		TW 200735190 A	16.09.2007
		US 2009134393 A1	28.05.2009
		US 7952123 B2	31.05.2011
		WO 2007063991 A1	07.06.2007

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2013/086759

CLASSIFICATION OF SUBJECT MATTER

H01L 21/77 (2006.01) i

H01L 21/28 (2006.01) i

H01L 29/786 (2006.01) i

G02F 1/1362 (2006.01) i

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L 21/--, H01L 27/--, H01L 29/--, G02F 1/--

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, CNABS: 透明电极, 构图, 掩模板, 直接, 搭接, ITO, pattern, mask, direct, contact, pixel, etch

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 102629584 A (京东方科技集团股份有限公司) 08.8 月 2012 (08.08.2012) 说明书 [0055]至[0071]段 附图 1A 至 3L	1—5, 7—15
P,X	CN 103295961 A (京东方科技集团股份有限公司) 11.9 月 2013 (11.09.2013) 说明书[0031]至[0075]段 附图 2 至 10	1—15
A	CN 1828872 A (广辉电子股份有限公司) 06.9 月 2006 (06.09.2006) 全文	1—15
A	CN 101022093 A (友达光电股份有限公司) 22.8 月 2007 (22.08.2007) 全文	1—15
A	JP 2008124483 A (株式会社神户制钢所) 29.5 月 2008 (29.05.2008) 全文	1—15

☐ 其余文件在 C 栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期
11.2 月 2014 (11.02.2014)国际检索报告邮寄日期
27.2 月 2014 (27.02.2014)ISA/CN 的名称和邮寄地址:
中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088
传真号: (86-10)62019451受权官员

刘乐

电话号码: (86-10) 62411579

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2013/086759

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 102629584 A	08.08.2012	无	无
CN 103295961 A	11.09.2013	无	无
CN 1828872 A	06.09.2006	CN 100380634C	09.04.2008
CN 101022093 A	22.08.2007	CN 101022093 B	21.03.2012
JP 2008124483 A	29.05.2008	CN 101253447 A	27.08.2008
		CN 101253447B	29.02.2012
		JP 2007157917 A	21.06.2007
		JP 2009105424 A	14.05.2009
		JP 4117002B2	09.07.2008
		KR 20080063869 A	07.07.2008
		KR 983196 B1	20.09.2010
		TW 200735190 A	16.09.2007
		US 2009134393 A1	28.05.2009
		US 7952123 B2	31.05.2011
		WO 2007063991 A1	07.06.2007

续： 主题的分类

H01L 21/77 (2006.01) i

H01L 21/28 (2006.01) i

H01L 29/786 (2006.01) i

G02F 1/1362 (2006.01) i