

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6183225号
(P6183225)

(45) 発行日 平成29年8月23日(2017.8.23)

(24) 登録日 平成29年8月4日(2017.8.4)

(51) Int. Cl. F 1
H03K 5/135 (2006.01) H03K 5/135
H03K 5/26 (2006.01) H03K 5/26 M

請求項の数 9 (全 24 頁)

(21) 出願番号	特願2014-6069 (P2014-6069)	(73) 特許権者	000005223 富士通株式会社
(22) 出願日	平成26年1月16日 (2014.1.16)		神奈川県川崎市中原区上小田中4丁目1番1号
(65) 公開番号	特開2015-136012 (P2015-136012A)	(74) 代理人	100107766 弁理士 伊東 忠重
(43) 公開日	平成27年7月27日 (2015.7.27)	(74) 代理人	100070150 弁理士 伊東 忠彦
審査請求日	平成28年9月5日 (2016.9.5)	(74) 代理人	100146776 弁理士 山口 昭則
		(72) 発明者	チャイヴィパーズ ウィン 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	緒方 寿彦

最終頁に続く

(54) 【発明の名称】 タイミング調整回路、クロック生成回路、及びタイミング調整方法

(57) 【特許請求の範囲】

【請求項1】

第1の周波数を有するデューティ比が50%の第1のクロック信号と、前記第1の周波数の1/2の周波数である第2の周波数を有するデューティ比が50%の第2のクロック信号と、前記第2のクロック信号と90度位相がずれており前記第2の周波数を有するデューティ比が50%の第3のクロック信号とに応じて、前記第1のクロック信号と前記第2及び第3のクロック信号との間のタイミング関係を示す検出信号を生成する検出器と、

前記検出器の生成する前記検出信号を入力とするローパスフィルタと、

前記ローパスフィルタの出力に応じて、前記第1のクロック信号のパルスの中心位置と前記第2のクロック信号のパルスの中心位置とが一致するように、前記第1のクロック信号と前記第2のクロック信号との間の相対的なタイミング関係を調整する可変遅延回路とを含むタイミング調整回路。

【請求項2】

前記検出器が生成する検出信号は、前記第1のクロック信号と前記第2のクロック信号との間のタイミング関係と、前記第1のクロック信号と前記第3のクロック信号との間のタイミング関係とを示す信号であることを特徴とする請求項1記載のタイミング調整回路。

【請求項3】

前記検出信号のアサート期間は、前記第1のクロック信号、前記第2のクロック信号、

及び前記第3のクロック信号が全てLOWになる期間に等しく、前記検出信号のネゲート期間は、前記第1のクロック信号、前記第2のクロック信号、及び前記第3のクロック信号が全てHIGHになる期間に等しいことを特徴とする請求項1記載のタイミング調整回路。

【請求項4】

前記検出器は、

前記第1乃至第3のクロック信号がそれぞれゲートに印加され、直列に接続された3つのPMOSトランジスタと、

前記第1乃至第3のクロック信号がそれぞれゲートに印加され、直列に接続された3つのNMOSトランジスタと、

前記検出信号を出力する出力端子と
を含み、電源電圧と前記出力端子との間に前記3つのPMOSトランジスタが接続され、前記出力端子とグラウンド電圧との間に前記3つのNMOSトランジスタが接続されることを特徴とする請求項3記載のタイミング調整回路。

10

【請求項5】

前記検出器は、

前記第1乃至第3のクロック信号を入力とし、1又は2個の第1の出力を生成する第1の論理回路と、

前記1又は2個の第1の出力がそれぞれゲートに印加される1又は2個のPMOSトランジスタと、

前記第1乃至第3のクロック信号を入力とし、1又は2個の第2の出力を生成する第2の論理回路と、

前記1又は2個の第2の出力がそれぞれゲートに印加される1又は2個のNMOSトランジスタと、

前記検出信号を出力する出力端子と
を含み、電源電圧と前記出力端子との間に前記1又は2個のPMOSトランジスタが接続され、前記出力端子とグラウンド電圧との間に前記1又は2個のNMOSトランジスタが接続されることを特徴とする請求項3記載のタイミング調整回路。

20

【請求項6】

前記可変遅延回路は、前記ローパスフィルタの出力に応じて、前記第1のクロック信号と前記第2のクロック信号との間の相対的なタイミング関係を第1の時間幅で調整可能であると同時に、前記ローパスフィルタの出力に応じて、前記第1のクロック信号と前記第2のクロック信号との間の相対的なタイミング関係を前記第1の時間幅よりも長い第2の時間幅で調整可能であることを特徴とする請求項1乃至5何れか一項記載のタイミング調整回路。

30

【請求項7】

第1の周波数を有するデューティ比が50%の第1のクロック信号を分周することにより、前記第1の周波数の1/2の周波数である第2の周波数を有するデューティ比が50%の第2のクロック信号と、前記第2のクロック信号と90度位相がずれており前記第2の周波数を有するデューティ比が50%の第3のクロック信号と、前記第1の周波数の1/4の周波数である第3の周波数を有するデューティ比が50%の第4のクロック信号とを生成する分周回路と、

40

前記第1のクロック信号と、前記第2のクロック信号と、前記第3のクロック信号とに応じて、前記第1のクロック信号と前記第2及び第3のクロック信号との間のタイミング関係を示す検出信号を生成する検出器と、

前記検出器の生成する前記検出信号を入力とするローパスフィルタと、

前記ローパスフィルタの出力に応じて、前記第1のクロック信号のパルスの中心位置と前記第2のクロック信号のパルスの中心位置とが一致するように、前記第1のクロック信号と前記第2のクロック信号との間の相対的なタイミング関係を調整する可変遅延回路と

50

前記ローパスフィルタの出力に応じて、前記第4のクロック信号に対して、遅延量を可変に制御する可変遅延回路と、

前記第1のクロック信号と前記第2のクロック信号とのAND論理を取ることにより、前記第2の周波数を有するデューティ比が25%の第5のクロック信号を生成するAND回路と、

を含むクロック生成回路。

【請求項8】

前記第4のクロック信号を前記第2のクロック信号に同期させるリタイミング回路を更に含むことを特徴とする請求項6記載のクロック生成回路。

【請求項9】

第1の周波数を有するデューティ比が50%の第1のクロック信号と、前記第1の周波数の1/2の周波数である第2の周波数を有するデューティ比が50%の第2のクロック信号と、前記第2のクロック信号と90度位相がずれており前記第2の周波数を有するデューティ比が50%の第3のクロック信号とに応じて、前記第1のクロック信号と前記第2及び第3のクロック信号との間のタイミング関係を示す検出信号を生成し、

前記検出信号をローパスフィルタ処理し、

前記ローパスフィルタ処理の出力に応じて、前記第1のクロック信号のパルスの中心位置と前記第2のクロック信号のパルスの中心位置とが一致するように、前記第1のクロック信号と前記第2のクロック信号との間の相対的なタイミング関係を調整する

各段階を含むタイミング調整方法。

【発明の詳細な説明】

【技術分野】

【0001】

本願開示は、タイミング調整回路、クロック生成回路、及びタイミング調整方法に関する。

【背景技術】

【0002】

サンプリング処理や信号判定の為の比較処理等に高速信号を入力として供する場合、信号の速度が高速であるために、処理の速度を信号の速度に合わせることが難しい場合がある。そのような場合、入力信号が伝搬する一本の信号線に対して複数の処理回路を並列に接続し、時間上に並ぶ入力信号の複数の信号値を複数の処理回路で時分割的に処理する回路構成が用いられることがある。しかしながら一本の信号線に対して複数の処理回路を並列に接続すると、一本の信号線から見た場合の並列に接続された処理回路に対する入力容量が大きくなり、帯域が制限されてしまうという問題がある。

【0003】

帯域制限の問題を解決するためには、入力信号を多重分離してから、複数の処理回路によりそれぞれ処理を実行すればよい。信号を多重分離する際には、複数の異なる位相を有し複数の異なる周波数を有する様々なデューティ比のクロック信号が用いられる。適切な多重分離を実現するためには、それらのクロック信号を生成して多重分離回路に供給する際に、クロック信号間のタイミングを調整して適切な位相関係を保つ必要がある。そのようなタイミング構成の対象となるクロック信号には、複数の異なる周波数を有するクロック信号も含まれる。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2001-268062号公報

【特許文献2】特開平5-73167号公報

【特許文献3】特開2003-37496号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 0 5 】

以上を鑑みると、異なる周波数を有するクロック信号間のタイミングを調整する回路が望まれる。

【課題を解決するための手段】

【 0 0 0 6 】

タイミング調整回路は、第1の周波数を有するデューティ比が50%の第1のクロック信号と、前記第1の周波数の1/2の周波数である第2の周波数を有するデューティ比が50%の第2のクロック信号と、前記第2のクロック信号と90度位相がずれており前記第2の周波数を有するデューティ比が50%の第3のクロック信号とに依りて、前記第1のクロック信号と前記第2及び第3のクロック信号との間のタイミング関係を示す検出信号を生成する検出器と、前記検出器の生成する前記検出信号を入力とするローパスフィルタと、前記ローパスフィルタの出力に依りて、前記第1のクロック信号のパルスの中心位置と前記第2のクロック信号のパルスの中心位置とが一致するように、前記第1のクロック信号と前記第2のクロック信号との間の相対的なタイミング関係を調整する可変遅延回路とを含む。

10

【 0 0 0 7 】

クロック生成回路は、第1の周波数を有するデューティ比が50%の第1のクロック信号を分周することにより、前記第1の周波数の1/2の周波数である第2の周波数を有するデューティ比が50%の第2のクロック信号と、前記第2のクロック信号と90度位相がずれており前記第2の周波数を有するデューティ比が50%の第3のクロック信号と、前記第1の周波数の1/4の周波数である第3の周波数を有するデューティ比が50%の第4のクロック信号とを生成する分周回路と、前記第1のクロック信号と、前記第2のクロック信号と、前記第3のクロック信号とに依りて、前記第1のクロック信号と前記第2及び第3のクロック信号との間のタイミング関係を示す検出信号を生成する検出器と、前記検出器の生成する前記検出信号を入力とするローパスフィルタと、前記ローパスフィルタの出力に依りて、前記第1のクロック信号のパルスの中心位置と前記第2のクロック信号のパルスの中心位置とが一致するように、前記第1のクロック信号と前記第2のクロック信号との間の相対的なタイミング関係を調整する可変遅延回路と、前記ローパスフィルタの出力に依りて、前記第4のクロック信号に対して、遅延量を可変に制御する可変遅延回路と、前記第1のクロック信号と前記第2のクロック信号とのAND論理を取ることにより、前記第2の周波数を有するデューティ比が25%の第5のクロック信号を生成するAND回路とを含む。

20

30

【発明の効果】

【 0 0 0 8 】

少なくとも1つの実施例によれば、異なる周波数を有するクロック信号間のタイミングを調整する回路を提供できる。

【図面の簡単な説明】

【 0 0 0 9 】

【図1】並列処理回路の構成の一例を示す図である。

【図2】周波数の異なるクロック信号間のタイミングを調整する回路の構成の一例を示す図である。

40

【図3】クロック信号O_Bとクロック信号O_A及びO_Qとの間のタイミング関係を示す図である。

【図4】位相検出器の構成の一例を示す図である。

【図5】タイミングが合っている状態のクロック信号を示す図である。

【図6】タイミングがずれている状態のクロック信号を示す図である。

【図7】タイミングがずれている状態のクロック信号を示す図である。

【図8】位相検出器の構成の別の一例を示す図である。

【図9】位相検出器の構成の更に別の一例を示す図である。

【図10】タイミングが合っている状態における図8及び図9の位相検出器の各信号の波

50

形を示す図である。

【図 1 1】タイミングがずれている状態における図 8 及び図 9 の位相検出器の各信号の波形を示す図である。

【図 1 2】タイミングがずれている状態における図 8 及び図 9 の位相検出器の各信号の波形を示す図である。

【図 1 3】位相検出器の構成の更に別の一例を示す図である。

【図 1 4】タイミングが合っている状態において図 1 3 に示される位相検出器の非反転側の各信号の波形を示す図である。

【図 1 5】タイミングが合っている状態において図 1 3 に示される位相検出器の反転側の各信号の波形を示す図である。

10

【図 1 6】タイミング調整回路の構成の別の一例を示す図である。

【図 1 7】可変遅延回路の構成の一例を示す図である。

【図 1 8】可変容量回路の構成の一例を示す図である。

【図 1 9】遅延対象の信号が差動信号である場合の可変遅延回路の構成の一例を示す図である。

【図 2 0】並列処理回路の構成の別の一例を示す図である。

【図 2 1】図 2 0 の並列処理回路において用いるクロック信号の波形の一例を示す図である。

【図 2 2】並列処理回路の構成の更に別の一例を示す図である。

【図 2 3】図 2 2 の並列処理回路において用いるクロック信号の波形の一例を示す図である。

20

【図 2 4】クロック生成回路の構成の一例を示す図である。

【図 2 5】図 2 4 のクロック生成回路において用いられる信号の一例を示す図である。

【図 2 6】図 2 4 のクロック生成回路において用いられるリタイミング回路の構成の一例を示す図である。

【図 2 7】図 2 4 のクロック生成回路が生成する信号の一例を示す図である。

【発明を実施するための形態】

【0010】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

【0011】

30

図 1 は、並列処理回路の構成の一例を示す図である。図 1 に示す並列処理回路は、スイッチ回路 10 A 乃至 12 A、スイッチ回路 10 B 乃至 12 B、比較回路 13 - 1 乃至 13 - 4 を含む。入力端子 IN から入力された多重信号は、スイッチ回路 10 A 乃至 12 A 及びスイッチ回路 10 B 乃至 12 B により多重分離され、比較回路 13 - 1 乃至 13 - 4 の非反転入力に印加される。比較回路 13 - 1 乃至 13 - 4 の各々は、非反転入力に印加された多重分離後の信号を反転入力に印加される参照電位 VREF と比較し、比較結果を出力端子 OUT 1 乃至 OUT 4 に出力する。比較回路 13 - 1 乃至 13 - 4 の非反転入力に接続される信号線には寄生容量 14 が存在する。従って、スイッチ回路 10 A 乃至 12 A 及び 10 B 乃至 12 B により多重分離せずに入力多重信号をそのまま比較回路 13 - 1 乃至 13 - 4 に印加する場合には、入力端子 IN から見た入力容量が大きくなり、入力多重信号の帯域が制限されてしまう。スイッチ回路 10 A 乃至 12 A 及び 10 B 乃至 12 B により多重分離することにより、高速な信号変化を可能にし、高速な入力多重信号に対する並列比較処理が可能になる。

40

【0012】

スイッチ回路 10 A は、所定の周波数 f_1 でデューティ比 50% のクロック信号 O_B に同期して開閉を繰り返す。スイッチ回路 10 B は、クロック信号 O_B の反転クロック信号に同期して開閉を繰り返す。即ち、スイッチ回路 10 A 及び 10 B は、一方が開のときに他方が閉であり、一方が閉のときに他方が開である。

【0013】

スイッチ回路 11 A は、周波数 $f_1 / 2$ の周波数でデューティ比 50% のクロック信

50

号 O__A に同期して開閉を繰り返す。スイッチ回路 1 1 B は、クロック信号 O__A の反転クロック信号に同期して開閉を繰り返す。即ち、スイッチ回路 1 1 A 及び 1 1 B は、一方が開のときに他方が閉であり、一方が閉のときに他方が開である。

【 0 0 1 4 】

スイッチ回路 1 2 A は、クロック信号 O__A と位相が 9 0 度ずれており、周波数 $f_1 / 2$ の周波数でデューティ比 5 0 % のクロック信号 O__Q に同期して開閉を繰り返す。スイッチ回路 1 2 B は、クロック信号 O__Q の反転クロック信号に同期して開閉を繰り返す。即ち、スイッチ回路 1 2 A 及び 1 2 B は、一方が開のときに他方が閉であり、一方が閉のときに他方が開である。

【 0 0 1 5 】

上に説明した複数のクロック信号のうち、周波数 f_1 のクロック信号 O__B が与えられれば、このクロック信号を入力として、分周器により複数の周波数 $f_1 / 2$ のクロック信号を生成することができる。このとき、分周器により生成された複数のクロック信号は、9 0 度や 1 8 0 度等、所定の角度だけ互いに位相がずれたものとなる。従って上に説明したスイッチ回路 1 0 A 乃至 1 2 A 及び 1 0 B 乃至 1 2 B に供給するクロック信号のうち、互いに 9 0 度位相がずれた周波数 $f_1 / 2$ のクロック信号 O__A と周波数 $f_1 / 2$ のクロック信号 O__Q とは、分周器により容易に生成することができる。しかしながら、分周器への入力となる周波数 f_1 のクロック信号 O__B と、分周器の出力である周波数 $f_1 / 2$ のクロック信号 O__A 及び O__Q とでは、互いの位相差が分周器の回路構成に応じたものとなり、所望の位相関係を満足させることができない。従って、周波数 f_1 のクロック信号と周波数 $f_1 / 2$ のクロック信号との位相関係を調整することが望ましい。

【 0 0 1 6 】

図 2 は、周波数の異なるクロック信号間のタイミングを調整する回路の構成の一例を示す図である。図 2 に示すタイミング調整回路は、遅延回路 2 1、可変遅延回路 2 2 - 1 乃至 2 2 - 3、位相検出器 2 3、及びローパスフィルタ 2 4 を含む。なお図 2 及び以降の同様の図において、各ボックスで示される各回路又は機能ブロックと他の回路又は機能ブロックとの境界は、基本的には機能的な境界を示すものであり、物理的な位置の分離、電気的な信号の分離、制御論理的な分離等に対応するとは限らない。各回路又は機能ブロックは、他のブロックと物理的にある程度分離された 1 つのハードウェアモジュールであってもよいし、或いは他のブロックと物理的に一体となったハードウェアモジュール中の 1 つの機能を示したものであってもよい。

【 0 0 1 7 】

遅延回路 2 1 に入力されるクロック信号 I__B は、所定の周波数 f_1 を有するデューティ比が 5 0 % のパルス信号である。可変遅延回路 2 2 - 1 に入力されるクロック信号 I__A は、周波数 f_1 の 1 / 2 の周波数である周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のパルス信号である。可変遅延回路 2 2 - 2 に入力されるクロック信号 I__Q は、クロック信号 I__A と 9 0 度位相がずれており周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のパルス信号である。可変遅延回路 2 2 - 3 に入力されるクロック信号 I__Y は、周波数 $f_1 / 4$ を有するデューティ比が 5 0 % のパルス信号である。

【 0 0 1 8 】

可変遅延回路 2 2 - 1 乃至 2 2 - 3 は、入力クロック信号 I__A、I__Q 及び I__Y を互いに同一の遅延量だけ遅延させることにより、出力クロック信号 O__A、O__Q 及び O__Y を生成する。可変遅延回路 2 2 - 1 乃至 2 2 - 3 の遅延量は可変であり、ローパスフィルタ 2 4 の出力により応じて設定される。遅延回路 2 1 は、入力クロック信号 I__B を所定の遅延量だけ遅延させることにより、出力クロック信号 O__B を生成する。遅延回路 2 1 の遅延量は固定である。

【 0 0 1 9 】

クロック信号 O__B は、周波数 f_1 を有するデューティ比が 5 0 % のクロック信号である。クロック信号 O__A は、周波数 f_1 の 1 / 2 の周波数である周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のクロック信号である。クロック信号 O__Q は、クロック信号

10

20

30

40

50

O__Aと90度位相がずれており周波数 $f_1/2$ を有するデューティー比が50%のクロック信号である。

【0020】

位相検出器23は、クロック信号O__Bと、クロック信号O__Aと、クロック信号O__Qとに応じて、クロック信号O__Bとクロック信号O__A及びO__Qとの間のタイミング関係を示す検出信号を生成する。ローパスフィルタ24は、位相検出器23の生成する検出信号を入力とし、検出信号の高周波成分をカット又は減衰させることにより、検出信号の低周波成分に相当する出力信号を生成する。

【0021】

可変遅延回路22-1は、ローパスフィルタ24の出力に応じて、クロック信号O__Bの10パルスの中心位置とクロック信号O__Aのパルスの中心位置とが一致するように、クロック信号O__Bとクロック信号O__Aとの間の相対的なタイミング関係を調整する。図2に示す例では、クロック信号I__Bの遅延を固定にして、クロック信号I__Aの遅延を可変に制御することにより、クロック信号O__Bとクロック信号O__Aとの間の相対的なタイミング関係を調整している。代替的に、クロック信号I__Aの遅延を固定にして、クロック信号I__Bの遅延を可変に制御することにより、クロック信号O__Bとクロック信号O__Aとの間の相対的なタイミング関係を調整してもよい。

【0022】

このとき、可変遅延回路22-1乃至22-3は、同一の遅延量を有するように制御される。従って、クロック信号O__Bとクロック信号O__Q及びO__Yとの間のタイミング20関係も、クロック信号O__Bとクロック信号O__Aとの間のタイミング関係と同様に調整される。

【0023】

なお図1に示すような並列処理回路で多重分離を適切に行うという目的のためには、クロック信号O__Bのパルスの中心位置とクロック信号O__Aのパルスの中心位置とが一致する、という条件は、完全一致ではなく、大略一致を意味してよい。ここで大略一致するとは、具体的には、クロック信号O__BのHIGHパルスの全体がクロック信号O__AのHIGHパルスの期間内に存在することを意味してよい。このとき、クロック信号O__A及びO__Qのデューティー比が正確に50%である場合、クロック信号O__Bのデューティー比は25%から75%迄の範囲であってよい。また逆にクロック信号O__Bのデューティー比が正確に50%であるとすると、クロック信号O__A及びO__Qのデューティー比は37.5%から62.5%迄の範囲であってよい。これら3つの全てのクロック信号のデューティー比が50%からずれると、互いに全体のマージンを分かち合う関係となる。また3つの全てのクロック信号が正確に50%である場合、クロック信号O__Qとクロック信号O__Aとの間の位相のずれは、0度から180度迄の範囲であってよい。またクロック信号O__Bの周波数がクロック信号O__Aの周波数の2の冪乗倍であれば、クロック信号O__AのHIGHパルスの中心にクロック信号O__BのHIGHパルスを位置決めすることができる。但し、後述の図24の例の場合には、クロック信号O__Bの周波数がクロック信号O__Aの周波数の2倍である。

【0024】

図3は、クロック信号O__Bとクロック信号O__A及びO__Qとの間のタイミング関係を示す図である。図2に示すタイミング調整回路によるタイミング調整により、クロック信号O__Bのパルスの中心位置とクロック信号O__Aのパルスの中心位置とが一致するように、クロック信号O__Bとクロック信号O__Aとの間の相対的なタイミング関係が調整される。即ち、タイミング調整により、図3に示す時間間隔T1と時間間隔T2とが等しくなるように、クロック信号O__Bとクロック信号O__Aとの間の相対的なタイミングが設定される。

【0025】

図4は、位相検出器23の構成の一例を示す図である。図4に示す位相検出器23は、定電流源30、PMOSトランジスタ31乃至33、NMOSトランジスタ34乃至36

10

20

30

40

50

、定電流源 37、及び出力端子 38を含む。定電流源 30は、例えばゲートに一定のバイアス電圧が印加されたPMOSトランジスタであってよい。定電流源 37は、例えばゲートに一定のバイアス電圧が印加されたNMOSトランジスタであってよい。

【0026】

3つのPMOSトランジスタ31乃至33は、クロック信号O__B、O__Q、及びO__Aがそれぞれゲートに印加され、直列に接続されている。3つのNMOSトランジスタ34乃至36は、クロック信号O__A、O__Q、及びO__Bがそれぞれゲートに印加され、直列に接続されている。出力端子38からは、前記の検出信号が出力される。電源電圧VDDと出力端子38との間に3つのPMOSトランジスタ31乃至33が接続され、出力端子38とグランド電圧との間に3つのNMOSトランジスタ34乃至36が接続される。

10

【0027】

出力端子38に生成される検出信号vctrlのアサート期間(例えばHIGHの期間)は、クロック信号O__B、O__Q、及びO__Aが全てLOWになる期間に等しい。また検出信号vctrlのネゲート期間(例えばLOWの期間)は、クロック信号O__B、O__Q、及びO__Aが全てHIGHになる期間に等しい。それ以外の期間においては、検出信号vctrlはHIGHインピーダンス状態(浮遊状態)となる。

【0028】

上記の検出信号vctrlが、図2に示すローパスフィルタ24に入力される。ローパスフィルタ24は、検出信号vctrlの低周波成分を抽出することにより、可変遅延回路22-1乃至22-3の遅延量を制御するための遅延制御信号を生成する。検出信号vctrlのHIGH期間がLOW期間よりも長い場合には、遅延制御信号はHIGHの信号となる。検出信号vctrlのHIGH期間がLOW期間よりも短い場合には、遅延制御信号はLOWの信号となる。検出信号vctrlのHIGH期間とLOW期間とが等しい場合には、遅延制御信号は略ゼロの信号となる。

20

【0029】

図5は、タイミングが合っている状態のクロック信号を示す図である。互いに90度位相がずれているクロック信号O__Aとクロック信号O__Qとに対して、図5に示す状態では、クロック信号O__Bは適切なタイミングに調整されている。即ち、クロック信号O__Bのパルスの中心位置とクロック信号O__Aのパルスの中心位置とが一致した状態となっている。図4で説明した検出信号vctrlのHIGHの期間は、クロック信号O__B、O__Q、及びO__Aが全てLOWになる期間T4に等しい。また検出信号のLOWの期間は、クロック信号O__B、O__Q、及びO__Aが全てHIGHになる期間T3に等しい。図5に示すように適切なタイミング調整がなされている状態では、検出信号vctrlのHIGH期間(即ち期間T4)とLOW期間(即ち期間T3)とが等しくなり、遅延制御信号は略ゼロの信号となる。略ゼロである遅延制御信号に応じて、図2に示す可変遅延回路22-1乃至22-3は遅延量を変化させることなく、現在の遅延量をそのまま保持すればよい。

30

【0030】

図6は、タイミングがずれている状態のクロック信号を示す図である。互いに90度位相がずれているクロック信号O__Aとクロック信号O__Qとに対して、図6に示す状態では、クロック信号O__Bは適切なタイミングよりも早いタイミングとなっている。即ち、クロック信号O__Bのパルスの中心位置が、クロック信号O__Aのパルスの中心位置よりも、時間的に若干早い位置となっている。図4で説明した検出信号vctrlのHIGHの期間は、クロック信号O__B、O__Q、及びO__Aが全てLOWになる期間T4に等しい。また検出信号のLOWの期間は、クロック信号O__B、O__Q、及びO__Aが全てHIGHになる期間T3に等しい。図6に示すようにクロック信号O__Bが適切なタイミングよりも早いタイミングである状態では、検出信号vctrlのHIGH期間(即ち期間T4)がLOW期間(即ち期間T3)よりも長くなり、遅延制御信号はHIGHの信号となる。HIGHである遅延制御信号に応じて、図2に示す可変遅延回路22-1乃至22

40

50

- 3は遅延量を短くする方向に変化させればよい。

【0031】

図7は、タイミングがずれている状態のクロック信号を示す図である。互いに90度位相がずれているクロック信号O__Aとクロック信号O__Qとに対して、図7に示す状態では、クロック信号O__Bは適切なタイミングよりも遅いタイミングとなっている。即ち、クロック信号O__Bのパルスの中心位置が、クロック信号O__Aのパルスの中心位置よりも、時間的に若干遅い位置となっている。図4で説明した検出信号v c t r lのHIGHの期間は、クロック信号O__B、O__Q、及びO__Aが全てLOWになる期間T4に等しい。また検出信号のLOWの期間は、クロック信号O__B、O__Q、及びO__Aが全てHIGHになる期間T3に等しい。図7に示すようにクロック信号O__Bが適切なタイミングよりも遅いタイミングである状態では、検出信号v c t r lのHIGH期間（即ち期間T4）がLOW期間（即ち期間T3）よりも短くなり、遅延制御信号はLOWの信号となる。LOWである遅延制御信号に応じて、図2に示す可変遅延回路22-1乃至22-3は遅延量を短くする方向に変化させればよい。

10

【0032】

なお図5乃至図7から分かるように、検出信号v c t r lのHIGH期間（即ち期間T4）のパルス信号は、その長さが、クロック信号O__Aとクロック信号O__Bとの間のタイミング関係により定まる。また検出信号v c t r lのLOW期間（即ち期間T3）のパルス信号は、その長さが、クロック信号O__Qとクロック信号O__Bとの間のタイミング関係により定まる。このように、位相検出器23が生成する検出信号v c t r lは、クロック信号O__Aとクロック信号O__Bとの間のタイミング関係と、クロック信号O__Qとクロック信号O__Bとの間のタイミング関係とを示す信号となっている。

20

【0033】

図8は、位相検出器23の構成の別の一例を示す図である。図8に示す位相検出器23は、定電流源40、PMOSトランジスタ41及び42、NMOSトランジスタ43及び44、定電流源45、OR回路46-1及び46-2、AND回路47-1及び47-2、及び出力端子48を含む。定電流源40は、例えばゲートに一定のバイアス電圧Bias Pが印加されたPMOSトランジスタであってよい。定電流源45は、例えばゲートに一定のバイアス電圧Bias Nが印加されたNMOSトランジスタであってよい。

30

【0034】

OR回路46-1及び46-2により実現される論理回路は、クロック信号O__B、O__Q、及びO__Aを入力とし、2個の出力を生成する。この2個の出力がそれぞれ、PMOSトランジスタ41及び42のゲートに印加される。AND回路47-1及び47-2により実現される論理回路は、クロック信号O__B、O__Q、及びO__Aを入力とし、2個の出力を生成する。この2個の出力がそれぞれ、NMOSトランジスタ43及び44のゲートに印加される。電源電圧VDDと出力端子48との間に少なくとも2個のPMOSトランジスタ41及び42が接続され、出力端子48とグランド電圧との間に少なくとも2個のNMOSトランジスタ43及び44が接続される。

【0035】

出力端子48に生成される検出信号v c t r lのHIGHの期間は、クロック信号O__B、O__Q、及びO__Aが全てLOWになる期間に等しい。これと同一の論理を実現するように、OR回路46-1及び46-2により実現される論理回路の構成を変えて1個の出力を生成し、この1個の出力が1つのPMOSトランジスタのゲートに入力されるようにしてもよい。また検出信号のLOWの期間は、クロック信号O__B、O__Q、及びO__Aが全てHIGHになる期間に等しい。これと同一の論理を実現するように、AND回路47-1及び47-2により実現される論理回路の部分に関しては、論理回路の構成を変えて1個の出力を生成し、この1個の出力が1つのNMOSトランジスタのゲートに入力されるようにしてもよい。

40

【0036】

図8に示す位相検出器23と図4に示す位相検出器23とは、具体的な論理回路の構成

50

が異なるのみであり、入力クロック信号の論理値と出力検出信号の論理値との間の入出力関係は、2つの位相検出器23において同一である。図4に示す位相検出器23の場合には、電源電圧とグランド電圧との間に8つのMOSトランジスタが直列に配置されている。この場合、低い電源電圧で動作させると、MOSトランジスタの動作が飽和領域での動作ではなくなり、好ましくない。それに対して図8に示す位相検出器23の場合には、電源電圧とグランド電圧との間に6つのMOSトランジスタが直列に配置されているのみであり、比較的低い電源電圧に対しても適切に動作することができる。

【0037】

図9は、位相検出器23の構成の更に別の一例を示す図である。図9において、図8と同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。図9に示す位相検出器23では、図8に示す位相検出器23と比較して、定電流源40と定電流源45との位置が、出力端子48に直接に接続する位置に移動されている。同様に、定電流源を適宜様々な位置に移動させても、出力端子48に検出信号vctrlを生成する動作を変わりなく適切に実現することができる。

【0038】

図10は、タイミングが合っている状態における図8及び図9の位相検出器の各信号の波形を示す図である。互いに90度位相がずれているクロック信号O_Aとクロック信号O_Qとに対して、図10に示す状態では、クロック信号O_B(信号DP及びDNと同じ)は適切なタイミングに調整されている。即ち、クロック信号O_B(信号DP及びDN)のパルスの中心位置とクロック信号O_Aのパルスの中心位置とが一致した状態となっている。図10に示すように適切なタイミング調整がなされている状態では、検出信号vctrlのHIGH期間(期間T6)とLOW期間(期間T5)とが等しくなり、可変遅延回路22-1乃至22-3に供給される遅延制御信号は略ゼロの信号となる。

【0039】

図11は、タイミングがずれている状態における図8及び図9の位相検出器の各信号の波形を示す図である。互いに90度位相がずれているクロック信号O_Aとクロック信号O_Qとに対して、図11に示す状態では、クロック信号O_B(信号DP及びDNと同じ)は適切なタイミングよりも早いタイミングとなっている。即ち、クロック信号O_B(信号DP及びDN)のパルスの中心位置が、クロック信号O_Aのパルスの中心位置よりも、時間的に若干早い位置となっている。図11に示すようにクロック信号O_Bが適切なタイミングよりも早いタイミングである状態では、検出信号vctrlのHIGH期間(期間T6)がLOW期間(期間T5)よりも長くなり、可変遅延回路に供給される遅延制御信号はHIGHの信号となる。

【0040】

図12は、タイミングがずれている状態における図8及び図9の位相検出器の各信号の波形を示す図である。互いに90度位相がずれているクロック信号O_Aとクロック信号O_Qとに対して、図12に示す状態では、クロック信号O_B(信号DP及びDNと同じ)は適切なタイミングよりも遅いタイミングとなっている。即ち、クロック信号O_B(信号DP及びDN)のパルスの中心位置が、クロック信号O_Aのパルスの中心位置よりも、時間的に若干遅い位置となっている。図12に示すようにクロック信号O_Bが適切なタイミングよりも遅いタイミングである状態では、検出信号vctrlのHIGH期間(期間T6)がLOW期間(期間T5)よりも短くなり、可変遅延回路に供給される遅延制御信号はLOWの信号となる。

【0041】

図13は、位相検出器23の構成の更に別の一例を示す図である。図13において、図8又は図9と同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。図13に示す位相検出器23は、定電流源40、PMOSトランジスタ41及び42、NMOSトランジスタ43及び44、定電流源45、OR回路46-1及び46-2、AND回路47-1及び47-2、及び出力端子48を含む。位相検出器23は更に、PMOSトランジスタ51及び52、NMOSトランジスタ53及び54、定電流

10

20

30

40

50

源 5 5、NAND 回路 5 6 - 1 及び 5 6 - 2、及び、NOR 回路 5 7 - 1 及び 5 7 - 2 を含む。

【 0 0 4 2 】

クロック信号 O_AX 、 O_QX 、及び O_BX は、それぞれクロック信号 O_A 、 O_Q 、及び O_B の反転信号である。図 1 3 に示す位相検出器 2 3 は、図 1 に示す並列処理回路や図 2 に示すタイミング調整回路が、差動信号で動作する場合を想定したものである。そのような差動構成の場合であっても、図 8 又は図 9 に示されるような、非反転側のクロック信号 O_A 、 O_Q 、及び O_B のみを入力とする位相検出器を用いて問題ない。しかしながら、非反転側のクロック信号 O_A 、 O_Q 、及び O_B が位相検出器 2 3 に使用され、反転側のクロック信号 O_AX 、 O_QX 、及び O_BX が位相検出器 2 3 に使用されないとする、それぞれのクロック信号への負荷がアンバランスとなる。バランスを取るためには、反転側のクロック信号 O_AX 、 O_QX 、及び O_BX を入力とするダミー位相検出器等を、わざわざ設けることが考えられる。しかしながら、そのようなダミー回路をわざわざ設けるのであれば、図 1 3 に示すように位相検出器 2 3 を差動構成としてしまうことが好ましい。

10

【 0 0 4 3 】

またクロック信号 O_A 、 O_Q 、及び O_B に対して、クロック信号 O_AX 、 O_QX 、及び O_BX が正確に何らのタイミングのずれもなく反転されたものであるとは限らない。その場合、図 1 3 に示すような差動構成の位相検出器 2 3 を用いることで、タイミングのずれを平均化し、バランスのよい遅延調整動作を実現することができる。

20

【 0 0 4 4 】

図 1 4 は、タイミングが合っている状態において図 1 3 に示される位相検出器の非反転側の各信号の波形を示す図である。互いに 90 度位相がずれているクロック信号 O_A とクロック信号 O_Q とに対して、図 1 4 に示す状態では、クロック信号 O_B (信号 DP 及び DN と同じ) は適切なタイミングに調整されている。即ち、クロック信号 O_B (信号 DP 及び DN) のパルスの中心位置とクロック信号 O_A のパルスの中心位置とが一致した状態となっている。

【 0 0 4 5 】

図 1 5 は、タイミングが合っている状態において図 1 3 に示される位相検出器の反転側の各信号の波形を示す図である。互いに 90 度位相がずれているクロック信号 O_AX とクロック信号 O_QX とに対して、図 1 4 に示す状態では、クロック信号 O_BX (信号 DP 及び DN と同じ) は適切なタイミングに調整されている。

30

【 0 0 4 6 】

図 1 5 に示すように適切なタイミング調整がなされている状態では、検出信号 $vctr1$ の HIGH 期間 (期間 T 8) と LOW 期間 (期間 T 7) とが等しくなり、可変遅延回路 2 2 - 1 乃至 2 2 - 3 に供給される遅延制御信号は略ゼロの信号となる。従って、可変遅延回路 2 2 - 1 乃至 2 2 - 3 の遅延量は変化することなく、現在の値を保持することになる。

【 0 0 4 7 】

図 1 6 は、タイミング調整回路の構成の別の一例を示す図である。図 1 6 において、図 2 と同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。図 1 6 に示すタイミング調整回路は、遅延回路 2 1、可変遅延回路 2 2 - 1 及び 2 2 - 2、位相検出器 2 3、ローパスフィルタ 2 4、抵抗素子列 6 1、比較回路 6 2、デコーダ 6 4、及びアップダウンカウンタ 6 5 を含む。

40

【 0 0 4 8 】

遅延回路 2 1、可変遅延回路 2 2 - 1 及び 2 2 - 2、位相検出器 2 3、及びローパスフィルタ 2 4 が、微調整回路に相当する。抵抗素子列 6 1、比較回路 6 2 及び 6 3、デコーダ 6 4、及びアップダウンカウンタ 6 5 が粗調整回路に相当する。粗調整回路により粗い調整を行い、更に微調整回路により細かい調整を行うことにより、タイミング調整範囲の広さとタイミング調整の高い精度との両方を効率的に実現することができる。

50

【 0 0 4 9 】

可変遅延回路 2 2 - 1 及び 2 2 - 2 の各々は、ローパスフィルタ 2 4 の出力に応じて、微調整回路の働きにより、クロック信号 O _ B とクロック信号 O _ A との間の相対的なタイミング関係を第 1 の時間幅で調整可能である。またそれと同時に、可変遅延回路 2 2 - 1 及び 2 2 - 2 の各々は、ローパスフィルタ 2 4 の出力に応じて、粗調整回路の働きにより、クロック信号 O _ B とクロック信号 O _ A との間の相対的なタイミング関係を第 1 の時間幅よりも長い第 2 の時間幅で調整可能である。

【 0 0 5 0 】

抵抗素子列 6 1 は、電源電圧 V D D を分圧して、異なる 2 つの電圧を生成する。比較回路 6 2 は、2 つの電圧のうち一方の電圧と、ローパスフィルタ 2 4 の出力電圧とを比較する。比較回路 6 3 は、2 つの電圧のうち他方の電圧と、ローパスフィルタ 2 4 の出力電圧とを比較する。デコーダ 6 4 は、比較回路 6 2 及び 6 3 の比較結果出力をデコードして、デコード結果を出力する。アップダウンカウンタ 6 5 は、デコード結果に応じて、出力カウント値を増加又は減少させる。可変遅延回路 2 2 - 1 及び 2 2 - 2 の遅延量は、アップダウンカウンタ 6 5 の出力カウント値により粗調整される。また可変遅延回路 2 2 - 1 及び 2 2 - 2 の遅延量は、ローパスフィルタ 2 4 の出力電圧により微調整される。この微調整動作は、図 2 乃至図 7 を用いて説明した調整動作と同様である。

【 0 0 5 1 】

図 1 7 は、可変遅延回路の構成の一例を示す図である。図 1 7 に示す可変遅延回路を、図 1 6 に示すタイミング調整回路における可変遅延回路 2 2 - 1 及び 2 2 - 2 の各々として用いることができる。

【 0 0 5 2 】

図 1 7 に示す可変遅延回路は、 n 個 (n : 2 以上の整数) のインバータ 7 0 - 1 乃至 7 0 - n 、 $n - 1$ 個の可変容量素子 7 1 - 1 乃至 7 1 - $n - 1$ 、及び $n - 1$ 個の可変容量回路 7 2 - 1 乃至 7 2 - $n - 1$ を含む。インバータ 7 0 - 1 乃至 7 0 - n は、前段の出力が次段の入力になるよう縦続に接続され、クロック信号を伝搬させる。可変容量素子 7 1 - 1 乃至 7 1 - $n - 1$ は、例えば可変容量ダイオードであってよく、図 1 6 に示されるローパスフィルタ 2 4 の出力である制御電圧 V _ C T R L F に応じて、その容量が変化する。可変容量回路 7 2 - 1 乃至 7 2 - $n - 1$ は、図 1 6 に示されるアップダウンカウンタ 6 5 の出力する N ビット (N : 2 以上の整数) のカウント値を制御信号 V _ C T R L C < $N - 1$: 0 > として受け取る。可変容量回路 7 2 - 1 乃至 7 2 - $n - 1$ の容量値は、制御信号 V _ C T R L C < $N - 1$: 0 > の値に応じた容量値に設定される。これにより、インバータ 7 0 - 1 乃至 7 0 - n の入出力に接続される信号線の容量値が変化し、信号線を伝搬する信号の遅延量を調整することができる。

【 0 0 5 3 】

図 1 8 は、可変容量回路の構成の一例を示す図である。図 1 8 に示す可変容量回路を、図 1 7 に示す可変容量回路 7 2 - 1 乃至 7 2 - $n - 1$ の各々として用いてよい。図 1 8 に示す可変容量回路は、容量素子 7 3 - 1 乃至 7 3 - m (m : 2 以上の整数)、及びスイッチ回路 7 4 - 1 乃至 7 4 - m を含む。容量素子 7 3 - 1 乃至 7 3 - m の一端は、図 1 7 に示すインバータ 7 0 - 1 乃至 7 0 - n の入出力に接続される信号線に接続され、容量素子 7 3 - 1 乃至 7 3 - m の他端は、対応するスイッチ回路 7 4 - 1 乃至 7 4 - m を介してグランド線に接続される。 m 個のスイッチ回路 7 4 - 1 乃至 7 4 - m のうちで、 N ビットの制御信号 V _ C T R L C < $N - 1$: 0 > が示す値に等しい数のスイッチ回路が導通され、それ以外のスイッチ回路が非導通となつてよい。

【 0 0 5 4 】

図 1 9 は、遅延対象の信号が差動信号である場合の可変遅延回路の構成の一例を示す図である。図 1 9 において、図 1 7 と同一又は対応する構成要素は同一又は対応する番号で参照し、その説明は適宜省略する。図 1 9 に示す可変遅延回路は、 n 個 (n : 2 以上の整数) のインバータ 7 0 - 1 乃至 7 0 - n 、 $n - 1$ 個の可変容量素子 7 1 - 1 乃至 7 1 - $n - 1$ 、及び $n - 1$ 個の可変容量回路 7 2 - 1 乃至 7 2 - $n - 1$ を含む。図 1 9 に示す可変

10

20

30

40

50

遅延回路は更に、 n 個のインバータ $70A-1$ 乃至 $70A-n$ 、 $n-1$ 個の可変容量素子 $71A-1$ 乃至 $71A-n-1$ 、及び $n-1$ 個の可変容量回路 $72A-1$ 乃至 $72A-n-1$ を含む。図19に示す可変遅延回路は更に、 k 個($k:2$ 以上の整数)のインバータユニット $78-1$ 乃至 $78-k$ を含む。

【0055】

インバータ $70-1$ 乃至 $70-n$ 、可変容量素子 $71-1$ 乃至 $71-n-1$ 、及び可変容量回路 $72-1$ 乃至 $72-n-1$ を含む回路部分は、図17に示す可変遅延回路と同等である。インバータ $70A-1$ 乃至 $70A-n$ は、インバータ $70-1$ 乃至 $70-n$ と同一の構成であってよく、前段の出力が次段の入力になるよう縦続に接続され、クロック信号を伝搬させる。可変容量素子 $71A-1$ 乃至 $71A-n-1$ 及び可変容量回路 $72A-1$ 乃至 $72A-n-1$ は、それぞれ可変容量素子 $71-1$ 乃至 $71-n-1$ 及び可変容量回路 $72-1$ 乃至 $72-n-1$ と同一の構成であってよい。

10

【0056】

インバータユニット $78-1$ 乃至 $78-k$ は、インバータ $70-1$ 乃至 $70-n$ の入出力を接続する信号線と、インバータ $70A-1$ 乃至 $70A-n$ の入出力を接続する信号線との間を、一方を入力として他方を出力とする2個のインバータにより相互接続する。インバータユニット $78-1$ 乃至 $78-k$ により、2つの信号線の間において、論理値の反転関係を維持している。

【0057】

図20は、並列処理回路の構成の別の一例を示す図である。図20に示す並列処理回路は、トランスコンダクタンスアンプ $80-1$ 及び $80-2$ 、比較回路 $81-1$ 乃至 $81-3$ 、容量素子 $82-1$ 乃至 $82-3$ 、スイッチ回路 $83-1$ 及び $83-2$ 、スイッチ回路 $84-1$ 乃至 $84-5$ を含む。並列処理回路は更に、スイッチ回路 $85-1$ 乃至 $85-3$ 及びスイッチ回路 $86-1$ 乃至 $86-3$ を含む。図20に示す並列処理回路は、入力端子Inputから入力された多重信号を例えば16個の信号に分離して、16個の分離された信号それぞれに対する処理を並列に実行し、16個の出力を並列に生成する並列処理回路の一部分を示したものである。

20

【0058】

入力端子Inputから入力された多重信号は、トランスコンダクタンスアンプ $80-1$ 及び $80-2$ により増幅された後、スイッチ回路 $83-1$ 及び $83-2$ 及びスイッチ回路 $84-1$ 乃至 $84-5$ により多重分離される。多重分離された信号は、容量素子 $82-1$ 乃至 $82-3$ 、スイッチ回路 $84-1$ 乃至 $84-5$ 、スイッチ回路 $85-1$ 乃至 $85-3$ 、及びスイッチ回路 $86-1$ 乃至 $86-3$ により、サンプル、ホールド、及びリセットされる。サンプル及びホールドされた多重分離後の信号は、比較回路 $81-1$ 乃至 $81-3$ の非反転入力に印加される。比較回路 $81-1$ 乃至 $81-3$ の各々は、非反転入力に印加された多重分離後の信号を反転入力に印加される参照電位VREFと比較し、比較結果を出力端子に出力する。スイッチ回路により多重分離することにより、高速な信号変化を可能にし、高速な入力多重信号に対する並列比較処理が可能になる。

30

【0059】

スイッチ回路 $83-1$ 及び $83-2$ は、それぞれクロック信号 ϕ_3 及び ϕ_4 に同期して開閉を繰り返す。スイッチ回路 $84-1$ 乃至 $84-5$ は、それぞれクロック信号 s_3 、 s_{11} 、 s_4 、 s_{12} 、及び s_5 に同期して開閉を繰り返す。スイッチ回路 $85-1$ 乃至 $85-3$ は、それぞれクロック信号 h_3 乃至 h_5 に同期して開閉を繰り返す。スイッチ回路 $86-1$ 乃至 $86-3$ は、それぞれクロック信号 r_3 乃至 r_5 に同期して開閉を繰り返す。

40

【0060】

図21は、図20の並列処理回路において用いるクロック信号の波形の一例を示す図である。図21には、図20に示す並列処理回路の動作を説明するために適した代表的なクロック信号のみを示してある。図21に示されるように、クロック信号 ϕ_3 及び ϕ_4 は、所定の周波数 $f_1/2$ でデューティ比25%のクロック信号である。またクロック信号

50

s 4、s 1 2、r 4、h 4、及び c 4は、周波数 $f_1 / 4$ でデューティ比 50%のクロック信号である。図 2 0 に示されるスイッチ回路のうちで、スイッチ回路 8 5 - 1 乃至 8 5 - 3 のみが、クロック信号が LOW のときに導通し、クロック信号が HIGH のときに非導通となる。その他のスイッチ回路は、クロック信号が HIGH のときに導通し、クロック信号が LOW のときに非導通となる。

【 0 0 6 1 】

図 2 0 に示す容量素子 8 2 - 2 によるサンプル及びホールド動作について説明する。図 2 1 に示すように、最初に h 4 及び r 4 が共に LOW の状態では、スイッチ回路 8 5 - 2 が導通し、スイッチ回路 8 6 - 2 が非導通の状態である。この状態から、r 4 がまず HIGH になり、スイッチ回路 8 6 - 2 が導通する。このとき容量素子 8 2 - 2 は電源電圧 VDD とグランド電圧との間に接続されることになり、容量素子 8 2 - 2 は電源電圧 VDD に充電されたりセット状態となる。

10

【 0 0 6 2 】

次に h が HIGH となることにより、スイッチ回路 8 5 - 2 が非導通となる。従って容量素子 8 2 - 2 は電源電圧 VDD から分離され、グランド電圧に接続された状態となる。このとき s 4 も HIGH となり、スイッチ回路 8 4 - 3 が導通となる。その後、4 が HIGH となることにより、スイッチ回路 8 3 - 2 が導通となり、入力端子 Input に印加される多重信号により容量素子 8 2 - 2 が放電される。このサンプル動作により、容量素子 8 2 - 2 は、入力多重信号に応じた電圧に放電される。その後、4 及び s 4 が LOW となることにより、容量素子 8 2 - 2 が入力側から分離され、更にその後、r 4 が LOW となることにより、スイッチ回路 8 6 - 2 が非導通となりグランド電圧からも分離される。その後、h 4 が LOW となることにより、スイッチ回路 8 5 - 2 が導通状態となり、サンプルされた入力多重信号の電圧が比較回路 8 1 - 2 の非反転入力に印加される。

20

【 0 0 6 3 】

図 2 0 及び図 2 1 に示すような並列処理回路においては、クロック信号 3 及び 4 のように、所定の周波数 $f_1 / 2$ でデューティ比 25%のクロック信号が用いられる。またクロック信号 s 4、s 1 2、r 4、h 4、及び c 4 のように、周波数 $f_1 / 4$ でデューティ比 50%のクロック信号が用いられる。従って、互いに所望のタイミング関係を有した上記各種クロック信号を生成することが望まれる。

30

【 0 0 6 4 】

図 2 2 は、並列処理回路の構成の更に別の一例を示す図である。図 2 2 に示す並列処理回路は、トランスコンダクタンスアンプ 9 0 - 1 及び 9 0 - 2、比較回路 9 1 - 1 乃至 9 1 - 3、容量素子 9 2 - 1 乃至 9 2 - 3、スイッチ回路 9 3 - 1 及び 9 3 - 2、スイッチ回路 9 4 - 1 乃至 9 4 - 1 0 を含む。並列処理回路は更に、スイッチ回路 9 5 - 1 乃至 9 5 - 3 及びスイッチ回路 9 6 - 1 乃至 9 6 - 3 を含む。図 2 2 に示す並列処理回路は、入力端子 Input から入力された多重信号を例えば 16 個の信号に分離して、16 個の分離された信号それぞれに対する処理を並列に実行し、16 個の出力を並列に生成する並列処理回路の一部分を示したものである。

【 0 0 6 5 】

なお内挿ユニット 9 7 - 1 乃至 9 7 - 3 の各々が、32 個ずつ設けられている。32 個の内挿ユニット 9 7 - 1 の各々は、スイッチ回路 9 4 - 1 及び 9 4 - 2、スイッチ回路 9 5 - 1、及び容量素子 9 2 - 1 を含む。32 個の内挿ユニット 9 7 - 2 の各々は、スイッチ回路 9 4 - 5 及び 9 4 - 6、スイッチ回路 9 5 - 2、及び容量素子 9 2 - 2 を含む。32 個の内挿ユニット 9 7 - 3 の各々は、スイッチ回路 9 4 - 9 及び 9 4 - 1 0、スイッチ回路 9 5 - 3、及び容量素子 9 2 - 3 を含む。

40

【 0 0 6 6 】

入力端子 Input から入力された多重信号は、トランスコンダクタンスアンプ 9 0 - 1 及び 9 0 - 2 により増幅された後、スイッチ回路 9 3 - 1 及び 9 3 - 2 及びスイッチ回路 9 4 - 1 乃至 9 4 - 1 0 により多重分離される。多重分離された信号は、容量素子 9 2

50

- 1乃至92-3、スイッチ回路94-1乃至94-10、スイッチ回路95-1乃至95-3、及びスイッチ回路96-1乃至96-3により、サンプル、ホールド、及びリセットされる。サンプル及びホールドされた多重分離後の信号は、比較回路91-1乃至91-3の非反転入力に印加される。比較回路91-1乃至91-3の各々は、非反転入力に印加された多重分離後の信号を反転入力に印加される参照電位VREFと比較し、比較結果を出力端子に出力する。スイッチ回路により多重分離することにより、高速な信号変化を可能にし、高速な入力多重信号に対する並列比較処理が可能になる。

【0067】

スイッチ回路93-1及び93-2は、それぞれクロック信号3及び4に同期して開閉を繰り返す。スイッチ回路94-1乃至94-10は、それぞれクロック信号s2、s3、s11、s11、s3、s4、s12、s12、s4、及びs5に同期して開閉を繰り返す。スイッチ回路95-1乃至95-3は、それぞれクロック信号h3乃至h5に同期して開閉を繰り返す。スイッチ回路96-1乃至96-3は、それぞれクロック信号r3乃至r5に同期して開閉を繰り返す。

【0068】

前述のように、内挿ユニット97-1乃至97-3の各々が、32個ずつ設けられている。例えば32個の内挿ユニット97-2の各々は、入力側がスイッチ回路93-1及び93-2に接続され、出力側が比較回路91-2の非反転入力に接続される。32個の内挿ユニット97-2のうち、x個の内挿ユニット97-2においてはs3が活性且つs4が非活性となり、残りの32-x個の内挿ユニット97-2においてはs3が非活性且つs4が活性となる。これにより、入力端子Inputに印加される多重信号のうち、時間的に隣接する2つの信号電圧値の間を $x/32 : (32-x)/32$ に内挿した電圧をサンプルすることが可能になる。このような内挿処理により、受信装置側の固定のサンプルタイミングで受信信号をサンプリングし、受信信号のデータユニットの位置とサンプリング点の位置との関係が固定であるにも関わらず、データユニットの中心でサンプリングするのと同様の効果を実現できる。他の内挿ユニットについても、その動作は同様である。

【0069】

図23は、図22の並列処理回路において用いるクロック信号の波形の一例を示す図である。図23には、図22に示す並列処理回路の動作を説明するために適した代表的なクロック信号のみを示してある。図23に示されるように、クロック信号3及び4は、所定の周波数 $f_1/2$ でデューティ比25%のクロック信号である。またクロック信号s4、s3、r4、h4、及びc4は、周波数 $f_1/4$ でデューティ比50%のクロック信号である。図23に示されるスイッチ回路のうちで、スイッチ回路95-1乃至95-3のみが、クロック信号がLOWのときに導通し、クロック信号がHIGHのときに非導通となる。その他のスイッチ回路は、クロック信号がHIGHのときに導通し、クロック信号がLOWのときに非導通となる。図22に示す容量素子によるサンプル及びホールド動作については、図20に示す容量素子によるサンプル及びホールド動作と同様であるので、説明は省略する。

【0070】

図22及び図23に示すような並列処理回路においては、クロック信号3及び4のように、所定の周波数 $f_1/2$ でデューティ比25%のクロック信号が用いられる。またクロック信号s4、s3、r4、h4、及びc4のように、周波数 $f_1/4$ でデューティ比50%のクロック信号が用いられる。従って、互いに所望のタイミング関係を有した上記各種クロック信号を生成することが望まれる。

【0071】

図24は、クロック生成回路の構成の一例を示す図である。図24に示すクロック生成回路は、図20や図22に示す並列処理回路において用いるクロック信号を生成するために用いられる。図24に示すクロック生成回路は、分周回路100、タイミング調整回路101、リタイミング回路102、及びAND回路ユニット103を含む。

【 0 0 7 2 】

分周回路 1 0 0 は、1 / 2 分周回路 1 1 1、1 / 2 分周回路 1 1 2、及びフリップフロップ 1 1 3 乃至 1 1 6 を含む。分周回路 1 0 0 は、周波数 f_1 を有するデューティ比が 5 0 % のクロック信号 CLK A、CLK A X、CLK B、及び CLK B X を受け取る。CLK A と CLK B とは互いに位相が 9 0 度ずれており、CLK A と CLK A X とは互いに反転しており（位相が 1 8 0 度ずれており）、CLK B と CLK B X とは互いに反転している（位相が 1 8 0 度ずれている）。1 / 2 分周回路 1 1 1 は、CLK A と CLK A X とを 1 / 2 の周波数に分周することにより、周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のクロック信号を生成する。1 / 2 分周回路 1 1 2 は、1 / 2 分周回路 1 1 1 が生成したクロック信号を 1 / 2 の周波数に分周することにより、周波数 $f_1 / 4$ を有するデューティ比が 5 0 % のクロック信号を生成する。フリップフロップ 1 1 3 及び 1 1 4 は、CLK A と CLK A X とをクロック信号として受け取り、クロック信号に同期して周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のクロック信号を取り込むことにより、クロック信号をリタイミングする。フリップフロップ 1 1 5 及び 1 1 6 は、CLK B と CLK B X とをクロック信号として受け取り、クロック信号に同期して周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のクロック信号を取り込むことにより、クロック信号をリタイミングする。このようにして、分周回路 1 0 0 は、周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のクロック信号として、4 5 度ずつ位相が異なる 4 個のクロック信号を生成して出力する。なお各クロック信号は差動信号であり、正相と逆相の 2 つのクロック信号の対となっている。従って、周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のクロック信号として、4 5 度ずつ位相が異なる 8 個のクロック信号が得られる。図 2 7 にこれらクロック信号が「 $f_1 / 2$ 5 0 % duty < 0 1 >」乃至「 $f_1 / 2$ 5 0 % duty < 0 7 >」として示される。

10

20

【 0 0 7 3 】

また分周回路 1 0 0 の 1 / 2 分周回路 1 1 2 が生成した周波数 $f_1 / 4$ を有するデューティ比が 5 0 % のクロック信号は、位相が 9 0 度ずつ異なる 4 個のクロック信号であってよい。そのうちの 1 つが、図 2 7 に、「 $f_1 / 4$ 5 0 % duty < 1 >」として示される。

【 0 0 7 4 】

タイミング調整回路 1 0 1 は、図 2 に示したタイミング調整回路と同様の構成であってよい。タイミング調整回路 1 0 1 は、位相検出 & ローパスフィルタ 1 2 1、遅延回路 1 2 2、及び可変遅延回路 1 2 3 を含む。位相検出 & ローパスフィルタ 1 2 1 は、図 2 の位相検出器 2 3 とローパスフィルタ 2 4 とに相当する。遅延回路 1 2 2 は、図 2 の遅延回路 2 1 に相当する。可変遅延回路 1 2 3 は、図 2 の可変遅延回路 2 2 - 1 乃至 2 2 - 3 に相当する。位相検出 & ローパスフィルタ 1 2 1 の検出器部分は、CLK A 及び CLK A X を遅延回路 1 2 2 により遅延させた信号と、周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のクロック信号を可変遅延回路 1 2 3 で遅延させた信号とに応じて、クロック信号間のタイミング関係を示す検出信号を生成する。具体的には、図 3 に示すクロック信号と同様に、互いに 9 0 度位相の異なる周波数 $f_1 / 2$ を有する 2 つのクロック信号と、周波数 f_1 を有するクロック信号との間のタイミング関係を示す検出信号を生成する。位相検出 & ローパスフィルタ 1 2 1 のローパスフィルタ部分は、検出器部分の生成する検出信号を入力としてローパスフィルタ処理を行う。可変遅延回路 1 2 3 は、ローパスフィルタの出力に応じて、図 3 に示す関係のように、周波数 $f_1 / 2$ のクロック信号のパルスの中心位置と周波数 f_1 のクロック信号のパルスの中心位置とが一致するように、クロック信号間の相対的なタイミング関係を調整する。可変遅延回路 1 2 3 は更に、ローパスフィルタの出力に応じて、周波数 $f_1 / 4$ を有するデューティ比が 5 0 % のクロック信号も、周波数 $f_1 / 2$ を有するデューティ比が 5 0 % のクロック信号と同じ遅延量だけ遅延させる。遅延回路 1 2 2 については、その遅延量を固定としておいてよい。

30

40

【 0 0 7 5 】

図 2 5 は、図 2 4 のクロック生成回路において用いられる信号の一例を示す図である。

50

図24に示されるAND回路ユニット103は、図25に示す関係のように、互いにパルスの中心位置が一致するように調整された周波数 $f_1/2$ のクロック信号と周波数 f_1 のクロック信号とのAND論理を取る。これにより、周波数 $f_1/2$ を有するデューティ比が25%のクロック信号を生成する。同様にして8個のクロック信号 $\langle 7:0 \rangle$ が生成され、これらのクロック信号は、図27に示すように位相が45度ずつずれている。

【0076】

図24に示すリタイミング回路102は、分周回路100の1/2分周回路112により生成され、タイミング調整回路101により遅延調整された周波数 $f_1/4$ を有するデューティ比が50%のクロック信号を、リタイミング(タイミング調整)する。具体的には、分周回路100により生成され、タイミング調整回路101により遅延調整された周波数 $f_1/2$ を有するデューティ比が50%のクロック信号のエッジと同期をとることにより、周波数 $f_1/4$ のクロック信号をリタイミングする。例えば、図25に示される周波数 $f_1/4$ でデューティ比50%のクロック信号を、周波数 $f_1/2$ でデューティ比50%のクロック信号の立ち上りエッジでフリップフロップに取り込むことにより、フリップフロップ出力としてリタイミング後の信号が得られる。

10

【0077】

図26は、リタイミング回路の構成の一例を示す図である。図26に示すリタイミング回路は、フリップフロップ141乃至144を含む。フリップフロップ141乃至144の各々のクロック入力CKには、周波数 $f_1/2$ を有しデューティ比が50%のクロック信号CLKが入力され、データ入力Dには、周波数 $f_1/4$ を有しデューティ比が50%のクロック信号CLKが入力される。 $\langle N \rangle$ として示される周波数 $f_1/2$ のクロック信号CLKは、例えば図27に示す「 $f_1/2$ 50% duty $\langle 04 \rangle$ 」($N=4$ の場合)である。このクロック信号の立ち上りエッジによりリタイミングすることにより、フリップフロップ141及び143の出力として、 s_4 ($N=4$)及び h_4 ($N=4$)が得られる。図21及び図23に示されるように、 s_4 及び h_4 は同一のタイミングのクロック信号である。

20

【0078】

また図26において、 $\langle N-1 \rangle$ として示される周波数 $f_1/2$ のクロック信号CLKは、例えば図27に示す「 $f_1/2$ 50% duty $\langle 03 \rangle$ 」($N=4$ の場合)である。このクロック信号の立ち上りエッジによりリタイミングすることにより、フリップフロップ142の出力として、 s_{d4} ($N=4$)が得られる。なおこの s_{d4} は、図23に示す s_3 のことである。

30

【0079】

また図26において、 $\langle N-2 \rangle$ として示される周波数 $f_1/2$ のクロック信号CLKは、例えば図27に示す「 $f_1/2$ 50% duty $\langle 06 \rangle$ 」($N=4$ の場合)である。このクロック信号の立ち上りエッジによりリタイミングすることにより、フリップフロップ144の出力として、 h_4 ($N=4$)が得られる。図21及び図23に示されるように、 h_4 は r_4 から45度位相がずれたクロック信号である。

【0080】

図27は、図24のクロック生成回路が生成する信号の一例を示す図である。図27に示されるように、周波数 $f_1/2$ を有しデューティ比が50%のクロック信号 s としては、22.5度ずつ位相が異なる16個のクロック信号 $s \langle 01 \rangle$ 乃至 $s \langle 16 \rangle$ が得られる。同様にして、図26のリタイミング回路の動作に関連して説明したように、クロック信号 s とタイミング的に重なる16個のクロック信号 h 、 r 、 s_d が生成される。これらのクロック信号は、 $s \langle 15:0 \rangle$ 、 $h \langle 15:0 \rangle$ 、 $r \langle 15:0 \rangle$ 、及び $s_d \langle 15:0 \rangle$ として、図24に示されるようにリタイミング回路102から出力される。

40

【0081】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

50

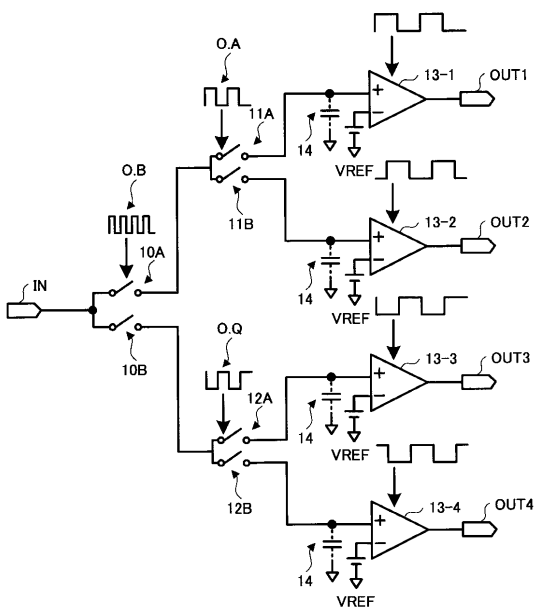
【符号の説明】

【 0 0 8 2 】

- 2 1 遅延回路
- 2 2 - 1 乃至 2 2 - 3 可変遅延回路
- 2 3 位相検出器
- 2 4 ローパスフィルタ
- 1 0 0 分周回路
- 1 0 1 タイミング調整回路
- 1 0 2 リタイミング回路
- 1 0 3 AND回路ユニット

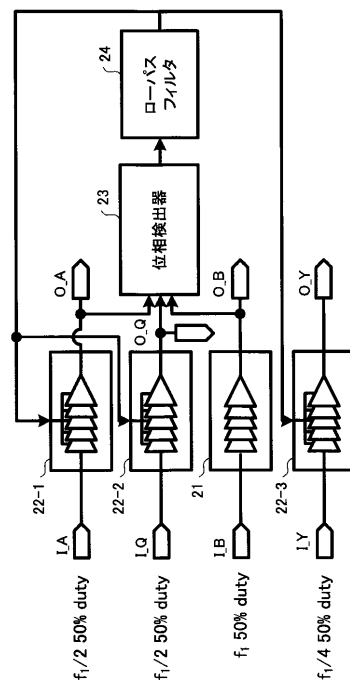
【 図 1 】

並列処理回路の構成の一例を示す図



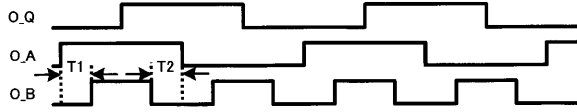
【 図 2 】

周波数の異なるクロック信号間の
タイミングを調整する回路の構成の一例を示す図



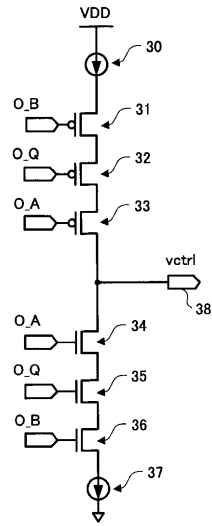
【 図 3 】

クロック信号O_Bとクロック信号O_A
及びO_Qとの間のタイミング関係を
示す図



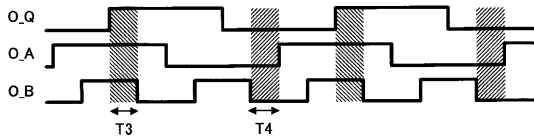
【 図 4 】

位相検出器の構成の一例を示す図



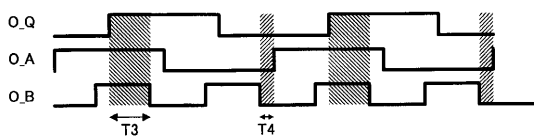
【 図 5 】

タイミングが合っている状態の
クロック信号を示す図



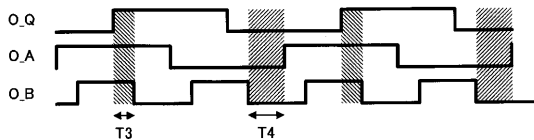
【 図 7 】

タイミングがずれている状態の
クロック信号を示す図



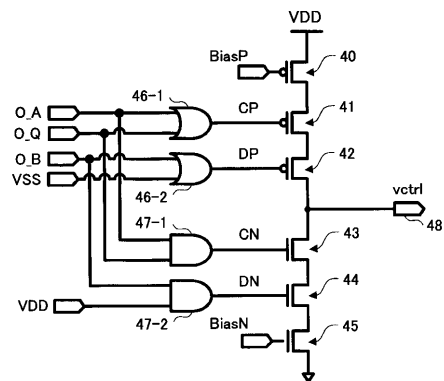
【 図 6 】

タイミングがずれている状態の
クロック信号を示す図



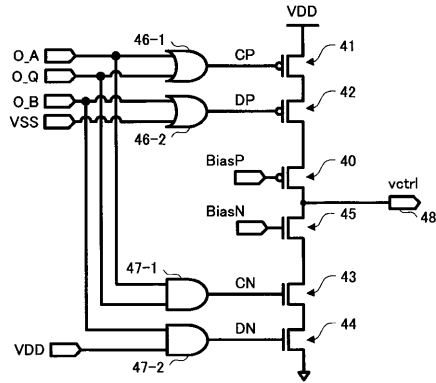
【 図 8 】

位相検出器の構成の別の一例を示す図



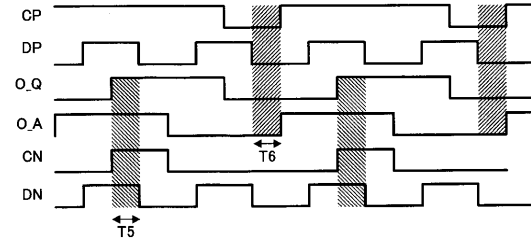
【図9】

位相検出器の構成の更に別の一例を示す図



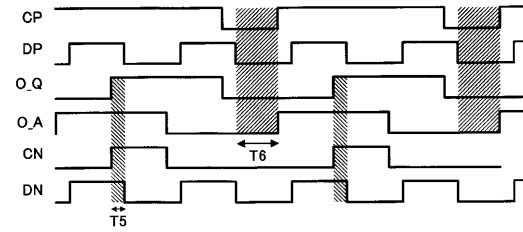
【図10】

タイミングが合っている状態における
図8及び図9の位相検出器の各信号の波形を示す図



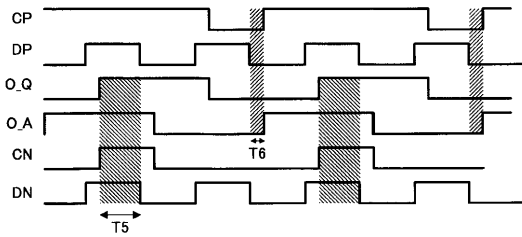
【図11】

タイミングがずれている状態における
図8及び図9の位相検出器の各信号の波形を示す図



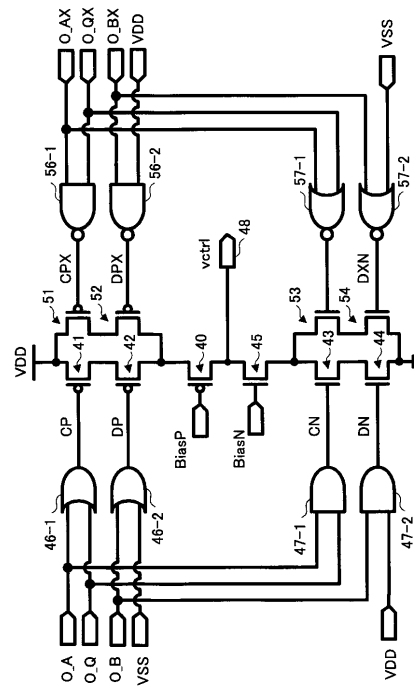
【図12】

タイミングがずれている状態における
図8及び図9の位相検出器の各信号の波形を示す図



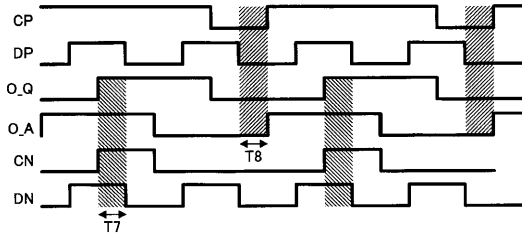
【図13】

位相検出器の構成の更に別の一例を示す図



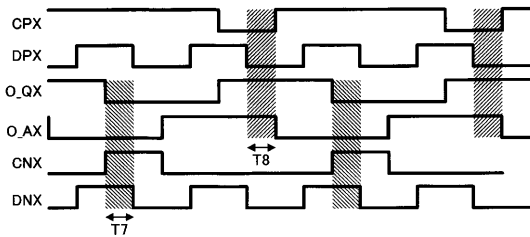
【 図 1 4 】

タイミングが合っている状態において
図13に示される位相検出器の非反転側の各信号の波形を示す図



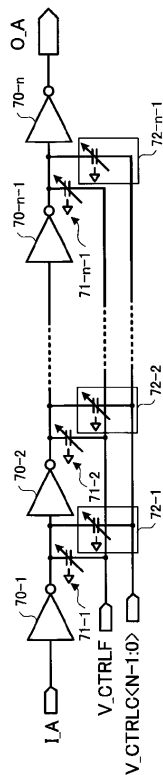
【 図 1 5 】

タイミングが合っている状態において
図13に示される位相検出器の反転側の各信号の波形を示す図



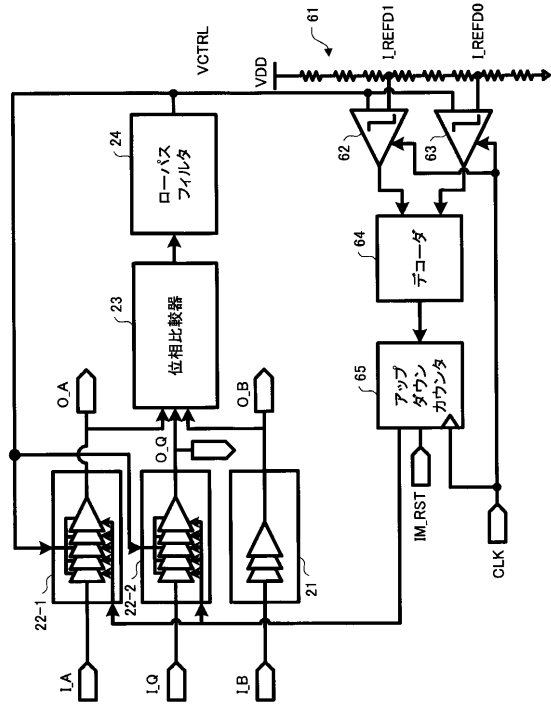
【 図 1 7 】

可変遅延回路の構成の一例を示す図



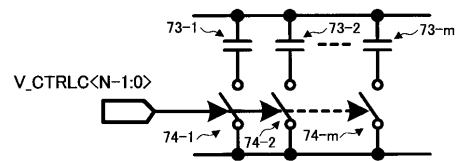
【 図 1 6 】

タイミング調整回路の構成の別の一例を示す図



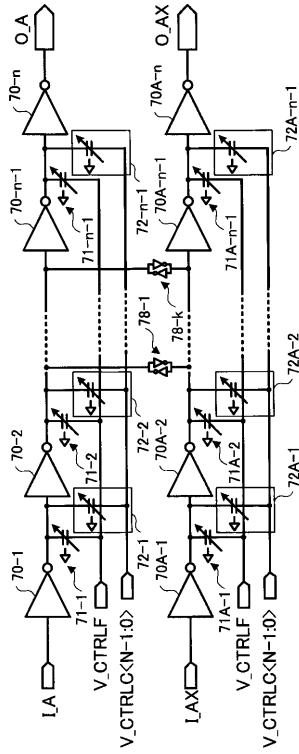
【 図 1 8 】

可変容量回路の構成の一例を示す図



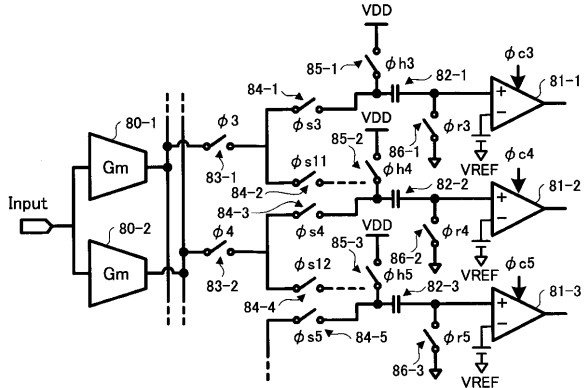
【 図 1 9 】

遅延対象の信号が差動信号である場合の可変遅延回路の構成の一例を示す図



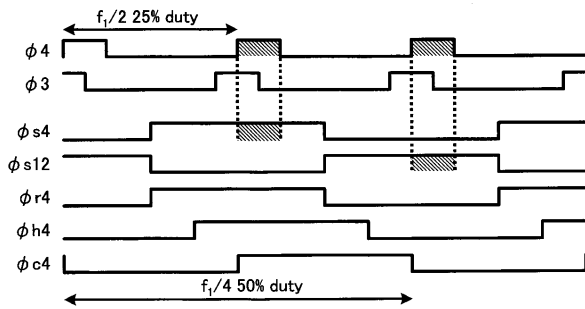
【 図 2 0 】

並列処理回路の構成の別の一例を示す図



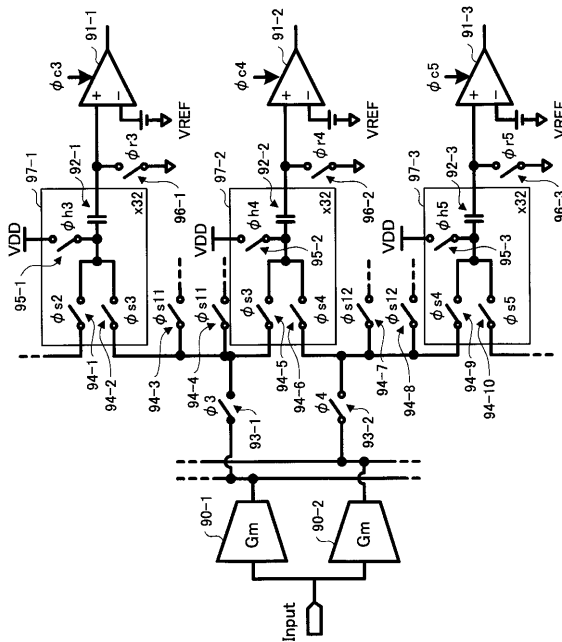
【 図 2 1 】

図20の並列処理回路において用いるクロック信号の波形の一例を示す図



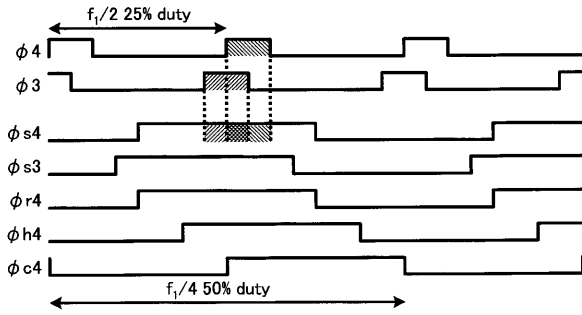
【 図 2 2 】

並列処理回路の構成の更に別の一例を示す図



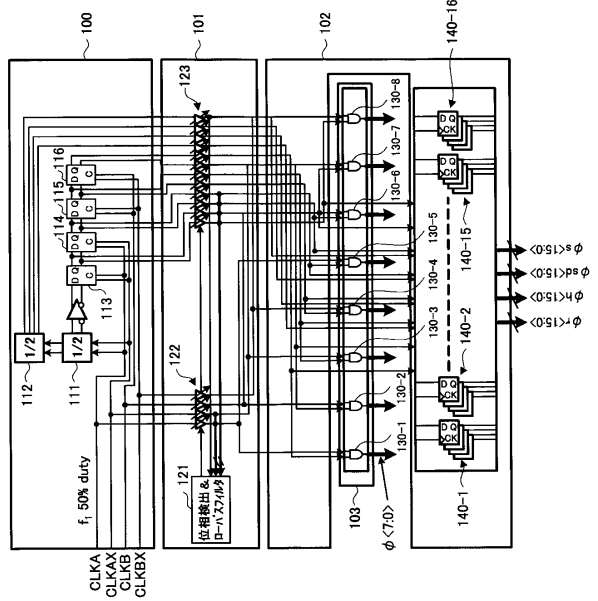
【 図 2 3 】

図22の並列処理回路において用いるクロック信号の波形の一例を示す図



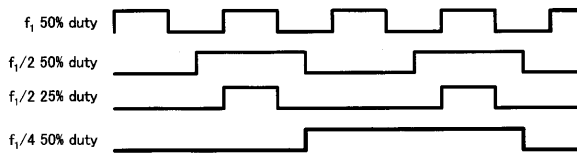
【 図 2 4 】

クロック生成回路の構成の一例を示す図



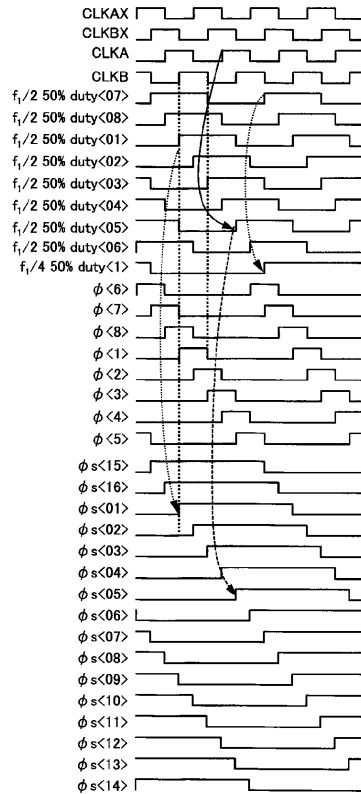
【 図 2 5 】

図24のクロック生成回路において用いられる信号の一例を示す図



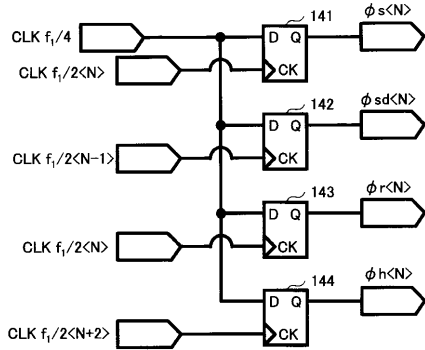
【 図 2 7 】

図24のクロック生成回路が生成する信号の一例を示す図



【 図 2 6 】

図24のクロック生成回路において用いられるリタイミング回路の構成の一例を示す図



フロントページの続き

- (56)参考文献 特開2001-298362(JP,A)
米国特許第06212127(US,B1)
特開2003-264452(JP,A)
国際公開第2013/011972(WO,A1)
特開2005-159963(JP,A)
特開2011-5554(JP,A)
特開2001-268062(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03K 5/135
H03K 5/26