(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2006 年3 月16 日 (16.03.2006)

PCT

(10) 国際公開番号
WO 2006/028215 A1

(51) 国際特許分類:
H01L 21/8242 (2006.01) *H01L 27/108* (2006.01)

(21) 国際出願番号: PCT/JP2005/016639

(22) 国際出願日: 2005 年9 月9 日 (09.09.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-262668 2004 年9 月9 日 (09.09.2004) JP

(71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1078481 東京都港区赤坂五丁目３番６号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 柿本 明修 (KAKIMOTO, Akinobu) [JP/JP]; 〒4070192 山梨県韮崎市穂坂町三ツ沢６５０ 東京エレクトロンＡＴ株式会社内 Yamanashi (JP).

(74) 代理人: 伊東 忠彦 (ITOH, Tadahiko); 〒1506032 東京都渋谷区恵比寿４丁目２０番３号 恵比寿ガーデンプレイスタワー３２階 Tokyo (JP).

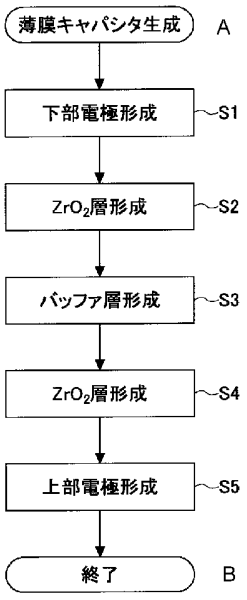
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD,

[続葉有]

(54) Title: THIN FILM CAPACITOR, METHOD FOR FORMING SAME, AND COMPUTER READABLE RECORDING MEDIUM

(54) 発明の名称: 薄膜キャパシタ及びその形成方法、及びコンピュータ読み取り可能な記憶媒体



A FORMATION OF THIN FILM CAPACITOR
S1 FORMATION OF LOWER ELECTRODE
S2 FORMATION OF ZrO_2 LAYER
S3 FORMATION OF BUFFER LAYER
S4 FORMATION OF ZrO_2 LAYER
S5 FORMATION OF UPPER ELECTRODE
B COMPLETION

(57) Abstract: In a thin film capacitor, leakage current is reduced by suppressing electric field concentration. A first zirconium oxide layer (26A) is formed on a lower electrode (22) which is made of a conductive material. A buffer layer (28) composed of an amorphous material is formed on the first zirconium oxide layer (26A). A second zirconium oxide layer (26B) is formed on the buffer layer (28), and an upper electrode (24) made of a conductive material is formed on the second zirconium oxide layer (26B).

(57) 要約: 薄膜キャパシタにおいて、電界集中を抑制してリーク電流を低減する。導電材料からなる下部電極（２２）上に第１のジルコニウム酸化物層（２６Ａ）を形成する。第１のジルコニウム酸化物層（２６Ａ上）にアモルファス材料よりなるバッファ層（２８）を形成する。バッファ層（

[続葉有]

WO 2006/028215 A1

SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

２８）上に第２のジルコニウム酸化物層（２６Ｂ）を形成し、第２のジルコニウム酸化物層（２６Ｂ）上に、導電材料からなる上部電極（２４）を形成する。

明 細 書

薄膜キャパシタ及びその形成方法、及びコンピュータ読み取り可能な記憶媒体

技術分野

[0001] 本発明は薄膜キャパシタに係り、特に半導体基板上に形成されるジルコニウム酸化物又はハフニウム酸化物の薄膜を用いた薄膜キャパシタの構造に関する。

背景技術

[0002] 半導体素子中に受動素子として薄膜キャパシタを形成する場合、誘電体材料として酸化シリコン(SiO)，窒化シリコン(SiN)，酸化アルミニウム(AlO)，酸化ジルコニウム(ZrO)，酸化ハフニウム(HfO)等が用いられる。これらの誘電体材料の中で酸化ジルコニウム(ジルコニウム酸化物)及び酸化ハフニウム(ハフニウム酸化物)は誘電率が特に大きく、小型で大きな容量の薄膜キャパシタを形成するのに好適である。

[0003] ジルコニウム酸化物により形成された薄膜キャパシタ(以下、ZrO薄膜キャパシタと称する)は、半導体素子の多層構造中において、例えば、TiNの下部電極上に例えばALD(Atomic Layer Deposition)法を用いて10nm程度の厚みのZrO膜を形成し、その上にTiNの上部電極を形成することで形成される。

[0004] また、ハフニウム酸化物により形成された薄膜キャパシタ(以下、HfO薄膜キャパシタと称する)も、例えば、TiNの下部電極上にALD法を用いて10nm程度の厚みのHfO膜を形成し、その上にTiNの上部電極を形成することで形成される。

[0005] 上述のように、ジルコニウム及びハフニウムはキャパシタ材料や絶縁材料として用いられることが多い。例えば、MOSFETのゲート絶縁膜として高誘電率のZrO_2膜を用いることが提案されている(例えば、特許文献1参照。)。

特許文献1:特開2003－151976号公報

発明の開示

発明が解決しようとする課題

[0006] ジルコニウムの中でも特に酸化ジルコニウムZrO_2は高誘電率を有し、且つ250℃程度の低温で成膜可能であるため、薄膜キャパシタの材料として好適である。ところ

が、ZrO_2膜は結晶化が進むと表面ラフネス(表面粗さ)が増大し、キャパシタとして機能する際にリーク電流が大きくなるという問題がある。すなわち、ZrO_2膜の表面ラフネスが増大すると電極層とZrO_2膜との界面(すなわち、表面ラフネスの大きなZrO_2膜の表面)において、電界集中が大きくなり、これによりリーク電流が増大する。

[0007] また、ハフニウム酸化物である酸化ハフニウムHfO_2についても同様であり、結晶化が進むと表面ラフネス(表面粗さ)が増大し、キャパシタとして機能する際にリーク電流が大きくなるという問題がある。

[0008] 本発明は上述の問題点に鑑みなされたものであり、電界集中を抑制してリーク電流が低減されたジルコニウム酸化物又はハフニウム酸化物を用いた薄膜キャパシタを提供することを目的とする。

課題を解決するための手段

[0009] 上述の目的を達成するために、本発明の一つの面によれば、ジルコニウム酸化物又はハフニウム酸化物を誘電体として形成された薄膜キャパシタであって、導電材料からなる下部電極と、該下部電極上に形成された第1の誘電体層と、該第1の誘電体層上に形成されたバッファ層と、該バッファ層上に形成された第2の誘電体層と、該第2の誘電体層上に形成され、導電材料からなる上部電極とを有し、前記第1及び第2の誘電体層は、ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により形成されることを特徴とする薄膜キャパシタが提供される。

[0010] 上述の発明による薄膜キャパシタにおいて、前記バッファ層はアモルファス材料により形成されることが好ましい。前記バッファ層は、Al_2O_3, HfO_2, Ta_2O_5, アモルファスZrO_2のうちから選定された材料により形成されることが好ましい。また、前記第1及び第2の誘電体層は同じ厚みを有しており、前記バッファ層は前記第1及び第2の誘電体層より薄いことが好ましい。前記第1及び第2の誘電体層はジルコニウム酸化物より形成され、前記第1及び第2の誘電体の各々の厚みは1～70Å以下であり、前記バッファ層の厚みは1～20Å以上であることとしてもよい。前記第1の誘電体層、前記バッファ層、及び前記第2の誘電体層は、連続した工程で形成されたこととしてもよい。

[0011] また、本発明の他の面によれば、ジルコニウム酸化物又はハフニウム酸化物を誘電

体として形成された薄膜キャパシタであって、導電材料からなる下部電極と、導電材料からなる上部電極と、該下部電極と該上部電極との間に形成された複数の誘電体層と、該複数の誘電体層のうち隣接した上下の層の間に形成されたアモルファス材料よりなるバッファ層とを有し、前記複数の誘電体層は、ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により形成されることを特徴とする薄膜キャパシタが提供される。

[0012] 上述の薄膜キャパシタにおいて、 前記バッファ層は、Al_2O_3, HfO_2, Ta_2O_5, アモルファスZrO_2のうちから選定された材料により形成されることが好ましい。

[0013] また、本発明の他の面によれば、ジルコニウム酸化物又はハフニウム酸化物を誘電体として用いた薄膜キャパシタの形成方法であって、導電材料からなる下部電極を形成し、ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により、該下部電極上に所定の厚みの第1の誘電体層を形成し、該第1の誘電体層上に所定の厚みのバッファ層を形成し、前記第1の誘電体層と同じ材料を用いて、所定の厚みの第2の誘電体層を該バッファ層上に形成し、該第2の誘電層上に導電材料からなる上部電極を形成することを特徴とする薄膜キャパシタの形成方法が形成される。

[0014] 上述の発明による薄膜キャパシタの形成方法において、前記第1の誘電体層の形成、前記バッファ層の形成、及び前記第2の誘電体層の形成を、ALD法による成膜処理で連続して行なうことが好ましい。

[0015] また、本発明の他の面によれば、コンピュータ読み取り可能な記憶媒体であって、導電材料からなる下部電極を形成し、ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により、該下部電極上に所定の厚みの第1の誘電体層を形成し、該第1の誘電体層上に所定の厚みのバッファ層を形成し、前記第1の誘電体層と同じ材料を用いて、所定の厚みの第2の誘電体層を該バッファ層上に形成し、該第2の誘電層上に導電材料からなる上部電極を形成する薄膜キャパシタの形成方法をコンピュータに実行させるプログラムを格納したことを特徴とするコンピュータ読み取り可能な記憶媒体が提供される。

[0016] 上述の発明によるコンピュータ読み取り可能な記憶媒体において、前記プログラムは、前記第1の誘電体層の形成、前記バッファ層の形成、及び前記第2の誘電体層

の形成を、ALD法による成膜処理で連続して実行させることが好ましい。

[0017] また、本発明の他の面によれば、ジルコニウム酸化物又はハフニウム酸化物を誘電体として用いた薄膜キャパシタの形成方法であって、導電材料からなる下部電極を形成し、ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により、該下部電極上に所定の厚みの誘電体層を形成し、該誘電体層上に所定の厚みのバッファ層を形成し、前記誘電体層を形成する工程と前記バッファ層を形成する工程とを交互に所定の回数繰り返して所定の厚みの多層誘電体層を形成し、該多層誘電体層上に導電材料からなる上部電極を形成する ことを特徴とする薄膜キャパシタの形成方法が提供される。

[0018] 上述の発明による薄膜キャパシタの形成方法において、前記誘電体層の形成及び前記バッファ層の形成を、ALD法による成膜処理で連続して行なうことが好ましい。

[0019] また、本発明の他の面によれば、コンピュータ読み取り可能な記憶媒体であって、導電材料からなる下部電極を形成し、ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により、該下部電極上に所定の厚みの誘電体層を形成し、該誘電体層上に所定の厚みのバッファ層を形成し、前記誘電体層を形成する工程と前記バッファ層を形成する工程とを交互に所定の回数繰り返して所定の厚みの多層誘電体層を形成し、該多層誘電体層上に導電材料からなる上部電極を形成する薄膜キャパシタの形成方法をコンピュータに実行させるプログラムを格納したことを特徴とするコンピュータ読み取り可能な記憶媒体が提供される。

[0020] 上述の発明によるコンピュータ読み取り可能な記憶媒体において、前記プログラムは、前記誘電体層の形成及び前記バッファ層の形成を、ALD法による成膜処理で連続して実行させることが好ましい。

発明の効果

[0021] 本発明によれば、ジルコニウム酸化物層又はハフニウム酸化物層を複数層に分割して各々の層が所定の厚みより小さい厚みとし、さらにジルコニウム酸化物層又はハフニウム酸化物層の間にバッファ層を形成する。これにより、ジルコニウム酸化物層又はハフニウム酸化物層の表面ラフネスが小さくなる。その結果、表面ラフネスに起因する電界集中が抑制され、リーク電流を低減することができる。

図面の簡単な説明

[0022] [図1]ZrO_2膜の厚さと表面ラフネスとの関係を示すグラフである。

[図2]本発明の第1実施例による薄膜キャパシタが形成されたデバイス構造を示す図である。

[図3]ALD法による薄膜形成処理を行なう処理装置の模式図である。

[図4]本発明の第1実施例による薄膜キャパシタ生成処理のフローチャートである。

[図5]図2に示すZrO_2層を形成する際の成膜工程のフローチャートである。

[図6]図2に示すバッファ層としてAl_2O_3膜を形成する際の成膜工程のフローチャートである。

[図7]図2に示すバッファ層としてHfO_2膜を形成する際の成膜工程のフローチャートである。

[図8]本発明による薄膜キャパシタを形成するためのクラスタツールの一例を示す概略構成図である。

[図9]HfO_2膜の厚さと表面ラフネスとの関係を示すグラフである。

[図10]本発明の第2実施例による多層構造の薄膜キャパシタの構成の一例を示す図である。

[図11]本発明の第2実施例による多層構造の薄膜キャパシタの構成の一例を示す図である。

[図12]本発明の第2実施例による多層構造の薄膜キャパシタの構成の一例を示す図である。

[図13]本発明の第2実施例による多層構造の薄膜キャパシタ生成処理のフローチャートである。

[図14]図10乃至図12に示すHfO_2層を形成する際の成膜工程のフローチャートである。

[図15]図10乃至図12に示すAl_2O_3層を形成する際の成膜工程のフローチャートである。

[図16]本発明による積層膜HfAlOがゲート電極に用いられたトランジスタ構造を示す図である。

符号の説明

[0023] 2 薄膜キャパシタ

4 Si基板

6 トランジスタ構造

8 ソース領域

10 ドレイン領域

12 ゲート電極

14 配線コンタクト

16 ソース電極

22 下部電極

24 上部電極

26A, 26B ZrO_2層

28 バッファ層

36A HfO_2層

38 Al_2O_3バッファ層

52 積層膜(HfAlO)

54 ゲート電極

発明を実施するための最良の形態

[0024] 次に、本発明の第1実施例による薄膜キャパシタについて図面を参照しながら説明する。

[0025] まず、ジルコニウム酸化物膜の表面ラフネスについて説明する。図1はジルコニウム酸化物膜(ZrO_2膜と称することもある)の厚みと表面ラフネス(表面粗さ)との関係を示すグラフである。なお、ジルコニウム酸化物は、ZrO_2を以外のジルコニウムの酸化物を含むものである。

[0026] 図1のグラフはZrO_2膜をSi基板上にALD(Atomic Layer Deposition)法により生成した際の、ZrO_2膜の厚みと表面ラフネスとの関係を示している。図1からわかるように、ZrO_2膜の厚みが60Å程度までは、表面ラフネスはRMSで0．3nm以下であるが、厚みが60Åを越えると表面ラフネスは急激に大きくなりはじめる。

[0027] ここで、例えばZrO_2膜を誘電体としてキャパシタを形成する際の膜厚は、ZrO_2の誘電率ε＝21～30では、60Å以上が必要である。例えば、100Åの膜厚とすると、表面ラフネスは増大してRMSで1．00nm近くにまで達してしまい、ZrO_2膜の表面は電界が集中するような凹凸を有する表面となってしまう。その結果、薄膜キャパシタの信頼性が損なわれてしまうおそれがある。ZrO_2膜の表面ラフネスの増加は、結晶化率に依存するものと考えられる。すなわち、膜厚の厚いZrO_2膜を形成する際には形成工程時間が長くなり、それに伴ってZrO_2膜中の結晶化が進んで結晶が成長するに従って、表面近傍の結晶粒が成長して凹凸となって現れるものと考えられる。この図より、好ましいキャパシタ膜厚は70Å以下、ラフネスは0．4nm以下である。

[0028] そこで、本発明者は、ZrO_2膜の中にアモルファス層をバッファ層として挟み込み、表面ラフネスを小さいまま維持することを考案した。図2は本発明の第1実施例によるZrO_2膜を用いた薄膜キャパシタを含むデバイス構造の模式図である。

[0029] 本発明の第1実施例によるZrO_2膜を用いた薄膜キャパシタ2は、例えばシリコン基板4上に形成されたトランジスタ構造6に接続されたメモリセルとして形成される。トランジスタ構造6は、ソース領域8と、ドレイン領域10と、ゲート電極12とを有する電界効果型トランジスタ（FET）である。薄膜キャパシタ2は、タングステン（W）などにより形成された配線コンタクト14によりトランジスタ構造6中のソース電極16に接続されている。

[0030] 薄膜キャパシタ2は、例えばTiNのような導電材料により形成された下部電極22と上部電極24とを有しており、それらの間に高誘電率を有する誘電体層としてZrO_2薄膜26が形成されることにより、薄膜キャパシタとして機能する。ZrO_2薄膜26は、下部電極22側の第1の誘電体層としてZrO_2層26Aと、上部電極側の第2の誘電体層としてZrO_2層26Bとに分割されており、ZrO_2層26AとZrO_2層26Bとの間にバッファ層28が挟み込まれるように形成されている。

[0031] ZrO_2層26Aと26Bの各々は、例えば30～50Å（3～5nm）程度の厚みであり、ZrO_2層26Aは表面ラフネスが良好な状態である。バッファ層28は1～2nm程度の厚みに形成される。したがって、ZrO_2層26A及び26Bを合わせて全体として60～100Å程度の膜厚のZrO_2薄膜が形成されている。

[0032] バッファ層28は、Al_2O_3, HfO_2, Ta_2O_5, アモルファスZrO等のアモルファス材料により形成され高誘電率の部材が好ましい。バッファ層28は、ZrO_2層26Bの結晶化を抑制する機能を果たす。

[0033] 図2に示すデバイス構造を形成する際、トランジスタ構造6を多層構造により形成した後に、薄膜キャパシタ2が形成される。薄膜キャパシタ2の形成段階では、既にトランジスタ構造6が形成されており、トランジスタ構造6を維持しながら薄膜キャパシタ2を形成するには、高い誘電率膜を比較的低温で形成する必要がある。そこで、高誘電率を有しており、250℃程度の温度条件で生成可能なZrO_2薄膜を薄膜キャパシタとして用いる。

[0034] ZrO_2薄膜26は、例えばTiNにより形成された下部電極22上にALD法により形成される。この際、一回の薄膜形成工程でZrO_2薄膜26の膜厚を100Åまで成長させると、上述のようにZrO_2薄膜26の表面ラフネスが大きくなってしまい、上下電極22, 24間に電圧が加えられた際にZrO_2薄膜の表面の凹凸(ZrO_2層と上部電極24との間の界面の凹凸)により電界集中が生じてリーク電流が増大し、キャパシタの信頼性が低下してしまう。

[0035] そこで、本実施例では、ZrO_2薄膜26をZrO_2層26Aと26Bとに分けて生成し、ZrO_2層26Aと26Bの各々の膜厚を30～70Åとすることにより、ZrO_2層26Aは表面ラフネスが良好な状態で形成し、ZrO_2層26A上にバッファ層28を形成してバッファ層28上にZrO_2層26Bを形成することで、ZrO_2層26Bの結晶化を抑制し、結果として、ZrO_2層26Bの表面ラフネスを小さく抑制している。

[0036] 下側のZrO_2層26Aを形成した後、250℃以下の温度で例えばアモルファス材料からなるバッファ層28を形成すれば、ZrO_2層26Aの表面ラフネスは膜厚が50Åであるときの小さな表面ラフネスのままに維持され、バッファ層28の表面は平滑な面となる。したがって、上側のZrO_2層26Bをバッファ層28の上に形成する際には、ラフネスの小さいバッファ層の表面上にZrO_2層を形成することとなり、ZrO_2層26Bの表面ラフネスは、50Åの膜厚で形成した場合の膜厚と略同じとなる。すなわち、ZrO_2層26A及び26Bの各々の表面の表面ラフネスは50Åの膜厚で形成する際の表面ラフネスと同等で小さなラフネスとなり、リーク電流を増大させるような大きな電界集中は生じな

い。

[0037] なお、バッファ層28の材料としては、下側のZrO_2層26Aの表面状態をリセットしてラフネスの小さい状態から上側のZrO_2層を形成するという目的で、結晶粒が成長していないアモルファス材料が好適であり、なおかつキャパシタ材料として機能するような高誘電体材料が好ましい。そのような材料として、Al_2O_3, HfO_2, Ta_2O_5, アモルファスZrO_2等がある。

[0038] 以上のように、本実施例によれば、2つのZrO_2層26A, 26Bの間にアモルファス材料によるバッファ層28を形成することにより、表面ラフネスを低減し、ZrO_2層の表面における電界集中を抑制してリーク電流を低減した薄膜キャパシタを形成することができる。

[0039] 次に、上述の薄膜キャパシタ2を生成するプロセスについて説明する。

[0040] 上述のZrO_2層26A, 26B及びバッファ層28はALD法により形成することができる。図3はALD法により薄膜を形成するための処理装置の一例を示す模式図であり、(A)は原料ガスを供給している状態、(B)は酸化ガスを供給している状態を示す。なお、図3(B)では、処理装置の動作を制御する制御系を図3(B)に示しているが、図3(A)では図示を省略している。

[0041] 薄膜キャパシタの生成プロセスでは、図4のフローチャートに示すように、まず、基板上に下部電極22を形成し(ステップS1)、下部電極22の上にALD法によりZrO_2層26Aを形成し(ステップS2)、その上にバッファ層28を形成し(ステップS3)、続いてZrO_2層26Bを形成し(ステップS4)、その上に上部電極24を形成する(ステップS5)。ステップS1～S5までの一連の処理を図3に示すような処理装置又は後述のクラスタツールで連続して行なうことができる。あるいは、ステップS3～S5までの処理を一つの処理装置又はクラスタツールにより連続して行なうこととしてもよい。

[0042] 図3に示す処理装置において、被処理体である基板32を保持する処理容器31には基板32に対して第1の側に第1の処理ガス供給口33Aが設けられており、また基板32に対して、第1の側に対向する側には第1の排気口34Aが設けられている。さらに処理容器31には、第2の側に第2の処理ガス供給口33Bが設けられており、また第1の側には第2の排気口34Bが設けられている。第1の処理ガス供給口33Aには

第1の原料切替弁35Aを介して第1の処理ガスAが供給され、第2の処理ガス供給口33Bには第2の原料切替弁35Bを介して第2の処理ガスBが供給される。さらに、第1の排気口34Aは第1の排気量調整弁36Aを介して排気され、第2の排気口34Bは第2の排気量調整弁36Bを介して排気される。

[0043] 第1の処理ガス供給口33A側において、液体原料源（例えばTEMAZ）が液体流量制御器（LMFC）で流量が制御されながらアルゴン等の不活性ガスと共に気化器（VU）に供給され、気化されてガスとなって切替弁35Aを介して第1の処理ガス供給口33Aに供給される。また、Arパージガス源からアルゴンガスがパージガスとして切替弁35Aを介して第1の処理ガス供給口33Aに供給される。

[0044] 一方、第2の処理ガス供給口側において、O_3発生装置により生成されたO_3が切替弁35Bを介して第2の処理ガス供給口33Bにアルゴン等の不活性ガスと共に供給される。また、Arパージガス源からアルゴンガスがパージガスとして切替弁35Bを介して第2の処理ガス供給口33Bに供給される。

[0045] なお、切替弁35Aはベントにより第2の排気量調節弁36Bの下流側に接続されている。また、切替弁35Bはベントにより第1の排気量調節弁36Aの下流側に接続されている。

[0046] また、基板32は、載置台31aに載置され、載置台31aの中に組み込まれた加熱源であるヒータHにより加熱される。ヒータHは抵抗加熱用のヒータであるが、加熱源として例えばランプを用いてもよい。

[0047] 最初に図3（A）の工程において、第1の原料切替弁35Aを介して第1の処理ガスA（高誘電体有機金属化合物）を第1の処理ガス供給口33Aに供給し、処理容器31中において第1の処理ガスAを基板表面に吸着させる。その際、第1の処理ガス供給口33Aに対向する第1の排気口34Aを駆動することで基板表面に沿って第1の処理ガスは、第1の処理ガス供給口33Aから第1の排気口34Aまで第1の方向に流れる。

[0048] 次に図3（B）の工程において、第2の原料切替弁35Bを介して第2の処理ガスB（酸化種）を第2の処理ガス供給口33Bに供給し、処理容器31中において第2の処理ガスBを基板32の表面に沿って流す。その結果、第2の処理ガスBは先に基板表面に吸着した第1の処理ガス分子に作用（酸化作用）し、基板表面に高誘電体分子層（高

誘電体金属酸化物）が形成される。その際、第2の処理ガス供給口33Bに対向する第2の排気口34Bを駆動することで基板表面に沿って第2の処理ガスは、第2の処理ガス供給口33Bから第2の排気口34Bまで第2の方向に流れる。

[0049] 図3（A）および図3（B）の工程を繰り返すことにより、基板32上に所望の高誘電体膜が形成される。その際、図3（A）の工程では第2の原料切替弁35Bからの第2の処理ガス供給口33Bへの第2の処理ガスBの供給は遮断され、また図3（B）の工程では第1の原料切替弁35Aからの第1の処理ガス供給口33Aへの第1の処理ガスAの供給は遮断されるが、図3（A）の工程において第1の処理ガス供給口33Aから導入された第1の処理ガスAが対向する第2の処理ガス供給口33B中に侵入し、析出物を生じるのを回避するために、図3（A）の工程では第2の原料切替弁35Bから第2の処理ガス供給口33Bに不活性ガスを供給してパージするのが好ましい。同様に、図3（B）の工程においては第1の原料切替弁5Aから第1の処理ガス供給口3Aに不活性ガスを供給してパージするのが好ましい。さらに図3（A）の工程では第1の排気量調整弁36Aは基板32の表面を通過した第1の処理ガスを排気すべく大きな開弁度に設定されるが、第2の排気量調整弁36Bは、高温での弁開閉動作に鑑み、完全に遮断するのではなく、例えば3%以下の小さな開弁度に設定しておくことが好ましい。同様に図3（B）の工程でも、第2の排気量調整弁36Bは大きな開弁度に設定されるが第1の排気量調整弁36Aも完全に遮断するのではなく、例えば3%以下の小さな開弁度に設定しておくことが望ましい。

[0050] 処理容器31は、第1および第2の処理ガスが基板32の表面をシート状の被処理基板に沿った流れで流れるように平坦な形状に形成されており、また第1および第2の処理ガス供給口33A，33Bも対応した平坦な、スリット状の開口部が形成されている。さらに、第1および第2の排気口34A，34Bも、第1あるいは第2の処理ガスが流れる方向に対して略直交する方向に延在するスリット状に形成されている。また、処理ガスの流れ方向に対して直交するスリットから下方に均等に排気を行なうことにより、シート状の処理ガスの流れが乱されることがない。

[0051] なお、処理装置の動作は図3（B）に示すように制御ユニット40により制御される。具体的には、制御ユニット40は、基板32を載置するサセプタ37に設けられたヒータ38

への電力供給を制御し、基板32の処理温度を制御する。また、制御ユニット40は、ガス供給システム42，44及排気システム46を制御して、上述のように処理容器31における処理ガスの流れを制御する。

[0052] 制御ユニット40は、上述の制御を行なうために、中央演算装置（CPU）、データやプログラムを格納するためのメモリ（M）、周辺回路（C）等を有し、例えば、汎用コンピュータにより構成することができる。制御ユニット40が所定のプログラムにしたがって処　理装置を作動させることにより、上述の薄膜キャパシタ生成プロセスを実行させて、薄膜キャパシタを形成することができる。薄膜キャパシタ生成プロセス用のプログラムは、制御ユニット40内のメモリ（M）に格納されていてもよく、また、例えばCD－ROM、フレキシブル磁気ディスク、光磁気ディスクのようなコンピュータ読み取り可能な記憶媒体に格納されて、制御ユニット40に設けられたドライブ装置（D）により読み取られることとしてもよい。

[0053] 上述の処理装置において、第1の処理ガスとしてZrを含む原料を使い、第2の処理ガスとしてO_3を含む酸化ガスを使うことにより、ZrO_2層を基板上に形成することができる。また、第1の処理ガスをAlやHfを含む高誘電体有機金属化合物原料に切り替えることで、バッファ層としてAl_2O_3層やHfO_2層等の高誘電体金属酸化物層を形成することができる。

[0054] まず、図5に示すように、トランジスタ構造6及び下部電極22が形成された基板を処理容器31内に配置し、基板を200～350℃に加熱する（ステップS11）。次に、第1の原料切替弁35Aを開き、第1の処理ガスAとしてZrを含むテトラキスエチルメチルアミノジルコニウム（TEMAZ）等の有機ジルコニウム化合物を処理容器31内に導入する。ZrO_2を成膜するために用いる原料として、TEMAZの他に、ジルコニウムアミン系又はジルコニウムアルコキシドを用いてもよい。この際、第2の原料切替弁35Bは閉じられ、図3（A）に示す状態とされる。したがって、TEMAZは基板上を流れ、TEMAZが熱分解してアルキル基等の有機物がとれ、Zrが基板上（下部電極22上）に吸着される（ステップS12）。この際、TEMAZの流量を50～200mg／minに調整し、TEMAZを供給する時間は0．1～10秒とすることが好ましい。TEMAZの他に、テトラキスジメチルジルコニウム、テトラターシャルブトキシジルコニウム等のアルコキ

シド系、テトラキス系の有機Zrを含む原料を用いることとしてもよい。

[0055] ステップS12においてTEMAZの供給が終了すると、続いて処理容器31内のTEMAZをパージする工程が行われる(ステップS13)。この工程では、TEMAZを排除するために、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A, 34Bから排気する。Arの流量は0. 3～5slmで、パージ時間は0. 1～10秒間であることが好ましい。これにより精度よく膜厚を制御することができる。

[0056] Arによるパージが終了すると、次に、第2の原料切替弁35Bを開いて第2の処理ガスBとしてO_3を処理容器31内に導入する。この際、第1の原料切替弁35Aは閉じられ、図3(B)に示す状態とされる。したがって、O_3は基板上を流れ、その際に基板上に吸着されていたZrとO_3とが反応して基板上にZrO_2が生成される。(ステップS14)。この際、O_3の流量を100～300g／Nm^3に調整し、O_3を供給する時間は0. 1～10秒とすることが好ましい。

[0057] ステップS14においてO_3の供給が終了すると、続いて処理容器31内のO_3及び反応副生製物をパージして除去する工程が行われる(ステップS15)。この工程では、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A, 34Bから排気する。Arの流量は0. 3～5slmで、パージ時間は0. 1～10秒間であることが好ましい。

[0058] 基板上のZrO_2層の厚みが約50Åとなるまで、以上の処理を繰り返し行う。上述のステップS11～S15までの一回のサイクルで生成されるZrO_2層の厚みは約1Åなので、上述の工程を50回繰り返し行って50Åの厚みのZrO_2層を形成する。このZrO_2層が図2におけるZrO_2層26Aとなる。

[0059] 50Åの厚みのZrO_2層26Aが形成されると、次に、バッファ層28の形成工程に移る。バッファ層28の形成工程では、既に形成したZrO_2層上にバッファ層としてアモルファス状態のAl_2O_3層(ε =9)やHfO_2層(ε =20～30)を同様にALD法により形成する。

[0060] 例えば、バッファ層としてAl_2O_3層を形成する場合の処理について、図6を参照しながら説明する。

[0061] まず、処理容器31内の基板を300～400℃に加熱する(ステップS21)。次に、第1の原料切替弁35Aを開き、第1の処理ガスAとして例えばAlを含むトリメチルアルミニ

ウム（TMA）を処理容器31内に供給する。この際、第2の原料切替弁35Bは閉じられ、図3（A）に示す状態とされる。したがって、TMAは基板上を流れ、その際にAlが基板上（ZrO_2層上）に吸着される（ステップS22）。この際、TMAの流量を90sccmに調整し、TMAを供給する時間は0．1～10秒とすることが好ましい。第1の処理ガスAとして、TMAの他に有機Alを含む原料を用いてもよい。

[0062] ステップS22においてTMAの供給が終了すると、続いて処理容器31内のTMAをパージする工程が行われる（ステップS23）。この工程では、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A，34Bから排気する。Arの流量は0．3～5slmで、パージ時間は0．1～10秒間であることが好ましい。

[0063] Arによるパージが終了すると、次に、第2の原料切替弁35Bを開いて第2の処理ガスBとしてO_3を処理容器31内に導入する。この際、第1の原料切替弁35Aは閉じられ、図3（B）に示す状態とされる。したがって、O_3は基板上を流れ、その際に基板上に吸着されていたAlとO_3とが反応して基板上にAl_2O_3が生成される。（ステップS24）。この際、O_3の流量を100～300g／Nm^3に調整し、O_3を供給する時間は0．1～10秒とすることが好ましい。O_3の代わりに酸素ラジカル等の活性ラジカルを用いてもよい。

[0064] ステップS24においてO_3の供給が終了すると、続いて処理容器31内のO_3及び反応副生製物をパージする工程が行われる（ステップS25）。この工程では、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A，34Bから排気する。Arの流量は0．3～5slmで、パージ時間は0．1～10秒間であることが好ましい。

[0065] 基板上のAl_2O_3バッファ層の厚みが約10Åとなるまで、以上の処理を繰り返し行う。上述のステップS21～S25までの一回のサイクルで生成されるAl_2O_3層の厚みは約1Åなので、上述の工程を10回繰り返し行って10Åの厚みのAl_2O_3層を形成する。このAl_2O_3層が図2におけるバッファ層28となる。好ましい膜厚は、1～20Åであり、Al_2O_3の誘電率 ε ＝9を考えると、膜厚は1～10Åがより好ましい。

[0066] また、バッファ層としてHfO_2層を形成する場合の処理について、図7を参照しながら説明する。

[0067] まず、処理容器31内の基板を200～350℃に加熱する（ステップS31）。次に、第1

の原料切替弁35Aを開き、第1の処理ガスAとして例えばトリエチルメチルアミノハフニウム(TEMAH)を処理容器31内に供給する。この際、第2の原料切替弁35Bは閉じられ、図3(A)に示す状態とされる。したがって、Hfを含むTEMAHは基板上を流れ、TEMAHが熱分解してアルキル基等の有機物がとれ、Hfが基板上(ZrO_2層上)に吸着される(ステップS32)。この際、TEMAHの流量を50～200mg／minに調整し、TEMAHを供給する時間は0．1～10秒とすることが好ましい。第1の処理ガスとして、TEMAHの他に、テトラキスジメチルアミノハフニウム、テトラターシャルブトキシハフニウム等のアルコキシド系、テトラキス系の有機Hfを含む原料を用いてもよい。

[0068] ステップS32においてTEMAHの供給が終了すると、続いて処理容器31内のTEMAHをパージする工程が行われる(ステップS33)。この工程では、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A，34Bから排気する。Arの流量は0．3～5slmで、パージ時間は0．1～10秒間であることが好ましい。

[0069] Arによるパージが終了すると、次に、第2の原料切替弁35Bを開いて第2の処理ガスBとしてO_3を処理容器31内に導入する。この際、第1の原料切替弁35Aは閉じられ、図3(B)に示す状態とされる。したがって、O_3は基板上を流れ、その際に基板上に吸着されていたHfとO_3とが反応して基板上にHfO_2が生成される。(ステップS34)。この際、O_3の流量を100～300g／Nm^3に調整し、O_3を供給する時間は0．1～10秒とすることが好ましい。O3の代わりに酸素ラジカル等の活性酸素を用いることもできる。

[0070] ステップS34においてO_3の供給が終了すると、続いて処理容器31内のO_3及び反応副生製物をパージする工程が行われる(ステップS35)。この工程では、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A，34Bから排気する。Arの流量は0．3～5slmで、パージ時間は0．1～10秒間であることが好ましい。

[0071] 基板上のHfO_2層の厚みが約10Åとなるまで、以上の処理を繰り返し行う。上述のステップS31～S35までの一回のサイクルで生成されるHfO_2層の厚みは約1Åなので、上述の工程を10回繰り返し行って10Åの厚みのHfO_2層を形成する。このHfO_2層が図2におけるバッファ層28となる。好ましい膜厚は1～70Åであり、より好ましく

は1～10Åである。

[0072] 以上のように、ZrO_2層26Aの上にバッファ層28の形成が終了したら、再度図5に示すステップS11～S15までのサイクルを繰り返して行なって、バッファ層28上に約50Åの厚みのZrO_2層を形成する。このバッファ層28上に形成されたZrO_2層が、図2に示すZrO_2層26Bとなる。

[0073] ZrO_2層26Bの形成が終了したら、ZrO_2層26B上に上部電極24を形成して薄膜キャパシタ2が完成する。なお、下部電極22及び上部電極24は、TiN膜に限定されることなく、様々な導電材料により形成することとしてもよい。例えば、下部電極としては、PolySi, Ruなどが用いられる。

[0074] また、上述のZrO_2層の形成工程及びバッファ層の形成工程は、ALD法を用いた成膜処理により行なっているが、ALD法以外にCVD法等を用いた成膜処理により行なってもよい。

[0075] また、上述の実施例では、2つのZrO_2層とその間に設けられたバッファ層よりなる薄膜キャパシタについて説明したが、本発明は2つのZrO_2層に限られず、3つ以上の複数のZrO_2層を有する薄膜キャパシタとしてもよい。すなわち、下部電極と上部電極との間に複数のZrO_2層を形成し、複数のZrO_2層のうち隣接した上下の層の間にアモルファス材料よりなるバッファ層を形成することとしてもよい。

[0076] 上述のジルコニウム酸化物薄膜キャパシタ2を形成するための処理装置として、例えば図8に示すようなクラスタツールを用いることができる。図8に示すクラスタツールは、搬送アームを有する真空搬送室50の周囲に4台のプロセスチャンバ52－1～52－4とロードロック室54とが配置されて構成されたものである。例えば、プロセスチャンバ52－1～52－3を基板上にZrO_2層26A及び26Bを形成するためのチャンバとし、プロセスチャンバ52－4をバッファ層28を形成するためのチャンバとする。

[0077] クラスタツールの各装置の動作は、汎用コンピュータなどにより構成される制御部55により制御される。制御部55は、中央演算装置（CPU）、データやプログラムを格納するためのメモリ（M）、周辺回路（C）、記録媒体を読み取るためのドライブ装置（D）等を有する。制御部55が所定のプログラムにしたがってクラスタツールの各装置を作動させることにより、上述の薄膜キャパシタ生成プロセスを実行させて、薄膜キャパシ

タを形成することができる。薄膜キャパシタ生成プロセス用のプログラムは、制御部55内のメモリ(M)に格納されていてもよく、また、例えばCD－ROM、フレキシブル磁気ディスク、光磁気ディスクのようなコンピュータ読み取り可能な記憶媒体に格納されて、制御部55に設けられたドライブ装置(D)により読み取られることとしてもよい。

[0078] なお、チャンバの配置及び数は図8に示すものに限られず、適宜選択可能である。

[0079] 次に、薄膜キャパシタの一連の形成工程について説明する。

[0080] ZrO_2成膜チャンバ52－1でZrO_2層を基板上に成膜し、終了後、基板をバッファ層チャンバ52－4へ搬入してAl_2O_3バッファ層を形成する。そして、基板を再度ZrO_2成膜チャンバ52－1に搬入してバッファ層の上にZrO_2層を成膜する形成することにより薄膜キャパシタが形成される。終了後、ZrO_2成膜チャンバ52－1から搬送アームで基板を取り出し、ロードロック室54を介して基板をカセット(図示せず)に戻す。同様にしてZrO_2成膜チャンバ52－2，52－3を用いて基板上に薄膜キャパシタが形成される。

[0081] ZrO_2層はALD法により形成するため比較的長い処理時間が必要であるが、バッファ層は膜厚も薄いためZrO_2層より短い処理時間である。そこで、一連の処理に要する時間を均一化するために、ZrO_2層の成膜処理に3台のプロセスチャンバ52－1～52－3を割り当て、バッファ層の成膜処理には1台のプロセスチャンバ52－4を割り当てる。これにより、ZrO_2層26Aを形成し、その上にバッファ層28を形成し、その上にZrO_2層26Bを形成するといった本発明による薄膜キャパシタを形成する一連の処理をクラスタツールにおいて連続して効率的に行なうことができる。

[0082] なお、クラスタツールの構成及び処理順序はこれに限定されるものではなく、図示した構成以外に様々な構成が考えられる。

[0083] 以上のように、本発明の第1実施例では、ZrO_2層を誘電体層として用いているが、ZrO_2層と同様に高い誘電率を有するHfO_2層を誘電体層として用いた場合にも、同様な効果を得ることができる。

[0084] 次に、本発明の第2実施例による薄膜キャパシタついて説明する。

[0085] まず、ハフニウム酸化物膜の表面ラフネスについて説明する。図9はハフニウム酸化物膜(HfO_2膜と称することもある)の厚みと表面ラフネス(表面粗さ)との関係を示

すグラフである。

[0086] 図9のグラフはHfO_2膜をSi基板上にALD法により生成した際の、HfO_2膜の厚みと表面ラフネスとの関係を示している。図1からわかるように、HfO_2膜の厚みが増大すると表面ラフネスも増大することがわかる。

[0087] そこで、本発明者は、ZrO_2膜又はHfO_2膜の中にアモルファス層をバッファ層として挟み込み、表面ラフネスを小さいまま維持することを考案した。図10は本発明の第2実施例によるHfO_2膜を用いた薄膜キャパシタの構造を示す図である。なお、本発明の第2実施例によるHfO_2膜を用いた薄膜キャパシタ2Aも、上述の第1実施例によるZrO_2膜を用いた薄膜キャパシタと同様に、例えば図2に示すようにシリコン基板上に形成されたトランジスタ構造に接続されたメモリセルとして形成される。

[0088] 薄膜キャパシタ2Aは、例えばTiNのような導電材料により形成された下部電極22と上部電極24とを有しており、それらの間に高誘電率を有する誘電体層としてHfO_2薄膜36が形成されることにより、薄膜キャパシタとして機能する。HfO_2薄膜36は、誘電体層として複数のHfO_2層36Aに分割されており、隣接した上下のHfO_2層36Aの間にバッファ層38が挟み込まれて、多層構造となっている。

[0089] バッファ層38は、Al_2O_3, Ta_2O_5, アモルファスZrO_2等のアモルファス材料により形成することができる。本実施例ではバッファ層38を形成する材料としてAl_2O_3を用いている。バッファ層38は、HfO_2層36Aの結晶化を抑制する機能を果たす。すなわち、HfO_2が結晶化する温度を上げることができる。

[0090] 図10に示すHfO_2膜を用いた薄膜キャパシタは、複数のHfO_2層36Aの各層と、複数のAl_2O_3バッファ層の各層とをALD法により形成したものである。HfO_2層36Aの厚みとAl_2O_3バッファ層38の厚みの比は、図10では1:1であるが、実際はHfO_2層36AをALD法で2サイクル分形成し、その上にAl_2O_3バッファ層38をALD法で2サイクル分形成し、これを繰り返して所定の厚さのHfO_2膜としている。

[0091] ALD法の1サイクルで形成されるHfO_2層の厚み(約1Å)と、ALD法の1サイクルで形成されるAl_2O_3層の厚み(約1Å)とがほぼ等しいため、図10ではHfO_2層36Aの厚みとAl_2O_3バッファ層38の厚みとが1:1となっている。図10において、HfO_2層36Aの各層とAl_2O_3バッファ層38の各層の中に描かれた点線は、ALD法による1サイ

クルで形成される層の厚みを示すものである。すなわち、図10に示す多層構造は、HfO_2層36AをALD法で2サイクル分形成し、その上にAl_2O_3バッファ層38をALD法で2サイクル分形成し、それを繰り返して多層構造としていることがわかる。なお、繰り返し回数は図10に示す回数ではなく、実際は例えば約10μm(100Å)の厚みのHfO_2膜を形成するのであれば、49回繰り返すこととなる。

[0092] なお、以下の説明において、HfO_2層36Aの厚みとAl_2O_3バッファ層38の厚みの比率を、ALD法のサイクル数の比(m:n)で表すこととする。例えば、図10に示す構造では、HfO_2層36AをALD法でm=2サイクル分形成し、その上にAl_2O_3バッファ層38をALD法でn=2サイクル分形成するので、厚みの比m:n=2:2で表される。

[0093] HfO_2層36Aの厚みとAl_2O_3バッファ層38の厚みの比は2:2に限ることなく、形成する薄膜キャパシタに求められる特性により任意に変えることができる。図11に示す薄膜キャパシタは、HfO_2層36Aの厚みとAl_2O_3バッファ層38の厚みの比を7:3として形成したものである。また、図12に示す薄膜キャパシタは、HfO_2層36Aの厚みとAl_2O_3バッファ層38の厚みとの比を5:1として形成したものである。

[0094] 図10乃至図12に示す構造のHfO_2薄膜キャパシタを約90Åの厚みとなるように形成し、表面粗さRMSを測定した結果を以下に示す。

Hf:Al	厚み[Å]	RMS[nm]
5:1	90	0.184
7:3	84	0.225
2:2	90	0.194

以上の測定結果より、HfO_2層36Aの厚みとAl_2O_3バッファ層38の厚みとの比を変えても、RMSの値はリーク電流を十分に抑制できる値であることがわかった

図10乃至図12に示す多層構造は、上述の第1実施例において説明したZrO_2薄膜キャパシタにも適用可能である。図10乃至図12に示す構造のZrO_2薄膜キャパシタを約90Åの厚みとなるように形成し、表面粗さRMSを測定した結果を以下に示す。

Zr:Al	厚み[Å]	RMS[nm]
5:1	95	0.36

7:3	93	0．32
2:2	96	0．34

以上の測定結果より、ZrO_2薄膜キャパシタにおいてZrO_2層の厚みとAl_2O_3バッファ層の厚みとの比を変えても、RMSの値はリーク電流を十分に抑制できる値であることがわかった。

[0095] 以上のように、本実施例によれば、複数のHfO_2層36Aと、それらの間にアモルファス材料によるバッファ層28を形成することにより、表面ラフネスを低減し、HfO_2層の表面における電界集中を抑制してリーク電流を低減した薄膜キャパシタを形成することができる。また、HfO_2層の代わりにZrO_2層を用いても同様な効果を得ることができる。

[0096] 次に、上述の多層構造の薄膜キャパシタ2Aを生成するプロセスについて、HfO_2薄膜キャパシタを例にとって説明する。

[0097] 上述のHfO_2層36A及びバッファ層38はALD法により形成することができる。ALD法により薄膜を形成するための処理装置は上述の第1実施例で図3を参照しながら説明した処理装置と同様であり、その説明は省略する。

[0098] 多層構造のHfO_2薄膜キャパシタの生成プロセスでは、図13のフローチャートに示すように、まず、基板上に下部電極22を形成し(ステップS51)、下部電極22の上にALD法によりHfO_2層36Aを形成し(ステップS52)、その上にバッファ層38を形成し(ステップS53)、続いてHfO_2層36Aを形成する。ここで、処理はステップS53に戻りステップS53及びステップS54の処理をX回繰り返した後、上部電極24を最後に形成したHfO2層の上に形成する(ステップS55)。ここで、繰り返しの回数Xは、形成したHfO_2層36A及びバッファ層38の厚みが所定の厚み、例えば90Åとなるように設定された値である。

[0099] ステップS51～S55までの一連の処理を図3に示すような処理装置又は図8に示すようなクラスタツールで連続して行なうことができる。あるいは、ステップS52～S54までの処理を一つの処理装置又は複数の装置を備えるクラスタツールにより各々の装置で連続して行なうこととしてもよい。

[0100] 図3に示す処理装置において、第1の処理ガスとしてHfを含む原料を使い、第2の

処理ガスとしてO_3を含む酸化ガスを使うことにより、HfO_2層を基板上に形成することができる。また、第1の処理ガスをAlを含む原料に切り替えることで、バッファ層としてAl_2O_3層を形成することができる。その積層膜はHfAlO組成を構成する。

[0101] まず、図14に示すように、トランジスタ構造6及び下部電極22が形成された基板を処理容器31内に配置し、基板を200～350℃に加熱する(ステップS61)。次に、第1の原料切替弁35Aを開き、第1の処理ガスAとしてHfを含むテトラキスエチルメチルアミノハフニウム(TEMAH)を処理容器31内に導入する。この際、第2の原料切替弁35Bは閉じられ、図3(A)に示す状態とされる。したがって、TEMAHは基板上を流れ、その際にHfが基板上(下部電極22上)に吸着される(ステップS62)。この際、TEMAHの流量を50～200mg／minに調整し、TEMAHを供給する時間は0．1～10秒とすることが好ましい。

[0102] ステップS62においてTEMAHの供給が終了すると、続いて処理容器31内のTEMAHをパージする工程が行われる(ステップS63)。この工程では、TEMAHを排除するために、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A，34Bから排気する。Arの流量は0．3～5slmで、パージ時間は0．1～10秒間であることが好ましい。これにより精度よく膜厚を制御することができる。

[0103] Arによるパージが終了すると、次に、第2の原料切替弁35Bを開いて第2の処理ガスBとしてO_3を処理容器31内に導入する。この際、第1の原料切替弁35Aは閉じられ、図3(B)に示す状態とされる。したがって、O_3は基板上を流れ、その際に基板上に吸着されていたHfとO_3とが反応して基板上にHfO_2が生成される。(ステップS64)。この際、O_3の流量を100～300g／Nm^3に調整し、O_3を供給する時間は0．1～10秒とすることが好ましい。

[0104] ステップS64においてO_3の供給が終了すると、続いて処理容器31内のO_3及び反応副生製物をパージする工程が行われる(ステップS65)。この工程では、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A，34Bから排気する。Arの流量は0．3～5slmで、パージ時間は0．1～10秒間であることが好ましい。

[0105] ここで、ステップS62～ステップS65までの処理がALD法による1サイクルに相当する。したがって、本実施例ではステップS62～ステップS65までの処理をm回繰り返

す。具体的には、図10に示す多層構造を形成するには2回、図11に示す多層構造を形成するには7回、図12に示す多層構造を形成するには5回である。

[0106] HfO_2の形成処理を所定のサイクル数繰り返したら、次に、バッファ層38の形成工程に移る。バッファ層28の形成工程では、既に形成したHfO_2層上にバッファ層としてアモルファス状態のAl_2O_3層を形成する。図15は、バッファ層としてAl_2O_3層を形成する処理のフローチャートである。

[0107] まず、処理容器31内の基板を300～400℃に加熱する(ステップS71)。次に、第1の原料切替弁35Aを開き、第1の処理ガスAとして例えばAlを含むトリメチルアルミニウム(TMA)を処理容器31内に供給する。この際、第2の原料切替弁35Bは閉じられ、図3(A)に示す状態とされる。したがって、TMAは基板上を流れ、その際にAlが基板上(HfO_2層上)に吸着される(ステップS72)。この際、TMAの流量を90sccmに調整し、TMAを供給する時間は0．1～10秒とすることが好ましい。第1の処理ガスAとして、TMAの他に有機Alを含む原料を用いてもよい。

[0108] ステップS22においてTMAの供給が終了すると、続いて処理容器31内のTMAをパージする工程が行われる(ステップS73)。この工程では、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A，34Bから高速排気する。Arの流量は0．3～5slmで、パージ時間は0．1～10秒間であることが好ましい。

[0109] Arによるパージが終了すると、次に、第2の原料切替弁35Bを開いて第2の処理ガスBとしてO_3を処理容器31内に導入する。この際、第1の原料切替弁35Aは閉じられ、図3(B)に示す状態とされる。したがって、O_3は基板上を流れ、その際に基板上に吸着されていたAlとO_3とが反応して基板上にAl_2O_3が生成される。(ステップS74)。この際、O_3の流量を100～300g／Nm^3に調整し、O_3を供給する時間は0．1～10秒とすることが好ましい。

[0110] ステップS24においてO_3の供給が終了すると、続いて処理容器31内のO_3及び反応副生製物をパージする工程が行われる(ステップS75)。この工程では、不活性ガスとしてArを処理容器31に供給し、且つ排気口34A，34Bから高速排気する。Arの流量は0．3～5slmで、パージ時間は0．1～10秒間であることが好ましい。

[0111] ここで、ステップS72～ステップS75までの処理がALD法による1サイクルに相当す

る。したがって、本実施例ではステップS72～ステップS75までの処理をn回繰り返す。具体的には、図10に示す多層構造を形成するには2回、図11に示す多層構造を形成するには3回、図12に示す多層構造を形成するには1回である。

[0112] 以上のように、HfO_2層36Aの上にAl_2O_3バッファ層38の形成が終了したら、再度図14に示すステップS61～S65までの処理m回を行なって、バッファ層38上にHfO_2層を形成する。続いて、図15に示すステップS71～S75までの処理をn回行ってバッファ層38を形成する。以上の処理をX回繰り返すことにより所定の厚みのHfO_2薄膜36を形成する。

[0113] HfO_2薄膜36の形成が終了したら、最後に形成したHfO_2層36B上に上部電極24を形成してHfO_2薄膜キャパシタが完成する。なお、下部電極22及び上部電極24は、TiN膜に限定されることなく、様々な導電材料により形成することとしてもよい。

[0114] なお、本発明により生成された積層膜HfAlO(HfO_2／Al_2O_3)は、CMOSトランジスタのゲート絶縁膜として使用可能である。ゲート電極に使用する場合は、基板表面に直接、非常に薄いシリコン酸化膜により3～10Åの中間層(inter layer)を形成して、Si／SiO界面をスムーズに制御する。その上に、本発明による積層膜HfAlO(HfO_2／Al_2O_3)を10～50Å形成して、ゲート電極に使用する。これにより、低リーク電流を達成し、且つ電子の移動度を大きくすることができる。

[0115] 図16は上述のゲート電極が形成されたトランジスタの概略構造を示す図である。シリコン(Si)基板50上に、非常に薄い酸化膜である中間層(inter layer)51が形成され、その上に高誘電率膜として本発明による積層膜(HfAlO)52が形成される。積層膜(HfAlO)52の表面を窒化して窒化膜53が形成され、その上にゲート電極54としてポリシリコン(PolySi)又はポリシリコン／W(ポリメタル)が生成される。これらの膜の側部には、スペーサとして酸化シリコン層(SiO_2)55が形成され、その下側のSi基板50中に、ソース領域及びドレイン領域としてウェル(拡散領域)56が形成されている。

[0116] 中間層(inter layer)51の酸化膜の形成方法は、本出願人により先に出願された国際出願(国際公開番号WO3／063220に開示されている処理装置(UV－RF)によって形成することができる。

[0117] また、本発明による方法で形成した高誘電金属酸化膜中のカーボンの不純物濃度

は、E＋21atoms／cm^3台であり、非常に低い不純物濃度が達成された。

[0118] 本発明は上述の具体的に開示された実施例に限定されることなく、本発明の範囲を逸脱することなく様々な変形例及び改良例がなされるであろう。

産業上の利用可能性

[0119] 本発明は、半導体基板中に形成される回路に設けられる薄膜キャパシタに適用可能である。

請求の範囲

[1] ジルコニウム酸化物又はハフニウム酸化物を誘電体として形成された薄膜キャパシタであって、

導電材料からなる下部電極と、

該下部電極上に形成された第1の誘電体層と、

該第1の誘電体層上に形成されたバッファ層と、

該バッファ層上に形成された第2の誘電体層と、

該第2の誘電体層上に形成され、導電材料からなる上部電極と

を有し、

前記第1及び第2の誘電体層は、ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により形成されることを特徴とする薄膜キャパシタ。

[2] 請求項1記載の薄膜キャパシタであって、

前記バッファ層はアモルファス材料により形成されたことを特徴とする薄膜キャパシタ。

[3] 請求項2記載の薄膜キャパシタであって、

前記バッファ層は、Al_2O_3, HfO_2, Ta_2O_5, アモルファスZrO_2のうちから選定された材料により形成されたことを特徴とする薄膜キャパシタ。

[4] 請求項1乃至3のうちいずれか一項記載の薄膜キャパシタであって、

前記第1及び第2の誘電体層は同じ厚みを有しており、前記バッファ層は前記第1及び第2の誘電体層より薄いことを特徴とする薄膜キャパシタ。

[5] 請求項4記載の薄膜キャパシタであって、

前記第1及び第2の誘電体層はジルコニウム酸化物より形成され、前記第1及び第2の誘電体の各々の厚みは1～70Å以下であり、前記バッファ層の厚みは1～20Å以上であることを特徴とする薄膜キャパシタ。

[6] 請求項1記載の薄膜キャパシタであって、

前記第1の誘電体層、前記バッファ層、及び前記第2の誘電体層は、連続した工程で形成されたことを特徴とする薄膜キャパシタ。

[7] ジルコニウム酸化物又はハフニウム酸化物を誘電体として形成された薄膜キャパシ

タであって、

導電材料からなる下部電極と、

導電材料からなる上部電極と、

該下部電極と該上部電極との間に形成された複数の誘電体層と、

該複数の誘電体層のうち隣接した上下の層の間に形成されたアモルファス材料よりなるバッファ層と

を有し、

前記複数の誘電体層は、ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により形成されることを特徴とする薄膜キャパシタ。

[8] 請求項7記載の薄膜キャパシタであって、

前記バッファ層は、Al_2O_3, HfO_2, Ta_2O_5, アモルファスZrO_2のうちから選定された材料により形成されたことを特徴とする薄膜キャパシタ。

[9] ジルコニウム酸化物又はハフニウム酸化物を誘電体として用いた薄膜キャパシタの形成方法であって、

導電材料からなる下部電極を形成し、

ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により、該下部電極上に所定の厚みの第1の誘電体層を形成し、

該第1の誘電体層上に所定の厚みのバッファ層を形成し、

前記第1の誘電体層と同じ材料を用いて、所定の厚みの第2の誘電体層を該バッファ層上に形成し、

該第2の誘電層上に導電材料からなる上部電極を形成する

ことを特徴とする薄膜キャパシタの形成方法。

[10] 請求項9記載の薄膜キャパシタの形成方法であって、

前記第1の誘電体層の形成、前記バッファ層の形成、及び前記第2の誘電体層の形成を、ALD法による成膜処理で連続して行なうことを特徴とする薄膜キャパシタの形成方法。

[11] コンピュータ読み取り可能な記憶媒体であって、

導電材料からなる下部電極を形成し、

ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により、該下部電極上に所定の厚みの第1の誘電体層を形成し、

該第1の誘電体層上に所定の厚みのバッファ層を形成し、

前記第1の誘電体層と同じ材料を用いて、所定の厚みの第2の誘電体層を該バッファ層上に形成し、

該第2の誘電層上に導電材料からなる上部電極を形成する

薄膜キャパシタの形成方法をコンピュータに実行させるプログラムを格納したことを特徴とするコンピュータ読み取り可能な記憶媒体。

[12] 請求項11記載のコンピュータ読み取り可能な記憶媒体であって、

前記プログラムは、前記第1の誘電体層の形成、前記バッファ層の形成、及び前記第2の誘電体層の形成を、ALD法による成膜処理で連続して実行させることを特徴とするコンピュータ読み取り可能な記憶媒体。

[13] ジルコニウム酸化物又はハフニウム酸化物を誘電体として用いた薄膜キャパシタの形成方法であって、

導電材料からなる下部電極を形成し、

ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により、該下部電極上に所定の厚みの誘電体層を形成し、

該誘電体層上に所定の厚みのバッファ層を形成し、

前記誘電体層を形成する工程と前記バッファ層を形成する工程とを交互に所定の回数繰り返して所定の厚みの多層誘電体層を形成し、

該多層誘電体層上に導電材料からなる上部電極を形成する

ことを特徴とする薄膜キャパシタの形成方法。

[14] 請求項13記載の薄膜キャパシタの形成方法であって、

前記誘電体層の形成及び前記バッファ層の形成を、ALD法による成膜処理で連続して行なうことを特徴とする薄膜キャパシタの形成方法。

[15] コンピュータ読み取り可能な記憶媒体であって、

導電材料からなる下部電極を形成し、

ジルコニウム酸化物及びハフニウム酸化物のいずれか一方により、該下部電極上

に所定の厚みの誘電体層を形成し、

該誘電体層上に所定の厚みのバッファ層を形成し、

前記誘電体層を形成する工程と前記バッファ層を形成する工程とを交互に所定の回数繰り返して所定の厚みの多層誘電体層を形成し、

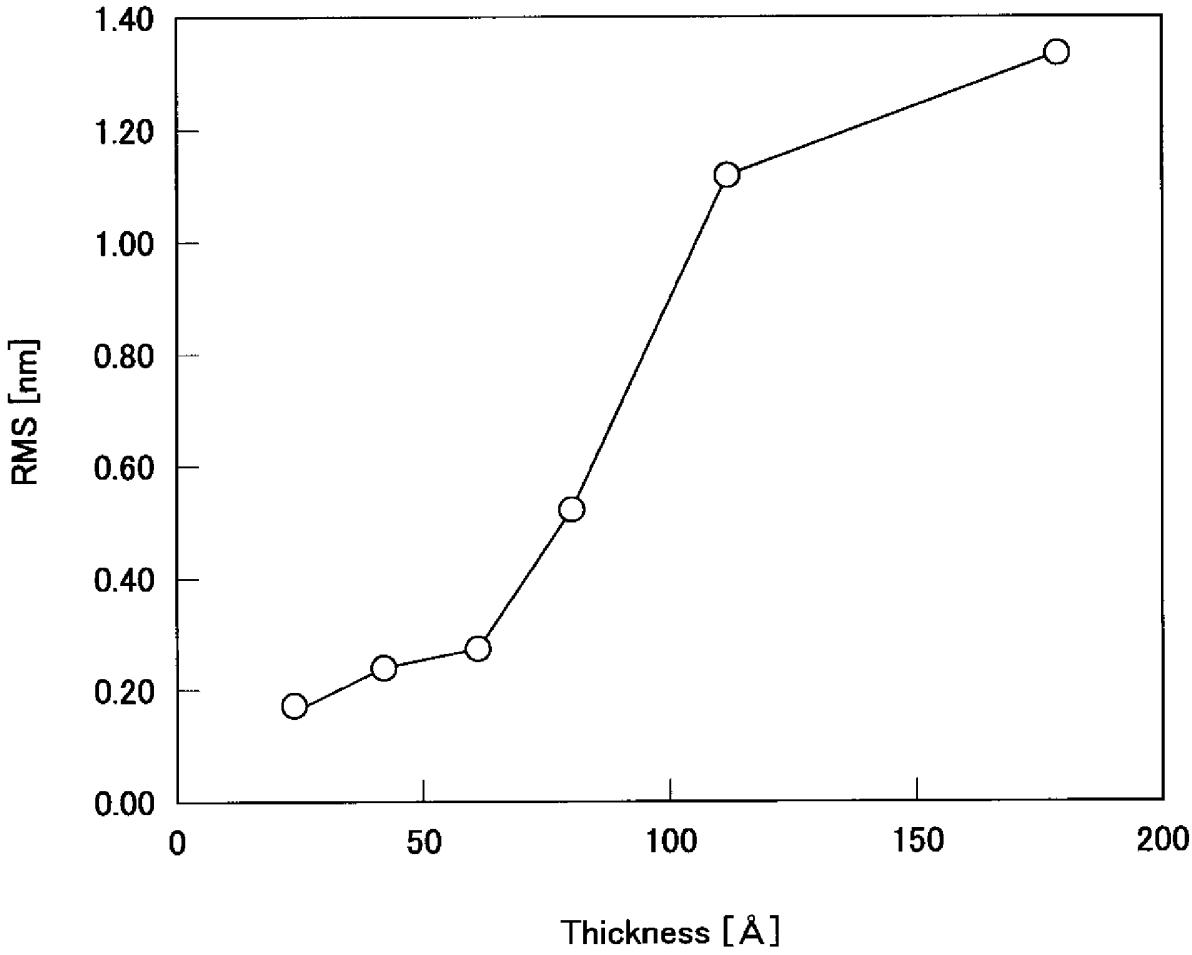
該多層誘電体層上に導電材料からなる上部電極を形成する

薄膜キャパシタの形成方法をコンピュータに実行させるプログラムを格納したことを特徴とするコンピュータ読み取り可能な記憶媒体。

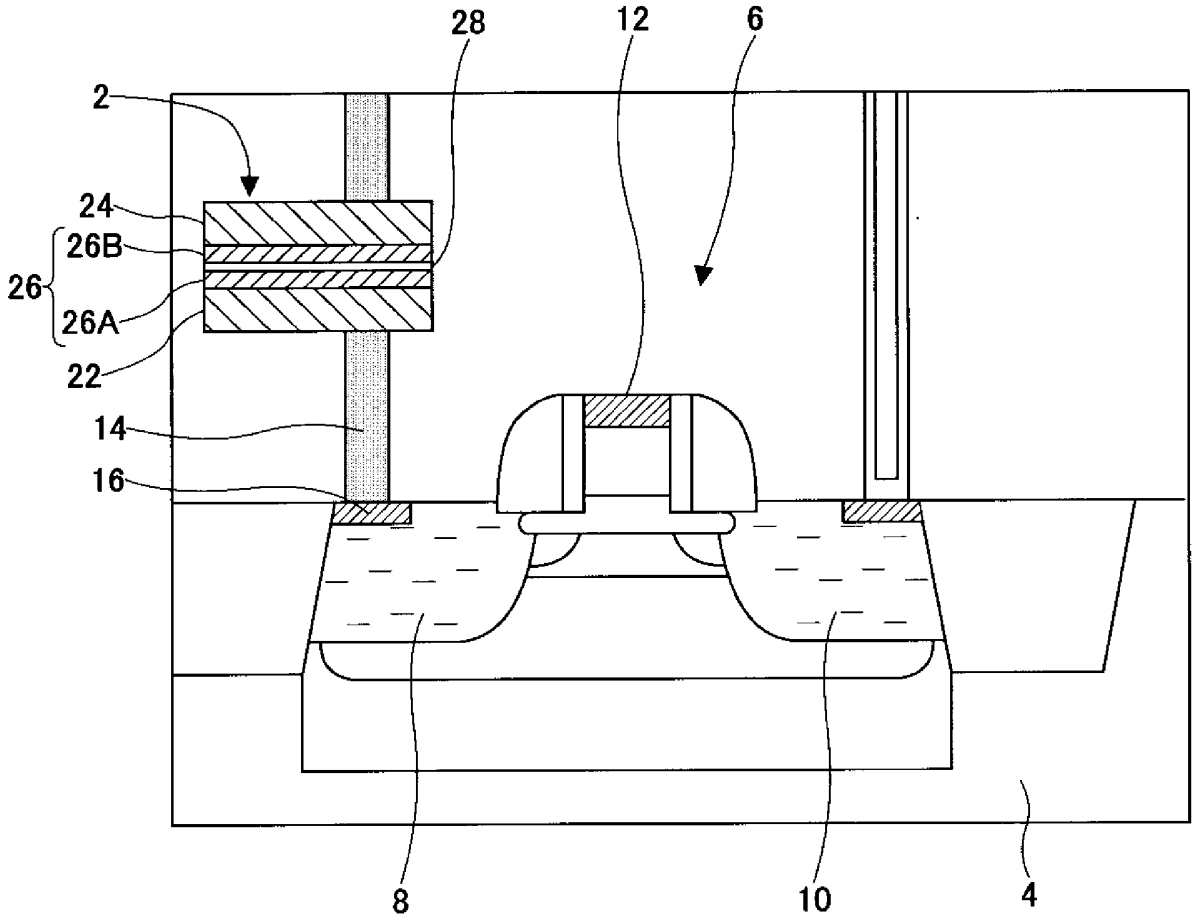
[16] 請求項15記載のコンピュータ読み取り可能な記憶媒体であって、

前記プログラムは、前記誘電体層の形成及び前記バッファ層の形成を、ALD法による成膜処理で連続して実行させることを特徴とするコンピュータ読み取り可能な記憶媒体。

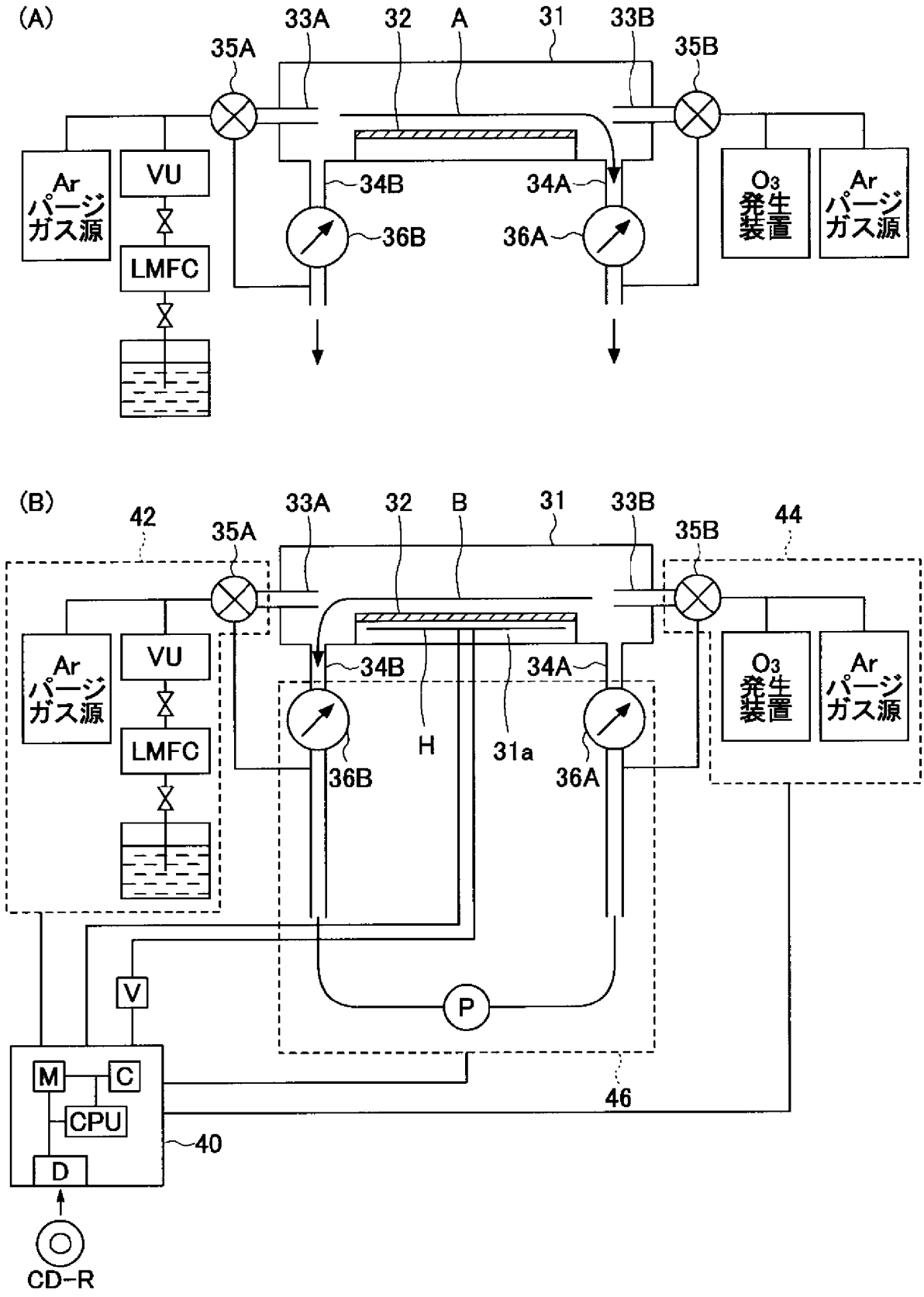
[図1]


1.40
1.20
1.00
0.80
0.60
0.40
0.20
0.00
RMS [nm]
0
50
100
150
200
Thickness [Å]

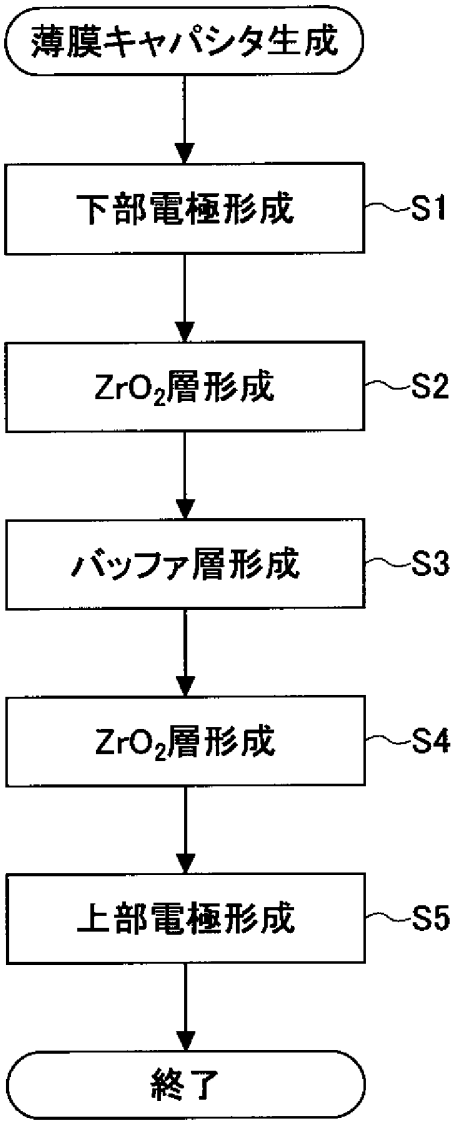
[図2]



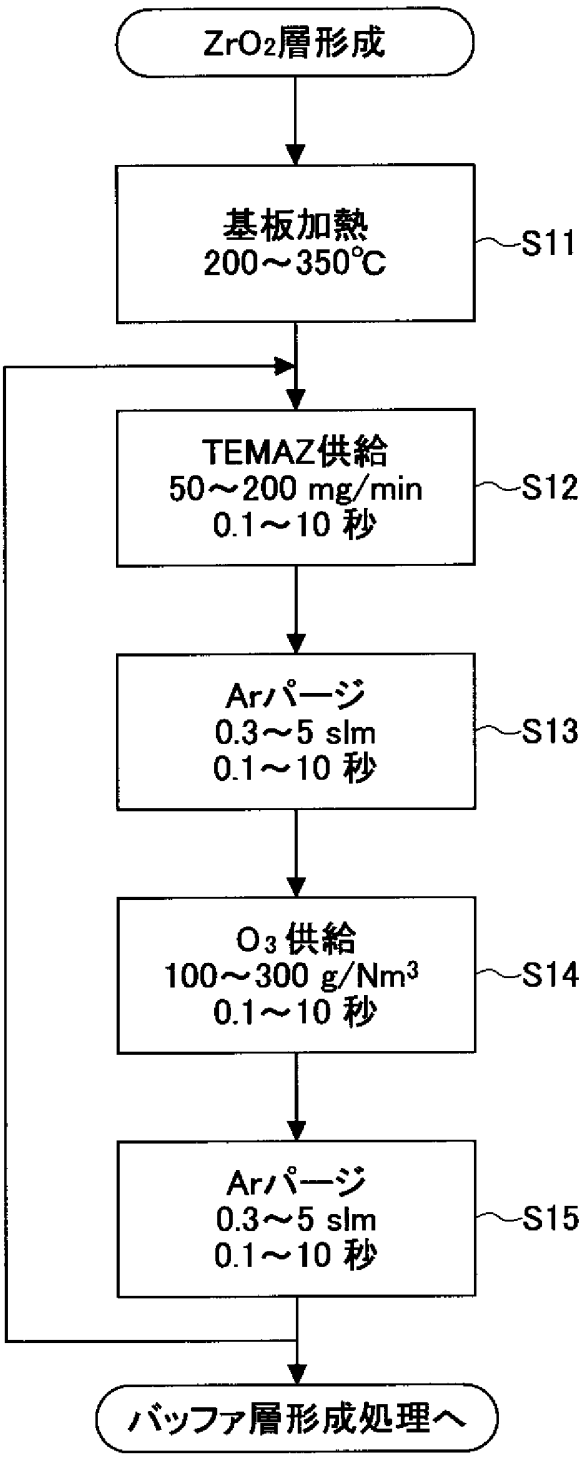
[図3]


(A)
33A
32
A
31
33B
35A
35B
Ar
パージ
ガス源
VU
LMFC
34B
34A
36B
36A
O3
発生
装置
Ar
パージ
ガス源
(B)
42
33A
32
B
31
33B
35A
35B
44
Ar
パージ
ガス源
VU
LMFC
34B
34A
36B
H
31a
36A
O3
発生
装置
Ar
パージ
ガス源
V
P
M
C
CPU
D
40
46
CD-R

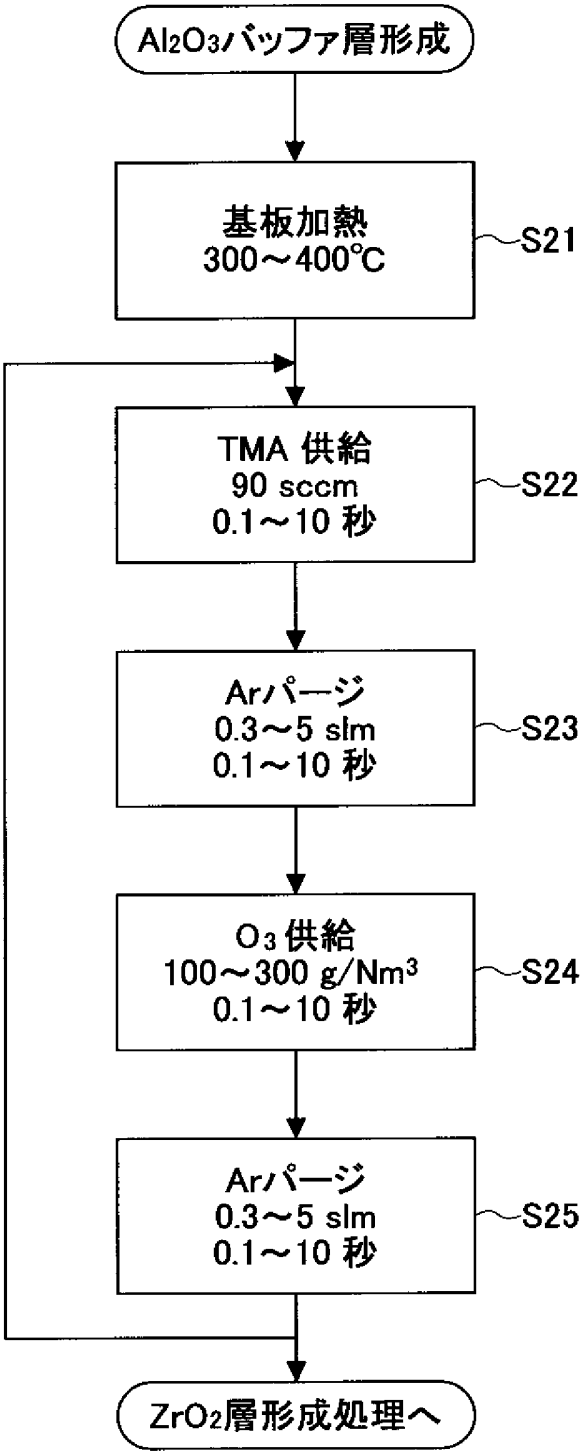
[図4]


薄膜キャパシタ生成
下部電極形成
S1
ZrO_2層形成
S2
バッファ層形成
S3
ZrO_2層形成
S4
上部電極形成
S5
終了

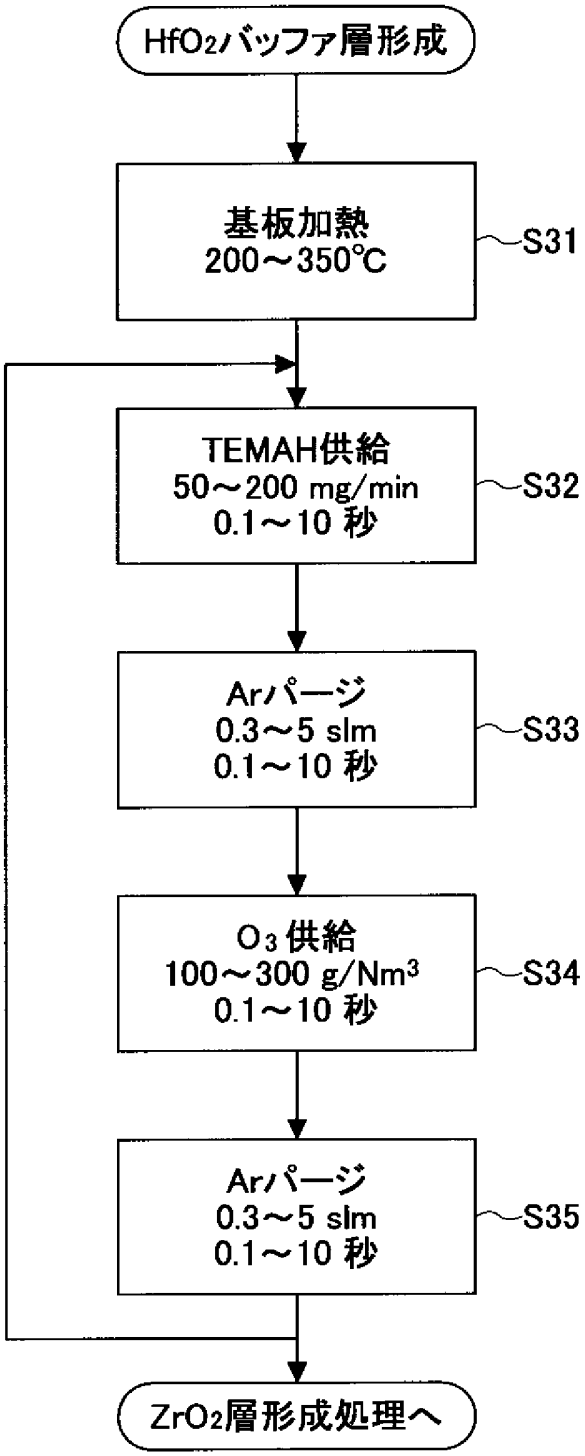
[図5]


ZrO2層形成
基板加熱
200～350℃
S11
TEMAZ供給
50～200 mg/min
0.1～10 秒
S12
Arパージ
0.3～5 slm
0.1～10 秒
S13
O3 供給
100～300 g/Nm3
0.1～10 秒
S14
Arパージ
0.3～5 slm
0.1～10 秒
S15
バッファ層形成処理へ

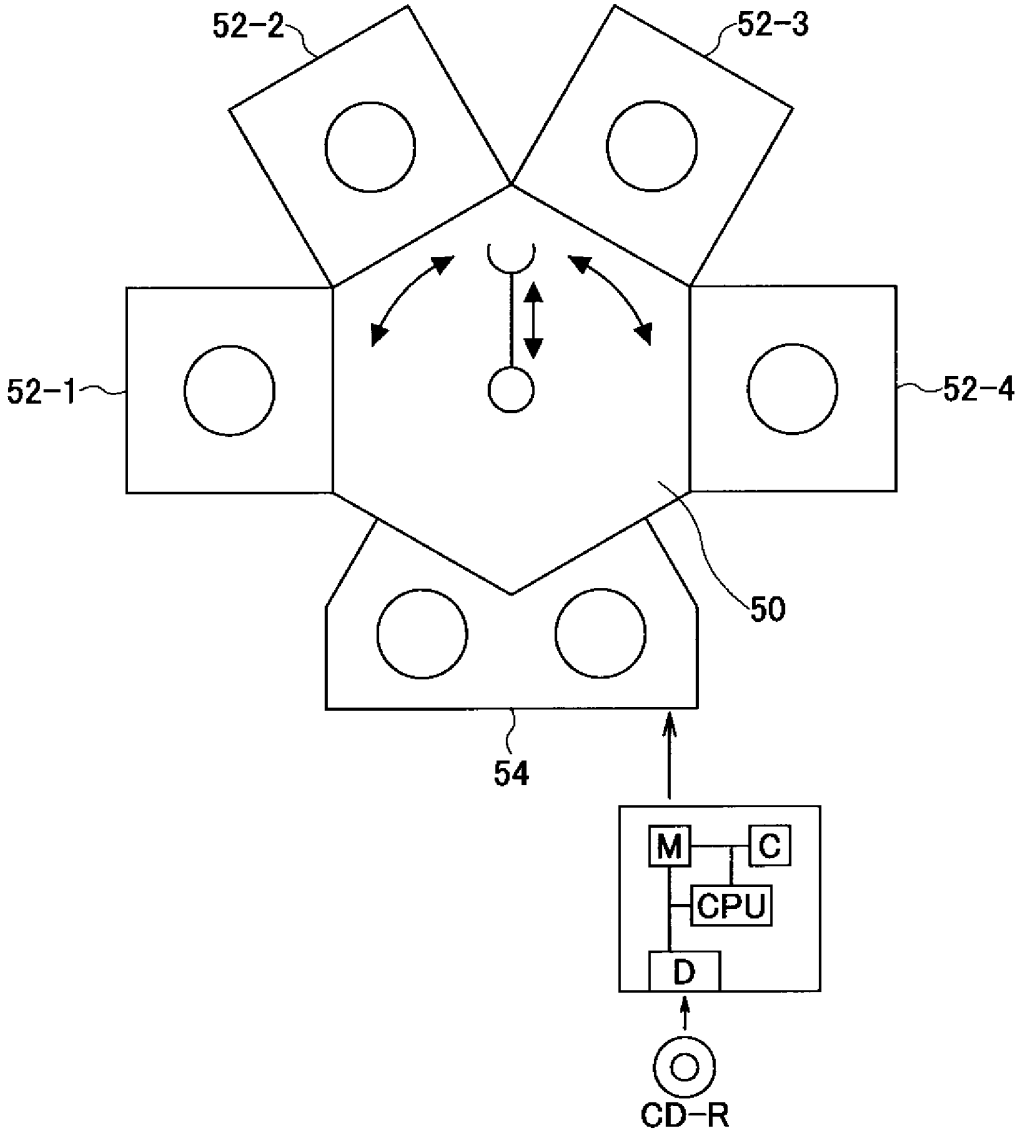
[図6]


Al2O3バッファ層形成
基板加熱
300～400℃
S21
TMA 供給
90 sccm
0.1～10 秒
S22
Arパージ
0.3～5 slm
0.1～10 秒
S23
O3 供給
100～300 g/Nm3
0.1～10 秒
S24
Arパージ
0.3～5 slm
0.1～10 秒
S25
ZrO2層形成処理へ

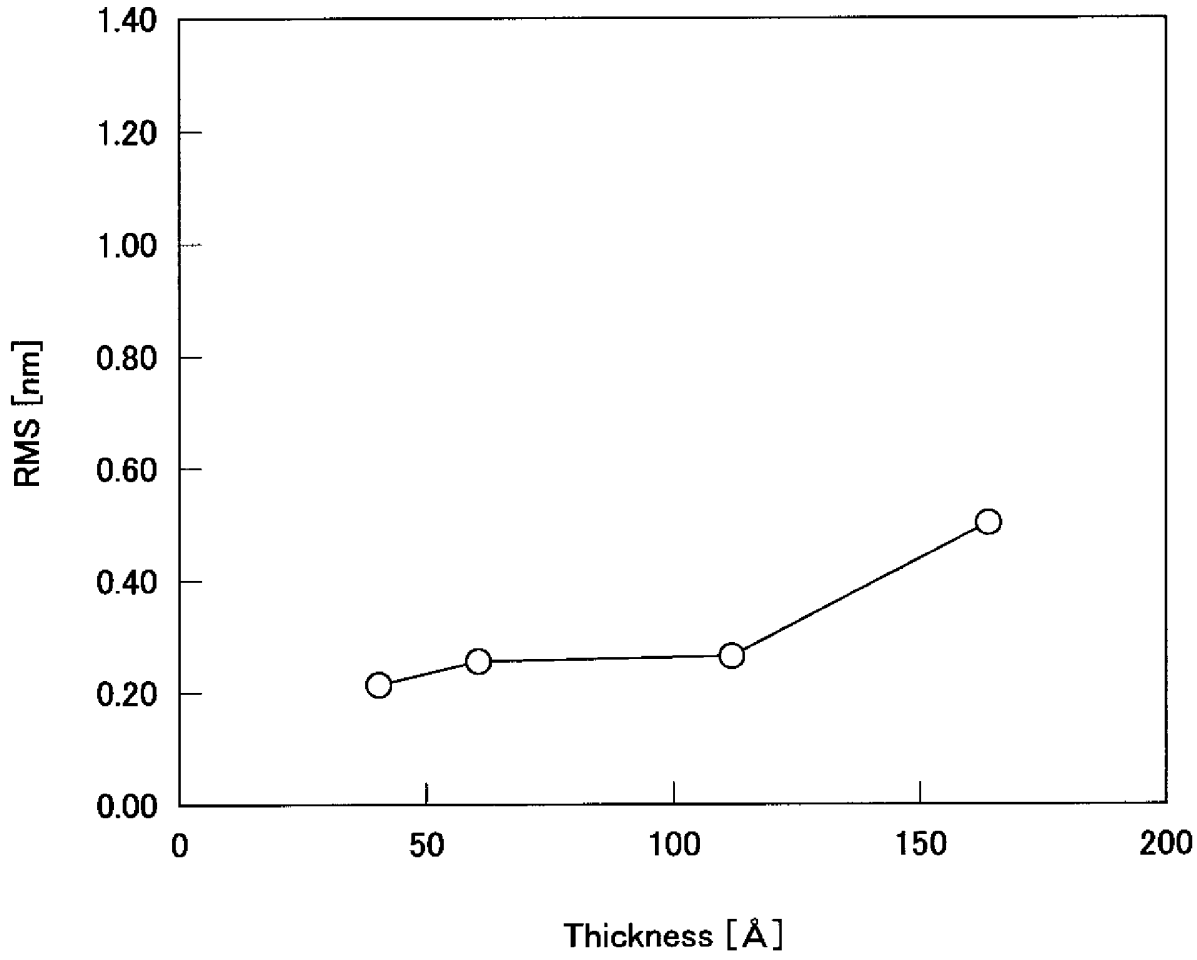
[図7]


HfO2バッファ層形成
基板加熱
200～350℃
S31
TEMAH供給
50～200 mg/min
0.1～10 秒
S32
Arパージ
0.3～5 slm
0.1～10 秒
S33
O3 供給
100～300 g/Nm3
0.1～10 秒
S34
Arパージ
0.3～5 slm
0.1～10 秒
S35
ZrO2層形成処理へ

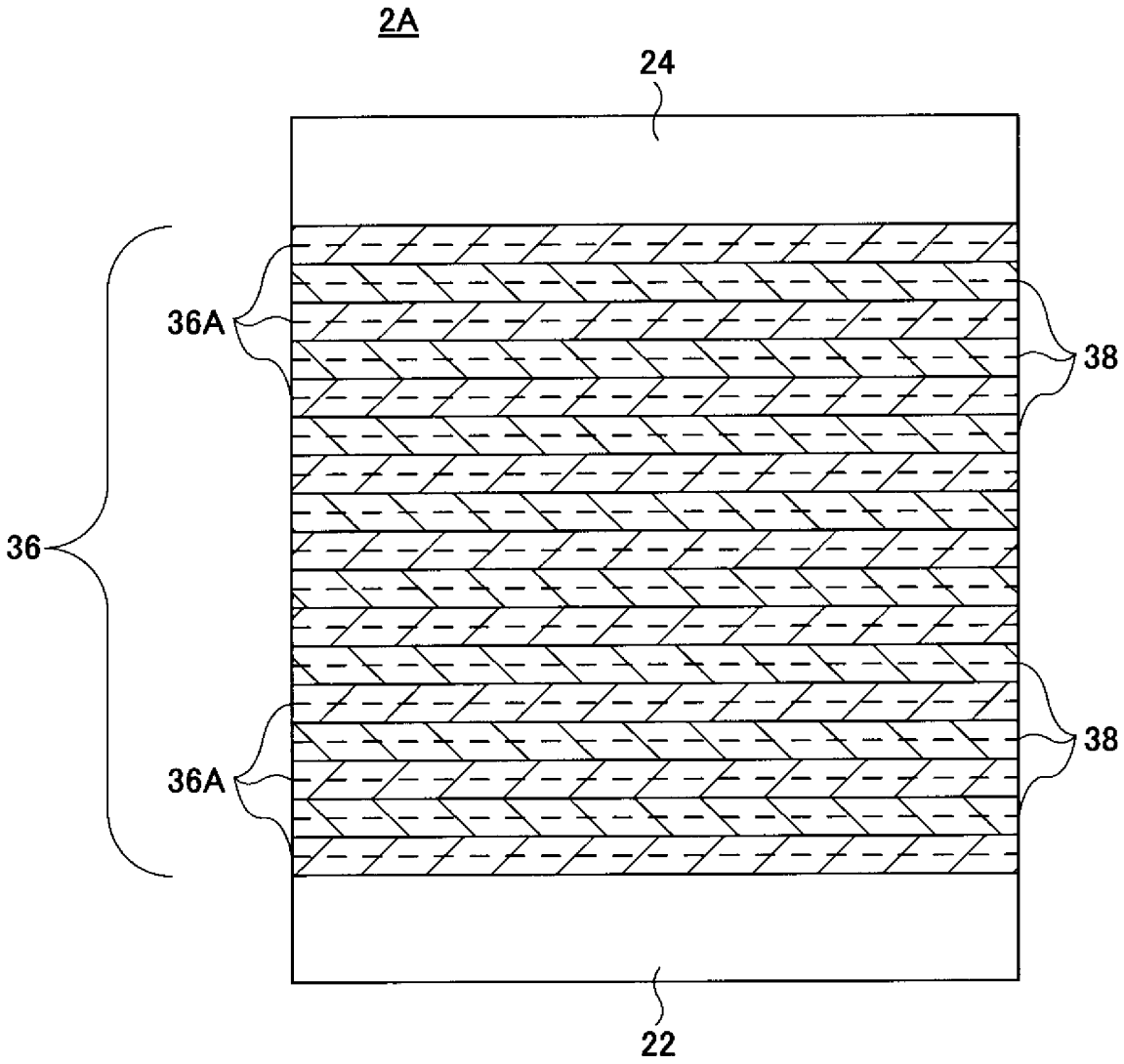
[図8]



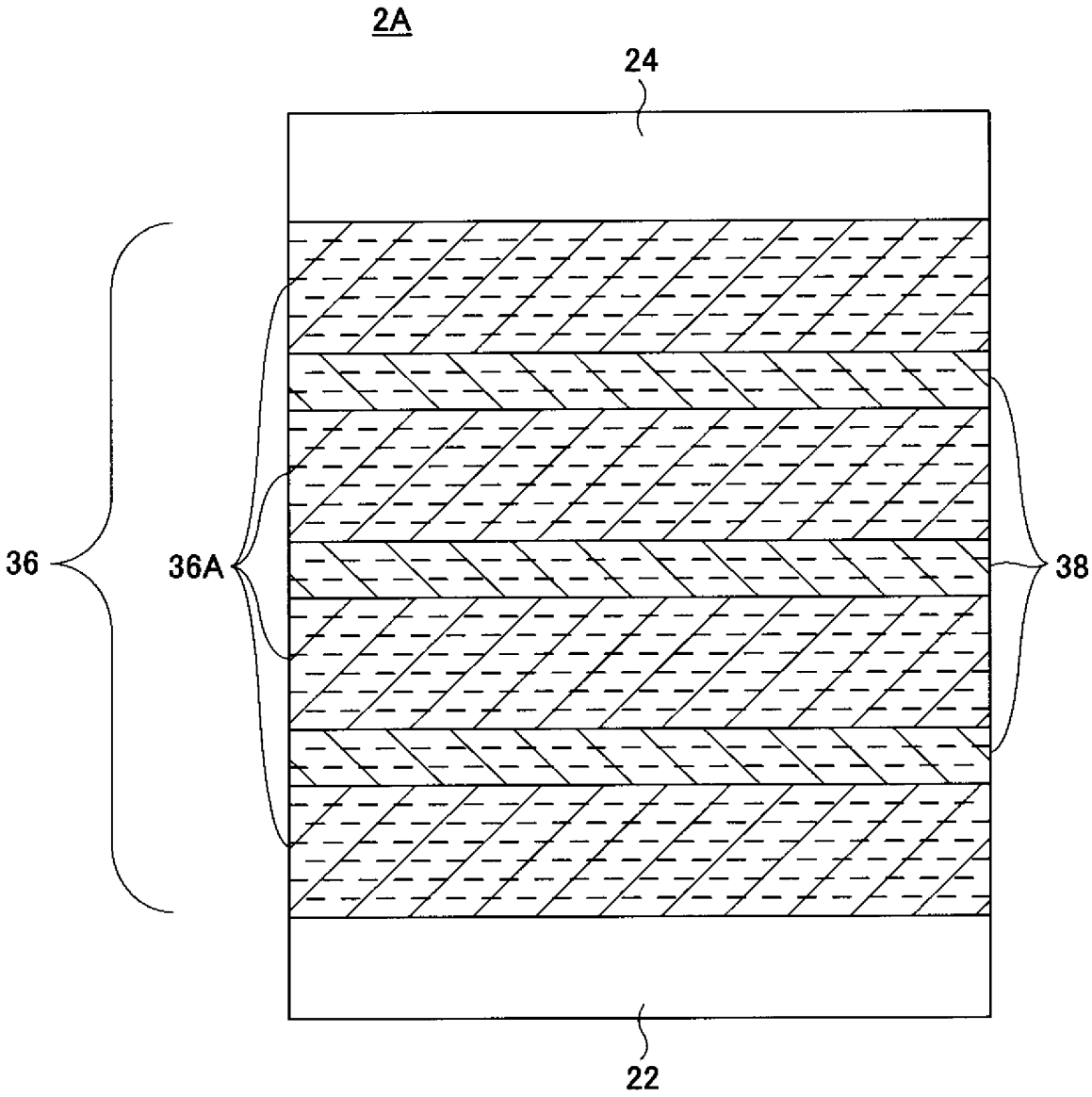
[図9]


1.40
1.20
1.00
0.80
0.60
0.40
0.20
0.00
RMS [nm]
0
50
100
150
200
Thickness [Å]

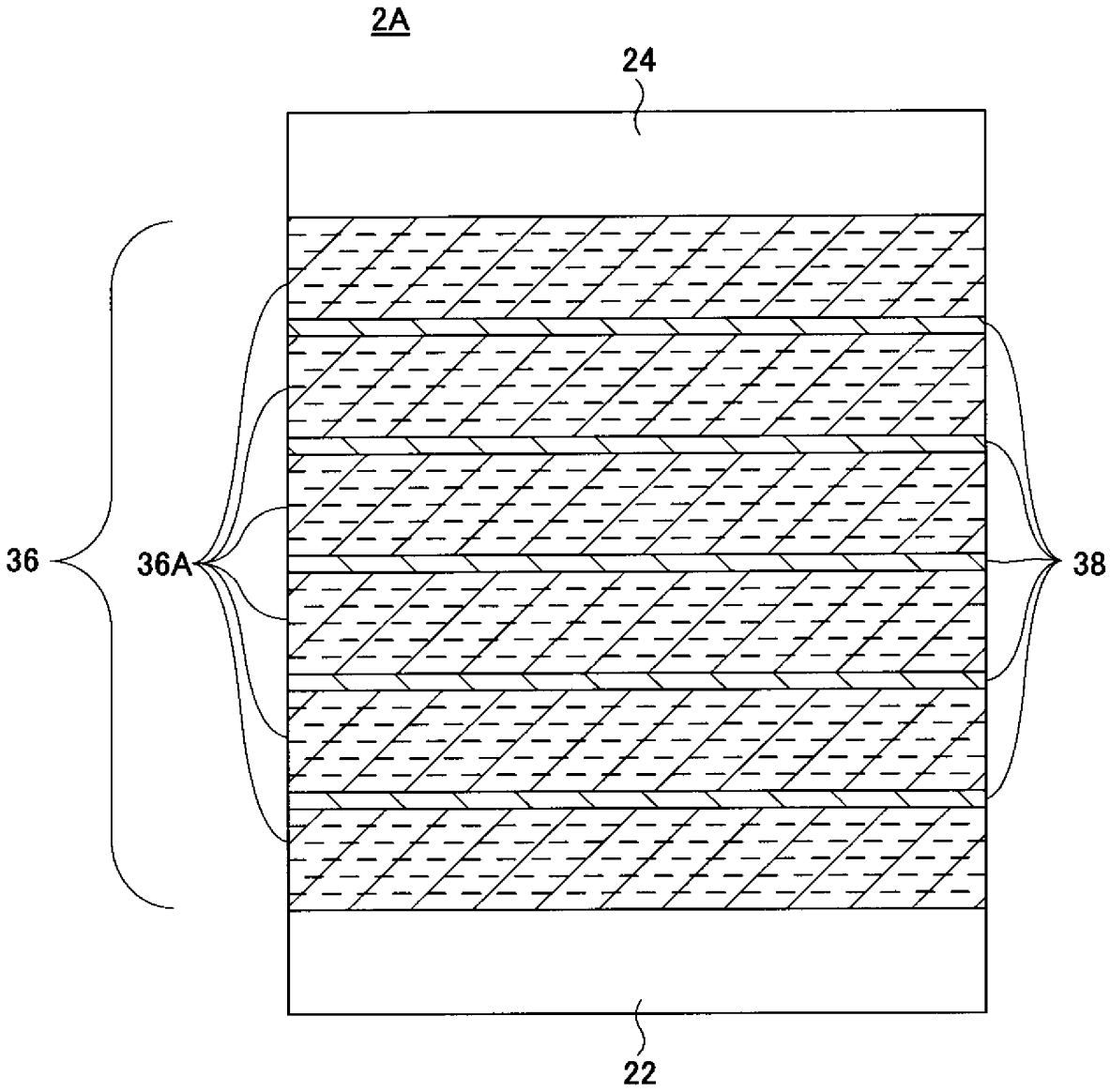
[図10]



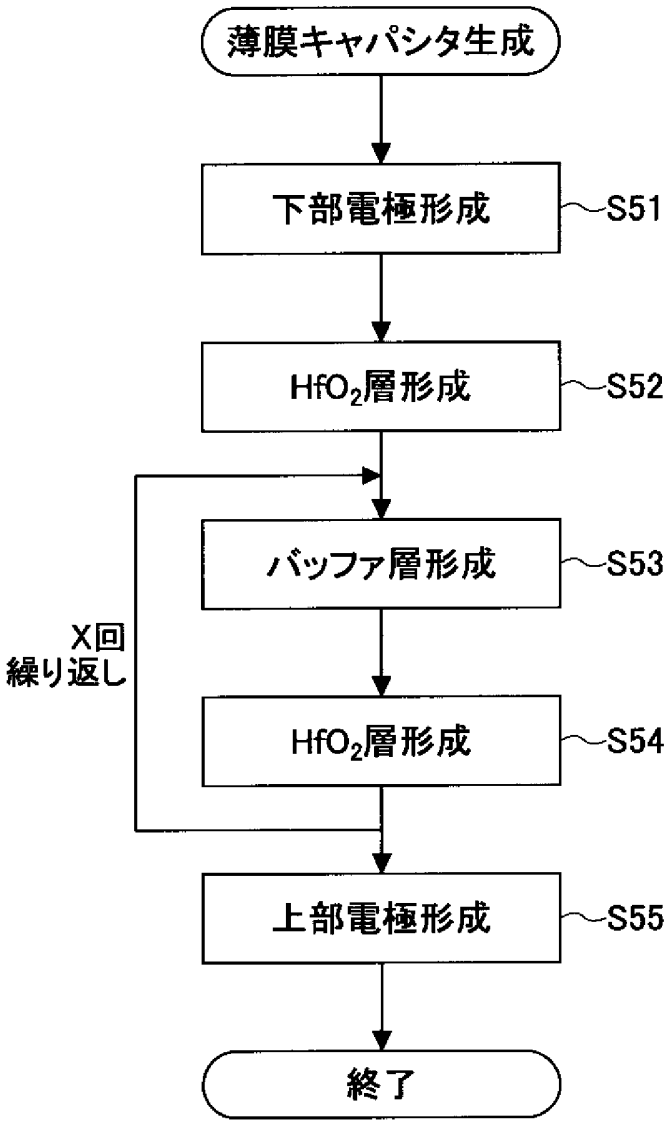
[図11]



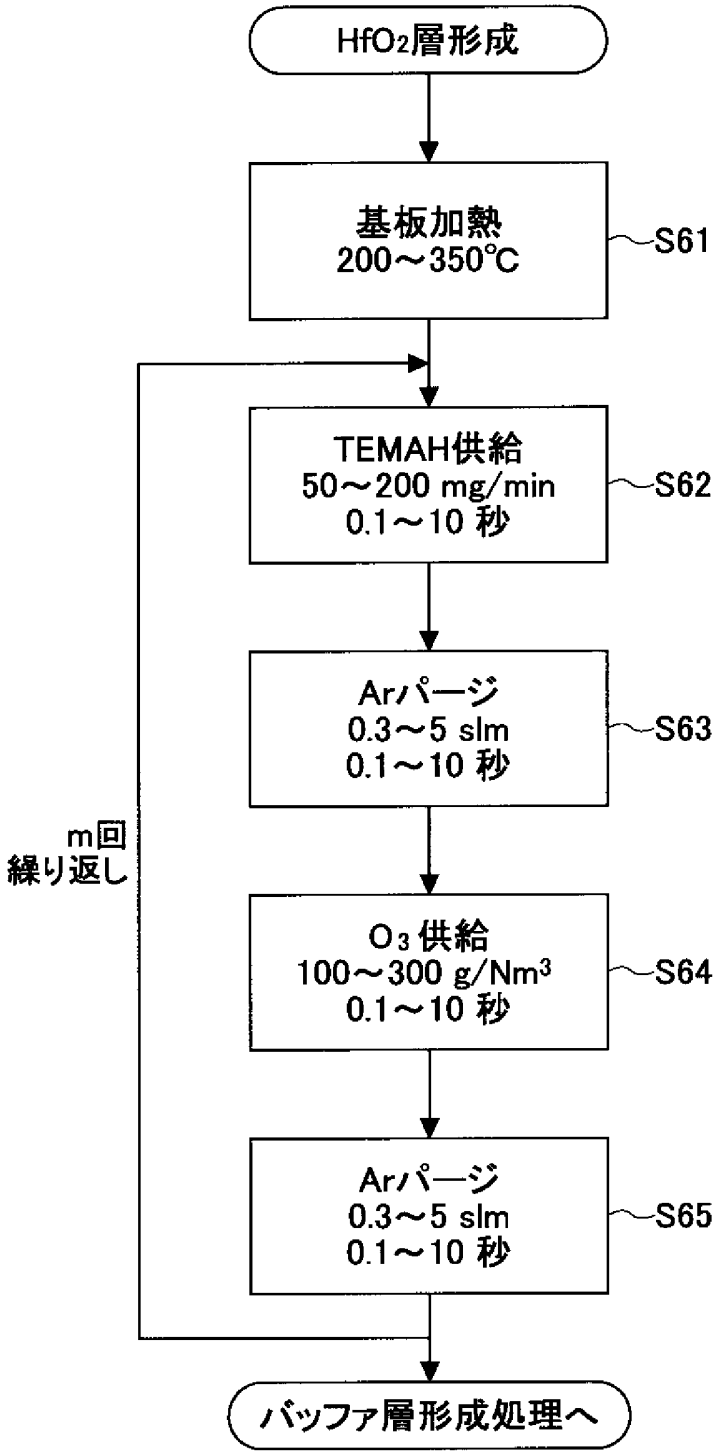
[図12]



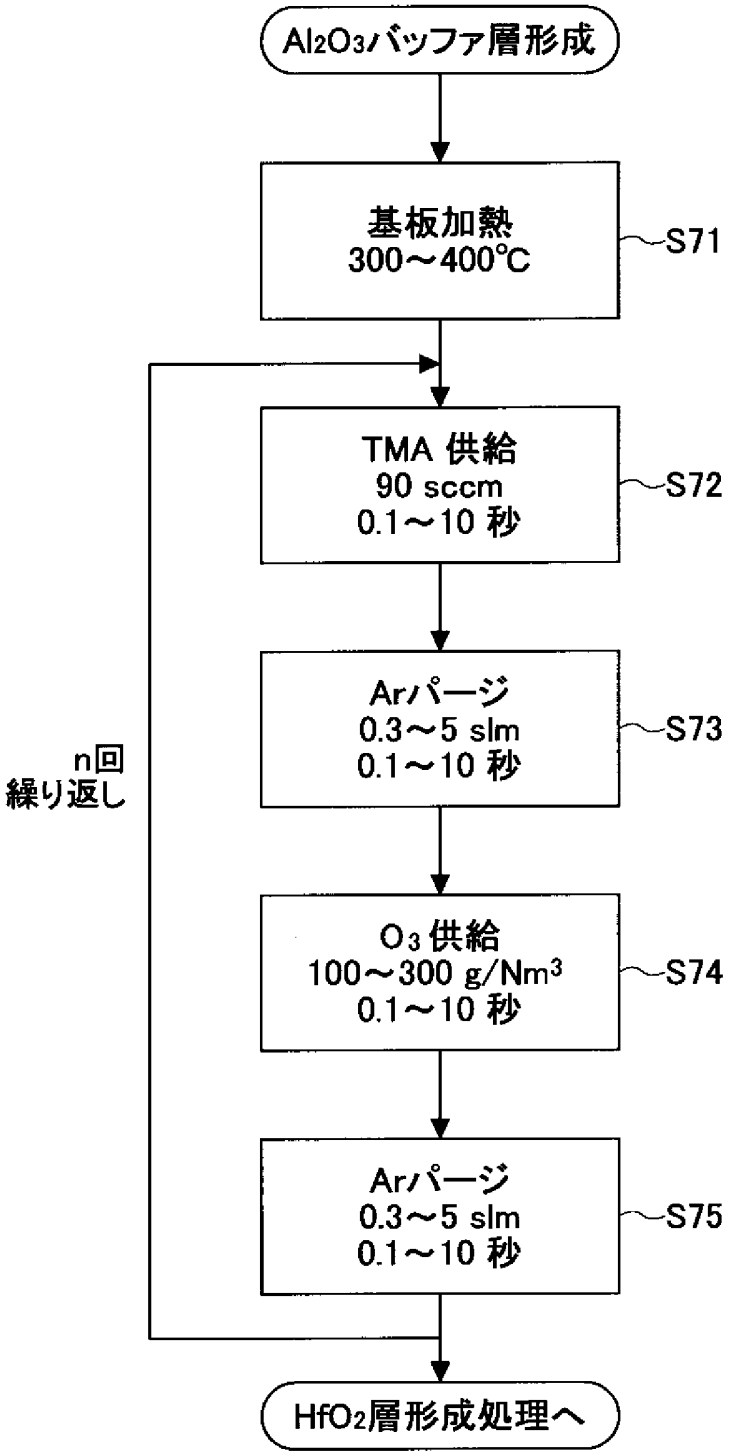
[図13]


薄膜キャパシタ生成
下部電極形成
S51
HfO_2層形成
S52
バッファ層形成
S53
X回
繰り返し
HfO_2層形成
S54
上部電極形成
S55
終了

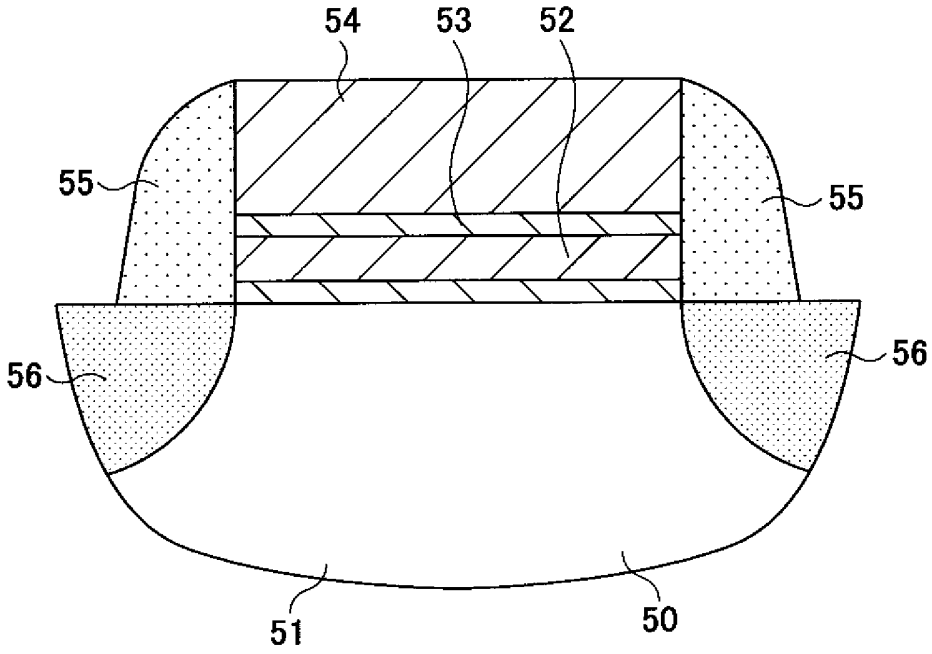
[図14]


HfO2層形成
基板加熱
200～350℃
S61
TEMAH供給
50～200 mg/min
0.1～10 秒
S62
Arパージ
0.3～5 slm
0.1～10 秒
S63
m回
繰り返し
O3 供給
100～300 g/Nm3
0.1～10 秒
S64
Arパージ
0.3～5 slm
0.1～10 秒
S65
バッファ層形成処理へ

[図15]


Al2O3バッファ層形成
基板加熱
300～400℃
S71
TMA 供給
90 sccm
0.1～10 秒
S72
Arパージ
0.3～5 slm
0.1～10 秒
S73
n回
繰り返し
O3 供給
100～300 g/Nm3
0.1～10 秒
S74
Arパージ
0.3～5 slm
0.1～10 秒
S75
HfO2層形成処理へ

[図16]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/016639

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8242(2006.01), ***H01L27/108***(2006.01)

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8242(2006.01), ***H01L27/108***(2006.01), ***H01L21/316***(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2005
Kokai Jitsuyo Shinan Koho	1971-2005	Toroku Jitsuyo Shinan Koho	1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2002-319583 A (Samsung Electronics Co., Ltd.), 31 October, 2002 (31.10.02), Full text & US 2002/106536 A1 & TW 499730 A & KR 2004-2818 A & US 6844604 B	1,4-6,9-16 2,3,7,8
X A	JP 2005-159271 A (Kabushiki Kaisha Hainikkusu Semiconductor), 16 June, 2005 (16.06.05), Par. Nos. [0059] to [0060] & US 2005/110115 A1 & CN 1619819 A & DE 102004020157 A1	1,6,9-16 2-5,7,8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 November, 2005 (15.11.05)	22 November, 2005 (22.11.05)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2005/016639

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-214602 A (Kabushiki Kaisha Hainikkusu Semiconductor), 29 July, 2004 (29.07.04), Full text & US 2004/137678 A1 & KR 2004-60309 A & KR 469158 B	1-16
A	JP 2004-56154 A (Samsung Electronics Co., Ltd.), 19 February, 2004 (19.02.4), Full text & EP 1383162 A2 & US 2004/18747 A1 & CN 1469439 A & KR 2004-8992 A & KR 468852 B & US 6911402 B2	1-16
A	JP 2002-314072 A (NEC Corp.), 25 October, 2002 (25.10.02), Full text & US 2002/153579 A1	1-16
A	JP 8-31951 A (Texas Instruments Inc.), 02 February, 1996 (02.02.96), Full text & US 5854499 A & US 5970337 A	1-16

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００５／０１６６３９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　***H01L21/8242*** (2006.01), ***H01L27/108*** (2006.01)

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　***H01L21/8242*** (2006.01), ***H01L27/108*** (2006.01), ***H01L21/316*** (2006.01)

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００５年
日本国実用新案登録公報	１９９６－２００５年
日本国登録実用新案公報	１９９４－２００５年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X A	JP 2002-319583 A (三星電子株式会社) 2002.10.31, 全文 & US 2002/106536 A1 & TW 499730 A & KR 2004-2818 A & US 6844604 B	1,4-6,9-16 2,3,7,8
X A	JP 2005-159271 A (株式会社ハイニックスセミコンダクター) 2005.06.16, 【0059】-【0060】 & US 2005/110115 A1 & CN 1619819 A & DE 102004020157 A1	1,6,9-16 2-5,7,8

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 １５．１１．２００５	国際調査報告の発送日 ２２．１１．２００５
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　4M　9354 井原　純 電話番号　０３－３５８１－１１０１　内線　３４６２

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００５年４月）

C（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP 2004-214602 A（株式会社ハイニックスセミコンダクター）2004.07.29，全文 & US 2004/137678 A1 & KR 2004-60309 A & KR 469158 B	1-16
A	JP 2004-56154 A（三星電子株式会社）2004.02.19，全文 & EP 1383162 A2 & US 2004/18747 A1 & CN 1469439 A & KR 2004-8992 A & KR 468852 B & US 6911402 B2	1-16
A	JP 2002-314072 A（日本電気株式会社）2002.10.25，全文 & US 2002/153579 A1	1-16
A	JP 8-31951 A（テキサス　インスツルメンツ　インコーポレイテツド）1996.02.02，全文 & US 5854499 A & US 5970337 A	1-16