

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5609652号
(P5609652)

(45) 発行日 平成26年10月22日(2014.10.22)

(24) 登録日 平成26年9月12日(2014.9.12)

(51) Int. Cl.		F I	
HO 1 L 43/08	(2006.01)	HO 1 L 43/08	M
HO 1 L 43/10	(2006.01)	HO 1 L 43/08	Z
HO 1 L 43/12	(2006.01)	HO 1 L 43/12	
HO 1 L 27/105	(2006.01)	HO 1 L 43/10	
HO 1 L 21/8246	(2006.01)	HO 1 L 27/10	4 4 7

請求項の数 7 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2011-419 (P2011-419)	(73) 特許権者	000005223
(22) 出願日	平成23年1月5日(2011.1.5)		富士通株式会社
(65) 公開番号	特開2012-142480 (P2012-142480A)		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成24年7月26日(2012.7.26)	(74) 代理人	100091340
審査請求日	平成25年10月7日(2013.10.7)		弁理士 高橋 敬四郎
		(74) 代理人	100105887
			弁理士 来山 幹雄
		(72) 発明者	李 永▲民▼
			神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内
		審査官	境 周一

最終頁に続く

(54) 【発明の名称】 磁気トンネル接合素子、その製造方法、及びMRAM

(57) 【特許請求の範囲】

【請求項1】

基板上に形成された下部電極と、
 前記下部電極の一部の領域の上に配置され、前記下部電極とはエッチング特性が異なる導電材料で形成されたバッファ層と、
 前記バッファ層の上に配置され、アモルファスの強磁性材料で形成された第1磁化自由層と、
 前記第1磁化自由層の上に配置され、結晶化した強磁性材料で形成された第2磁化自由層と、
 前記第2磁化自由層の上に配置されたトンネルバリア層と、
 前記トンネルバリア層の上に配置され、磁化方向が固定された磁化固定層と、
 前記磁化固定層の上に形成された上部電極と、
 を有し、
 前記第1磁化自由層は、Fe、B、及びTaまたはWである添加元素を含む、磁気トンネル接合素子。

【請求項2】

前記第1磁化自由層の添加元素は、Taであり、
 前記第2磁化自由層は、Fe、及びBを含み、Taを含まない、請求項1に記載の磁気トンネル接合素子。

【請求項3】

前記第1磁化自由層のTa含有量は、30原子%よりも多く、かつ50原子%よりも少ない、請求項2に記載の磁気トンネル接合素子。

【請求項4】

前記バッファ層は、Ru、Pt、Crからなる群より選択された少なくとも1つの元素を含む、請求項1乃至3のいずれか1項に記載の磁気トンネル接合素子。

【請求項5】

前記バッファ層の厚さは、3nm～15nmの範囲内であり、前記第1磁化自由層の厚さは、0.8nm～2.5nmの範囲内であり、前記第2磁化自由層の厚さは、0.4nm～1nmの範囲内である、請求項1乃至4のいずれか1項に記載の磁気トンネル接合素子。

10

【請求項6】

基板上に下部電極層を形成する工程と、

前記下部電極層の上に、前記下部電極層とはエッチング特性が異なる導電材料で形成されたバッファ層を形成する工程と、

前記バッファ層の上に、Fe、B、及びTaまたはWである添加元素を含むアモルファスの強磁性材料からなる第1磁化自由層を形成する工程と、

前記第1磁化自由層の上に、該第1磁化自由層とは異なるアモルファスの強磁性材料からなる第2磁化自由層を形成する工程と、

前記第2磁化自由層の上に、トンネルバリア層を形成する工程と、

前記トンネルバリア層の上に、磁化方向が固定された磁化固定層を形成する工程と、

20

前記磁化固定層を形成した後、熱処理を行い、前記第2磁化自由層を結晶化するが、前記第1磁化自由層はアモルファスの状態を維持させる工程と、

前記磁化固定層の上に、マスクパターンを形成する工程と、

前記マスクパターンをエッチングマスクとして、前記磁化固定層から前記バッファ層まで反応性イオンエッチング法を用いてエッチングし、前記下部電極層の上面を露出させる工程と、

を有する磁気トンネル接合素子の製造方法。

【請求項7】

第1の方向に延在する複数のワード線と、

前記ワード線を交差する方向に延在する複数のビット線と、

30

前記ワード線と前記ビット線との交差箇所に対応して配置されたメモリセルと、

を有し、

前記メモリセルは、

一方の電流端子が接地され、ゲート電極が、対応するワード線に接続されたMOSトランジスタと、

一方の電極が前記MOSトランジスタの他方の電流端子に接続され、他方の電極が、対応するビット線に接続されたMTJ素子と、

を含み、

前記MTJ素子は、

基板上に形成された下部電極と、

40

前記下部電極の一部の領域の上に配置され、前記下部電極とはエッチング特性が異なる導電材料で形成されたバッファ層と、

前記バッファ層の上に配置され、アモルファスの強磁性材料で形成された第1磁化自由層と、

前記第1磁化自由層の上に配置され、結晶化した強磁性材料で形成された第2磁化自由層と、

前記第2磁化自由層の上に配置されたトンネルバリア層と、

前記トンネルバリア層の上に配置され、磁化方向が固定された磁化固定層と、

前記磁化固定層の上に形成された上部電極と、

を含み、

50

前記第1磁化自由層は、Fe、B、及びTaまたはWである添加元素を含む、MRAM

。【発明の詳細な説明】

【技術分野】

【0001】

本発明は、MRAM（磁気ランダムアクセスメモリ）や磁気ヘッド等に用いられる磁気トンネル接合素子（MTJ素子）及びその製造方法に関する。

【背景技術】

【0002】

MTJ素子は、磁化方向が変化する磁化自由層、トンネルバリア層、磁化方向が固定された磁化固定層、及び磁化固定層に交換結合して磁化方向を固定させる反強磁性層が積層された構造を有する。この積層構造をパターンニングする際に、異方性ドライエッチングが適用される。さらに、パターンニングされた積層構造の側面に付着した導電性の付着物を除去するために、等方性ドライエッチングが適用される。

10

【0003】

磁化自由層にCoFeTaを用いることにより、スピン注入効率を高め、書込みに要する電流を低減させたスピン注入型MRAMが公知である。

【先行技術文献】

【特許文献】

【0004】

20

【特許文献1】特開2006-165030号公報

【特許文献2】特開2007-48790号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

MTJ素子の積層構造をパターンニングした後、積層構造の側方に導電性の付着物が生成されると、リーク電流が増加してしまう。この付着物をエッチングで除去することが困難な場合がある。積層構造の側方に生成された付着物の影響を受けにくい磁気トンネル接合素子及びその製造方法が求められている。

【課題を解決するための手段】

30

【0006】

本発明の一観点によると、
 基板上に形成された下部電極と、
 前記下部電極の一部の領域の上に配置され、前記下部電極とはエッチング特性が異なる導電材料で形成されたバッファ層と、
 前記バッファ層の上に配置され、アモルファスの強磁性材料で形成された第1磁化自由層と、
 前記第1磁化自由層の上に配置され、結晶化した強磁性材料で形成された第2磁化自由層と、
 前記第2磁化自由層の上に配置されたトンネルバリア層と、
 前記トンネルバリア層の上に配置され、磁化方向が固定された磁化固定層と、
 前記磁化固定層の上に形成された上部電極と、
 を有し、

40

前記第1磁化自由層は、Fe、B、及びTaまたはWである添加元素を含む、
 磁気トンネル接合素子が提供される。

【0007】

本発明の他の観点によると、
 基板上に下部電極層を形成する工程と、
 前記下部電極層の上に、前記下部電極とはエッチング特性が異なる導電材料で形成され

50

たバッファ層を形成する工程と、

前記バッファ層の上に、Fe、Bを含み、TaまたはWである添加元素を含むアモルファスの強磁性材料からなる第1磁化自由層を形成する工程と、

前記第1磁化自由層の上に、該第1磁化自由層とは異なるアモルファスの強磁性材料からなる第2磁化自由層を形成する工程と、

前記第2磁化自由層の上に、トンネルバリア層を形成する工程と、

前記トンネルバリア層の上に、磁化方向が固定された磁化固定層を形成する工程と、

前記磁化固定層を形成した後、熱処理を行い、前記第2磁化自由層を結晶化するが、前記第1磁化自由層はアモルファスの状態を維持させる工程と、

前記磁化固定層の上に、マスクパターンを形成する工程と、

前記マスクパターンをエッチングマスクとして、前記磁化固定層から前記バッファ層まで反応性イオンエッチング法を用いてエッチングし、前記下部電極層の上面を露出させる工程と、

を有する磁気トンネル接合素子の製造方法が提供される。

【発明の効果】

【0008】

バッファ層を配置することにより、下部電極からトンネルバリア層までの高さを高くすることができる。これにより、磁気トンネル接合素子の特性が、プロセス中に下部電極の上に堆積する付着物の影響を受け難くなる。磁化自由層を、第1磁化自由層と第2磁化自由層との2層構造にすることにより、磁化自由層とトンネルバリア層との界面の品質低下を抑制することができる。

【図面の簡単な説明】

【0009】

【図1】実施例1による磁気トンネル接合素子の断面図である。

【図2-1】実施例1による磁気トンネル接合素子の、製造途中段階の断面図である。

【図2-2】実施例1による磁気トンネル接合素子の、製造途中段階の断面図である。

【図2-3】実施例1による磁気トンネル接合素子の、製造途中段階の断面図である。

【図3】下部電極の材料が異なる種々の磁気トンネル接合素子の磁化自由層の厚さとMR比との関係を示すグラフである。

【図4】(4A)及び(4B)は、それぞれ下部電極にTa及びRuを使用した場合の、MTJ積層構造の概略断面図である。

【図5】(5A)は、第2磁化自由層の厚さとMR比との関係を示すグラフであり、(5B)は、第1磁化自由層の厚さとMR比との関係を示すグラフである。

【図6】実施例2によるMRAMの等価回路図である。

【図7】実施例2によるMRAMの、製造途中段階の断面図である。

【図8】実施例3によるMRAMの断面図である。

【図9】(9A)及び(9B)は、それぞれ実施例4による磁気ヘッドの浮上面の正面図、及び磁気ヘッドの断面図である。

【発明を実施するための形態】

【0010】

[実施例1]

図1に、実施例1によるMTJ素子の断面図を示す。基板10の一部の領域の上に、下部電極11が形成されている。下部電極11には、例えばTaが用いられ、その厚さは、例えば5nm~50nmの範囲内である。下部電極11は結晶化しておらず、アモルファス状態である。下部電極11の一部の領域の上に、バッファ層12が形成されている。バッファ層12には、例えばRu、Pt、Cr等が用いられ、その厚さは、例えば3nm~15nmの範囲内である。バッファ層12は結晶化している。

【0011】

バッファ層12の上に、MTJ積層構造15が配置されている。MTJ積層構造15は、磁化自由層16、トンネルバリア層20、磁化固定層21、及び反強磁性層27がこの

10

20

30

40

50

順番に堆積した積層構造を有する。

【0012】

磁化自由層16は、第1磁化自由層17と、その上に形成された第2磁化自由層18とを含む。第1磁化自由層17は、例えばアモルファス状態のCoFeBで形成され、その厚さは0.8nm~2.5nmの範囲内である。第2磁化自由層18は、例えば結晶化したCoFeBで形成され、その厚さは0.4nm~1.0nmの範囲内である。なお、第2磁化自由層18は、成膜直後はアモルファスであるが、その後の熱処理プロセスで結晶化する。磁化自由層16の磁化方向は、スピン偏極した電子の注入や、外部磁場の印加によって容易に変化する。

【0013】

トンネルバリア層20は、例えばMgOで形成され、その厚さは0.8nm~1.1nmの範囲内である。MgOは体心立方格子構造を有し、トンネルバリア層20を形成するMgOは、(001)配向している。

【0014】

磁化固定層21は、第1磁化固定層22、第2磁化固定層23、スペーサ層24、及び第3磁化固定層25がこの順番に堆積した積層構造を有する。第1磁化固定層22は、例えばCoFeBで形成され、その厚さは1.5nm~2.5nmの範囲内である。第2磁化固定層23は、例えばCoFeで形成され、その厚さは0.5nm以下である。スペーサ層24は、例えばRuで形成され、その厚さは0.75nm~1.5nmの範囲内である。第3磁化固定層25は、たとえばCoFeで形成され、その厚さは1.5nm~2.5nmの範囲内である。磁化固定層21は、スペーサ層24を介して、上下の磁化固定層が反強磁性交換結合する積層フェリ構造を有する。

【0015】

反強磁性層27は、例えばIrMnで形成され、その厚さは7nm~10nmの範囲内である。なお、反強磁性層27は、IrMn以外の反強磁性材料、例えばPtMn等で形成してもよい。反強磁性層27にPtMnを用いる場合には、その厚さを、10nm~20nmの範囲内とする。反強磁性層27は、第3磁化固定層25と交換結合し、第3磁化固定層25の磁化方向を固定する。

【0016】

MTJ積層構造15の上に、上部電極31及び接続層32が、この順番に積層されている。上部電極31は、例えばRuで形成され、その厚さは3nm~10nmである。接続層32は、例えばTaで形成され、その厚さは30nm~80nmである。

【0017】

バッファ層12の側方の下部電極11の上に、酸化物層40が形成されている。酸化物層40は、下部電極11の酸化物で形成される。酸化物層40の上面は、トンネルバリア層20の底面よりも低い。

【0018】

図2A~図2Fを参照して、実施例1によるMTJ素子の製造方法について説明する。

【0019】

図2Aに示すように、基板10の上に、下部電極11から接続層32までの各層を、スパッタリングにより形成する。成膜時に、第1磁化自由層17及び第2磁化自由層18は、アモルファス状態である。接続層32を形成した後、磁場中で熱処理を行うことにより、第2磁化自由層18を結晶化させる。この熱処理は、例えば下記の条件で行われる。

- ・圧力 1×10^{-5} Pa以下
- ・磁場の大きさ 1 T
- ・磁場の向き 面内方向
- ・温度 350
- ・熱処理時間 2時間
- ・昇温及び降温時間 1時間

図2Bに示すように、この熱処理により、MgOからなるトンネルバリア層20と第2

10

20

30

40

50

磁化自由層 18 との界面から、第 2 磁化自由層 18 内に向かって結晶化が進む。これにより、第 2 磁化自由層 18 が結晶化される。本明細書において、この熱処理を、「結晶化熱処理」ということとする。

【0020】

第 1 磁化自由層 17 の CoFeB Ta は、CoFeB よりも結晶化しにくい。第 1 磁化自由層 17 の下の Ru からなるバッファ層 12 は結晶化しているが、バッファ層 12 と第 1 磁化自由層 17 との界面から、第 1 磁化自由層 17 内に向かう結晶化は生じない。このため、第 1 磁化自由層 17 は、結晶化熱処理後もアモルファス状態のままである。第 2 磁化自由層 18 とバッファ層 12 との間に、アモルファス状態の第 1 磁化自由層 17 が挿入されているため、第 2 磁化自由層 18 が結晶化されるときに、バッファ層 12 の結晶構造の影響を受けることはない。

10

【0021】

図 2 C に示すように、MTJ 積層構造を配置すべき領域に接続層 32 を残すように、接続層 32 をパターニングする。接続層 32 のパターニングには、例えばエッチングマスクとして酸化シリコン膜を用い、エッチングガスとして Cl_2 ガスを用いる。接続層 32 をパターニングした後、エッチングマスクとして使用した酸化シリコン膜は除去する。パターニングされた接続層 32 の平面形状は、例えば長方形または楕円形である。

【0022】

図 2 D に示すように、接続層 32 をエッチングマスクとして用い、上部電極 31 からバッファ層 12 までの各層をエッチングする。このエッチングには、CO と NH_3 との混合ガスを用いた反応性イオンエッチングが適用される。CO と NH_3 との流量比は、例えば 1 : 10 とし、エッチングチャンバ内の圧力は、例えば 10 Pa とする。なお、エッチングガスとしてメタノールガスを用いることもできる。

20

【0023】

Ta からなる下部電極 11 が露出すると、下部電極 11 の表面が酸化され、タンタル酸化物層 40 が形成される。タンタル酸化物層 40 がエッチングストップとして作用するため、下部電極 11 はエッチングされない。下部電極 11 が酸化されると、その体積が膨張するため、タンタル酸化物層 40 の上面が、初期の下部電極 11 の上面よりも高くなる。ただし、タンタル酸化物層 40 の上面が、トンネルバリア層 20 の底面までは達しないように、バッファ層 12 の膜厚が設定されている。

30

【0024】

ここまでの工程で、バッファ層 12、磁化自由層 16、トンネルバリア層 20、磁化固定層 21、反強磁性層 27、上部電極 31、及び接続層 32 を含む積層構造体 41 が形成される。

【0025】

図 2 E に示すように、積層構造体 41 及び酸化物層 40 の上にフォトレジスト膜を形成し、このフォトレジスト膜をパターニングすることにより、レジストパターン 43 を形成する。レジストパターン 43 は、積層構造体 41、及びその周囲の酸化物層 40 を覆う。

【0026】

図 2 F に示すように、レジストパターン 43 をエッチングマスクとして、酸化物層 40 及び下部電極 11 をエッチングする。このエッチングには、例えばエッチングガスとして Cl_2 を用いた反応性イオンエッチングが適用される。エッチング後、レジストパターン 43 を除去する。ここまでの工程で、図 1 に示した MTJ 素子が形成される。

40

【0027】

以下、バッファ層 12 を配置することの効果について説明する。磁化自由層 16 を厚くすると、磁化を反転させるべき強磁性材料の体積が大きくなるため、書込みに必要な電流の閾値が大きくなってしまふ。所望の書込み電流の閾値から、磁化自由層 16 の厚さの上限値が決定される。バッファ層 12 を配置しない場合には、下部電極 11 の上面からトンネルバリア層 20 の底面までの高さが、磁化自由層 16 の厚さの上限値により制限される。

50

【 0 0 2 8 】

酸化物層 4 0 は、酸化前の下部電極 1 1 の上面を基準として、下方及び上方に成長する。酸化物層 4 0 の厚さは、図 2 D に示した反応性イオンエッチングの条件に依存する。通常のエッチング条件では、酸化物層 4 0 の、上方に成長した部分の厚さを、磁化自由層 1 6 の厚さの上限値よりも薄くすることが困難である。このため、酸化物層 4 0 がトンネルバリア層 2 0 まで達してしまう。T a の酸化物は導電性を有するため、酸化物層 4 0 がトンネルバリア層 2 0 に接触すると、リーク電流が増加してしまう。

【 0 0 2 9 】

実施例 1 では、下部電極 1 1 と磁化自由層 1 6 との間にバッファ層 1 2 を挿入しているため、トンネルバリア層 2 0 の底面を、酸化物層 4 0 の上面より高くすることができる。また、バッファ層 1 2 は強磁性材料ではないため、バッファ層 1 2 を厚くしても、書込みに必要な電流の閾値は上昇しない。

10

【 0 0 3 0 】

次に、磁化自由層 1 6 を 2 層構造にすることの効果について説明する。

【 0 0 3 1 】

図 3 に、種々の M T J 素子の M R 比の測定結果を示す。作製した M T J 素子は、下部電極 1 1、磁化自由層 1 6、トンネルバリア層 2 0、及び磁化固定層 2 1 を含む。磁化自由層 1 6 は、C o F e B 層の 1 層のみとした。トンネルバリア層 2 0 には、M g O を用いた。磁化固定層 2 1 の構造は、図 1 に示した実施例 1 の磁化固定層 2 1 の構造と同一である。下部電極 1 1 の材料として、T a、R u、C r、P t、及び T i を用いた 5 種類の試料を作製した。

20

【 0 0 3 2 】

図 3 の横軸は、磁化自由層 1 6 の膜厚を、単位「n m」で表し、縦軸は M R 比を単位「%」で表す。図 4 の曲線に付した元素記号は、下部電極 1 1 の材料を示す。下部電極 1 1 に T a を用いると、他の材料を用いた場合に比べて大きな M R 比が得られている。

【 0 0 3 3 】

図 4 A 及び図 4 B を参照して、下部電極 1 1 の材料によって M R 比が変動する理由について説明する。図 4 A 及び図 4 B は、M T J 積層構造の概略断面図であり、結晶化熱処理時の結晶成長の方向を矢印で示す。図 4 A に示すように、下部電極 1 1 に T a を用いた場合には、磁化自由層 1 8 内において、トンネルバリア層 2 0 から下方に結晶化が進む。下部電極 1 1 を形成している T a はアモルファス状態であるため、下部電極 1 1 の T a は、結晶の成長核にならない。このため、下部電極 1 1 からは、ほとんど結晶化が進まない。

30

【 0 0 3 4 】

図 4 B に示すように、下部電極 1 1 に R u を用いた場合には、下部電極 1 1 が結晶化している。結晶化熱処理時に、磁化自由層 1 8 内において、下部電極 1 1 から上方に進む結晶化が支配的になる。結晶化した R u を成長核として結晶成長が進むと、C o F e B が (1 1 0) 配向してしまう。また、トンネルバリア層 2 0 と磁化自由層 1 8 との界面の品質が低下する。このため、M R 比が小さくなってしまふと考えられる。下部電極 1 1 に C r、P t、T i 等を用いた場合にも、同様に、トンネルバリア層 2 0 と磁化自由層 1 8 との界面の品質が低下していると考えられる。

40

【 0 0 3 5 】

実施例 1 の場合には、バッファ層 1 2 として R u を用いているため、バッファ層 1 2 の上に C o F e B の第 2 磁化自由層 1 8 を直接堆積させると、図 4 B の場合と同様に、第 2 磁化自由層 1 8 とトンネルバリア層 2 0 との界面の品質が低下してしまう。実施例 1 では、バッファ層 1 2 と第 2 磁化自由層 1 8 との間に、C o F e B T a の第 1 磁化自由層 1 7 が挿入されている。C o F e B T a は、C o F e B よりも結晶化し難い。このため、バッファ層 1 2 から上方に結晶化が進むことはなく、結晶化熱処理後も、第 1 磁化自由層 1 7 はアモルファス状態のままである。

【 0 0 3 6 】

第 1 磁化自由層 1 7 が結晶化しないため、第 2 磁化自由層 1 8 内において、第 1 磁化自

50

由層 17 から結晶化が進むことはない。従って、トンネルバリア層 20 から第 2 磁化自由層 18 内に結晶化が進む。これにより、第 2 磁化自由層 18 とトンネルバリア層 20 との界面の品質の低下を防止することができる。

【0037】

さらに、CoFeB Ta は磁性を持ちながら、その飽和磁化量 M_s は、CoFeB の飽和磁化量よりも小さい。書込み電流の閾値は、磁化自由層 16 の飽和磁化量と体積との積に依存する。磁化自由層 16 を 2 層構造にすれば、磁化自由層 16 を CoFeB の単層構造とする場合に比べて、書込み電流の閾値を一定に維持したまま、磁化自由層 16 を厚くすることができる。逆に、磁化自由層の厚さが等しい場合には、磁化自由層 16 を 2 層構造にすることにより、書込み電流の閾値を低減させることができる。第 1 磁化自由層 18 を第 2 磁化自由層 17 より厚くすることにより、上述の効果が顕著に現れる。

10

【0038】

図 5 A 及び図 5 B に、実施例 1 による MTJ 素子の積層構造を持つ試料の MR 比の測定結果を示す。第 1 磁化自由層 17 の強磁性材料として、 $(Co_{0.42}Fe_{0.42}B_{0.16})_{0.66}Ta_{0.34}$ を用い、第 2 磁化自由層 18 の強磁性材料として、 $Co_{0.42}Fe_{0.42}B_{0.16}$ を用いた。MR 比の測定には、CIPT (Current - In - Plane - Tunneling) 法を用いた。

【0039】

図 5 A の横軸は、第 2 磁化自由層 18 の厚さを、単位「nm」で表し、縦軸は MR 比を単位「%」で表す。丸記号及び三角記号は、それぞれ第 1 磁化自由層 17 の厚さを 1.0 nm 及び 1.2 nm にした試料の測定結果を示す。

20

【0040】

第 2 磁化自由層 18 の膜厚が 0.5 nm 以上の試料では、110% 以上の MR 比が得られているのに対し、膜厚が 0.4 nm の試料の MR 比は、100% 以下である。100% よりも大きな MR 比を得るために、第 2 磁化自由層 18 の厚さを 0.5 nm 以上にするのが好ましい。

【0041】

図 5 B の横軸は、第 1 磁化自由層 17 の厚さを、単位「nm」で表し、縦軸は MR 比を単位「%」で表す。丸記号、三角記号、及び四角記号は、それぞれ第 2 磁化自由層 18 の厚さを 0.7 nm、0.6 nm、0.5 nm とした試料の測定結果を示す。

30

【0042】

第 1 磁化自由層 17 の膜厚の変化に対して、MR 比の変化は緩やかであり、第 1 磁化自由層 17 の膜厚の好適な範囲が広いことがわかる。一例として、第 1 磁化自由層 17 の膜厚が 0.6 nm ~ 1.4 nm の範囲内で、100% 以上の MR 比が得られることが確認された。なお、第 1 磁化自由層 17 の Ta の含有量を 44 原子% とした試料を作製し、MR 比を測定したところ、100% 以上の MR 比が得られることが確認された。

【0043】

上記実施例 1 では、第 1 磁化自由層 17 を CoFeB Ta で形成し、第 2 磁化自由層 18 を CoFeB で形成した。その他に、第 1 磁化自由層 17 に、Fe、B、及び Ta を含む強磁性材料を用いることが可能である。また、第 2 磁化自由層 18 に、Fe 及び B を含み、Ta を含まない強磁性材料を用いてもよい。第 1 磁化自由層 17 及び第 2 磁化自由層 18 に、さらに Co または Ni を含有させてもよい。Fe の含有量は、10 原子% 以上にするのが好ましい。B の含有量は、15 原子% ~ 22 原子% の範囲内にすることが好ましい。

40

【0044】

第 1 磁化自由層 17 の結晶化を防止し、アモルファス状態を維持するために、Ta の含有量を 30 原子% 以上にするのが好ましい。Ta の含有量が多くなり過ぎると、第 2 磁化自由層 18 と第 1 磁化自由層 17 とを、同一のエッチングガス、すなわち CO と NH₃ との混合ガスを用いて、連続的にエッチングすることが困難になる。第 1 磁化自由層 17 を、第 2 磁化自由層 18 のエッチングガスと同一のエッチングガスでエッチングするため

50

に、T aの含有量を50原子%以下にすることが好ましい。

【0045】

なお、第1磁化自由層17に含有されるT aに代えて、Wを用いてもよい。Wを含有させても、第1磁化自由層17が第2磁化自由層18よりも結晶化し難くなる。

【0046】

また、上記実施例1では、トンネルバリア層20に、体心立方格子(bcc)構造で(001)配向したMgOを用いた。MgO以外に、トンネルバリア層20として、結晶化熱処理時に、第2磁化自由層18内の結晶化の成長核になり得る他の絶縁材料を用いてもよい。例えば、bcc構造を有し、(001)配向したMgZnOを用いてもよいし、スピネル型結晶構造を有するMgAlOを用いてもよい。

10

【0047】

また、上記実施例1では、下部電極11にT aを用いたが、その他の導電材料、例えばHf、TiN等を用いてもよい。下部電極11は、バッファ層12のエッチング条件において、エッチングストップとして作用する。

【0048】

[実施例2]

図6に、実施例2によるスピントルク注入型MRAM(STT-MRAM)の等価回路図を示す。複数のワード線53が、図6の縦方向に延在し、複数のビット線65が図6の横方向に延在する。ワード線53とビット線65との交差箇所に対応して、メモリセルが配置される。メモリセルは、MOSトランジスタ52とMTJ素子60とを含む。MOSトランジスタ52のゲート電極が、対応するワード線53に接続される。MOSトランジスタ52の一方の電流端子が接地され、他方の電流端子が、MTJ素子60を介して、対応するビット線65に接続される。

20

【0049】

図7A~図7Cを参照して、実施例2によるスピントルク注入型MRAM(STT-MRAM)の製造方法について説明する。図7A~図7Cにおいては、1つのメモリセルに対応する部分の断面図を示している。

【0050】

図7Aに示すように、シリコン等の半導体基板50の表層部に素子分離絶縁膜51を形成し、活性領域を画定する。この活性領域に、MOSトランジスタ52を形成する。MOSトランジスタ52のゲート電極がワード線53(図6)を兼ねる。半導体基板50及びMOSトランジスタ52の上に、酸化シリコン等からなる層間絶縁膜55を、例えば化学気相成長(CVD)により堆積させる。堆積後、化学機械研磨(CMP)により、層間絶縁膜55の表面を平坦化する。

30

【0051】

層間絶縁膜55にピアホールを形成し、このピアホール内をタングステン等の導電プラグ56で埋め込む。なお、バリアメタルとして、例えばTiNが用いられる。導電プラグ56は、MOSトランジスタ52の一方の不純物拡散領域に接続される。

【0052】

層間絶縁膜55の上に、導電プラグ56に接続されたグランド配線57を形成する。層間絶縁膜55及びグランド配線57の上に、酸化シリコン等からなる層間絶縁膜58を、例えばCVDにより堆積させる。堆積後、CMPにより、層間絶縁膜58の表面を平坦化する。

40

【0053】

図7Bに示すように、層間絶縁膜55、58にピアホールを形成し、このピアホール内を、タングステン等の導電プラグ59で埋め込む。なお、バリアメタルとして、例えばTiNが用いられる。導電プラグ59は、MOSトランジスタ52の他方の不純物拡散領域に接続される。

【0054】

層間絶縁膜58の上に、MTJ素子60を形成する。MTJ素子60は、図1に示した

50

実施例 1 の下部電極 1 1 から接続層 3 2 までの積層構造と同一の積層構造を有する。MTJ 素子 6 0 は、実施例 1 と同じ方法で作製される。下部電極 1 1 は、導電プラグ 5 9 に接続される。

【 0 0 5 5 】

図 7 C に示すように、MTJ 素子 6 0 及び層間絶縁膜 5 9 の上に、酸化シリコン等からなる層間絶縁膜 6 3 を、例えば C V D により堆積させる。その後、C M P により、層間絶縁膜 6 3 の表面を平坦化する。MTJ 素子 6 0 と重なる位置にビアホールを形成し、このビアホール内を、導電プラグ 6 4 で埋め込む。導電プラグ 6 4 には、例えばアルミニウム (A l) が用いられる。

【 0 0 5 6 】

層間絶縁膜 6 3 の上に、ビット線 6 5 を形成する。ビット線 6 5 は、例えば、厚さ 1 0 n m の T i 層、厚さ 3 0 n m の N i F e 層、及び厚さ 6 0 0 n m の A l 層がこの順番に堆積した 3 層構造を有する。ビット線 6 5 は、導電プラグ 6 4 に接続される。

【 0 0 5 7 】

ビット線 6 5 及び層間絶縁膜 6 3 の上に、必要に応じて上層の配線層及び電極パッドを形成する。

【 0 0 5 8 】

MTJ 素子 6 0 を構成するバッファ層 1 2 から接続層 3 2 (図 1) までの平面形状を、8 0 n m × 1 7 0 n m の長方形とした S T T - M R A M を製造し、書込み電流の閾値、及びリテンションを測定した。第 1 磁化自由層 1 7 及び第 2 磁化自由層 1 8 の厚さは、それぞれ 1 n m 及び 0 . 6 n m とした。比較のために、磁化自由層 1 6 を、C o F e B からなる厚さ 1 . 3 n m の単層で構成した比較例による試料を作製した。

【 0 0 5 9 】

書込み電流の閾値は、パルス幅 1 0 0 n s の電流パルスを用いて測定した。リテンションは、1 0 0 m s の電流パルスで 3 0 0 回繰り返し測定し、書き込み電流のばらつきからフィッティングする方法で見積もった。

【 0 0 6 0 】

実施例 1 の構造を持つ試料の書込み電流の閾値は 0 . 5 m A であった。これに対し、比較例の試料の書込み電流の閾値は 0 . 9 m A であった。実施例 1 の構造を採用することにより、書込み電流の閾値を低減させることができる。また、実施例 1 の構造を持つ試料のリテンションは 4 4 であった。これに対し、比較例による試料のリテンションは 3 6 であった。実施例 1 の構造を採用することにより、リテンションが改善されていることがわかる。

【 0 0 6 1 】

[実施例 3]

図 8 に、実施例 3 による M R A M の断面図を示す。以下の説明では、図 7 C に示した実施例 2 の M R A M との相違点について説明し、同一の構成については説明を省略する。実施例 2 の M R A M は、S T T - M T J 素子を用いている。これに対し、実施例 3 の M R A M は、配線書込み型の M T J 素子を用いている。

【 0 0 6 2 】

MTJ 素子 6 0 の下方に、書込みワード線 6 7 が配置されている。書込みワード線 6 7 は、ビット線 6 5 と交差する方向に延在する。書込みワード線 6 7 を流れる電流と、ビット線 6 5 を流れる電流とによって発生する合成磁場により、磁化自由層 1 6 の磁化方向が制御される。

【 0 0 6 3 】

MTJ 素子 6 0 には、実施例 1 による MTJ 素子と同一の積層構造を有するものが用いられる。このため、高い M R 比を得ることができる。

【 0 0 6 4 】

[実施例 4]

図 9 A に、実施例 4 による磁気ヘッドの浮上面 (媒体に対向する面) の正面図を示す。

10

20

30

40

50

浮上面を x y 面とし、トレーリング方向を x 軸、トラック幅方向を y 軸、浮上面に垂直な方向を z 軸とする x y z 直交座標系を定義する。図 9 B に、磁気ヘッドの z x 面に平行な断面図を示す。

【 0 0 6 5 】

アルミニウムチタンカーバイド等からなる基板 1 0 0 の上に、読取素子部 1 0 5 及び記録素子部 1 1 5 がこの順番に積層されている。読取素子部 1 0 5 は、下部磁気シールド層 1 0 1、読取素子 1 0 2、上部磁気シールド層 1 0 3 を含む。記録素子部 1 1 5 は、主磁極 1 1 0、主磁極補助層 1 1 1、補助磁極 1 1 2、接続部 1 1 4 を含む。主磁極 1 1 0、主磁極補助層 1 1 1、補助磁極 1 1 2、及び接続部 1 1 4 が、磁気記録時に発生する磁場の磁路の一部を構成する。この磁路と鎖交するように、記録用コイル 1 1 3 が配置されている。

10

【 0 0 6 6 】

読取素子 1 0 2 には、実施例 1 による M T J 素子が用いられる。これにより、高い M R 比を得ることができる。

【 0 0 6 7 】

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、種々の変更、改良、組み合わせ等が可能なことは当業者に自明であろう。

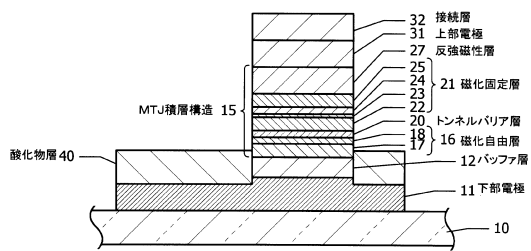
【 符号の説明 】

【 0 0 6 8 】

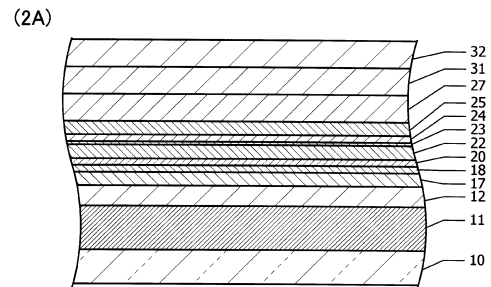
1 0	基板	20
1 1	下部電極	
1 2	パツファ層	
1 5	M T J 積層構造	
1 6	磁化自由層	
1 7	第 1 磁化自由層	
1 8	第 2 磁化自由層	
2 0	トンネルバリア層	
2 1	磁化固定層	
2 2	第 1 磁化固定層	
2 3	第 2 磁化固定層	30
2 4	スペーサ層	
2 5	第 3 磁化固定層	
2 7	反強磁性層	
3 1	上部電極	
3 2	接続層	
4 0	酸化物層	
4 1	積層構造体	
4 3	レジストパターン	
5 0	半導体基板	
5 1	素子分離絶縁膜	40
5 2	M O S トランジスタ	
5 3	ワード線	
5 5	層間絶縁膜	
5 6	導電プラグ	
5 7	グランド配線	
5 8	層間絶縁膜	
5 9	導電プラグ	
6 0	M T J 素子	
6 3	層間絶縁膜	
6 4	導電プラグ	50

- 6 5 ビット線
- 6 7 書込みワード線
- 1 0 0 基板
- 1 0 1 下部シールド膜
- 1 0 2 読取素子
- 1 0 3 上部シールド膜
- 1 0 5 読取素子部
- 1 1 0 主磁極
- 1 1 1 主磁極補助層
- 1 1 2 補助磁極
- 1 1 3 記録用コイル
- 1 1 4 接続部
- 1 1 5 記録素子部

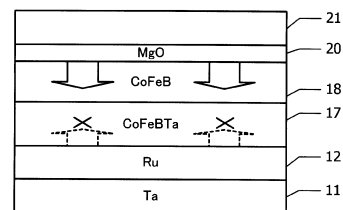
【図1】



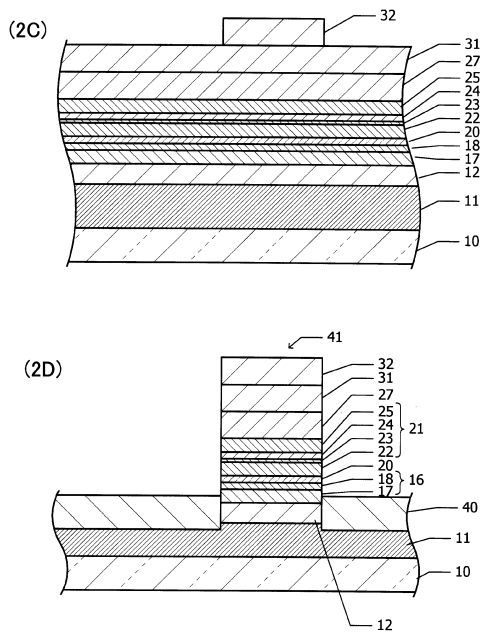
【図2 - 1】



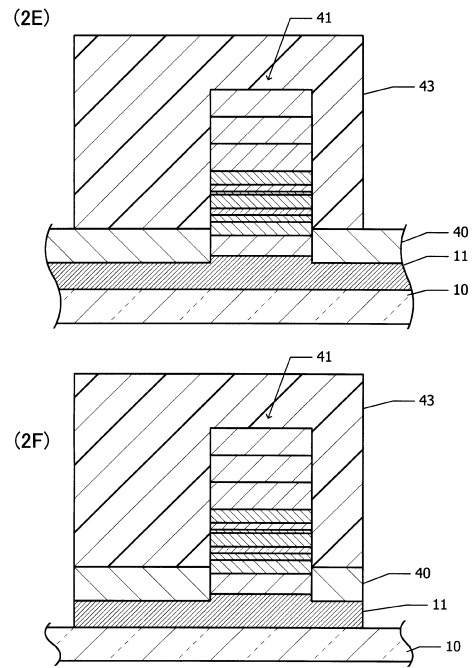
(2B)



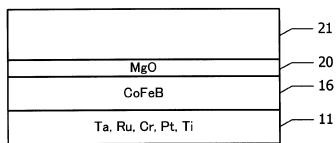
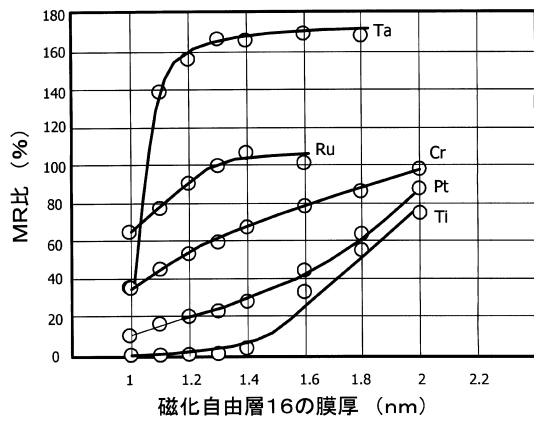
【図 2 - 2】



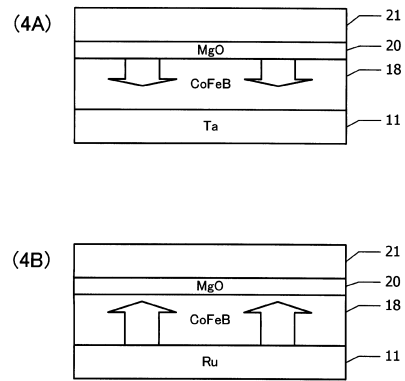
【図 2 - 3】



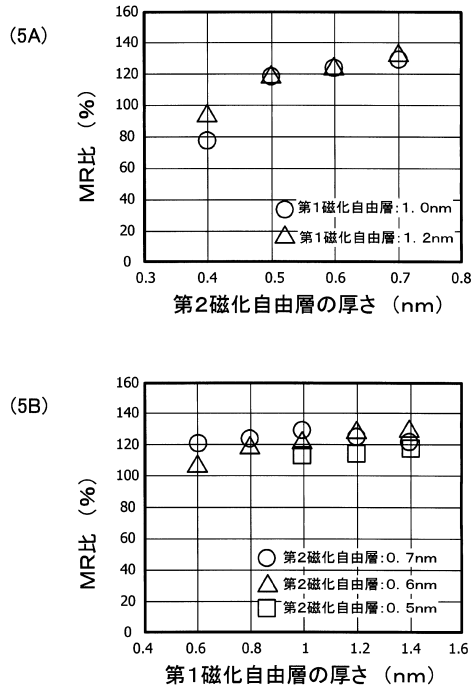
【図 3】



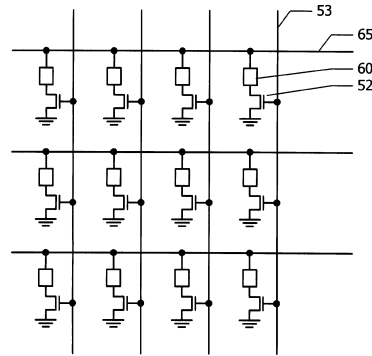
【図 4】



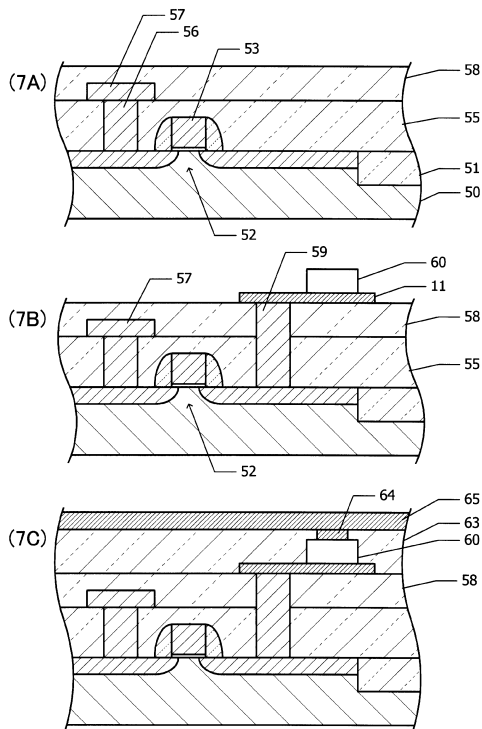
【図5】



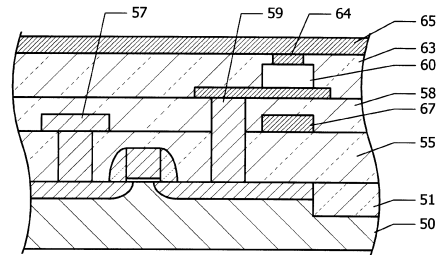
【図6】



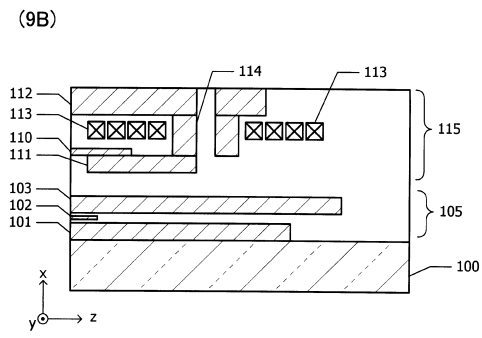
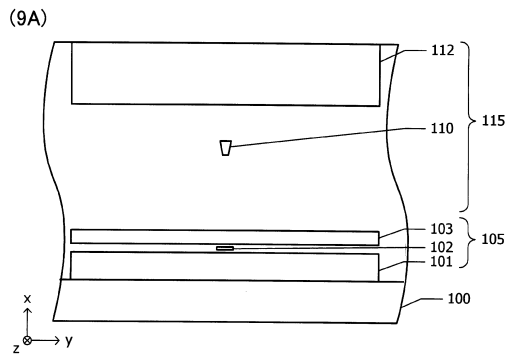
【図7】



【図8】



【 図 9 】



フロントページの続き

(51) Int.Cl. F I
G 1 1 B 5/39 (2006.01) G 1 1 B 5/39
H 0 1 F 10/32 (2006.01) H 0 1 F 10/32
G 0 1 R 33/09 (2006.01) G 0 1 R 33/06 R

(56) 参考文献 特開 2 0 0 9 - 0 8 1 2 1 6 (J P , A)
特開 2 0 0 7 - 0 2 7 4 9 3 (J P , A)
特開 2 0 0 0 - 2 4 3 6 2 7 (J P , A)

(58) 調査した分野 (Int.Cl. , DB 名)
H 0 1 L 2 7 / 1 0 - 2 7 / 1 1 8
H 0 1 L 2 9 / 8 2
G 1 1 C 1 1 / 0 0 - 1 1 / 1 6
H 0 1 L 4 3 / 0 0 - 4 3 / 1 4