

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局



(10) 国际公布号
W O 2012/000300 A I

(43) 国际公布日

2012 年 1 月 5 日 (05.01.2012)

(51) 国际分类号：

H01L 29/78 (2006.01) H01L 27/108 (2006.01)
H01L 29/788 (2006.01) H01L 21/84 (2006.01)
H01L 27/12 (2006.01) H01L 21/336 (2006.01)

(21) 国际申请号：PCT/CN20 11/000336

(22) 国际申请日：2011 年 3 月 2 日 (02.03.2011)

(25) 申报语言：中文

(26) 公布语言：中文

(30) 优先权：
201010223858.6 2010 年 7 月 1 日 (01.07.2010) CN

(71) 申请人 (除美国外的所有指定国)：中国科学院
微电子研究所 (INSTITUTE OF MICROELECTRONICS,
CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市
朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人：及

(75) 发明人/申请人 (仅对美国)：朱慧珑 (ZHU, Hui-long)
[US/US]; 美国纽约州波基普西市奥特姆路 93 号,
Poughkeepsie, New York 12603 (US)。梁擎擎 (LIANG,
Qingqing) [CN/CN]; 中国北京市朝一區北土城西路 3 号,
Beijing 100029 (CN)。

(74) 代理人：中国专利代理 (香港) 有限公司 (CHINA
PATENT AGENT (H.K.) LTD.); 中国香港特别行政区
湾仔港湾道 23 号鹰君中心 22 号楼, Hong Kong (CN)

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 欧洲 AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

[见续页]

(54) Title: SEMICONDUCTOR DEVICE AND FABRICATION METHOD THEREOF

(54) 发明名称：一种半导体器件及其形成方法

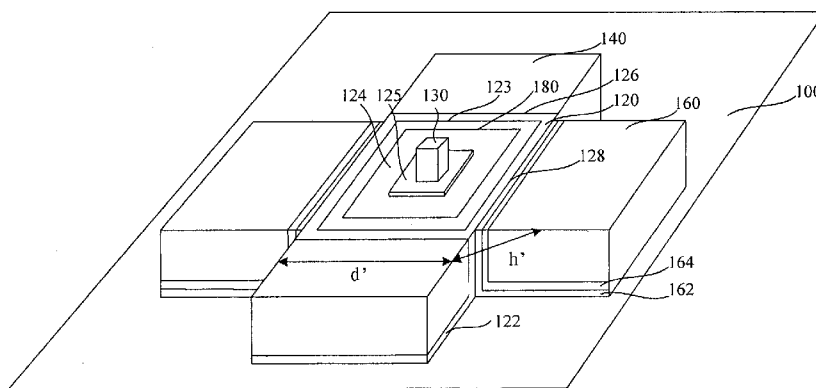


图 2 / FIG. 2

(57) Abstract: A semiconductor device includes a semiconductor body located on an insulating layer, and a second gate located on the insulating layer, wherein at least part of the second gate is embedded in the semiconductor body. A method for fabricating the semiconductor device includes forming the semiconductor body on the insulating layer, forming a cavity which exposes the insulating layer in the semiconductor body, and forming the second gate, wherein the cavity is filled with at least part of the second gate. The present invention is beneficial to decrease the short-channel effect, the resistance of the source/drain regions and the parasitic capacitance.

[见续页]



本国际公布：

- 包括国际检索报告(条约第21条(3))。

(57) 摘要：

一种半导体器件，包括，半导体基体，所述半导体基体位于绝缘层上；第二栅极，所述第二栅极位于所述绝缘层上并至少部分嵌入所述半导体基体中。一种半导体器件的形成方法，包括：在绝缘层上形成半导体基底；在所述半导体基底内形成空腔，所述空腔暴露所述绝缘层；形成第二栅极，至少部分所述第二栅极填充所述空腔。利于减小短沟道效应、源漏区电阻及寄生电容。

一种半导体器件及其形成方法

技术领域

本发明涉及半导体技术领域，具体来说，涉及一种半导体器件及其形成方法。

背景技术

随着 MOSFET（金属氧化物场效应晶体管）沟道长度不断缩短，一系列在 MOSFET 长沟道模型中可以忽略的效应变得愈发显著，甚至成为影响性能的主导因素，这种现象统称为短沟道效应。短沟道效应易于恶化器件的电学性能，如造成栅极阈值电压下降、功耗增加以及信噪比下降等问题。

为了控制短沟道效应，人们不得不向沟道中掺杂更多的磷、硼等杂质元素，但此举易导致器件沟道中载流子迁移率下降；而且用来向沟道中掺杂杂质的分布也存在很难控制陡度的问题，容易造成严重的短沟道效应；其次，传统的 SiGe PMOS 应变硅技术也开始面临瓶颈，很难再为沟道提供更强应变；再者，栅极氧化物介质的厚度方面也将出现发展瓶颈问题，栅极氧化物厚度减薄的速度已经很难再跟上栅极宽度缩小的步伐，栅介质漏电越来越大；关键尺寸不断缩小，易于导致源漏区电阻的不断增大和器件的功耗越来越大。

目前，业界的主导思路是改进传统的平面型器件技术，想办法减小沟道区的厚度，消除沟道中耗尽层底部的中性层，让沟道中的耗尽层能够填满整个沟道区——这便是所谓的全耗尽型 (Fully Depleted: FD) 器件，而传统的平面型器件则属于部分耗尽型 (Partially Depleted: PD) 器件。

不过，要制造出全耗尽型器件，要求沟道处的硅层厚度极薄。传统的制造工艺，特别是传统基于体硅的制造工艺很难造出符合要求的结构或造价昂贵，即便对新兴的 SOI（绝缘体上硅）工艺而言，沟道硅层的厚度也很难控制在较薄的水平。围绕如何实现全耗尽型器件的整体构思，研发的重心转向立体型器件结构，即，转向全耗尽型双栅或三栅技术。

立体型器件结构（有的材料中也称为垂直型器件）指的是器件的源

漏区和栅极的横截面并不位于同一平面内的技术，实质属 FinFet（鳍式场效应晶体管）结构。

转向立体型器件结构之后，由于沟道区不再包含在体硅或 SOI 中，而是从这些结构中独立出来，因此，采取蚀刻等方式可能制作出厚度极薄的全耗尽型沟道。

当前，已提出的立体型半导体器件如图 1 所示，所述半导体器件包括，半导体基体 20，所述半导体基体 20 位于绝缘层 10 上；源漏区 30，所述源漏区 30 接于所述半导体基体 20 中相对的第一侧面 22；栅极 40，所述栅极 40 位于所述半导体基体 20 中与所述第一侧面 22 相邻的第二侧面 24 上（图中未示出所述栅极 40 及所述半导体基体 20 间夹有的栅介质层和功函数金属层）。其中，为减小源漏区电阻，所述源漏区 30 的边缘部分可被扩展，即，所述源漏区 30 的宽度（沿 xx 方向）大于所述半导体基体 20 的厚度。由此，随着所述源漏区 30 的宽度（d）的增加，所述源漏区 30 与所述栅极 40 和所述半导体基体 20 之间的寄生电容的增加，因此，增加电阻电容延迟或降低器件交流性能。

发明内容

为了解决上述问题，本发明提供了一种半导体器件及其形成方法，利于减小短沟道效应、源漏区电阻及寄生电容。

本发明提供了一种半导体器件，包括，
半导体基体，所述半导体基体位于绝缘层上；
源漏区，所述源漏区接于所述半导体基体的相对的第一侧面；
第一栅极，所述第一栅极位于所述半导体基体的相对的第二侧面上；
第二栅极，所述第二栅极位于所述绝缘层上并至少部分嵌入所述半导体基体中；

其中，所述第二栅极包括：

浮栅，所述浮栅经第一介质层接于所述半导体基体；

控制栅，所述控制栅经第二介质层接于所述浮栅。

可选地，在所述第二侧面和所述第一介质层之间夹有沟道层和掩膜层，所述沟道层夹于所述绝缘层和所述掩膜层之间。

可选地，在垂直于所述第二侧面的方向上，所述沟道层的厚度为

5nm ~ 40nm。

可选地，在垂直于所述绝缘层的方向上，所述第一栅极或所述浮栅至少覆盖所述沟道层。

可选地，所述浮栅及/或所述控制栅材料为 TiN、TiAlN、TaN 或 TaAlN 中的一种或其组合。

可选地，所述第一介质层及/或所述第二介质层材料为钪基氧化物中的一种。

可选地，所述第一侧面与所述第二侧面垂直。

可选地，所述半导体器件还包括半导体辅助基体，所述半导体辅助基体的上表面低于所述半导体基体的上表面，所述半导体辅助基体接于所述第一侧面上，所述源漏区形成于所述半导体辅助基体上。

可选地，所述半导体辅助基体中包含 Si，对于 PMOS 器件，所述源漏区为 Sh.xGe_x ；对于 NMOS 器件，所述源漏区为 Si:C。

可选地，在所述 $\text{Si}_{1-x}\text{Ge}_x$ 中，X 的取值范围为 0.1 ~ 0.7。

可选地，在所述 Si:C 中，C 的原子数百分比的取值范围为 0.2% ~ 2%。

本发明提供一种半导体器件的形成方法，包括：

在绝缘层上形成半导体基底；

形成源漏区，所述源漏区接于所述半导体基底的相对的第一侧面；

形成第一栅极，所述第一栅极位于所述半导体基底的相对的第二侧面上；

去除所述半导体基底内部分材料，以在所述半导体基底内形成空腔，所述空腔暴露所述绝缘层；

形成第二栅极，至少部分所述第二栅极填充所述空腔；

其中，形成所述第二栅极的步骤包括：

形成浮栅，所述浮栅经第一介质层接于所述半导体基底；

形成控制栅，所述控制栅经第二介质层接于所述浮栅。

可选地，形成所述半导体基底的步骤包括：

在所述绝缘层上形成第一半导体层、停止层、图形化的牺牲层和保护层以及环绕所述图形化的牺牲层和保护层的第一侧墙；

以所述第一侧墙为掩膜，形成图形化的所述停止层和所述第一半导体层；

确定源漏区区域并去除覆盖所述区域的所述第一侧墙、所述保护层和所述牺牲层，暴露所述停止层；

形成环绕所述保护层和所述牺牲层的第二侧墙；

此时，所述源漏区接于图形化的所述第一半导体层中相对的第一侧面；

所述第一栅极位于图形化的所述第一半导体层中相对的第二侧面上；

在所述半导体基底内形成空腔的步骤包括：

以所述第一侧墙和所述第二侧墙为掩膜，去除所述保护层、所述牺牲层和所述第一半导体层，所述停止层材料与所述保护层、所述牺牲层、所述第一半导体层、所述第一侧墙和所述第二侧墙材料不同。

可选地，所述第一侧面与所述第二侧面垂直。

可选地，在垂直于所述第二侧面的方向上，所述第一侧墙的厚度为 5nm ~ 40nm。

可选地，形成所述源漏区的步骤包括：

在形成所述半导体基底后，去除位于所述源漏区区域的所述停止层和部分厚度的所述第一半导体层，以形成源漏基层；

在所述源漏基层上形成第二半导体层。

可选地，所述第一半导体层中包含 Si，对于 PMOS 器件，所述第二半导体层为 $\text{Si}_{1-x}\text{Ge}_x$ ；对于 NMOS 器件，所述第二半导体层为 Si:C。

可选地，在所述 $\text{Si}_{1-x}\text{Ge}_x$ 中，X 的取值范围为 0.1 ~ 0.7。

可选地，在所述 Si:C 中，C 的原子数百分比的取值范围为 0.2% ~ 2%。

可选地，在所述源漏基层上形成所述第二半导体层之前，还包括：沿面向所述第一侧面的方向执行第一离子注入操作，以形成扩散区和晕环。

可选地，形成所述第一栅极的步骤包括：

在确定源漏区区域之前，形成栅堆叠层，在垂直于所述绝缘层的方向上，所述栅堆叠层至少覆盖图形化的所述第一半导体层。

可选地，所述第一栅极或所述浮栅至少覆盖图形化的所述第一半导体层。

可选地，所述浮栅及/或所述控制栅材料为 TiN、TiAlN、Ta₂N 或

TaAlN 中的一种或其组合。

可选地，所述第一介质层及/或所述第二介质层材料为铪基氧化物中的一种。

与现有技术相比，采用本发明提供的技术方案具有如下优点：

5 通过形成至少部分嵌入所述半导体基体的所述第二栅极，可在提供与现有技术相比具有相同沟道区厚度的半导体基体中，使形成于所述半导体基体第二侧面上的各所述第一栅极间的距离增加，进而使所述第一栅极与所述源漏区之间的距离 h 增加，利于减小寄生电容；此外，由于引入所述第二栅极，在所述半导体基体高度不变的前提下，
10 与现有技术相比具有相同沟道区厚度的所述半导体基体的外围面积增加，接于所述半导体基体的所述源漏区的截面积随之增加（因为所述源漏区的宽度 d 增加），利于进一步减小所述源漏区的电阻；再者，引入所述第二栅极，在源漏区之间形成隔断区，利于减小短沟道效应；进一步地，通过使所述第二栅极至少部分嵌入所述半导体基体中，利
15 于利用靠近各所述第一栅极的沟道层，且对于所述第二栅极，利于扩大其内所述第一介质层及/或所述第二介质层的厚度范围；此外，利用本发明提供的半导体器件，可以所述第一栅极为开关，利用所述第二栅极实现数据存储功能；

通过在位于所述绝缘层上的半导体层上形成牺牲层及环绕所述牺牲层的第一侧墙和第二侧墙，继而以所述第一侧墙和第二侧墙为硬掩膜，采用自对准技术形成所述半导体基体，既利于减少应用掩模版的数目，也利于工艺精化；通过在垂直于所述绝缘层的方向上使所述第
20 一栅极或所述浮栅至少覆盖所述沟道层，利于增加沟道区的有效区域，进而提高沟道区内载流子的迁移率；

25 通过先形成所述半导体辅助基体，继而在所述半导体辅助基体上形成所述源漏区，可采用外延法形成所述源漏区，进而，在所述半导体辅助基体中包含 Si 时，对于 PMOS 器件，可使所述源漏区材料为 $\text{Si}_{1-x}\text{Ge}_x$ ；对于 NMOS 器件，可使所述源漏区材料为 Si:C，利于利用所述源漏区调节沟道区内的应力，以提高沟道区内载流子的迁移率；

30 通过采用外延法形成所述源漏区，需在形成所述源漏区之前，先形成源漏基层（晶种层，可为残留的部分厚度的所述第一半导体层）；形成所述源漏基层后，将暴露所述半导体基底第一侧面的部分所述第

一半导体层，由此，可沿面向所述第一侧面的方向执行第一离子注入操作，以形成器件沟道区内的掺杂区（如扩散区和晕环），利于实践操作，也利于减少相邻半导体基底的间距，减少器件所用面积，进而减低制造成本。

5

附图说明

下列各剖视图均为沿对应的俯视图中给出的剖线（AA₁）切割已形成的结构后获得。

图 1 所示为现有技术中半导体器件的结构示意图；

10 图 2 所示为本发明提供的半导体器件的结构示意图；

图 3 和图 4 所示为本发明半导体器件的形成方法实施例中在衬底上形成为形成半导体器件所需的各材料层后的俯视图和剖视图；

图 5 和图 6 所示为本发明半导体器件的形成方法实施例中图形化保护层和牺牲层后的俯视图和剖视图；

15 图 7 和图 8 所示为本发明半导体器件的形成方法实施例中形成第一侧墙后的俯视图和剖视图；

图 9 和图 10 所示为本发明半导体器件的形成方法实施例中图形化停止层和硅层后的俯视图和剖视图；

20 图 11 和图 12 所示为本发明半导体器件的形成方法实施例中暴露源漏区区域的停止层后的俯视图和剖视图；

图 13 和图 14 所示为本发明半导体器件的形成方法实施例中形成第二侧墙后的俯视图和剖视图；

图 15 所示为本发明半导体器件的形成方法实施例中在图 9 和图 10 所示步骤后形成栅堆叠层后的结构剖视图；

25 图 16 所示为本发明半导体器件的形成方法实施例中在源漏区区域形成源漏基层后的结构剖视图；

图 17 所示为本发明半导体器件的形成方法实施例中在形成源漏基层后执行第一离子注入操作的剖视图；

30 图 18 和图 19 所示为本发明半导体器件的形成方法实施例中在源漏基层上形成第二半导体层后的俯视图和剖视图；

图 20 和图 21 所示为本发明半导体器件的形成方法实施例中形成平坦化的第一介质层后的俯视图和剖视图；

图 22 和图 23 所示为本发明半导体器件的形成方法实施例中形成栅极后的俯视图和剖视图；

图 24 和图 25 所示为本发明半导体器件的形成方法实施例中形成平坦化的第二介质层后的俯视图和剖视图；

5 图 26 和图 27 所示为本发明半导体器件的形成方法实施例中形成空腔后的俯视图和剖视图；

图 28 至图 32 所示为本发明半导体器件的形成方法实施例中形成第二栅极时各中间结构的剖视图。

10 具体实施方式

下文的公开提供了许多不同的实施例或例子用来实现本发明提供的技术方案。虽然下文中对特定例子的部件和设置进行了描述，但是，它们仅仅为示例，并且目的不在于限制本发明。

此外，本发明可以在不同实施例中重复参考数字和/或字母。这种
15 重复是为了简化和清楚的目的，其本身不指示所讨论的各种实施例和/或设置之间的关系。

本发明提供了各种特定工艺和/或材料的例子，但是，本领域普通技术人员可以意识到的其他工艺和/或其他材料的替代应用，显然未脱离本发明要求保护的范
20 围。需强调的是，本文件内，各种结构之间的相互关系包含由于工艺或制程的需要所作的必要的延展，如，术语“垂直”意指两平面之间的夹角与 90° 之差在工艺或制程允许的范围内。此外，本文件内，术语“接于”意指两结构之间直接接触，术语“位于...上”意指两结构之间还间隔有其他结构。

如图 2 所示，本发明提供的半导体器件包括：半导体基体 120，所述
25 半导体基体 120 位于绝缘层 100 上；源漏区 140，所述源漏区 140 接于所述半导体基体 120 的相对的第一侧面 126；第一栅极 160，所述第一栅极 160 位于所述半导体基体 120 的相对的第二侧面 128 上；第二栅极，所述第二栅极位于所述绝缘层 100 上并至少部分嵌入所述半导体基体 120 中；所述第二栅极包括：浮栅 124，所述浮栅 124 经第一介
30 质层 123 接于所述半导体基体 120；控制栅 130，所述控制栅 130 经第二介质层 125 接于所述浮栅 124。

通过形成至少部分嵌入所述半导体基体 120 的所述第二栅极，可

在提供与现有技术相比具有相同沟道区厚度的半导体基体 120 中，使形成于所述半导体基体 120 第二侧面 128 上的各所述第一栅极 160 间的距离增加，进而使所述第一栅极 160 与所述源漏区 140 之间的距离增加，利于减小寄生电容；此外，由于引入所述第二栅极，在所述半导体基体 120 高度不变的前提下，与现有技术相比具有相同沟道区厚度的所述半导体基体 120 的外围面积增加，接于所述半导体基体 120 的所述源漏区 140 的截面积随之增加（因为所述源漏区 140 的宽度增加），利于进一步减小所述源漏区 140 的电阻；再者，引入所述第二栅极，在源漏区 140 之间形成隔断区，利于减小短沟道效应；进一步地，通过使所述第二栅极至少部分嵌入所述半导体基体 120 中，利于利用靠近各所述第一栅极 160 的沟道层，且对于所述第二栅极，利于扩大其内所述第一介质层 123 及/或所述第二介质层 125 的厚度范围；此外，利用所述半导体器件，可以所述第一栅极 160 为开关，利用所述第二栅极实现数据存储功能。

其中，所述半导体基体 120 可为形成于绝缘层 100 上的硅，在所述半导体基体 120 中已形成掺杂区（如扩散区和晕环），以提供器件的沟道区；在所述半导体器件的一个实施例中，在所述第二侧面 128 和所述第一介质层 123 之间夹有沟道层和掩膜层，所述沟道层夹于所述绝缘层 100 和所述掩膜层之间；此时，所述沟道层材料可为硅（已形成掺杂区），在垂直于所述第二侧面的方向上，所述沟道层的厚度为 5nm ~ 40nm。所述掩膜层材料可为氮化硅或层叠的氧化硅和氮化硅。其中，所述第一侧面可与所述第二侧面垂直。

所述半导体器件还可包括半导体辅助基体 122，所述半导体辅助基体 122 接于所述第一侧面 126 上，所述源漏区 140 可形成于所述半导体辅助基体 122 上。作为示例，所述半导体辅助基体 122 材料也可以为硅，此时，所述源漏区 140 可利用离子注入工艺形成于所述半导体辅助基体 122 上。此外，所述半导体辅助基体 122 的上表面可低于所述半导体基体 120 的上表面，本文件内，所述上表面意指所述半导体辅助基体 122 或所述半导体基体 120 的平行于所述绝缘层 100 的侧面，此时，所述源漏区 140 可采用外延法形成于所述半导体辅助基体 122 上；所述半导体辅助基体 122 中包含 Si 时，对于 PMOS 器件，所述源漏区 140 材料可为 $\text{Si}_{1-x}\text{Ge}_x$ （X 的取值范围可为 0 ~ 1，优选为 0.1 ~ 0.7，

可以根据工艺需要灵活调节，如 0.2、0.3、0.4、0.5 或 0.6，本文件内未作特殊说明处，X 的取值均与此相同，不再赘述）；对于 NMOS 器件，所述源漏区 140 材料可为 Si:C（C 的原子数百分比可以为 0.2% ~ 2%，如 0.5%、1% 或 1.5%，C 的含量可以根据工艺需要灵活调节，本文件内未作特殊说明处，C 的原子数百分比均与此相同，不再赘述）。
5 利于利用所述源漏区 140 进一步调节沟道区内的应力，以提高沟道区内载流子的迁移率。

所述第一栅极 160 可经层叠的栅介质层 162 和功函数金属层 164 形成于所述第二侧面 128 上；所述栅介质层 162、第一介质层 123 及第二介质层 125 均可以选用铪基氧化物，如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 或 HfZrO 中的一种或其组合；所述功函数金属层 164 可以包括 TiN、TiAlN、TaN 或 TaAlN 中的一种或其组合。所述第一栅极 160 可为金属栅极，优选为多晶硅栅极，利于工艺控制。所述浮栅及/或所述控制栅材料可为 TiN、TiAlN、TaN 或 TaAlN 中的一种或其组合，
10 优选为 TiN，以利于工艺整合。

在垂直于所述绝缘层 100 的方向上，所述第一栅极 160 或所述浮栅 124 至少覆盖所述沟道层。利于增加沟道区的有效区域，进而提高沟道区内载流子的迁移率。

本发明还提供了一种半导体器件的形成方法。

20 首先，如图 3 和图 4 所示，在绝缘体上硅（silicon on insulator）上（所述硅层即为第一半导体层，所述第一半导体层也可以为其他半导体材料；所述绝缘体上硅为顺次形成于衬底 200 上的绝缘层 202 和硅层 204，所述衬底 200 优选为硅衬底）顺次形成停止层 206（可为氧化硅）、牺牲层 208（可为非晶硅）和保护层 220（可为碳化硅），再如图 5 和图 6 所示，图形化所述保护层 220 和牺牲层 208；可采用刻蚀工艺执行所述图形化操作，所述刻蚀操作终止于所述停止层 206。随后，
25 如图 7 和图 8 所示，形成环绕图形化后的保护层 220 和牺牲层 208 的第一侧墙 240，所述第一侧墙 240 材料可为氮化硅，可采用回刻（etch back）工艺形成所述第一侧墙 240。其中，所述第一侧面可与所述第二
30 侧面垂直。

其中，所述硅层 204 的厚度可为 50nm ~ 100nm，如 60nm、70nm、80nm 或 90nm；所述停止层 206 的厚度可为 5nm ~ 20nm，如 8nm、10nm、

15nm 或 18nm; 所述牺牲层 208 的厚度可为 30nm ~ 80nm, 如 40nm、50nm、60nm 或 70nm; 所述保护层 220 的厚度可为 20nm ~ 50nm, 如 25nm、30nm、35nm 或 40nm; 在垂直于所述第二侧面的方向上, 所述第一侧墙 240 的厚度可为 5nm ~ 40nm, 如 10nm、20nm、25nm 或 30nm。

5 然后, 如图 9 和图 10 所示, 以所述第一侧墙 240 为掩膜, 图形化所述停止层 206 和所述硅层 204, 可采用刻蚀工艺执行所述图形化操作, 所述刻蚀操作终止于所述绝缘层 202; 随后, 如图 11 和图 12 所示, 确定源漏区区域并去除覆盖所述区域的所述第一侧墙 240、所述保护层 220 和所述牺牲层 208, 暴露所述停止层 206 (非源漏区区域上可形成
10 有硬掩膜 222, 所述硬掩膜 222 可在上述步骤中位于所述保护层 220 上, 所述硬掩膜 222 可在适当的步骤中被去除, 如, 在暴露位于所述源漏区内的所述停止层 220 后); 同时, 还暴露所述保护层 220 和所述牺牲层 208 中接于所述源漏区的侧面 (图中未示出); 再后, 如图 13 和图 14 所示, 形成环绕所述保护层 220、所述牺牲层 208、图形化的所述停止层 206 和所述硅层 204 的第二侧墙 242 (可为氮化硅); 由此,
15 形成半导体基底; 继而, 形成源漏区和第一栅极后, 以所述第一侧墙 240 和所述第二侧墙 242 为掩膜, 去除所述保护层 220、所述牺牲层 208、所述停止层 206 和所述硅层 204 (即, 位于作为掩膜的所述第一侧墙 240 和所述第二侧墙 242 之下的所述保护层 220、所述牺牲层 208、所述停止层 206 和所述硅层 204 未被去除), 暴露所述绝缘层 202, 即可
20 形成空腔, 再形成第二栅极, 使至少部分所述第二栅极填充所述空腔, 即可形成半导体器件。采用自对准技术形成所述半导体基底 (进而形成半导体基体), 既利于减少应用掩模版的数目, 也利于工艺精化。所述第二侧墙 242 的厚度可为 7nm ~ 20nm, 如 10nm、15nm 或 18nm。

25 需强调的是, 所述第一栅极 (实际为包含所述栅极的栅堆叠层, 所述栅堆叠层包括逐层累积的栅介质层、功函数金属层和多晶硅层, 所述多晶硅层也可替换为堆叠的金属层) 可形成于图形化所述停止层和所述硅层之后、暴露位于源漏区区域的所述停止层之前。

具体地, 如图 15 所示, 在图形化所述停止层 206 和所述硅层 204
30 (如图 9 和图 10 所示) 之后, 在所述绝缘层 202 上形成栅堆叠层 (其中, 所述栅堆叠层包括顺次累积的栅介质层 262、功函数金属层 264 和栅极材料层 260, 所述栅介质层 262 可以选用铪基氧化物, 如 HfO_2 、

HfSiO₂、HfSiON、HfTaO₂、HfTiO₂或HfZrO₂中的一种或其组合；所述功函数金属层264可以包括TiN、TiAlN、TaN或TaAlN中的一种或其组合；所述栅极材料层260可为金属，优选为多晶硅；随后，平坦化所述栅堆叠层，以暴露所述保护层220；继而，形成辅助掩膜层，所述
5 辅助掩膜层覆盖所述栅堆叠层和所述保护层220；所述辅助掩膜层可为层叠的具有不同材质的介质层，如，在所述保护层220和所述第一侧墙240的材料为氮化硅时，所述辅助掩膜层可为氧化硅层（第一辅助膜层282）-氮化硅层（第二辅助膜层284）-氧化硅层（第三辅助膜层286）。经历上述操作后，俯视承载上述结构的衬底，只见氧化硅层。
10 此后，在形成半导体基底之前，还需去除位于源漏区区域的所述辅助掩膜层和所述栅堆叠层；上述形成所述第一栅极的方法为综合考虑制程整合的结果，后续描述均以此为基础。需说明的是，还可利用其他方法形成所述第一栅极，且所述第一栅极也可形成于源漏区之后，根据本发明提供的教导，本领域技术人员能够灵活地形成所述第一栅极，
15 不再赘述。

其中，所述栅介质层262的厚度可为2nm~3nm，如2.5nm，此外，在形成所述栅介质层262之前，还可形成交界氧化层，所述交界氧化层的厚度可为0.2nm~0.7nm，如0.5nm，图中均未示出；所述功函数金属层264的厚度可为3nm~10nm，如5nm或8nm；所述栅极材料层
20 260的厚度可为50nm~100nm，如60nm、70nm、80nm或90nm；所述第一辅助掩膜层282的厚度可为2nm~5nm，如3nm或4nm；所述第二辅助掩膜层284的厚度可为10nm~20nm，如12nm、15nm或18nm；所述第三辅助掩膜层286的厚度可为10nm~20nm，如12nm、15nm或18nm。

25 实践中，如图16所示，在形成所述半导体基底后，去除位于所述源漏区区域的所述停止层206和部分厚度的所述硅层204（此时，位于所述栅堆叠层上的第一辅助掩膜286，即氧化硅层，也被去除），以形成源漏基层（即为半导体辅助基体）；所述源漏基层的厚度可为5nm~20nm，如10nm或15nm；然后，如图17所示，沿面向所述第一侧面
30 （所述第一侧面为去除部分厚度的所述硅层后暴露的硅层表面）的方向（图中箭头所示方向）执行第一离子注入操作，以在所述硅层204中形成扩散区和晕环。相比于现有技术中沿面向所述第二侧面的方向

执行第一离子注入操作，更利于实践操作，也利于减少相邻半导体基底的间距，减少器件所用面积，进而减低制造成本。所述第一离子注入操作的具体工艺，如注入能量、注入剂量、注入次数及掺杂粒子均可根据产品设计灵活调整，不再赘述；随后，如图 18 和图 19 所示，再在所述源漏基层上采用外延法形成第二半导体层 244（对于 PMOS 器件，所述第二半导体层 244 材料为 $\text{Si}_{1-x}\text{Ge}_x$ ，掺杂剂量可为 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ ；对于 NMOS 器件，所述第二半导体层 244 材料为 Si:C，掺杂剂量可为 $1 \times 10^{19}/\text{cm}^3 \sim 1 \times 10^{21}/\text{cm}^3$ ）后，可形成所述源漏区。利于利用所述源漏区进一步调节沟道区内的应力，以提高沟道区内载流子的迁移率。此外，所述源漏区也可在去除位于源漏区的所述停止层 206 后，不再去除部分厚度的所述硅层 204，而是采用向所述硅层 204 执行离子注入操作后形成。

随后，形成空腔；首先，如图 20 和图 21 所示，形成平坦化的第一介电层 290（如氧化硅），并暴露所述辅助掩膜层中的第二辅助膜层 284；可采用 CMP（化学机械研磨）执行暴露所述第二辅助膜层 284 的操作；随后，如图 22 和图 23 所示，去除仍残留第二辅助膜层 284（氮化硅层）和第一辅助膜层 282（氧化硅层）的所述辅助掩膜层及部分高度的所述栅堆叠结构，形成第一栅极 266，在所述硅层 204 的厚度方向上，所述第一栅极 266 至少覆盖所述硅层 204（用以形成沟道），利于增加器件内沟道区的有效区域，进而提高沟道区内载流子的迁移率；经历此操作后，仍残留部分厚度的所述保护层 220；再如图 24 和图 25 所示，形成第二介电层 292（如氧化硅，用以在为形成所述空腔而去除所述保护层 220 时，减少已有结构所受的损伤），所述第二介电层 292 暴露所述保护层 220，却覆盖所述第一侧墙 240 和第二侧墙 242，可采用先沉积所述第二介电层 292，再 CMP 所述第二介电层 292 的工艺执行上述操作；然后，如图 26 和图 27 所示，以所述第二介电层 292 为掩膜，去除所述保护层 220、牺牲层 208、停止层 206 和硅层 204，以暴露所述绝缘层 202，形成空腔 300。需说明的是，虽然实际上是因为有所述第二介电层 292 的保护，才使得在形成所述空腔 300 时，对其他结构影响较小，但是，却是因为有所述第一侧墙 240 和第二侧墙 242 的存在，才确定了所述空腔 300 的形貌，由此，在一定程度上，所述第一侧墙 240 和第二侧墙 242 也起到掩膜的作用。在形成

所述源漏区后再形成所述空腔 300 ,所述源漏区所受的由原填充所述空腔 300 的硅层 204 (第一半导体层) 及所述停止层 206 和所述牺牲层 208 提供的反作用力消失 , 使得所述源漏区的应力损失更小。

继而 , 如图 28 所示 , 在形成所述空腔 300 后 , 形成浮栅介质层 223 (即第一介质层) , 可采用沉积工艺形成所述浮栅介质层 223 , 所述浮栅介质层 223 覆盖所述空腔 300 的底壁 (即 , 所述空腔暴露的绝缘层 202) 、侧壁 (包括接于所述绝缘层 202 的第一半导体层 204 , 接于所述第一半导体层 204 的停止层 206 , 和接于所述停止层 206 的第一侧墙 240 或第二侧墙 242) 及所述第二介电层 292 。

随后 , 如图 29 所示 , 采用回刻工艺在所述浮栅介质层 223 上形成浮栅 320 , 以填充所述空腔 300 , 所述浮栅 320 可为金属材料 , 如 TiN 、 TiAlN 、 TaN 或 TaAlN 中的一种或其组合 , 优选为 TiN , 以利于工艺整合。在垂直于所述绝缘层 202 的方向上 , 所述浮栅至少覆盖所述第一半导体层 204 , 利于增加沟道区的有效区域 , 进而提高沟道区内载流子的迁移率。

再后 , 如图 30 所示 , 形成控制栅介质层 225 (即第二介质层) 和控制栅 230 。所述控制栅介质层 225 覆盖所述浮栅介质层 223 和所述浮栅 320 , 所述控制栅 230 经所述控制栅介质层 225 接于所述浮栅 320 和所述浮栅介质层 223 。可采用沉积工艺形成所述控制栅介质层 225 , 所述控制栅 230 可根据设计要求而被刻蚀成任意图案 (此时 , 需采用形成于所述控制栅 230 上的硬掩膜 232) 。继而 , 如图 31 所示 , 利用所述硬掩膜 232 , 去除所述第二介电层 292 及覆盖所述第二介电层 292 的所述浮栅介质层 223 和所述控制栅介质层 225 , 暴露所述第一栅极 266 和所述源漏区 244 。需说明的是 , 虽然 , 图示实施例中 , 所述浮栅介质层 223 和所述控制栅介质层 225 相接 , 但在其他实施例中 , 根据工艺需要 , 所述浮栅介质层 223 和所述控制栅介质层 225 可以不相接 (未示出) 。

再后 , 如图 32 所示 , 形成保护侧墙 234 , 所述保护侧墙 234 环绕去除所述第二介电层 292 及覆盖所述第二介电层 292 的所述浮栅介质层 223 和所述控制栅介质层 225 后获得的结构。在所述第一栅极 266 和所述源漏区 244 上形成金属层并经历热处理操作 , 再进一步去除未反应的所述金属层 , 可在所述第一栅极 266 和所述源漏区 244 上形成

金属硅化物层 246 (即为接触区 , 用以在后续形成金属互连时减小接触电阻) 。

其中 , 所述浮栅介质层 223 的厚度可为 2nm ~ 15nm , 如 5nm 、 8nm 、 10nm 或 12nm; 所述浮栅 320 的厚度可为 3nm ~ 10nm , 如 5nm 或 8nm; 5 所述控制栅介质层 225 的厚度可为 2nm ~ 15nm , 如 5nm 、 8nm 、 10nm 或 12nm; 所述控制栅 230 的厚度可为 3nm ~ 10nm , 如 5nm 或 8nm 。 所述浮栅介质层 223 和/或所述控制栅介质层 225 可为铪基氧化物 , 如 HfO_2 、 HfSiO 、 HfSiON 、 HfTaO 、 HfTiO 或 HfZrO 中的一种或其组合。

此外 , 本发明的应用范围不局限于说明书中描述的特定实施例的 10 工艺、结构、制造、物质组成、手段、方法及步骤。根据本发明的公开内容 , 本领域技术人员将容易地理解 , 对于目前已存在或者以后即将开发出的工艺、机构、制造、物质组成、手段、方法或步骤 , 它们在执行与本发明描述的对应实施例大体相同的功能或者获得大体相同的结果时 , 依照本发明的教导 , 可以对它们进行应用 , 而不脱离本发 15 明所要求保护的范围。

权 利 要 求

1、一种半导体器件，其特征在于，包括，

半导体基体，所述半导体基体位于绝缘层上；

5 源漏区，所述源漏区接于所述半导体基体的相对的第一侧面；

第一栅极，所述第一栅极位于所述半导体基体的相对的第二侧面上；

第二栅极，所述第二栅极位于所述绝缘层上并至少部分嵌入所述半导体基体中；

10 其中，所述第二栅极包括：

浮栅，所述浮栅经第一介质层接于所述半导体基体；

控制栅，所述控制栅经第二介质层接于所述浮栅。

2、根据权利要求1所述的半导体器件，其特征在于：在所述第二侧面和所述第一介质层之间夹有沟道层和掩膜层，所述沟道层夹于所述绝缘层和所述掩膜层之间。

3、根据权利要求2所述的半导体器件，其特征在于：在垂直于所述第二侧面的方向上，所述沟道层的厚度为5nm~40nm。

4、根据权利要求2所述的半导体器件，其特征在于：在垂直于所述绝缘层的方向上，所述第一栅极或所述浮栅至少覆盖所述沟道层。

20 5、根据权利要求1所述的半导体器件，其特征在于：所述浮栅及/或所述控制栅材料为TiN、TiAlN、TaN或TaAlN中的一种或其组合。

6、根据权利要求1所述的半导体器件，其特征在于：所述第一介质层及/或所述第二介质层材料为铪基氧化物中的一种。

25 7、根据权利要求1所述的半导体器件，其特征在于：所述第一侧面与所述第二侧面垂直。

8、根据权利要求1所述的半导体器件，其特征在于，所述半导体器件还包括半导体辅助基体，所述半导体辅助基体的上表面低于所述半导体基体的上表面，所述半导体辅助基体接于所述第一侧面上，所述源漏区形成于所述半导体辅助基体上。

30 9、根据权利要求8所述的半导体器件，其特征在于：所述半导体辅助基体中包含Si，对于PMOS器件，所述源漏区为 $\text{Si}_{1-x}\text{Ge}_x$ ；对于NMOS器件，所述源漏区为Si:C。

10、根据权利要求 9 所述的半导体器件，其特征在于：在所述 $\text{Si}_{1-x}\text{Ge}_x$ 中，X 的取值范围为 0.1~0.7。

11、根据权利要求 9 所述的半导体器件，其特征在于：在所述 Si:C 中，C 的原子数百分比的取值范围为 0.2%~2%。

5 12、一种半导体器件的形成方法，其特征在于，包括：

在绝缘层上形成半导体基底；

形成源漏区，所述源漏区接于所述半导体基底的相对的第一侧面；

形成第一栅极，所述第一栅极位于所述半导体基底的相对的第二侧面上；

10 去除所述半导体基底内部分材料，以在所述半导体基底内形成空腔，所述空腔暴露所述绝缘层；

形成第二栅极，至少部分所述第二栅极填充所述空腔；

其中，形成所述第二栅极的步骤包括：

形成浮栅，所述浮栅经第一介质层接于所述半导体基底；

15 形成控制栅，所述控制栅经第二介质层接于所述浮栅。

13、根据权利要求 12 所述的方法，其特征在于，形成所述半导体基底的步骤包括：

在所述绝缘层上形成第一半导体层、停止层、图形化的牺牲层和保护层以及环绕所述图形化的牺牲层和保护层的第一侧墙；

20 以所述第一侧墙为掩膜，形成图形化的所述停止层和所述第一半导体层；

确定源漏区区域并去除覆盖所述区域的所述第一侧墙、所述保护层和所述牺牲层，暴露所述停止层；

形成环绕所述保护层和所述牺牲层的第二侧墙；

25 此时，所述源漏区接于图形化的所述第一半导体层中相对的第一侧面；

所述第一栅极位于图形化的所述第一半导体层中相对的第二侧面上；

在所述半导体基底内形成空腔的步骤包括：

30 以所述第一侧墙和所述第二侧墙为掩膜，去除所述保护层、所述牺牲层和所述第一半导体层，所述停止层材料与所述保护层、所述牺牲层、所述第一半导体层、所述第一侧墙和所述第二侧墙材料不同。

14、根据权利要求 12 所述的方法，其特征在于：所述第一侧面与所述第二侧面垂直。

15、根据权利要求 12 所述的方法，其特征在于：在垂直于所述第二侧面的方向上，所述第一侧墙的厚度为 5nm ~ 40nm。

5 16、根据权利要求 12 所述的方法，其特征在于，形成所述源漏区的步骤包括：

在形成所述半导体基底后，去除位于所述源漏区区域的所述停止层和部分厚度的所述第一半导体层，以形成源漏基层；

在所述源漏基层上形成第二半导体层。

10 17、根据权利要求 16 所述的方法，其特征在于：所述第一半导体层中包含 Si，对于 PMOS 器件，所述第二半导体层为 $\text{Si}_{1-x}\text{Ge}_x$ ；对于 NMOS 器件，所述第二半导体层为 Si:C。

18、根据权利要求 17 所述的方法，其特征在于：在所述 $\text{Si}_{1-x}\text{Ge}_x$ 中，X 的取值范围为 0.1 ~ 0.7。

15 19、根据权利要求 17 所述的方法，其特征在于：在所述 Si:C 中，C 的原子数百分比的取值范围为 0.2% ~ 2%。

20、根据权利要求 16 所述的方法，其特征在于，在所述源漏基层上形成所述第二半导体层之前，还包括：沿面向所述第一侧面的方向执行第一离子注入操作，以形成扩散区和晕环。

20 21、根据权利要求 13 所述的方法，其特征在于，形成所述第一栅极的步骤包括：

在确定源漏区区域之前，形成栅堆叠层，在垂直于所述绝缘层的方向上，所述栅堆叠层至少覆盖图形化的所述第一半导体层。

25 22、根据权利要求 12 所述的方法，其特征在于：所述第一栅极或所述浮栅至少覆盖图形化的所述第一半导体层。

23、根据权利要求 12 所述的方法，其特征在于：所述浮栅及/或所述控制栅材料为 TiN、TiAlN、TaN 或 TaAlN 中的一种或其组合。

24、根据权利要求 12 所述的方法，其特征在于：所述第一介质层及/或所述第二介质层材料为铪基氧化物中的一种。

1/9

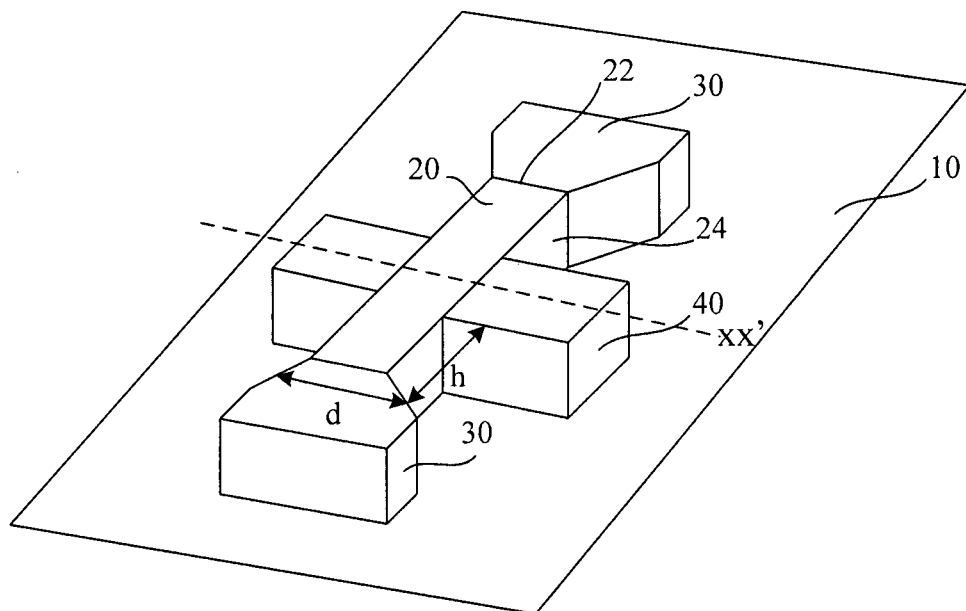


图 1

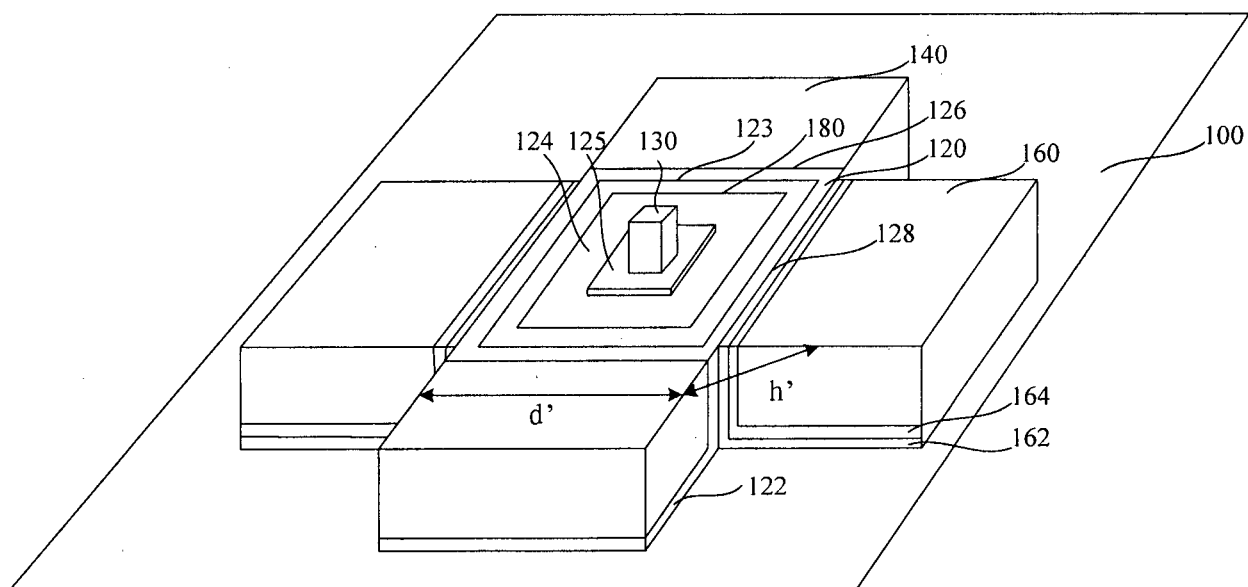


图 2

2/9

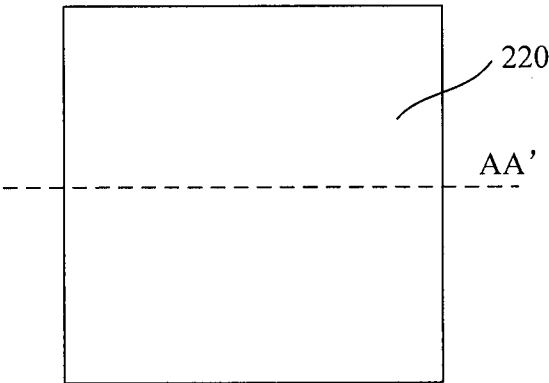


图 3

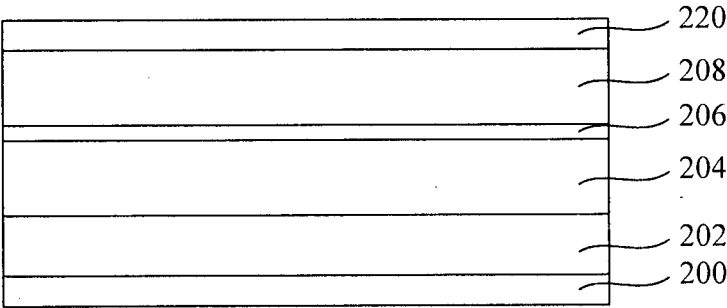


图 4

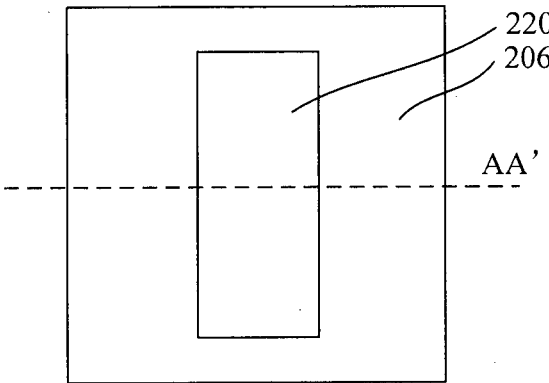


图 5

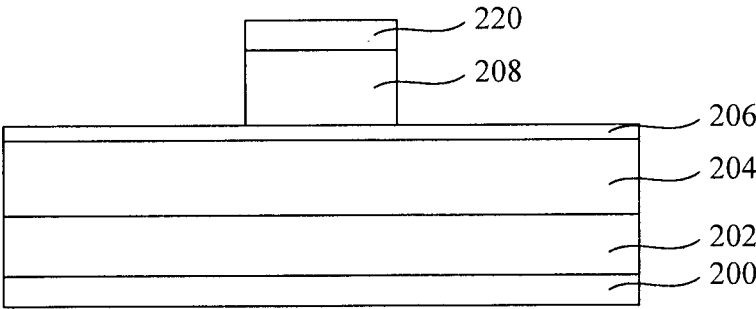


图 6

3/9

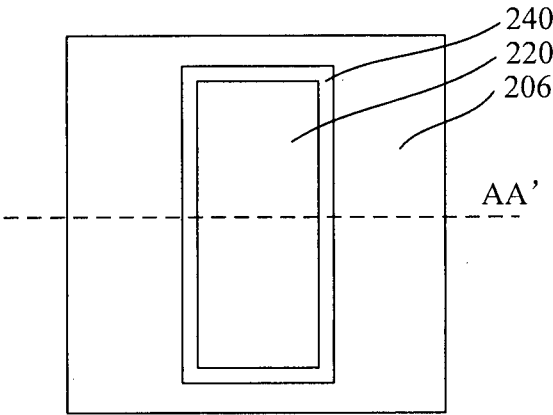


图 7

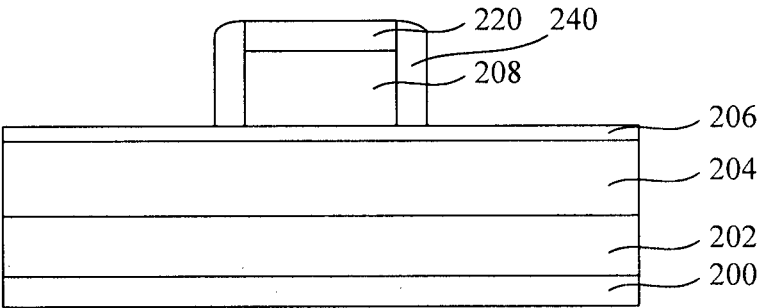


图 8

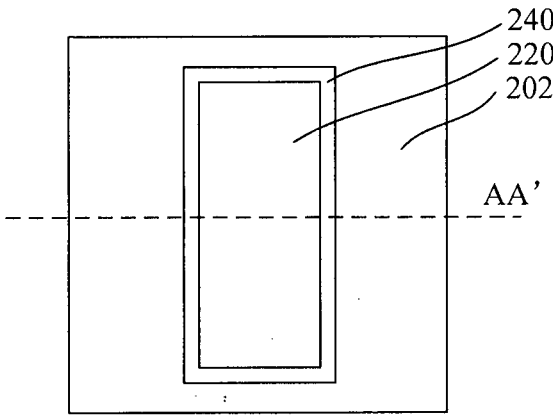


图 9

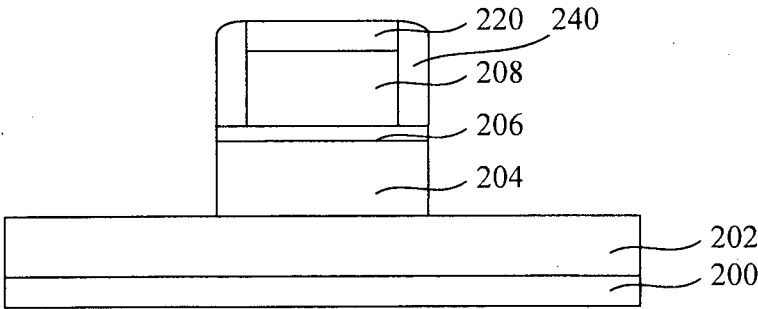


图 10

4/9

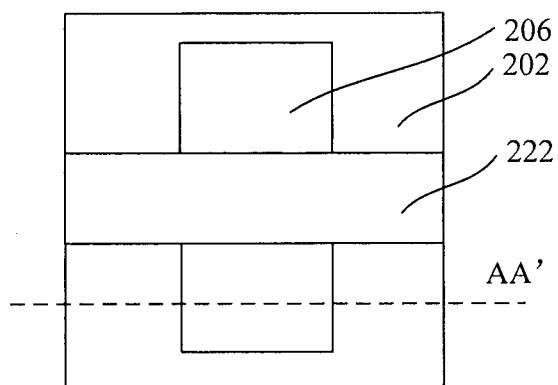


图 11

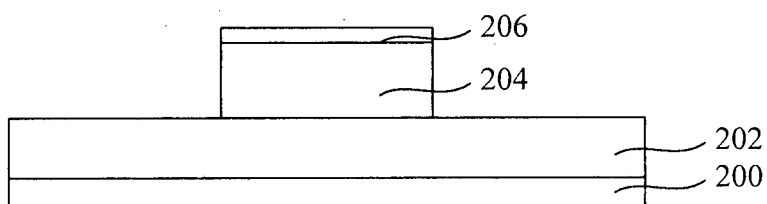


图 12

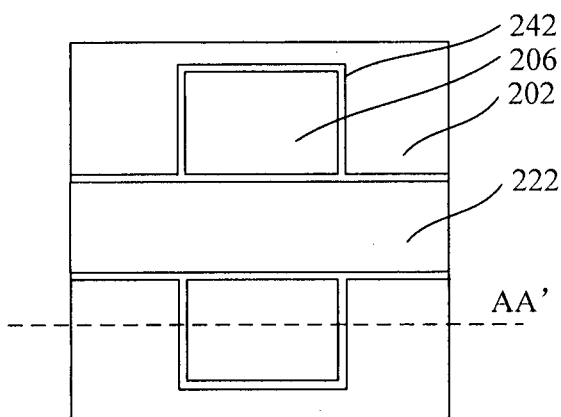


图 13

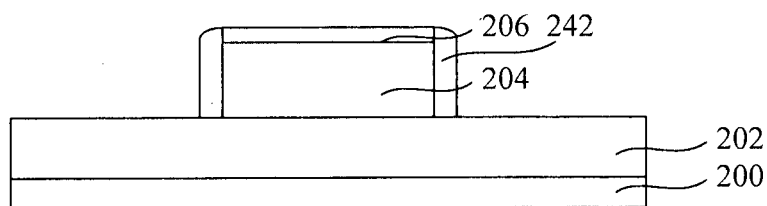


图 14

5/9

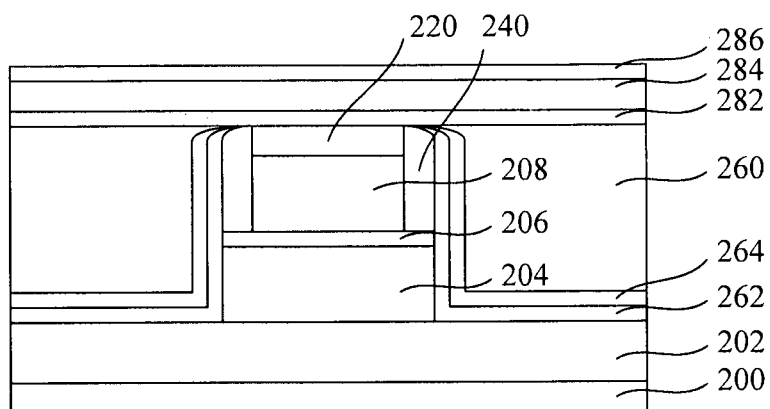


图 15

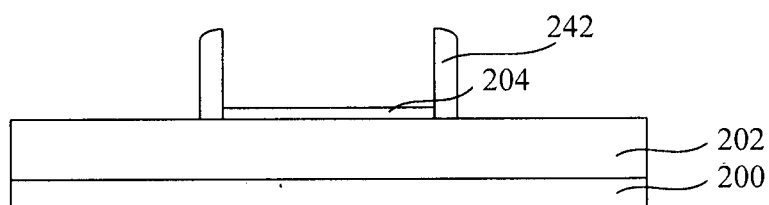


图 16

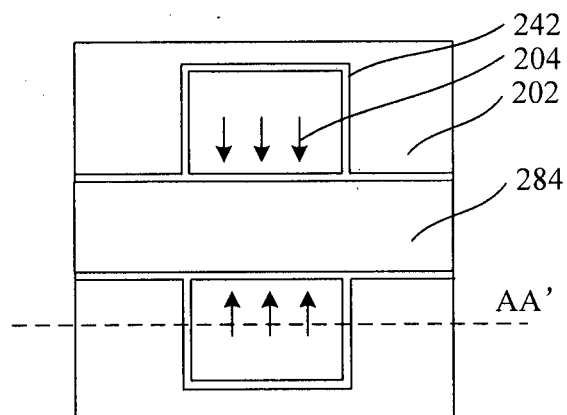


图 17

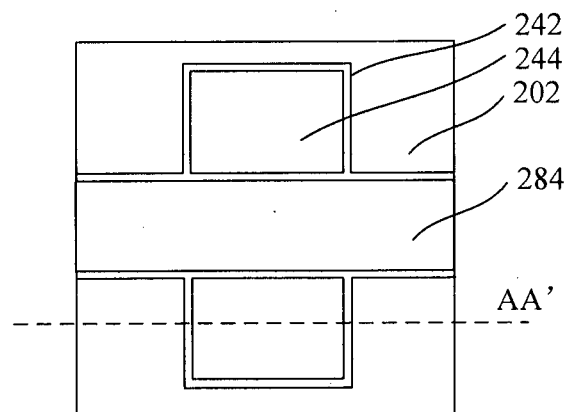


图 18

6/9

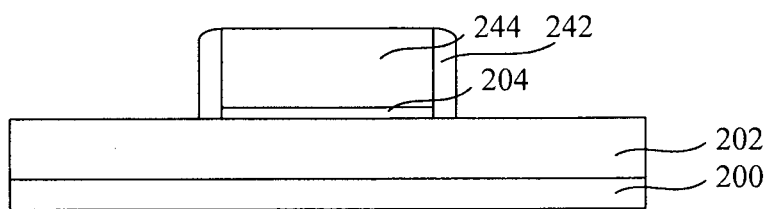


图 19

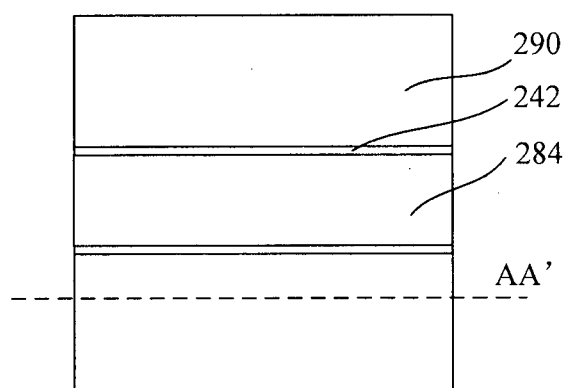


图 20

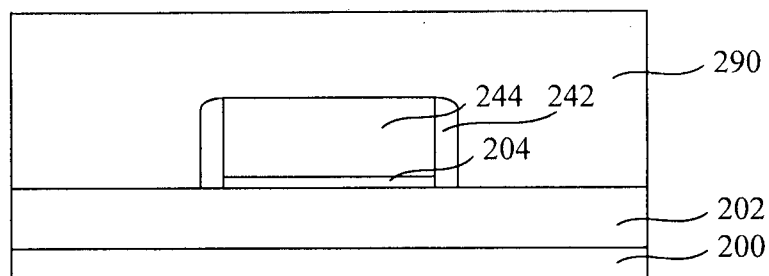


图 21

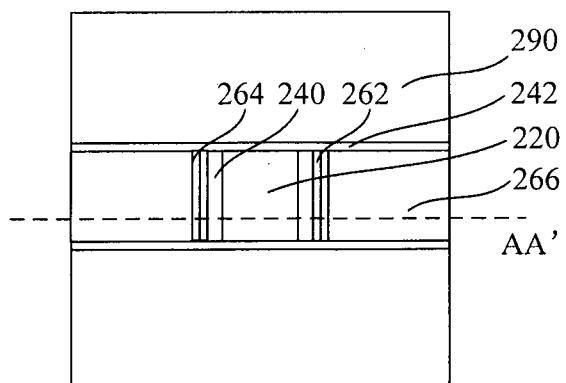


图 22

1/9

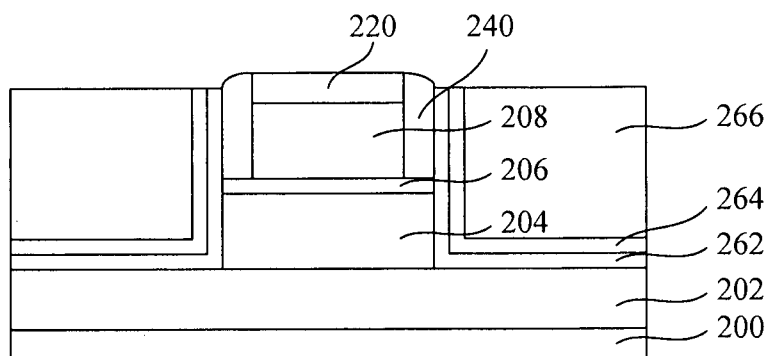


图 23

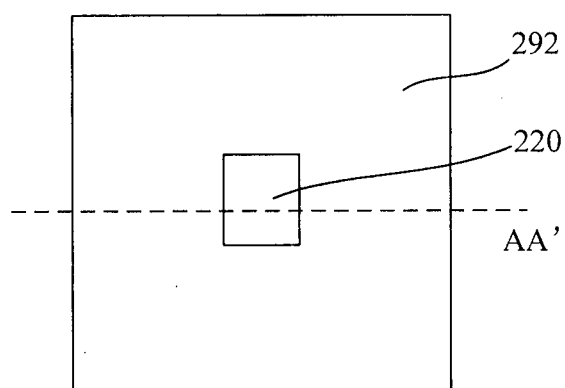


图 24

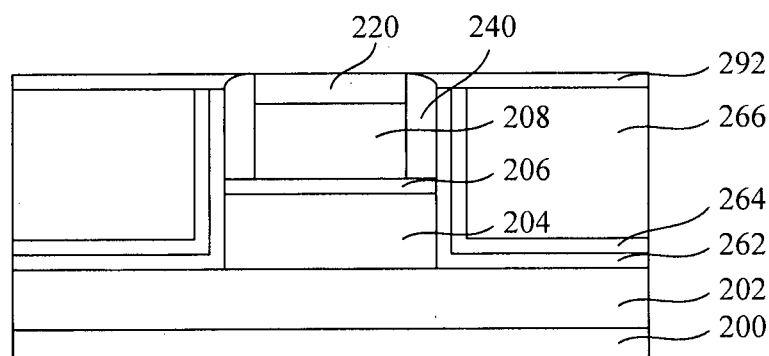


图 25

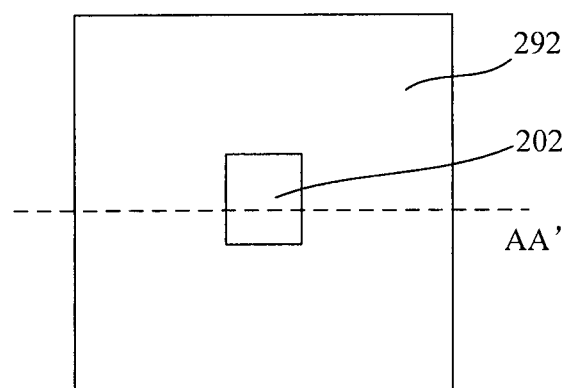


图 26

8/9

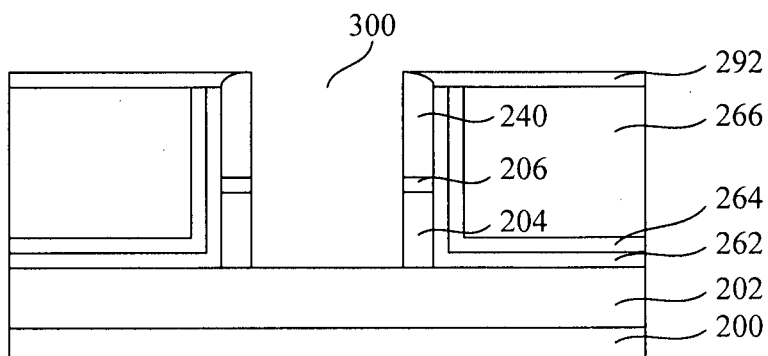


图 27

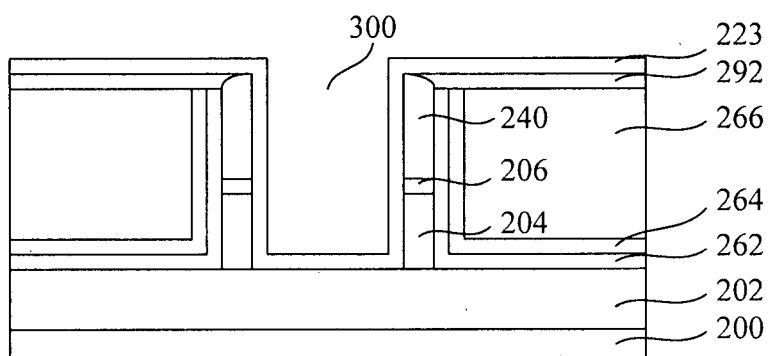


图 28

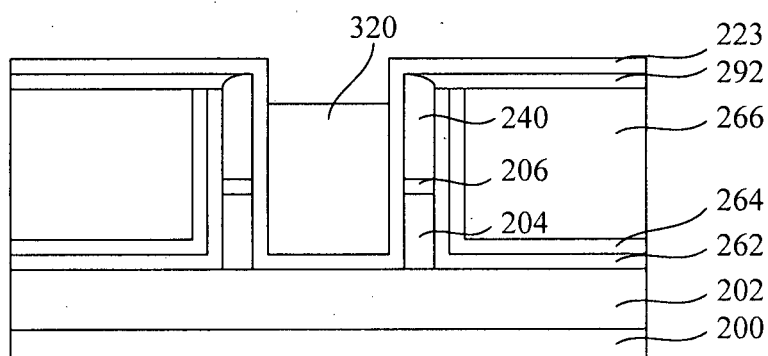


图 29

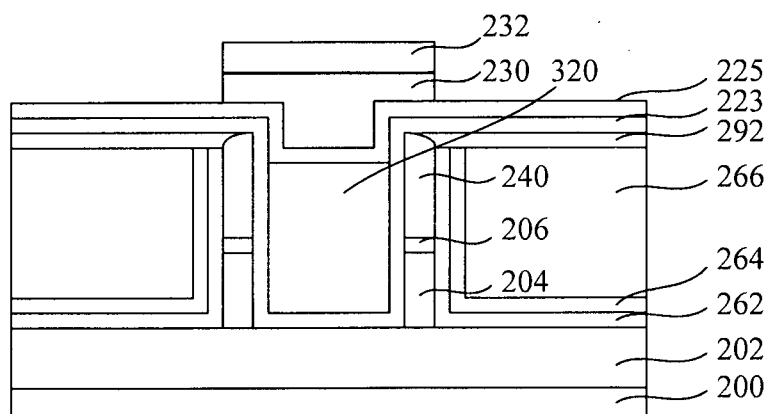


图 30

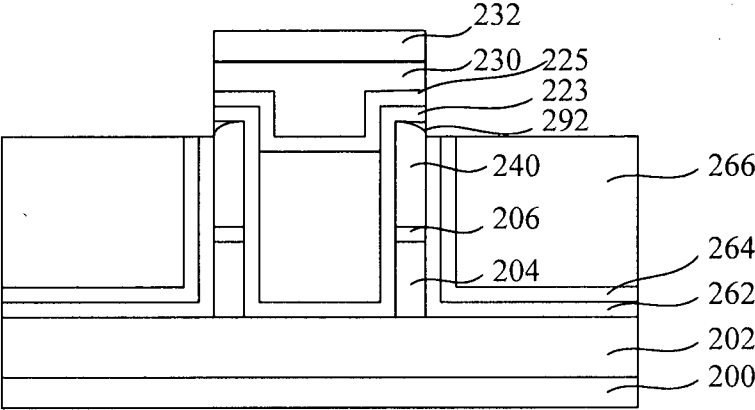


图 31

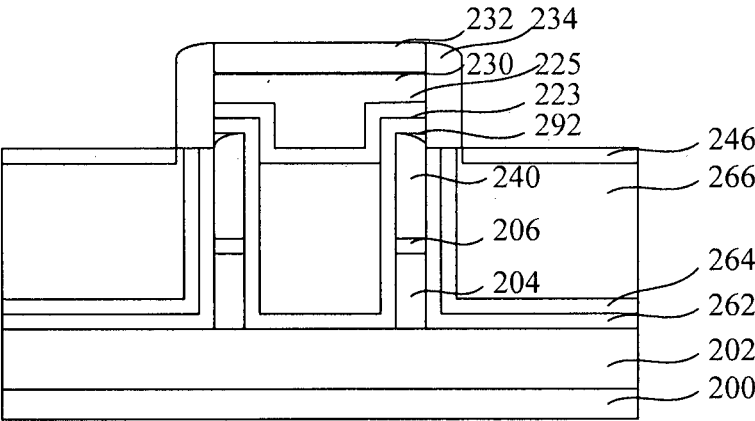


图 32

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN20 11/000336

A. CLASSIFICATION OF SUBJECT MATTER

See extra sheet

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L29/-, H01L27/-, H01L21/-

EC: H01L29/78+, H01L29/78S+, H01L21/786+, H01L21/788+, H01L27/12+

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI; EPODOC; CNKI; CPRS; IEE

Keywords : MOSFET, SOI, field effect transistor, +body, float+ gate, control gate, concave, cavity, vertical, short-channel effect

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US6396108B 1 (ADVANCED MICRO DEVICES, INC.) 28 May 2002 (28.05.2002) the whole document	1-24
A	US2007/0278572A1 (BAN, Ibrahim et al.) 06 Dec. 2007 (06.12.2007) the whole document	1-24
A	US2007/0090443A1 (SAMSUNG ELECTRONICS CO., LTD.) 26 April 2007 (26.04.2007) the whole document	1-24
A	US2005/0282345A1 (MATHEW, Leo et al.) 22 Dec. 2005 (22.12.2005) the whole document	1-24
A	CN101369584A (SAMSUNG ELECTRONICS CO. LTD.) 18 Feb. 2009 (18.02.2009) the whole document	1-24



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim (S) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

12 May 2011 (12.05.2011)

Date of mailing of the international search report

09 Jun. 2011 (09.06.2011)

Name and mailing address of the ISA/CN

The State Intellectual Property Office, the P.R.China
6 Xitucheng Rd., Jimen Bridge, Haidian District, Beijing, China
100088

Facsimile No. 86-10-62019451

Authorized officer

HAN, Bing

Telephone No. (86-10) 86-10-82245150

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN201 1/000336

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US6396108B 1	28.05.2002	none	
US2007/0278572A1	06. 12.2007	US7646071 B 2	12.01.2010
		US2010/0072533 A 1	25.03.2010
US2007/0090443A1	26.04.2007	US7329580B2	12.02.2008
		KR100663366B 1	22. 12.2006
US2005/0282345A1	22. 12.2005	US7018876B2	28.03.2006
CN101369584A	18.02.2009	EP2026378A2	18.02.2009
		EP2026378A3	14. 10.2009
		US2009045450A1	19.02.2009
		JP2009049403A	05.03.2009
		KR20090017041A	18.02.2009

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN20 11/000336

Continuation of : second sheet , A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78 (2006.01) i

H01L29/788 (2006.01) i

H01L27/12 (2006.01) i

H01L 27/108 (2006.01) i

H01L 21/84 (2006.01) i

H01L 21/336 (2006.01) i

A. 主题的分类

参见附加页

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: H01L29/-, H01L27/-, H01L21/-

EC: H01L29/78+, H01L29/78S+, H01L21/786+, H01L21/788+, H01L27/12+

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI; EPODOC; CNKI; CNPAT; E E

关键词: MOSFET, 场效应晶体管, 体, 基体, 浮栅, 控制栅, 空腔, 凹陷, SOI, 绝缘体上硅, 立体型, 垂直型, 短沟道效应, field effect transistor, +body, float+ gate, control gate, concave, cavity, vertical, short-channel effect

C. 相关文件

类型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	US6396108B1 (ADVANCED MICRO DEVICES, INC.) 28. 5 月 2002 (28.05.2002) 全文	1-24
A	US2007/0278572A1 (BAN, Ibrahim et al.) 06. 12 月 2007 (06. 12.2007) 全文	1-24
A	US2007/0090443A1 (SAMSUNG ELECTRONICS CO., LTD.) 26. 4 月 2007 (26.04.2007) 全文	1-24
A	US2005/0282345A1 (MATHEW, Leo et al.) 22. 12 月 2005 (22. 12.2005) 全文	1-24
A	CN101369584A (三星电子株式会社) 18. 2 月 2009 (18.02.2009) 全文	1-24



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请J434%

"L" 可能对优先权要求构成怀疑的文件, 或为确定另一篇
引用文件的公布日而引用的或者因其他特殊理由而引
用的文件 (如具体说明的)

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布, 与申请不相抵触, 但为了
理解发明之理论或原理的在后文件

"X" 特别相关的文件, 单独考虑该文件, 认定要求保护的
发明不是新颖的或不具有创造性

"Y" 特别相关的文件, 当该文件与另一篇或者多篇该类文件
结合并且这种结合对于本领域技术人员为显而易见时,
要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期

12.5 月 2011 (12.05.2011)

国际检索报告邮寄日期

09.6 月 2011 (09.06.2011)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局
中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

韩冰

电话号码: (86-10) 86-10-82245150

国际检索报告

关于同族专利的信息

国际申请号

PCT/CN2011/000336

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
US6396108B1	28.05.2002	无	
US2007/0278572A1	06. 12.2007	US7646071 B2	12.01 .2010
		US2010/0072533 A 1	25.03.2010
US2007/0090443A1	26.04.2007	US7329580B2	12.02.2008
		KR100663366B 1	22. 12.2006
US2005/0282345A1	22. 12.2005	US7018876B2	28.03.2006
CN101369584A	18.02.2009	EP2026378A2	18.02.2009
		EP2026378A3	14. 10.2009
		US2009045450A1	19.02.2009
		JP2009049403A	05.03.2009
		KR20090017041A	18.02.2009

续：第 2 页 A. 主题的分类
H01L29/78 (2 006.01) ↓
H01L29/788 (2 006.01) ↓
H01L27/12 (2 006.01) ↓
H01L 27/108 (2 006.01) ↓
H01L vmz (2 006.01) ↓
H01LZVI i16 (Z006.01) ↓