

(12) **Österreichische Patentanmeldung**

(21) Anmeldenummer: **A 706/2009**

(22) Anmeldetag: **08.05.2009**

(43) Veröffentlicht am: **15.11.2010**

(51) Int. Cl.<sup>8</sup>: **H02M 1/096** (2006.01),  
**H02M 7/538** (2006.01),  
**H02H 3/20** (2006.01)

(73) Patentinhaber:

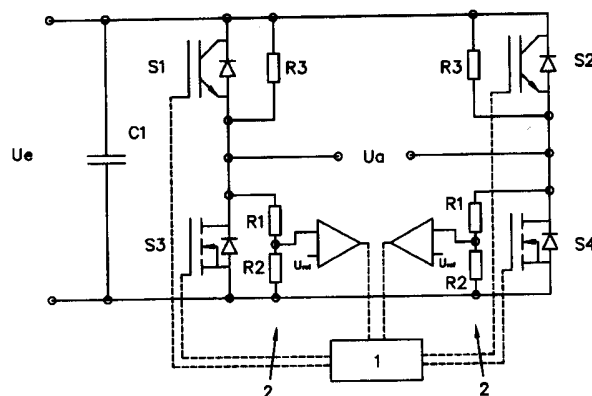
**FRONIUS INTERNATIONAL GMBH**  
**A-4643 PETTENBACH (AT)**

(72) Erfinder:

**PIRCHENFELLNER JÜRGEN**  
**WARTBERG/AIST (AT)**  
**ACHLEITNER GÜNTER**  
**SATTLIEDT (AT)**  
**HOLZINGER STEPHAN**  
**SCHARNSTEIN (AT)**  
**PAMMER WALTER**  
**BAD HALL (AT)**

(54) **VERFAHREN UND VORRICHTUNG ZUM SCHUTZ VON TRANSISTOREN**

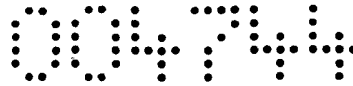
(57) Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Schutz von in zumindest einem Pfad angeordneten Transistoren (S1, S3; S2, S4), wobei in einem Pfad (2) in Serie geschaltete Transistoren (S1, S3; S2, S4) angeordnet werden, an welchen eine Eingangsspannung ( $U_e$ ) angelegt wird, und die Transistoren (S1, S3; S2, S4) eines Pfades abwechselnd zwischen einem leitenden Zustand und einem sperrenden Zustand zur Erzeugung einer Ausgangsspannung ( $U_a$ ) im Mittelpunkt des Pfades umgeschaltet werden. Zur Vermeidung eines Durchschaltens beider Transistoren (S1, S3; S2, S4) eines Pfades wird vor einer Umschaltung eines Transistors (S1; S2) in den leitenden Zustand der sperrende Zustand des zweiten Transistors (S3; S4) des Pfades überprüft und die Umschaltung mit einem bei der Überprüfung generierten Signal freigegeben.



## Zusammenfassung:

Die Erfindung betrifft ein Verfahren und eine Vorrichtung zum Schutz von zumindest in einem Pfad angeordneten Transistoren (S1, S3; S2, S4), wobei in einem Pfad (2) in Serie geschaltete Transistoren (S1, S3; S2, S4) angeordnet werden, an welchen eine Eingangsspannung (Ue) angelegt wird, und die Transistoren (S1, S3; S2, S4) eines Pfades abwechselnd zwischen einem leitenden Zustand und einem sperrenden Zustand zur Erzeugung einer Ausgangsspannung (Ua) im Mittelpunkt des Pfades umgeschaltet werden. Zur Vermeidung eines Durchschaltens beider Transistoren (S1, S3; S2, S4) eines Pfades wird vor einer Umschaltung eines Transistors (S1; S2) in den leitenden Zustand der sperrende Zustand des zweiten Transistors (S3; S4) des Pfades überprüft und die Umschaltung mit einem bei der Überprüfung generierten Signal freigegeben.

(Fig. 2)



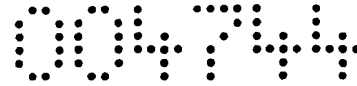
Die Erfindung betrifft ein Verfahren zum Schutz von zumindest in einem Pfad angeordneten Transistoren, wobei in einem Pfad zwei in Serie geschaltete Transistoren angeordnet werden, an welchen eine Eingangsspannung angelegt wird, und die Transistoren eines Pfades abwechselnd zwischen einem leitenden Zustand und einem sperrenden Zustand zur Erzeugung einer Ausgangsspannung im Mittelpunkt des Pfades umgeschaltet werden.

Ebenso betrifft die Erfindung eine Vorrichtung zum Schutz von zumindest in einem Pfad angeordneten Transistoren, wobei in einem in einer Eingangsspannung versorgten Pfad zwei in Serie geschaltete Transistoren angeordnet sind, wobei die Transistoren zur abwechselnden Umschaltung zwischen einem leitenden Zustand und einem sperrenden Zustand zur Erzeugung einer im Mittelpunkt des Pfades gebildeten Ausgangsspannung angeordnet sind.

Die Aufgabe der Erfindung liegt darin, zwei in Serie geschaltete Transistoren, welche abwechselnd zwischen einem leitenden und sperrenden Zustand umgeschaltet werden, vor einem gleichzeitigen Schalten in den leitenden Zustand zu schützen.

Die Aufgabe der Erfindung wird in verfahrensmäßiger Hinsicht dadurch gelöst, dass vor einer Umschaltung eines Transistors in den leitenden Zustand der sperrende Zustand des zweiten Transistors überprüft wird, und die Umschaltung mit einem bei der Überprüfung generierten Signal freigegeben wird. Dadurch dass der Umschaltvorgang des Transistors in Abhängigkeit des Zustands des weiteren im Pfad angeordneten Transistors durchgeführt wird, kann sichergestellt werden, dass sich die beiden in Serie geschalteten Transistoren keinesfalls gleichzeitig im leitenden Zustand befinden, und somit ein Kurzschluss vermieden werden. In der Folge kann der Einsatz von Transistoren bei verschiedenen Anwendungen ermöglicht werden und somit die Verlustleistung minimiert und der Wirkungsgrad erhöht werden. Ebenso kann ein zuverlässiger Betrieb der mit den Transistoren aufgebauten Schaltung sichergestellt werden, da die Transistoren nur zu bestimmten Zeitpunkten leitend geschaltet werden, sodass ein undefiniertes Verhalten der Schaltung ausgeschlossen ist.

Vorteilhafterweise wird die Überprüfung bei zumindest zwei sper-



renden Transistoren eines Pfades mit einer Spannungsmessung und einer Auswerteschaltung durchgeführt.

Bei der Überprüfung kann das Potential im Mittelpunkt des Pfades durch einen dem Transistor eines Pfades parallel geschalteten Spannungsteiler vordefiniert werden. Dadurch wird ein definiertes Potential als Ausgangspunkt für die Überprüfung geschaffen.

Gemäß einem weiteren Merkmal der Erfindung wird das vordefinierte Potential mit einer Referenzspannung verglichen und dadurch das Signal generiert, welches zur Freigabe der Umschaltung des Transistors herangezogen wird.

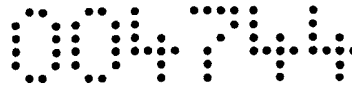
Das generierte Signal umfasst vorzugsweise zwei Zustände, wobei die Umschaltung bei einem Zustand, dem sogenannten Freigabe-Zustand, freigegeben wird.

Die Umschaltung des Transistors eines Pfades wird von einer Steuerung durchgeführt, wenn das bei der Überprüfung generierte Signal zu einem definierten Umschaltzeitpunkt den Freigabe-Zustand aufweist.

Gelöst wird die erfindungsgemäße Aufgabe auch durch eine oben genannte Vorrichtung, bei der zumindest eine Messvorrichtung für jeden Pfad angeordnet ist, die zur Überprüfung des sperrenden Zustands eines Transistors vor einer Umschaltung des zweiten Transistors in den leitenden Zustand ausgebildet ist. Eine derartige Schutzvorrichtung bzw. Schutzschaltung zeichnet sich durch besondere Einfachheit aus.

Wenn ein Potential im Mittelpunkt des Pfades durch einen dem Transistor parallel geschalteten Spannungsteiler vordefiniert ist, und der Spannungsteiler mit der Messvorrichtung verbunden ist, sodass das vordefinierte Potential der Messvorrichtung zugeführt wird, kann sichergestellt werden, dass die Überprüfungsschaltung nicht unerwünscht ein Freigabesignal generiert. Dies kann beispielsweise beim Hochstarten oder bei kleinen Leistungen auftreten.

Vorteilhafterweise ist die Messvorrichtung mit einer Steuerung



für die Transistoren verbunden und die Messvorrichtung zur Generierung eines Signals für die Umschaltung des Transistors ausgebildet.

Vorteilhafterweise ist ein Transistor in einem Pfad durch einen Insulated Gate Bipolar Transistor (IGBT) oder Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) gebildet und der zweite Transistor des Pfades durch einen Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) gebildet.

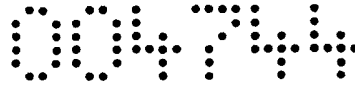
Die vorliegende Erfindung wird anhand der beigefügten, schematischen Zeichnungen näher erläutert.

Darin zeigen:

Fig. 1 eine schematische Darstellung einer bekannten Vollbrücke mit Transistoren als Schaltelemente; und

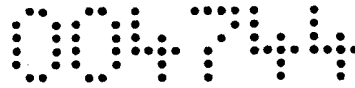
Fig. 2 eine schematische Darstellung einer Vollbrücke mit dem erfindungsgemäßen Schutz für die Transistoren.

Wie aus Fig. 1 ersichtlich, wird eine durch eine Vollbrücke gebildete Ausgangsstufe durch einen ersten Pfad, umfassend die Transistoren S1 und S3, und einen zweiten Pfad, umfassend die Transistoren S2 und S4, gebildet. Die Transistoren eines Pfades sind in Serie geschaltet. Aus der Eingangsspannung  $U_e$  wird eine zwischen den Mittelpunkten der Pfade abgreifbare Ausgangsspannung  $U_a$  erzeugt. Dazu werden die Transistoren eines Pfades gegengleich bzw. abwechselnd von einer Steuerung 1 angesteuert. Bei der beispielhaft gezeigten Vollbrücke werden demnach jeweils zwei Transistoren von unterschiedlichen Pfaden gleichzeitig angesteuert. Die Anzahl der gleichzeitig angesteuerten Transistoren ist auf die verwendete Schaltung (Vollbrücke, Einweggleichrichter, Brückengleichrichter oder dergl.) entsprechend abgestimmt. Bei der dargestellten Vollbrücke wird aus der am Kondensator C1 anliegenden Gleichspannung als Eingangsspannung  $U_e$  vom Zwischenkreis eines Wechselrichters über die Transistoren S1 & S4 eine positive Halbwelle einer Ausgangsspannung  $U_a$  erzeugt und über die Transistoren S2 & S3 eine negative Halbwelle. Dabei sind bei der Erzeugung der positiven Halbwelle die



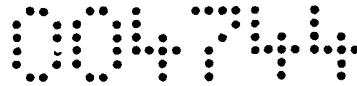
Transistoren S1 & S4 leitend und die Transistoren S2 & S3 gesperrt. Zur Erzeugung der negativen Halbwelle werden von der Steuerung 1 die Transistoren entsprechend umgeschaltet, sodass die Transistoren S1 & S4 sperren und die Transistoren S2 & S3 leiten. Somit wird eine Wechselspannung als Ausgangsspannung  $U_a$  erzeugt, die in das Netz eingespeist werden kann, wie es bei Wechselrichtern aus dem Stand der Technik bekannt ist. Beim Umschaltvorgang zu definierten Umschaltzeitpunkten sind kurzzeitig die Transistoren S1 bis S4 gesperrt, sodass im Wesentlichen das Potential vom Netz bestimmt wird und sich die Ausgangsstufe in einem sogenannten nichtregulären Betrieb befindet. Somit können auch entsprechende Störungen vom Netz ein Potential im Mittelpunkt des Pfades bewirken, bei welchem die Freilaufdioden der Transistoren S1 bis S4 leiten. Ebenso können die Freilaufdioden auch durch deren sogenannte „Reverse Recovery“-Eigenschaft in Sperrrichtung leitend werden, indem eine hohe Stromänderung  $di/dt$  durch das Schalten des dazu in Serie geschalteten Transistors in den leitenden Zustand verursacht wird. Durch interne Kapazitäten des Transistors kann die daraus resultierende schnelle Änderung der Drain-Spannung zum eigenen Aufsteuern bzw. Schalten in den leitenden Zustand führen. Gegebenenfalls kann dies zu einem Kurzschluss von C1 bzw. der Eingangsspannung  $U_e$  führen, wenn beispielsweise der Transistor S1 (S2) leitend geschaltet wird, wenn die Freilaufdiode des Transistors S3 (S4) durch das vom Netz bewirkte Potential leitend ist. Dies würde zu einer Zerstörung der Transistoren führen. Die Freilaufdiode ist dabei insbesondere bei der Verwendung von Transistoren wie MOSFET's eine interne Diode, welche aus dem Lagenaufbau der Strukturen dieser Transistoren resultiert, wie allgemein aus dem Stand der Technik bekannt.

Zur Vermeidung eines oben genannten Zustands ist erfindungsgemäß vorgesehen, dass der Zustand der Freilaufdiode der Transistoren S3 bzw. S4 überprüft wird, bevor die im Pfad in Serie geschalteten Transistoren S1 bzw. S2 leitend geschaltet werden. Dazu erfolgt, wie aus Fig. 2 ersichtlich, zum einen eine Vordefinierung des Potentials der Eingangsspannung  $U_e$  im Mittelpunkt des Pfades - beispielsweise eine Symmetrisierung bzw. Halbierung von 350 V auf 175 V, sodass im Wesentlichen zwischen den Transistoren S1 und S3 das halbe Potential der Eingangsspannung  $U_e$  anliegt. Dies



kann durch einen Spannungsteiler mit zwei Widerständen  $R_1$  und  $R_3$  erfolgen. Da diese Widerstände durch das Schalten der Transistoren in den leitenden Zustand kurzgeschlossen werden, erfolgt die Vordefinierung des Potentials nur im nichtregulären Betrieb. Damit nun eine im nichtregulären Betrieb hervorgerufene Veränderung des dadurch definierten Potentials überwacht werden kann, ist zum zweiten eine Messvorrichtung 2 mit einer Spannungsmessung vorgesehen. Diese Spannungsmessung wird bevorzugt an den Transistoren  $S_3$  &  $S_4$  durchgeführt, sodass die Transistoren  $S_1$  &  $S_2$  nicht leitend geschaltet werden können, falls die Freilaufdioden der Transistoren  $S_3$  &  $S_4$  durch eine Änderung des Potentials leitend werden würden. Die Spannungsmessung misst also beispielsweise die Drain-Source-Spannung eines MOSFET's bzw. das vordefinierte Potential, welche(s) ein Indiz für die Leitfähigkeit der Freilaufdiode des Transistors ist. Wenn also das Potential sinkt, erkennt dies die Spannungsmessung, welche im nichtregulären Betrieb ständig das Potential misst. Ebenso generiert die Messvorrichtung 2 aus der Spannungsmessung und einer Auswerteschaltung - beispielsweise einem Komparator - ein Signal. Dieses Signal kann insbesondere ein Rechtecksignal sein, aus dessen Zustand (HIGH oder LOW) die Steuerung 1 die Information entnehmen kann, ob der Transistor  $S_1$  ( $S_2$ ) leitend geschaltet werden kann.

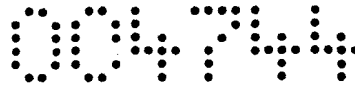
Die Spannungsmessung wird dabei durch einen Spannungsteiler gebildet, welcher die Spannung eines zu  $R_1$  in Serie geschalteten Widerstandes  $R_2$ , welcher wesentlich kleiner als der Widerstand  $R_1$  ist und somit das definierte Potential entsprechend reduziert, einem Komparator liefert. Diese an  $R_2$  gemessene Spannung vergleicht der Komparator mit einer Referenzspannung  $U_{ref}$ , und generiert das Signal. Ist die an  $R_2$  gemessene Spannung kleiner als die Referenzspannung  $U_{ref}$ , weist der Ausgang des Komparators und somit das generierte Signal einen LOW-Zustand auf. Ist hingegen die an  $R_2$  gemessene Spannung größer als die Referenzspannung  $U_{ref}$ , hat der Ausgang und somit das generierte Signal einen HIGH-Zustand, welcher dem Freigabe-Zustand für die Umschaltung des Transistors  $S_1$  ( $S_2$ ) entspricht. Ist demnach das Potential unter einen eingestellten Schwellwert (beispielsweise 90V) gesunken, hat das generierte Rechtecksignal einen LOW-Zustand. Fällt nun der definierte Umschaltzeitpunkt auf einen solchen Zeitpunkt des



Rechtecksignals, wird der Transistor S1 (S2) nicht leitend geschaltet - also die Umschaltung nicht freigegeben. Dies ist darauf zurückzuführen, dass erkannt wurde, dass das Potential eine sinkende Tendenz aufweist, wodurch die Freilaufdiode des Transistors in Kürze leitend werden würde. Demzufolge wartet die Steuerung 1, bis das Signal einen HIGH-Zustand liefert, sodass die Umschaltung durchgeführt werden kann. Es wird also der Umschaltzeitpunkt, beispielsweise auf den nächsten definierten Umschaltzeitpunkt verschoben. Liegt hingegen das Potential zum Umschaltzeitpunkt über dem Schwellwert, wird der Transistor S1 (S2) leitend geschaltet, also die Umschaltung freigegeben.

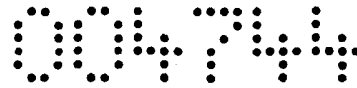
Mit einer derartigen Spannungsmessung - insbesondere durch die ständige Messung des Potentials - kann eine schnelle Änderung der Spannung erfasst werden, sodass auch Änderungen im Nanosekunden-Bereich erfasst werden können. Derart schnelle Änderungen der Spannung werden insbesondere durch Unsymmetrien und überlagerte „Surges“, wie Blitze und Überspannungen der Wechselspannung im Nulldurchgang hervorgerufen.

Mit dem erfindungsgemäßen Verfahren und der erfindungsgemäßen Vorrichtung kann also sichergestellt werden, dass der Transistor S1 (S2) nur dann leitend geschaltet wird, wenn der zweite Transistor S3 (S4) des Pfades gesperrt ist. Somit wird auch bei schnellen Änderungen des Potentials im nichtregulären Betrieb verhindert, dass ein undefiniertes Schalten der Transistoren erfolgt. Derartige schnelle Änderungen des Potentials im nichtregulären Betrieb entstehen insbesondere durch das gleichzeitige Einschalten der in Serie geschalteten Transistoren, also wenn beim Schalten eines Transistors in den leitenden Zustand die Freilaufdiode des weiteren Transistors leitend ist. Dabei spricht man auch von einem direkten Schalten auf die leitende Freilaufdiode des Transistors. Diese schnellen Änderungen bewirken aufgrund der Drain-Gate-Kapazität des Transistors ein ungewolltes Einschalten des Bauteils. Gemäß der Erfindung erfolgt stets ein sicheres Umschalten der Zustände und es ist gewährleistet, dass der Eingang der Ausgangsstufe - also die Zwischenkreisspannung - nicht kurzgeschlossen wird. Dabei ist das erfindungsgemäße Verfahren unabhängig davon, ob wie im beschriebenen Ausführungsbeispiel eine Gleichspannung in eine Wechsel-



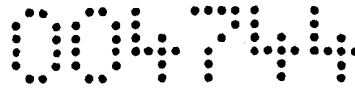
spannung oder eine Wechselspannung in eine Gleichspannung umgewandelt wird.

Das erfindungsgemäße Verfahren ist insbesondere dann von Bedeutung, wenn als Transistoren S3 & S4 solche Typen eingesetzt werden, welche eine äußerst geringe Verlustleistung bewirken. Derartige Transistoren weisen einen sehr geringen Drain-Source On-State-Resistance  $R_{DS(on)}$  auf, wodurch sie auf Änderungen des Potentials sehr empfindlich reagieren. Beispielsweise ist dies beim Einsatz von Transistoren des Typs COOLMOS von Advanced Power Technology® der Fall. Aus dem Datenblatt dieses Transistors (siehe [www.advancedpower.com](http://www.advancedpower.com)) 050-7239 Rev B 3-2006 der Typen APT60N60BCS, APT60N60BCSG, APT60N60SCS, APT60N60SCSG ist zu entnehmen, dass der Einsatz dieser Typen nicht empfohlen wird, wenn schnelle Stromänderungen bzw. Änderungen des Potentials zu erwarten sind. Diese Transistoren ermöglichen jedoch wiederum einen wesentlich besseren Wirkungsgrad, und können gemäß der Erfindung bei Ausgangsstufen von Wechselrichtern, Batterieladegeräten, Schweißgeräten oder dergleichen eingesetzt werden.



Patentansprüche:

1. Verfahren zum Schutz von zumindest in einem Pfad angeordneten Transistoren (S1, S3; S2, S4), wobei in einem Pfad zwei in Serie geschaltete Transistoren (S1, S3; S2, S4) angeordnet werden, an welchen eine Eingangsspannung ( $U_e$ ) angelegt wird, und die Transistoren (S1, S3; S2, S4) eines Pfades abwechselnd zwischen einem leitenden Zustand und einem sperrenden Zustand zur Erzeugung einer Ausgangsspannung ( $U_a$ ) im Mittelpunkt des Pfades umgeschaltet werden, dadurch gekennzeichnet, dass vor einer Umschaltung eines Transistors (S1; S2) in den leitenden Zustand der sperrende Zustand des zweiten Transistors (S3; S4) überprüft wird, und die Umschaltung mit einem bei der Überprüfung generierten Signal freigegeben wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Überprüfung bei zumindest zwei sperrenden Transistoren (S1, S3; S2, S4) eines Pfades mit einer Spannungsmessung und einer Auswerteschaltung durchgeführt wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass bei der Überprüfung das Potential im Mittelpunkt des Pfades durch einen dem Transistor (S3; S4) parallel geschalteten Spannungsteiler vordefiniert wird.
4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass das vordefinierte Potential mit einer Referenzspannung ( $U_{ref}$ ) verglichen und dadurch das Signal generiert wird.
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass das generierte Signal zwei Zustände umfasst, wobei die Umschaltung bei einem Zustand, dem Freigabe-Zustand, freigegeben wird.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass die Umschaltung von einer Steuerung (1) durchgeführt wird, wenn das generierte Signal zu einem definierten Umschaltzeitpunkt den Freigabe-Zustand aufweist.
7. Vorrichtung zum Schutz von zumindest in einem Pfad angeordne-



ten Transistoren (S1, S3; S2, S4), wobei in einem mit einer Eingangsspannung ( $U_e$ ) versorgten Pfad zwei in Serie geschaltete Transistoren (S1, S3; S2, S4) angeordnet sind, wobei die Transistoren (S1, S3; S2, S4) zur abwechselnden Umschaltung zwischen einem leitenden Zustand und einem sperrenden Zustand zur Erzeugung einer im Mittelpunkt des Pfades gebildeten Ausgangsspannung ( $U_a$ ) angeordnet sind, dadurch gekennzeichnet, dass zumindest eine Messvorrichtung (2) für jeden Pfad angeordnet ist, die zur Überprüfung des sperrenden Zustands eines Transistors (S3; S4) vor einer Umschaltung des zweiten Transistors (S1; S2) in den leitenden Zustand ausgebildet ist.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass ein Potential im Mittelpunkt des Pfades durch einen dem Transistor (S3; S4) parallel geschalteten Spannungsteiler vordefiniert ist, und der Spannungsteiler mit der Messvorrichtung (2) verbunden ist, sodass das vordefinierte Potential der Messvorrichtung (2) zugeführt wird.

9. Vorrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass die Messvorrichtung (2) mit einer Steuerung (1) für die Transistoren (S1, S3; S2, S4) verbunden ist, und die Messvorrichtung (2) zur Generierung eines Signals für die Umschaltung eines Transistors (S1; S2) ausgebildet ist.

10. Vorrichtung nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, dass ein Transistor (S1; S2) in einem Pfad durch einen Insulated Gate Bipolar Transistor (IGBT) oder Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) gebildet ist und der zweite Transistor (S3; S4) des Pfades durch einen Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) gebildet ist.

Fig.1

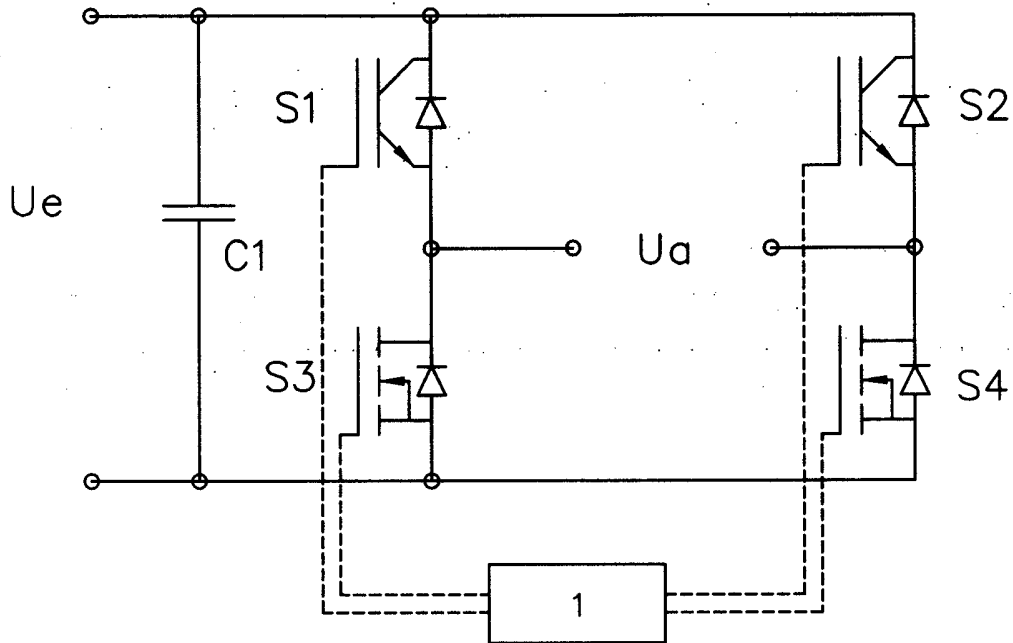
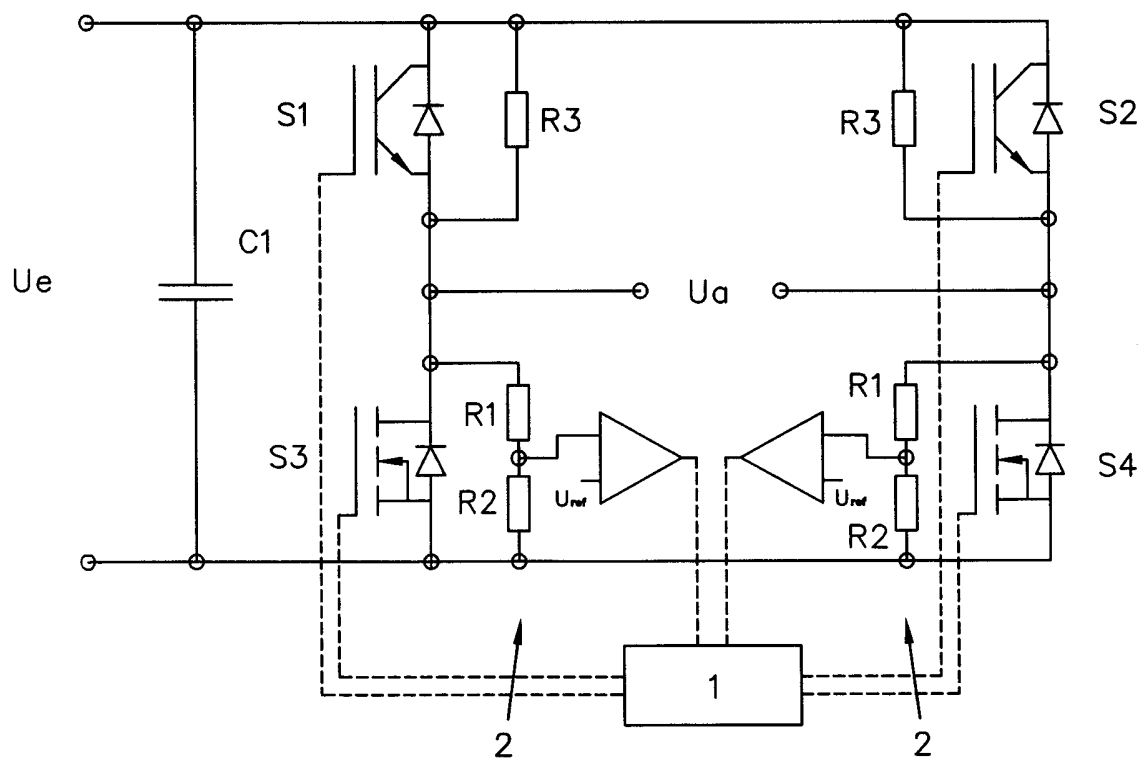


Fig.2



## Patentansprüche:

1. Verfahren zum Schutz von in zumindest einem Pfad angeordneten Transistoren (S1, S3; S2, S4), wobei in einem Pfad zwei in Serie geschaltete Transistoren (S1, S3; S2, S4) angeordnet werden, an welchen eine Eingangsspannung ( $U_e$ ) angelegt wird, und die Transistoren (S1, S3; S2, S4) eines Pfades abwechselnd zwischen einem leitenden Zustand und einem sperrenden Zustand zur Erzeugung einer Ausgangsspannung ( $U_a$ ) im Mittelpunkt des Pfades umgeschaltet werden, dadurch gekennzeichnet, dass vor einer Umschaltung eines Transistors (S1; S2) in den leitenden Zustand der sperrende Zustand des zweiten Transistors (S3; S4) überprüft wird, und die Umschaltung mit einem bei der Überprüfung generierten Signal freigegeben wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass die Überprüfung bei zumindest zwei sperrenden Transistoren (S1, S3; S2, S4) eines Pfades mit einer Spannungsmessung und einer Auswerteschaltung durchgeführt wird.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, dass bei der Überprüfung das Potential im Mittelpunkt des Pfades durch einen dem Transistor (S3; S4) parallel geschalteten Spannungsteiler vordefiniert wird.
4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass das vordefinierte Potential mit einer Referenzspannung ( $U_{ref}$ ) verglichen und dadurch das Signal generiert wird.
5. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, dass das generierte Signal zwei Zustände umfasst, wobei die Umschaltung bei einem Zustand, dem Freigabe-Zustand, freigegeben wird.
6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, dass die Umschaltung von einer Steuerung (1) durchgeführt wird, wenn das generierte Signal zu einem definierten Umschaltzeitpunkt den Freigabe-Zustand aufweist.
7. Vorrichtung zum Schutz von in zumindest einem Pfad angeordne-

**NACHGEREICHT**

ten Transistoren (S1, S3; S2, S4), wobei in einem mit einer Eingangsspannung (Ue) versorgten Pfad zwei in Serie geschaltete Transistoren (S1, S3; S2, S4) angeordnet sind, wobei die Transistoren (S1, S3; S2, S4) zur abwechselnden Umschaltung zwischen einem leitenden Zustand und einem sperrenden Zustand zur Erzeugung einer im Mittelpunkt des Pfades gebildeten Ausgangsspannung (Ua) angeordnet sind, dadurch gekennzeichnet, dass zumindest eine Messvorrichtung (2) für jeden Pfad angeordnet ist, die zur Überprüfung des sperrenden Zustands eines Transistors (S3; S4) vor einer Umschaltung des zweiten Transistors (S1; S2) in den leitenden Zustand ausgebildet ist.

8. Vorrichtung nach Anspruch 7, dadurch gekennzeichnet, dass ein Potential im Mittelpunkt des Pfades durch einen dem Transistor (S3; S4) parallel geschalteten Spannungsteiler vordefiniert ist, und der Spannungsteiler mit der Messvorrichtung (2) verbunden ist, sodass das vordefinierte Potential der Messvorrichtung (2) zugeführt wird.

9. Vorrichtung nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass die Messvorrichtung (2) mit einer Steuerung (1) für die Transistoren (S1, S3; S2, S4) verbunden ist, und die Messvorrichtung (2) zur Generierung eines Signals für die Umschaltung eines Transistors (S1; S2) ausgebildet ist.

10. Vorrichtung nach einem der Ansprüche 7 bis 9, dadurch gekennzeichnet, dass ein Transistor (S1; S2) in einem Pfad durch einen Insulated Gate Bipolar Transistor (IGBT) oder Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) gebildet ist und der zweite Transistor (S3; S4) des Pfades durch einen Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) gebildet ist.

**NACHGEREICHT**



Klassifikation des Anmeldegegenstands gemäß IPC <sup>8</sup> : H02M 1/096; H02M 7/538; H02H 3/20
Klassifikation des Anmeldegegenstands gemäß ECLA: H02M 1/096, H02M 7/538C2, H02H 3/20
Recherchierter Prüfstoﬀ (Klassifikation): H02M, G05F, H02H
Konsultierte Online-Datenbank: WPI, PAJ, IEEE
Dieser Recherchenbericht wurde zu den am <b>8. Mai 2009</b> eingereichten Ansprüchen 1-10 erstellt.

Kategorie <sup>7)</sup>	Bezeichnung der Veröffentlichung: Ländercode, Veröffentlichungsnummer, Dokumentart (Anmelder), Veröffentlichungsdatum, Textstelle oder Figur soweit erforderlich	Betreffend Anspruch
X	US 5737169 A (SELLERS) 7. April 1998 (07.04.1998) <i>Das ganze Dokument.</i>	1-10
	--	
A	US 5465188 A (PRYOR et al.) 7. November 1995 (07.11.1995) <i>Spalte 3, Zeile 41 - Spalte 4, Zeile 7; Fig. 1.</i>	1-10
	--	
A	EP 2048567 A1 (AMI SEMICONDUCTOR BELGIUM BVBA) 15. April 2009 (15.04.2009) <i>Absätze [0047 - 0053]; Fig. 1.</i>	1-10
	----	

Datum der Beendigung der Recherche: 30. Dezember 2009	<input type="checkbox"/> Fortsetzung siehe Folgeblatt	Prüfer(in): Dipl.-Ing. MEHLMAUER
--	---	-------------------------------------

<sup>7)</sup> <b>Kategorien</b> der angeführten Dokumente:	
X Veröffentlichung von <b>besonderer Bedeutung</b> : der Anmeldegegenstand kann allein aufgrund dieser Druckschrift nicht als neu bzw. auf erfinderischer Tätigkeit beruhend betrachtet werden.	A Veröffentlichung, die den <b>allgemeinen Stand der Technik</b> definiert.
Y Veröffentlichung von <b>Bedeutung</b> : der Anmeldegegenstand kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren weiteren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese <b>Verbindung für einen Fachmann naheliegend</b> ist.	P Dokument, das <b>von Bedeutung</b> ist (Kategorien X oder Y), jedoch <b>nach dem Prioritätstag</b> der Anmeldung veröffentlicht wurde.
	E Dokument, das <b>von besonderer Bedeutung</b> ist (Kategorie X), aus dem ein <b>älteres Recht</b> hervorgehen könnte (früheres Anmeldedatum, jedoch nachveröffentlicht, Schutz ist in Österreich möglich, würde Neuheit in Frage stellen).
	& Veröffentlichung, die Mitglied der selben <b>Patentfamilie</b> ist.