

公告本

448562

申請日期	87.1.13.
案 號	87100386
類 別	H ₀₁ L ²⁷ /10

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	靜態型RAM
	日 文	スタティック型RAM
二、發明 創作人	姓 名	1.園田 崇宏 4.川内野 晴子 7.長野 知博 2.森田 貞幸 5.矢幡 秀治 8.原田 昌樹 3.廚子 弘文 6.福井 健一
	國 籍	均日本
三、申請人	住、居所	1.日本國東京都福生市熊川1658-1 2.日本國東京都東大和市向原1-7-6七番館公寓207 3.日本國東京都福生市熊川1663-14-101 4.日本國埼玉縣浦和市駒場1-6-10 5.日本國東京都調布市布田4-19-10 桐白田大樓802 6.日本國東京都小平市上水本町5-19-1 7.日本國東京都昭島市美堀町5-5-7日立超L拜島寮 8.日本國東京都府中市北山町2-6
	姓 名 (名稱)	1.日商日立製作所股份有限公司 2.日商日立超愛爾.愛斯.愛工程股份有限公司
三、申請人	國 籍	日本
	住、居所 (事務所)	1.日本國東京都千代田區神田駿河台四丁目6番地 2.日本國東京都小平市上水本町5丁目20番1號
三、申請人	代 表 人 姓 名	1.金井務 2.鈴木 仁一郎

裝

訂

線

經濟部中央標準局員工消費合作社印製

448562

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期：

案號：

，☐有 ☐無主張優先權

日本

1997 年 1 月 29 日

特願平9-029719

☒有 ☐無主張優先權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀，面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之背景

本發明係關於一種記憶體，尤其是一種靜態型RAM(隨機存取記憶體)，且關於一種利用於與時鐘信號同步之成組記憶體存取技術的有效技術。

在持有複數條字線和複數條資料線之交叉點上配置有複數個記憶單元成矩陣狀之記憶體陣列的RAM，其係當使一條字線呈選擇狀態時，與該字線連接之複數個記憶單元就會被選擇，而被選擇的複數個記憶單元，會連接於對應各別之複數條資料線上。藉此，在複數條資料線上就可獲得來自對應上述被選擇之字線的複數個記憶單元之儲存資訊。利用此，在上述複數條資料線之間，只要進行資料線之切換就可從複數個記憶單元中連續讀出儲存資訊。如此地進行資料線之切換，換言之，藉由行開關之切換就可獲得進行來自複數個記憶單元之連續的讀出或連續的寫入之靜態型RAM。

發明之摘要

在上述靜態型RAM中，可判明在更進一步使連續的讀出或連續的寫入高速化時，就會發生如下之問題。

換句話說，如上所述，藉由切換行開關，雖考慮到可高速化，但是在切換之際會發生行開關(Y開關)之多重選擇，例如在讀出0資料之後，讀出相反的1資料時，有必要使公用資料線之電位變化至相反準位(從表示0資料之電位至表示1資料之電位)，此所需花費的時間會變長，而感測放大器開始進行放大動作時會放大前面之0資料，或因無法獲得

(請先閱讀背面之注意事項再
向本頁)

裝

訂

線

五、發明說明(2)

感測放大器所需要的輸入信號準位而發生誤讀出。

本發明之目的，係在於提供一種可進行高速連續存取動作的靜態型RAM。本發明之前述目的及其他目的和新穎特徵，從本案說明書之記載及附圖中即可明白。

若簡單說明本案所揭示之發明中之代表性之概要，則如下所示。

靜態型半導體記憶體，係包含複數個記憶墊、對應各個記憶墊而設的複數個公用資料線對、在各個公用資料線對上以一對一之關係而連接的複數個感測電路，及連接各個公用資料線對之複數個公用資料線對預充電電路，係連續從相異的記憶墊中輸出資料者。

各個具有包含複數條字線和資料線和連接字線和資料線之複數個靜態型記憶單元的複數個記憶墊，其係用以接受取入於位址暫存器內的位址信號，且藉由位址選擇電路以選擇複數個記憶墊中之特定記憶墊的記憶單元並連接對應各記憶墊而設的感測放大器或寫入放大器，同時藉由位址計數器產生與從上述複數個記憶墊中選擇特定記憶墊之位址信號對應的位址信號，其在利用控制信號指定成組模式時，係藉由取入於上述位址暫存器之位址信號而選擇第一記憶墊的記憶單元與其對應之感測放大器或寫入放大器相連接，接著按照依上述位址計數器所形成的位址信號選擇其他記憶墊之記憶單元而使之連接其對應之感測放大器或寫入放大器。

圖式之簡單說明

五、發明說明(3)

圖1為顯示有關本發明之靜態型RAM之一實施例的要部方塊圖。

圖2為用以說明有關本發明之靜態型RAM之成組讀出動作的時序圖。

圖3(A)及圖3(B)為用以說明本發明之成組動作的時序圖。

圖4為用以說明有關本發明之靜態型RAM之成組寫入動作的時序圖。

圖5為顯示有關本發明之靜態型RAM之一實施例的全體方塊圖。

圖6為顯示有關本發明之靜態型RAM中之一個記憶墊之一實施例的電路圖。

圖7為顯示有關本發明之靜態型RAM之一電路構成的電路圖。

圖8(A)及圖8(B)為用以說明讀出動作的波形圖。

圖9為用以說明寫入動作的波形圖。

圖10為靜態型RAM當作快取記憶體來使用之電腦系統的方塊圖。

具體例之說明

圖1為顯示有關本發明之靜態型RAM之一實施例的要部方塊圖。同圖之各電路方塊，係依公知之半導體積體電路技術而形成於一個半導體基板上者。該實施例中，雖無特別限制，但是為了實現最大4週期之成組模式，將一個記憶陣列分割成四個記憶墊MAT0~MAT3。

五、發明說明(4)

各記憶墊MAT0~MAT3之字線，如同圖作為代表而例示之W0~W3所示，可依接受從主字線所供給的選擇信號、及用以選擇各記憶墊MAT0~MAT3之位址信號A0和A1之解碼信號00~01的字線驅動部來選擇。上述主字線，係依X解碼器XDEC所形成。該X解碼器XDEC，係共通設在上述四個記憶墊MAT0~MAT3上，以形成貫通上述四個記憶墊MAT0~MAT3而形成的主字線之選擇信號。

上述各記憶墊MAT0~MAT3之互補資料線，係依Y選擇電路(行開關)YSW0~YSW3而選擇，並連接於上述記憶墊MAT0~MAT3中對應一對一而設的感測放大器SA0~SA3上。上述Y選擇電路YSW0~YSW3，係藉由依Y解碼器YDEC而形成的Y選擇信號，選擇其各別對應之互補資料線而連接於感測放大器SA0~SA3上。

同圖中，為了規避圖式複雜化，而以上述讀出系之電路為代表而例示者。換句話說，上述感測放大器SA0~SA3，雖係對應依上述字線之選擇而選擇的記憶墊，但是亦可按照未圖示之感測放大器之定時信號而擇一活性化，如此被活性化之感測放大器的輸出信號會傳至對上述的各感測放大器SA0~SA3共通設置的輸出暫存器OUTR上。

寫入系之電路，係由如後述之方塊圖所示之輸入暫存器INR、和接受該輸入暫存器之寫入放大器所構成。寫入放大器，係和上述感測放大器SA0~SA3同樣一對一地對應設在各記憶墊MAT0~MAT3上，且雖和上述感測放大器同樣對應上述所選擇的記憶墊者，但是亦可按照未圖示之寫入放

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(5)

大器之時序信號而擇一活性化，且寫入於對應上述輸入暫存器INR之寫入信號之記憶墊所選擇的記憶單元上。

爲了進行上述感測放大器SA0~SA3或寫入放大器之擇一動作(選擇動作)，而可選擇依解碼從上述記憶墊MAT0~MAT3中形成用以選擇預定之記憶墊之選擇信號的位址信號A0和A1而獲得的解碼信號00~11。實際上，在對應如上述之四個感測放大器而共通的活性化定時信號(未圖示)、或對四個寫入放大器而共通的活性化定時信號(未圖示)、和上述解碼信號之間依實施邏輯處理而獲得的信號可傳至上述感測放大器SA0~SA3或寫入放大器上。同圖中，爲了規避圖式之複雜化，而省略上述邏輯處理或詳細的信號配線。此情況，當從一個記憶墊中同時選擇複數個記憶單元時，可設有對應其位元數之感測放大器或寫入放大器，就可進行複數個位元單位之記憶存取。

圖2爲用以說明有關本發明之靜態型RAM之成組讀出動作的時序圖。在該實施例之靜態型RAM中，如後述般，可與時鐘信號CLK同步以進行記憶動作。接著，爲了實現成組動作而具備後述之位址計數器，第二週期以後之位址信號，係依上述位址計數器而產生者。

當成組讀出模式依未圖示之晶片選擇信號或寫入致能信號等或控制信號ADSC之低準位而被指示時，會與當時所輸入之時鐘信號CLK同步以進行外部位址信號A之取入，且解讀該位址信號A以選擇最初記憶墊MAT0的字線W0。字線W0，係在上述位址信號A之解讀時間後會被選擇成高準位

五、發明說明(6)

，且會在下一個時鐘信號CLK中被選擇。

藉此，在記憶墊MAT0上可讀出記憶單元之儲存資訊，且其可通過Y選擇電路YSW0而傳至感測放大器SA0的輸入上。記憶單元之儲存資訊由於傳至感測放大器之輸入上需要花時間，所以感測放大器SA0對字線W0之選擇動作會延遲一個時鐘脈衝而活性化以形成輸出信號S(A)。該信號S(A)，會更進一步延遲一個時鐘脈衝而傳至輸出儲存器OUTR上，且當作讀出信號DQ(A)來輸出。

位址計數器係與上述字線W0之選擇動作並行且與第二個時鐘信號CLK同步而使位址信號前進以使A+1之內部位址信號產生。因而，在位址選擇電路中係與第三個時鐘信號CLK同步而替代上述記憶墊MAT0的字線W0，以選擇記憶墊MAT1之字線W1。以下，係同樣依序進行記憶墊MAT2, MAT3之字線W2, W3的選擇，且對各字線之選擇各別延遲一個時鐘脈衝以使感測放大器SA2及SA3活性化，進而從各個延遲一個時鐘脈衝而依序輸出讀出信號DQ(A+1), DQ(A+2)及DQ(A+3)。因而，為了進行四週期之上述成組讀出而需花費時鐘信號CLK之六週期，且在第七週期中為了進行下一個成組讀出之信號ADSC而會呈低準位。

在該實施例中，在進行從上述字線W0至W1之切換，從字線W1至W2之切換、及從字線W2至W3之切換之際，如同圖附上斜線所示，會同時發生複數條字線被選擇的狀態。然而，上述字線W0~W3，由於各別為不同之記憶墊MAT0~MAT3的字線，所以不會成為記憶單元被雙重選擇之

(請先閱讀背面之注意事項再
訂本頁)

裝

訂

線

五、發明說明(7)

情形。接著，感測放大器SA0~SA3由於亦為一對一對應設在各記憶墊MAT0~MAT3上者，所以在此亦不會發生信號競爭之情形。

圖3(A)及圖3(B)為用以說明本發明之成組動作的時序圖。為了容易理解本發明，圖3(A)顯示在將一個字線呈選擇狀態中，切換Y選擇電路之Y切換方式，而圖3(B)顯示有關本發明之記憶墊之切換的X切換方式。

如圖3(A)所示，使字線呈選擇狀態中，當將Y選擇電路之選擇信號YSW，切換成時鐘信號CLK之相同的週期中時，在必然從選擇狀態切換至非選擇狀態之行開關、和從非選擇狀態之行開關之間會發生如同圖附上斜線之二重選擇的狀態。接著，在傳送來自透過上述Y選擇電路(行開關)而選擇之互補資料線的讀出信號之公用資料線中，當前面的讀出信號為0資料('0' Data)而下一個讀出信號為1資料('1' Data)時，信號逆轉之定時會延遲而在感測放大器之活性化定時中因尚無法獲得足夠的信號準位而會發生誤讀出。因此，在上述Y切換方法中，當使與上述時鐘信號CLK同步的流水線(pipeline)動作進行時，就無法進行一個時鐘週期中之Y選擇電路之切換，而有成組動作延遲的問題。

相對於此，如圖3(B)所示，在依記憶墊之切換而進行X切換方式中，即使在字線W0和W1之切換中會發生二重選擇，相異之記憶墊MAT0和MAT1之字線會被二重選擇，亦無任何問題就可被切換。接著，一對一對應記憶墊MAT0或MAT1而設有Y選擇電路及感測放大器且由於互相被電性分

(請先閱讀背面之注意事項再
本頁)

裝

訂

線

五、發明說明(8)

離，所以沒有讀出資料之競爭，而感測放大器SA0和SA1，係各個公用資料線可從預充電之狀態獲得如0資料('0' Data)、或1資料('1' Data)的讀出信號，且藉由對應記憶墊WAT0或WAT1之選擇定時之感測放大器的活性化信號就可更正確予以讀出。

圖4為用以說明有關本發明之靜態型RAM之成組寫入動作的時序圖。當藉由未圖示之晶片選擇信號或寫入致能信號等或控制信號ADSC之低準位而指示成組寫入模式時，會與當時所輸入的時鐘信號CLK同步而進行外部位址信號A及寫入信號Din(A)之取入，且在同圖中雖省略，但是與成組讀出動作同樣可解讀該位址信號A以選擇最初之記憶墊MAT0的字線W0。該字線W0，係在上述外部位址信號A之解讀時間後被選擇成高準位，且經由下一個時鐘信號CLK而選擇。因而，受後述之輸入暫存器INR取入之上述寫入信號Din(A)，係與上述字線W0之選擇定時同步且與下一個時鐘信號CLK同步而傳至記憶墊MAT0之互補資料線上且被寫入於被選擇之記憶單元上。

與上述字線W0之選擇動作並行且與第二個時鐘信號CLK同步而位址計數器使位址信號前以使A+1之內部位址信號產生。因而，寫入信號Din(A)，係與下一個時鐘信號CLK同步輸入，且被取入於輸入暫存器INR內。因而，位址選擇電路，會與第三個時鐘信號CLK同步而取代上述記憶墊MAT0之字線W0，以選擇記憶墊MAT1之字線W1。

以下，同樣依序進行記憶墊MAT2、MAT3之字線W2、

五、發明說明(9)

W3的選擇，而與各個字線之選擇同步被取入於上述輸入暫存器INR之寫入信號Din(A+1)、Din(A+2)及Din(A+3)之各個，係與上述字線W1、W2、W3之選擇定時同步而傳至記憶墊MAT1、MAT2、MAT3之互補資料線上，再寫入被選擇之記憶單元內。在上述最後之記憶墊MAT3中，由於在互補資料線之寫入信號之恢復(預充電)上需花費1週期，所以結果在四週期之成組寫入上需花費時鐘信號CLK之六週期，而在第七週期中下一個成組讀出用的信號ADSC會呈低準位。如此設成組長度為4的成組讀出及成組寫入更可同時利用時鐘信號CLK之六週期來實現。

圖5為顯示有關本發明之靜態型RAM之一實施例的全體方塊圖。同圖之各電路方塊，係利用公知之半導體積體電路的製造技術形成於如單晶矽之一個半導體基板上。同圖中，記憶器陣列MARY，係除了如前述之記憶墊MAT0~MAT3之外，尚包含X解碼器或Y解碼器等位址選擇電路及感測放大器SA0~SA3或寫入放大器等的週邊電路。

位址端子Add，雖無特別限制，但是可輸入如A0-A14之15位元的位址信號，而該等位址信號係被取入於位址暫存器ADR內。被取入於位址暫存器ADR內之位址信號A0-A14之中，除了形成從上述記憶墊MAT0~MAT3中選擇所希望之記憶墊之選擇信號的位址信號A0和A1之位址信號A2~A14，被供給至上述記憶器陣列MARY之位址選擇電路上。上述2位元之位址信號A0和A1，係被供給至例如由斥或閘電路等所構成的加法電路一方之輸入上。該加法電路之另一方之

五、發明說明(10)

輸入上，係供給依位址計數器ADC所形成的2位元之位址信號，該加法電路之輸出信號係當作A0和A1供給至上述記憶器陣列上。

上述記憶器陣列MARY之各記憶墊MAT0~MAT3，雖無特別限制，但是係以32位元之單位進行記憶器存取者。換句話說，係藉由位址選擇電路同時選擇32個記憶單元，且可進行32位元之單位的記憶存取。因此，輸入暫存器INR或輸出暫存器OUTR，各別係由32位元構成，而資料端子Data係由32條構成以輸出入D0~D31之信號。

控制電路CONT，雖無特別限制，但是其接受晶片選擇信號/CE、寫入致能信號/WE、成組控制信號/ADSC及時鐘信號CLK，而判定動作模式，以產生按照各個動作模式之定時信號。位址計數器ADC，係在成組模式被指示時，供給與時鐘信號CLK同步之計數脈衝，以進行如上述之位址前進動作。

位址暫存器ADR，係在依上述晶片選擇信號而呈晶片選擇狀態時，可供給時鐘信號CLK以進行上述位址端子Add之取入。在輸入暫存器INR和輸出暫存器OUTR上，供給上述時鐘信號CLK，且自上述控制電路CONT指示讀出模式時輸出暫存器OUTR會呈動作狀態，而當寫入模式被指示時輸入暫存器INR會呈動作狀態。此情況，各個動作，會與上述時鐘信號CLK同步而進行。

成組長度亦可為固定，或依控制信號進行其設定者。上述位址計數器ADC，雖無特別限制，但是當呈晶片選擇狀

五、發明說明(11)

態時就會被復置(reset)，因而，在成組模式未被指示時，其輸出會成為00。因此，上述加法電路之輸出，會變成與供給至位址端子Add之位址信號A0~A14中之A0和A1相等，結果會被取入於上述位址暫存器ADR上且與外部位址信號相同。因此，如上所述即使藉由依加法電路而形成的信號A0和A1選擇記憶器陣列MARY，在成組模式以外之讀出動作/寫入動作中亦不會有任何問題發生。

圖6為顯示有關本發明之靜態型RAM中之一個記憶墊之一實施例的電路圖。在同圖之記憶墊中，係例示三對互補資料線D1、/D1、D2、/D2及D15、/D15和四條字線WL0~WL255作為代表。同圖中，P通道型MOSFET，係藉由在其後閘極(通道部分)上附上箭號以與N通道型MOSFET區別表示。又，/(斜線)，係表示將由非反轉和反轉所構成的互補資料線中之反轉側或低準位當作活動準位之邏輯記號的橫棒(over bar)。此與前述圖5相同。

記憶單元，係在字線和互補資料線之交叉點上依黑盒(black box)而顯示。在如此的黑盒中所顯示的數字，係表示X位址和Y位址。記憶單元，雖未圖示，但是其係包含有將由P通道型MOSFET和N通道型MOSFET所構成的一對CMOS反相器電路之輸入和輸出相互交叉連接而形成的CMOS門鎖電路；及設在該門鎖電路之輸出入節點和資料線之間的位址選擇用之N通道型MOSFET。構成上述CMOS反相器電路之P通道型MOSFET，係可置換成由高電阻值所構成的複晶矽電阻者。

五、發明說明(12)

互補資料線 D0, /D0 上，設有藉由在其閘極上恆定提供電路之接地電位 GND 而起上拉電阻 (pull up resister) 之作用的 P 通道型 MOSFET Q3 和 Q4。該等 P 通道型 MOSFET Q3, Q4 之源極，係連接在電源電壓上，以進行將上述互補資料線 D0, /D0 上拉在電源電壓側上的動作。該起上拉電阻作用的 P 通道型 MOSFET Q3, Q4，係藉由增大其導通電阻值而使之只流動小電流，且縮小記憶單元之選擇時的電流消耗，同時在寫入時減輕寫入放大器之負載且對應互補資料線 D0 或 /D0 中之寫入信號以起高速進行如設為電路之接地電位之低準位的電位變化作用。

互補資料線 D0, /D0 上，設有 P 通道型 MOSFET Q1 和 Q2 以作為讀出用之負載。P 通道型 MOSFET Q1 和 Q2，係藉由補償信號 EQ，在實質寫入動作以外時呈導通狀態，以起當作補償信號 EQ 之負載的作用。又，設在互補資料線 D0 和 /D0 間的 P 通道型 MOSFET Q5，係在寫入恢復時起短路 MOSFET 之作用，而在如上述之讀出動作時起讀出信號之準位限幅器之作用。

換句話說，依字線之選擇動作而被選擇之記憶單元在連接於互補資料線 D0 和 /D0 上時，就可藉由構成記憶單元內之上述門鎖電路之呈導通狀態的 N 通道型 MOSFET 及 N 通道型之傳輸閘 MOSFET、和上述 P 通道型 MOSFET 之負載電阻的阻抗比來決定低準位之讀出準位。此時，藉由將上述負載 MOSFET 之阻抗設定得比較大，以使上述低準位得以呈接近電源電壓 VCC 之比較高的準位。接著，當超過上述短

五、發明說明(13)

路MOSFET之臨限電壓而低準位變低時，該短路MOSFET亦會呈導通狀態且起限制上述低準位之作用。

行開關，係由在上述互補資料線D0, /D0和公用資料線SCD, /SCD之間P通道型MOSFETQ7, Q8和N通道型MOSFETQ9和Q10各別連接成並聯形態之所謂的CMOS開關電路所構成。供給來自Y解碼器YDEC之選擇信號的Y選擇線YS0，係連接在設於上述互補資料線D0, /D0之N通道型MOSFETQ9和Q10的閘極上。又，連接在反相器電路N1之輸入上，且連接在該反相器電路N1之輸出端子設於上述互補資料線D0, /D0之P通道型MOSFETQ7和Q8的閘極上。藉此，在上述Y選擇線YS0呈高準位時，就可使該N通道型MOSFETQ9和Q10及P通道型MOSFETQ7和Q8同時呈導通狀態。

對應設在上述一個記憶墊上之合計16對互補資料線D0, /D0~D15, /D15之各個而設有合計16條Y選擇線YS0~YS15。該等Y選擇線YS0~YS15，係包含上述例示所示之記憶塊MB0和以虛線所示之記憶塊MB31且對合計32個之記憶塊配置成串插狀態。該種Y選擇線，在物理上係沒有必要以1條連續的配線構成。若因Y選擇線之負載重或配線變長之故而信號延遲使行開關之選擇動作變慢，則只要將之分割設置成複數個驅動器即可。

公用資料線SCD和/SCD，係連接在未圖示之感測放大器之輸入端子，和未圖示之寫入放大器上。如上所述在設有MB0~MB31之32個記憶塊時，就亦設有32對上述公用資料

五、發明說明(14)

線SCD和/SCD，且對應各個設有上述感測放大器及寫入放大器。如前所述被分割成四個的記憶墊MAT0~MAT3，各別係由如上述圖6之實施例所示之記憶塊所構成。如該實施例所示設置四個記憶墊MAT0~MAT3，且切換各個字線以進行成組讀出或成組寫入時，不會在同一記憶墊內多重選擇字線，而可防止在讀出資料或寫入資料之公用資料線上的競爭(contention)。

因此，就可有效使用各個動作週期和下一個週期。當以成組讀出模式為例時，則有效利用現在的動作週期和下一個週期，就可進行將感測放大器之選擇動作和感測放大器之輸出傳至輸出暫存器的動作。如此在利用二個時鐘週期時，就可確保足夠的字線之選擇時間、及讀出後之資料線恢復時間。接著，由於不會發生在同一記憶墊內多重選擇Y選擇電路之情形，所以公用資料線電位在平常被選擇之前會呈預充電狀態，而在感測放大器活性化時不會增幅相反的資料，且可提高感測放大器之動作界限。從該等情形中可了解可使上述時鐘信號CLK之頻率達到200 MHz以上之高速化。

藉由可進行如上述之高速動作，就可當作例如快取記憶體來利用。可使用如上述圖5所示之靜態型RAM來當作快取記憶體中之資料記憶體。快取記憶體之全體，大致區分可由快取標記(cache tag)(位址陣列)和上述快取資料記憶體及快速控制器所構成。後面說明當作該種快取記憶體來使用之例。在快取標記中儲存有稱為位址標記之位址的一部分

五、發明說明 (15)

，而快取記憶體係儲存對應儲存在快取標記內之位址標記的資料。

藉此，當儲存在上述快取標記內之位址的一部分和對應來自中央處理單元CPU之位址為一致時，就會從快取標記中輸出適遇(hit)信號，而從並行被選擇之快取資料記憶體中讀出的資料會取入於中央處理單元CPU內。若為錯誤適遇(misshit)則會存取主記憶體。在具備如上述之成組模式的情況時，中央處理器CPU會與上述時鐘信號CLK同步，且可連續上述32位元之資料以進行讀出/寫入。又，在上述錯誤適遇的情況時亦可高速進行主記憶體和上述資料記憶體之間的資料傳送。

圖10係顯示電腦系統之一實施例。同圖中，作為中央處理單元的處理器，係內藏控制快取記憶體之控制器和一次快取記憶體和處理器核心，在一次快取記憶體內發生錯誤適遇時，就朝處理器之外部進行存取。由於係進行朝外部之存取等，所以處理器，具有連接外部CPU匯流排之資料端子DATA和連接外部位址匯流排之位址端子Address。同圖中，TAG係表示快取標記，其係進行輸出至外部位址匯流排之位址和快取標記內之標記的比較，而將其結果傳至處理器內。在此進行快取適遇時，來自快取記憶體之資料會取入於處理器內之一次快取記憶體上。在錯誤適遇的情況時，會更加朝主記憶體進行存取。同圖所示之快取記憶體，雖無特別限制，但是在該實施例中，係表示二次快取記憶體，且具有連接上述外部資料匯流排之資料端子DATA

五、發明說明(16)

和連接上述外部位址匯流排之位址端子 Address。在本實施例中，處理器之資料匯流排的大小由於係設為64位元，所以其使用二個以32位元之單位進行資料存取的二次快取記憶體。在該等快取記憶體上，相同的位址A0至A15可從處理器提供，同圖中正前側所示之快取記憶體係在從64位元之外部匯流排中之一半的外部匯流排D0至D31上，連接其資料端子，且在同圖中從配置於內側之快取記憶體上所殘留之一半的外部匯流排D32至D63上，連接其資料端子。又，該等快取記憶體具有三個晶片致能端子/CE1、/CE2及/CE3，其中二個晶片致能端子/CE2及/CE3，係為了使該快取記憶體經常呈活性化的狀態而供給預定之電源電壓和電路之接地電壓。

處理器和快取記憶體為了同步動作而將依時鐘信號產生電路CLK所形成的時鐘信號，提供至該兩者上。又，處理器，為了控制快取記憶體而形成控制信號/ADSC、/CE1、/WE，以供給至該等快取記憶體上。在該等控制信號中，控制信號/ADSC，係相當於圖5之/ADSC，控制信號/CE1，相當於圖5之/CE，控制信號/WE，相當於圖5之/WE。

其次說明當作上述快取記憶體來使用的靜態型記憶體之實施例。

該實施例亦和先前於圖1所示之實施例相同，具有四個記憶墊。圖7係顯示關於其內之二個記憶墊的電路圖。

同圖中，D0、/D0、Dn、/Dn、Dm、/Dm、Dx、/Dx係為資料線，例如係依D0、/D0構成1對互補資料線。靜態型之記憶單

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(17)

元M，係在五補資料線對上連接其輸出入端子，在字線上連接其選擇端子。記憶墊MAT0中之字線，係依接受來自主字線之選擇信號和選擇記憶墊之信號(00)的字線選擇電路WSD0來選擇，且驅動。該實施例中之字線選擇電路，係具有接受上述選擇信號之2輸入之非及閘電路和接受該輸出而供給信號至字線的反相器。

五補資料線對，係透過行開關連接在公用資料線對上。可看出上述行開關係由複數個單位行開關YSW所構成。該單位行開關，由於係形成和前述圖6所示之行開關相同的構成，所以省略其詳細說明。在上述公用資料線對(CD0, /CD0)上，設有預充電電路。該預充電電路，係具有連接於電源電壓節點和公用資料線之間的P通道型之MOSFET(QP1, QP2)和補償公用資料線對間之P通道型之MOSFET(QP3)，依公用資料線預充電信號CDEQB(00)呈低準位，就可預充電及補償公用資料線對。該公用資料線預充電信號CDEQB(00)，可依預充電控制電路PC0而形成。預充電控制電路PC0，係具有接受分配於該記憶墊上之記憶墊選擇信號(00)之反轉信號和公用資料線恢復信號之非及閘電路，被分配之記憶墊選擇信號(00)係表示記憶墊之非選擇時，且在恢復信號指示公用資料線之預充電時形成低準位的公用資料線預充電信號CDEQB(00)。

在構成上述行開關之單位行開關上，可各別供給來自行開關選擇電路CSD0的活性化信號。該行開關選擇電路，係接受行位址(Y位址)之上位側位址、和被分配於該記憶墊的

五、發明說明(18)

記憶墊信號(00)，且在記憶墊被選擇時，從構成行開關之複數個單位行開關中選擇一個單位行開關，以使之呈導通狀態。

上述公用資料線對上，連接有其對應之感測放大器的輸入端子，且依將感測放大器定時信號SAE(00)提升為高準位，用以判定公用資料線對間之電位差，且將其判定結果傳至讀出資料匯流排上。上述感測放大器定時信號SAE(00)，係依被分配於該記憶墊之記憶墊選擇信號(00)和感測放大器活性化信號之感測放大器控制電路CSC0而形成。感測放大器，雖無特別限制，但是例如係使二個反相器電路交叉連接，且藉由在其輸出入點連接公用資料線，依被交叉連接的二個反相器電路之正反饋動作，而形成如增幅公用資料線間之電位差的構成。此情況，公用資料線間之電位差，可依感測放大器之動作而放大。

若就資料之寫入來看，則在本實施例中係與上述實施例相異。亦即，上述所謂讀出資料匯流排，係透過被分離之匯流排而供給寫入資料。寫入資料，係供給至對應該記憶墊而設的寫入放大器內，而從該寫入放大器按照寫入資料之互補資料，係供給至上述公用資料線對上。

以上雖係就記憶墊MAT0加以說明但是就其他的記憶墊而言，例如就記憶墊MAT1而言亦形成和上述記憶墊MAT0相同的構成。

對上述記憶墊MAT0而言，雖分配有記憶墊選擇信號(00)，但是就其他的記憶墊(例如MAT1)而言，則分配有其他的

五、發明說明(19)

記憶墊選擇信號(對MAT1而言為01)。

從本圖式中亦可明白，在記憶墊上，以1對1之對應關係設有公用資料線對CD, /CD，公用資料線預充電電路，感測放大器及寫入放大器。若改變某一方，則可考慮依透過行開關而連接1對(或1條)公用資料線之記憶單元而構成一個記憶墊。此情況，透過行開關而連接相異的公用資料線之記憶單元，可看作被包含在相異的記憶墊內。

其次使用圖8(A)至圖8(B)所示之動作波形圖說明該實施例之動作。

如圖8(A)所示，按照時鐘信號CLK，例如記憶墊MAT0中之行開關活性化信號就會從低準位變化至高準位。同樣，記憶墊MAT0中之公用資料線預充電信號CDEQB亦會從低準位變化至高準位。依公用資料線預充電信號CDEQB從低準位變化至高準位，就可結束公用資料線CD0, /CD0之預充電，且依行開關活性化信號從低準位變化至高準位，記憶單元之資料就可傳至公用資料線CD0, /CD0上。藉此公用資料線CD0, /CD0之電位，就會如同圖所示地進行變化。之後，藉由感測放大器活性化信號變化至高準位，例如就可增幅公用資料線間之電位差。由於其係為成組讀出模式，所以其次記憶墊MAT1中之行開關活性化信號會從低準位變化至高準位。同樣，記憶墊MAT1中之公用資料線預充電信號CDEQB亦會從低準位變化至高準位。依公用資料線預充電信號CDEQB從低準位變化至高準位，就可結束公用資料線CD1, /CD1之預充電，且依行開關活性化信號從低準位變化

(請先閱讀背面之注意事項再
為本頁)

裝

訂

線

五、發明說明(20)

至高準位，記憶單元之資料就可傳至公用資料線CD1, /CD1上。藉此公用資料線CD1, /CD1之電位，就會如同圖所示地進行變化。可從該圖中理解，當從一個記憶墊中進行資料之讀出時，就其他的記憶墊之公用資料線而言，可進行預充電動作。公用資料線上，有時連接有比較多的電晶體，有時其配線長度變得比較長。因此，被連接在公用資料線上的寄生電容會變得比較大。藉由寄生電容變大，雖可增長其預充電所需的時間，但是若依據本實施例，則只要在其他記憶墊中讀出資料之期間內進行預充電即可。相對於此，若在複數個記憶墊間使公用資料線共通的情況時，則預充電所容許的時間會變短。又，此情況，當按照前面讀出之資料而使公用資料線之電位變低時，雖會變成依預充電動作而回到該電位，但是比起回到電位則前面有時下一個資料會透過行開關而傳至公用資料線上。結果有時會發生誤動作。若依據本實施例，則由於公用資料線被分離，且連續之讀出可在不同的記憶墊間進行，所以可防止如上述之誤動作。

圖8(B)係顯示成組讀出模式之際的動作波形圖。該波形圖，係與先前使用圖2說明之波形圖類似。從圖2所示之波形圖和圖8(A)之波形圖中，可容易理解依該波形圖之動作。因此，省略其詳細說明。如該圖8(B)所示，即使行開關選擇信號YSWE(00), YSWE(01), YSWE(10), YSWE(11)互相同時被選擇，由於公用資料線被分離，所以即使在前面被選擇，且傳送資料至公用資料線上，亦不會發生問題。又

五、發明說明(21)

，公用資料線之預充電動作，即使在複數個公用資料線間重疊亦不會發生問題。

圖9係顯示說明本實施例之成組讀出模式的波形圖。該動作波形圖亦與先前說明中所使用的圖4之波形圖類似。因此，省略其詳細說明。該圖式中，係特別顯示公用資料線預充電信號，和公用資料線之電位。從該圖中可容易理解在對一個記憶墊進行資料之寫入時，對於對應其他的記憶墊之公用資料線，可進行預充電動作。因此，即使比較大的寄生電容連接在公用資料線上，亦可確實進行預充電動作。

從上述實施例中可獲得的作用效果，例如下述所示。亦即，

(1)其具有各個包含複數條字線和複數條資料線和各別連接字線和資料線之複數個靜態型記憶單元的複數個記憶墊，其係用以接受取入於位址暫存器內的位址信號，且藉由位址選擇電路選擇上述記憶體陣列之複數個記憶墊中之特定記憶墊的記憶單元，並連接對應各記憶墊而設的感測放大器或寫入放大器，同時藉由位址計數器產生與從上述複數個記憶墊中選擇特定記憶墊之位址信號對應的位址信號，而在利用控制信號指定成組模式時，藉由取入於上述位址暫存器之位址信號而選擇第一記憶墊之記憶單元會與其對應之感測放大器或寫入放大器相連接，接著按照依上述位址計數器所形成的位址信號選擇其他記憶墊之記憶單元而使之連接其對應之感測放大器或寫入放大器，藉此就可

五、發明說明(22)

獲得高速讀出和高速寫入的效果。

(2)由於上述位址信號和控制信號之取入，係與被輸入之時鐘信號同步進行，且與該時鐘信號同步而記憶單元之選擇動作及資料之輸出入動作係各別與時鐘信號同步而依序進行，一個動作就可跨在二個時鐘週期期間進行，換言之可以流水線方式進行，所以可獲得與時鐘信號同步之連續讀出及連續寫入的效果。

(3)藉由供給在上述位址選擇電路上的位址信號，作為將取入於上述位址暫存器內的位址信號，加上依上述位址計數器而生成的位址信號之信號，就可獲得以是否使位址計數器動作而選擇性進行成組動作和每一次之記憶體動作，且可簡化電路之效果。

以上雖係基於實施例具體說明依本發明人等所成的發明，但是本發明並非限定於前述實施例，毋庸置疑在未脫離其要旨之範圍內仍可做各種的變更。例如，在以每一記憶墊之切換進行成組模式時，亦可與字線之選擇動作同步而進行其記憶墊之Y選擇動作。除了配合成組長度以決定記憶墊之數量之外，例如如上所述般在由四個記憶墊所構成的情況時亦可設定為4以上。換句話說，只要將位址計數器之位元數設為對應成組長度之複數個位元，使之產生對應成組動作之內部位址信號即可。此情況，如前述圖1所示並非係以主字線擠上對應四個記憶墊之一個字線，而是只要對應依序發生之位址信號而對位址選擇電路下工夫以選擇記憶墊即可。本發明係可在與時鐘信號同步而進行資料之

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

五、發明說明(23)

輸入和輸出的靜態型RAM上廣泛利用。

在前述實施例中，字線雖係在每一個記憶墊上分離，但是字線亦可對複數個或所有的記憶墊使之共通。例如，若以圖1之實施例為基礎加以說明時，亦可使用主字線以替代字線W0至W3。此情況，雖亦藉由主字線之選擇，而可選擇各記憶墊內之記憶單元，但是若對記憶墊1對1設置公用資料線和感測放大器或/及寫入放大器，則即使在記憶墊間發生行開關之多重選擇，由於公用資料線之電位不會因來自其他的記憶墊之資料而變化，所以亦可使感測放大器之動作定時高速化。但是，此情況，由於複數個記憶墊大致會在同時變成動作狀態，所以有需要留意有消耗電力變大的可能性。又，此情況，公用資料線係以1對1對應記憶墊，且和對應其他的記憶墊之公用資料線有需要以電性加以分離。

若簡單說明依本案所揭示之發明中作為代表性所獲得的效果，則如下述所示。亦即，在複數條字線和複數條資料線之交叉點上具有由矩陣配置複數個靜態型記憶單元所成的複數個記憶墊之記憶體陣列，其接受取入於位址暫存器之位址信號，藉由位址選擇電路選擇上述記憶體陣列之複數個記憶墊中之特定記憶墊的記憶單元，並連接對應各記憶墊而設的感測放大器或寫入放大器，同時藉由位址計數器產生與從上述複數個記憶墊中選擇特定記憶墊之位址信號對應的位址信號，且在利用控制信號指定成組模式時，藉由取入於上述位址暫存器之位址信號而選擇最後的記憶

五、發明說明 (24)

墊之記憶單元而與其對應之感測放大器或寫入放大器相連接，接著按照依上述位址計數器所形成的位址信號選擇其他記憶體之記憶單元而使之連接其對應之感測放大器或寫入放大器，藉此就可高速讀出和高速寫入。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：靜態型RAM)

一種靜態型RAM，其為具有由在複數條字線和複數條互補資料線之交叉點上以矩陣配置複數個靜態型記憶體的記憶墊(memory mat)，係在接受被取入於位址暫存器之位址信號，且藉由位址選擇電路選擇上述複數個記憶墊中之特定記憶墊的記憶單元而連接在對應各記憶墊而設之感測放大器或寫入放大器上，除此之外尚藉由位址計數器使與選擇上述特定記憶墊之位址信號對應的位址信號產生，且在依控制信號指定成組模式(burst mode)時，藉由被取入於上述位址暫存器之位址信號選擇最初記憶墊之記憶單元與其對應之感測放大器或寫入放大器相連接，接著按照依上述位址計數器所形成的位址信號選擇其他的記憶墊之記憶單元以使其與其對應之感測放大器或寫入放大器連接者。

日文發明摘要(發明之名稱：スタティック型RAM)

【解決手段】 複数のワード線と複数の相補データ線の交点に複数のスタティック型メモリセルがマトリックス配置されてなる複数からなるメモリマットを有するメモリアレイを有し、アドレスレジスタに取り込まれたアドレス信号を受けて、上記メモリアレイの複数のメモリマットのうちの特定のメモリマットのメモリセルをアドレス選択回路により選択して各メモリマットに対応して設けられたセンスアンプ又はライトアンプに接続するとともに、上記メモリアレイの特定のメモリマットを選択するアドレス信号に対応したアドレス信号をアドレスカウンタにより発生させ、制御信号によりバーストモードが指定されたとき、上記アドレスレジスタに取り込まれたアドレス信号により最初のメモリマットのメモリセルを選択して対応するセンスアンプ又はライトアンプと接続し、続いて上記アドレスカウンタにより形成されたアドレス信号に従い他のメモリマットのメモリセルを選択して対応するセンスアンプ又はライトアンプに接続させるようにするスタティック型RAM。

六、申請專利範圍

1. 一種靜態型半導體記憶體，其為包含有：

第一記憶墊，具有複數條字線、複數條互補資料線和各別連接字線及互補資料線之複數個靜態型記憶單元；

第二記憶墊，具有複數條字線、複數條互補資料線和各別連接字線及互補資料線之複數個靜態型記憶單元；

第一公用資料線對；

第二公用資料線對，和上述第一公用資料線對電性分離者；

第一選擇電路，選擇性將上述第一記憶墊中之互補資料線連接在上述第一公用資料線對上者；

第二選擇電路，選擇上將上述第二記憶墊中之互補資料線連接在上述第二公用資料線對上者；

第一預充電電路，用以預充電上述第一公用資料線對者；

第二預充電電路，用以預充電上述第二公用資料線對者；

第一感測電路，連接在上述第一公用資料線對上者；
以及

第二感測電路，連接在上述第二公用資料線對上者。

2. 如申請專利範圍第1項之靜態型半導體記憶體，其更包含有：

第一寫入電路，連接在上述第一公用資料線對上者；
以及

第二寫入電路，連接在上述第二公用資料線對上者。

(請先閱讀背面之注意事項再為本頁)

裝

訂

線

六、申請專利範圍

3. 如申請專利範圍第1項之靜態型半導體記憶體，其更包含有：

匯流排，被連續供給來自上述第一感測電路之輸出和來自上述第二感測電路之輸出者；以及

輸出電路，用以輸出上述匯流排上之信號者。

4. 如申請專利範圍第3項之靜態型半導體記憶體，其更包含有：

第一寫入電路，連接在上述第一公用資料線對上者；以及

第二寫入電路，連接在上述第二公用資料線對上者。

5. 如申請專利範圍第4項之靜態型半導體記憶體，其更包含有：

寫入匯流排，連接在上述第一寫入電路和上述第二寫入電路上者；以及

輸入電路，連接將寫入資料供給至上述寫入匯流排上者。

6. 如申請專利範圍第1項之靜態型半導體記憶體，其更包含有：

第一字線選擇電路，用以選擇上述第一記憶墊中之字線者；以及

第二字線選擇電路，用以選擇上述第二記憶墊中之字線者。

7. 一種靜態型半導體記憶體，其為包含有：

記憶體陣列，具有在複數條字線和複數條互補資料線

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

之交又點上以矩陣配置複數個靜態型記憶單元而成的複數個記憶墊者；

位址計數器，用以產生與選擇上述記憶體陣列之特定之記憶墊的位址信號對應的位址信號者；

位址暫存器，用以取入被輸入之位址信號者；

位址選擇電路，其接受取入於上述位址暫存器內的位址信號，以選擇上述記憶體陣列之複數個記憶墊中之特定記憶墊的記憶單元者；

複數個寫入放大器，其對應設在上述複數個記憶墊上，用以將寫入信號供給至接受來自上述被選擇之記憶單元的讀出信號之複數感測放大器及上述被選擇的記憶單元上者；

輸入電路，對應對上述複數個感測放大器共通而設的輸出電路及上述寫入放大器而設者；以及

控制電路，藉由外部端子所供給的控制信號進行動作模式之判定和形成其所需要的控制信號者；其中，

在利用上述控制信號指定成組模式時，利用取入於上述位址暫存器內之位址信號選擇第一記憶墊的記憶單元，且連接其對應之感測放大器或寫入放大器，接著按照依上述位址計數器所形成的位址信號依序選擇其他的記憶墊之記憶單元且與其對應之感測放大器或寫入放大器相連接者。

8. 如申請專利範圍第7項之靜態型半導體記憶體，其中，上述位址信號和控制信號之取入，係與被輸入之時鐘信號

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

六、申請專利範圍

同步進行，且可與該時鐘信號同步而進行記憶單元之選擇動作及資料之輸出入動作者。

9. 如申請專利範圍第7項之靜態型半導體記憶體，其中，用以選擇上述記憶墊之位址信號，係當作用以選擇記憶墊之字線的一部分之位址信號者。

10. 如申請專利範圍第7項之靜態型半導體記憶體，其中，供給至上述位址選擇電路上的位址信號，係為取入於上述位址暫存器之位址信號，加上依上述位址計數器而生成之位址信號的信號者。

(請先閱讀背面之注意事項再填本頁)

裝

訂

線

圖 1

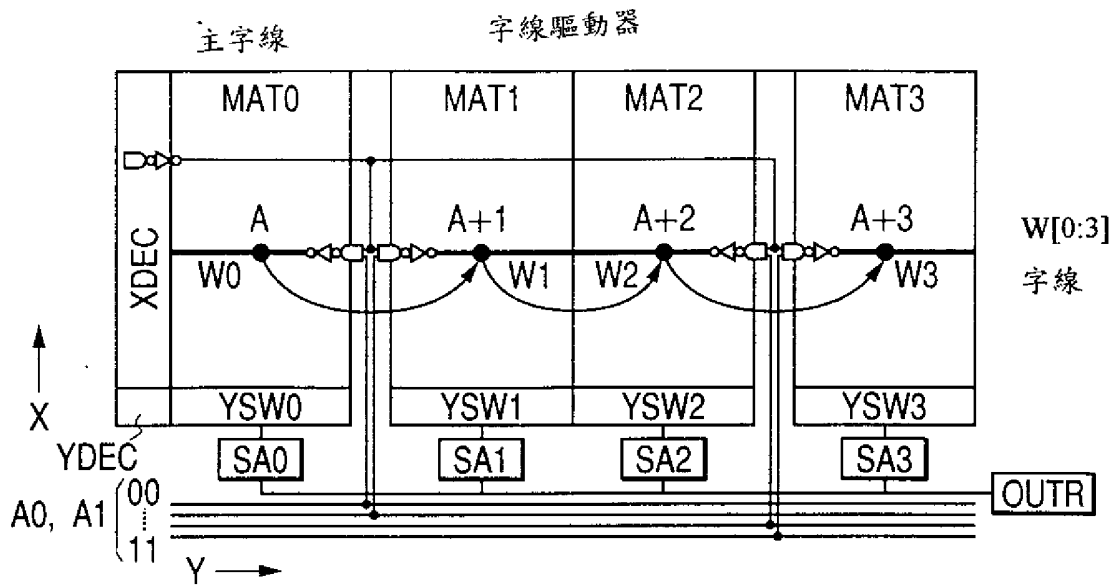


圖 2

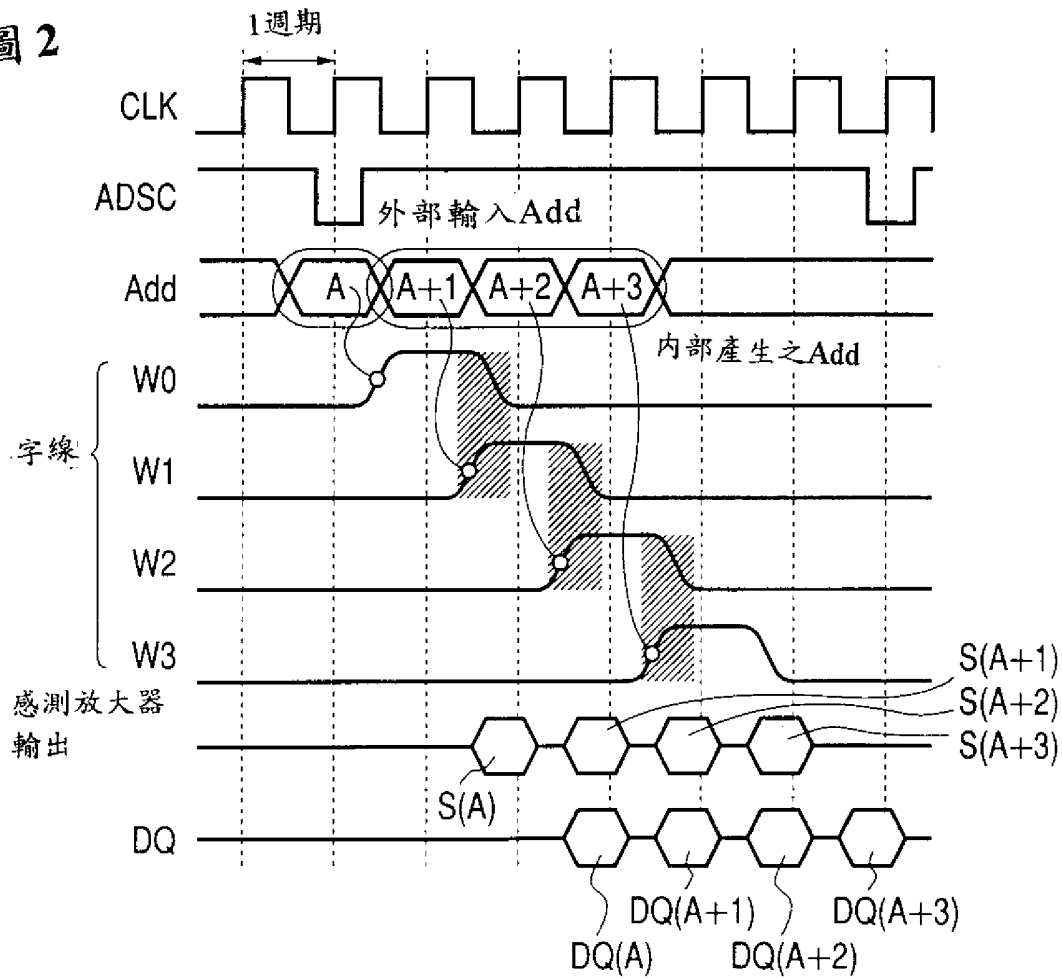


圖 3(A)

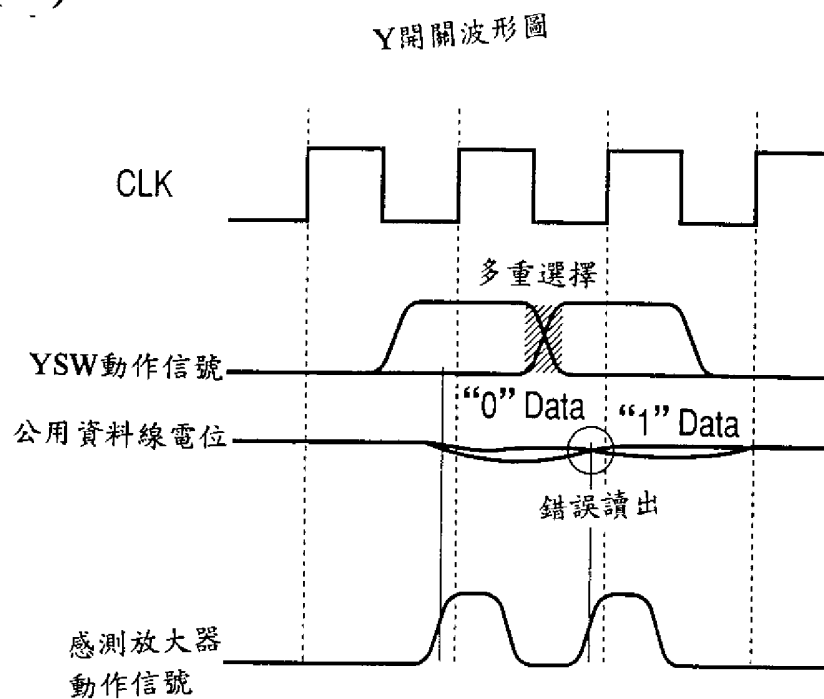
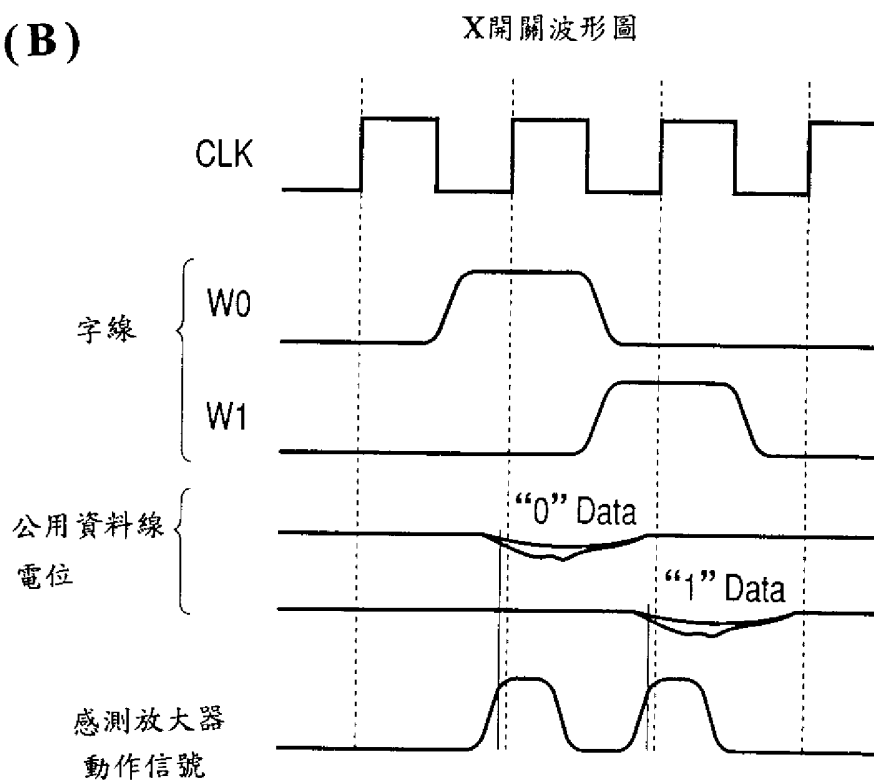


圖 3(B)



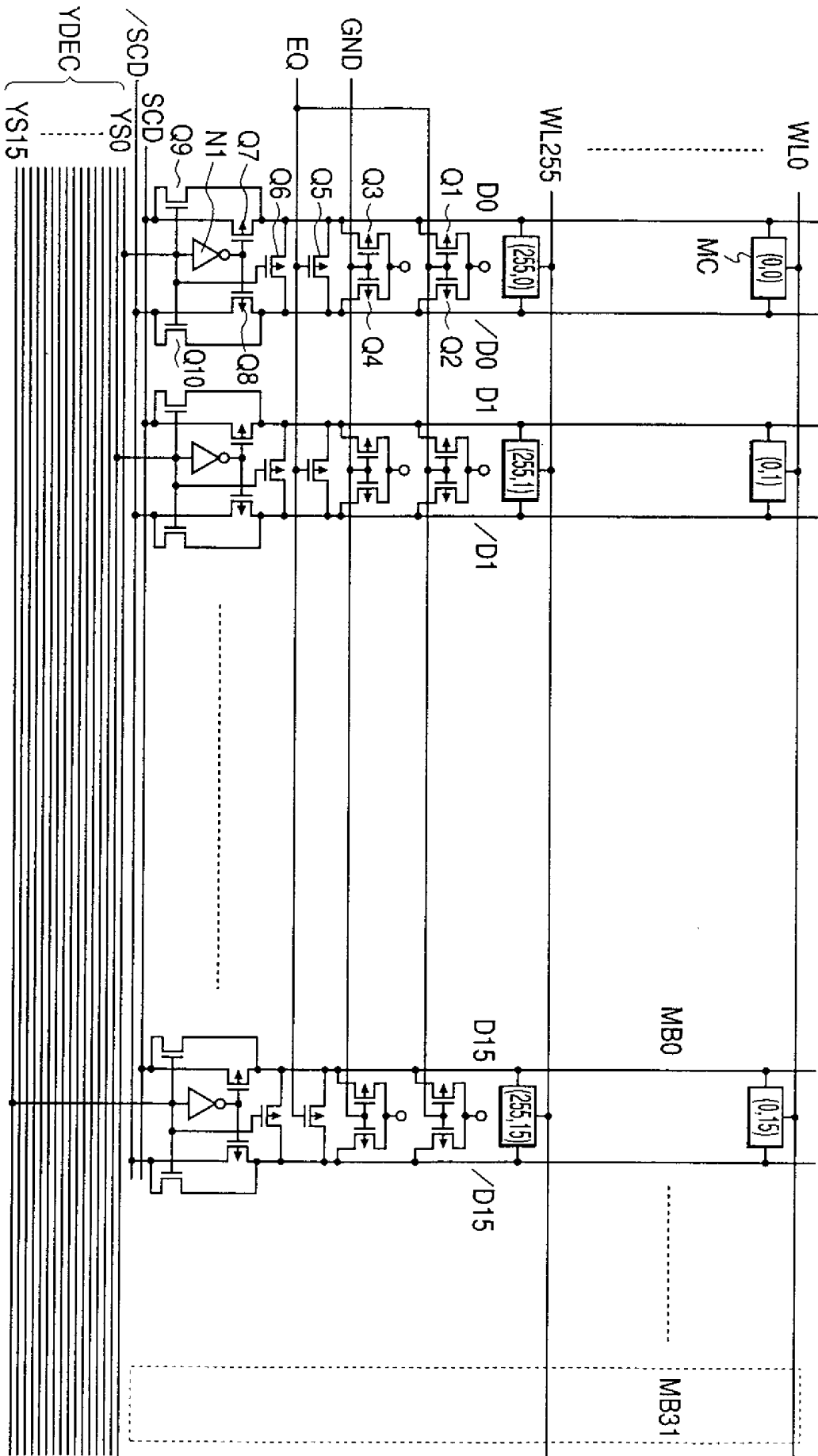


圖 6

圖 7

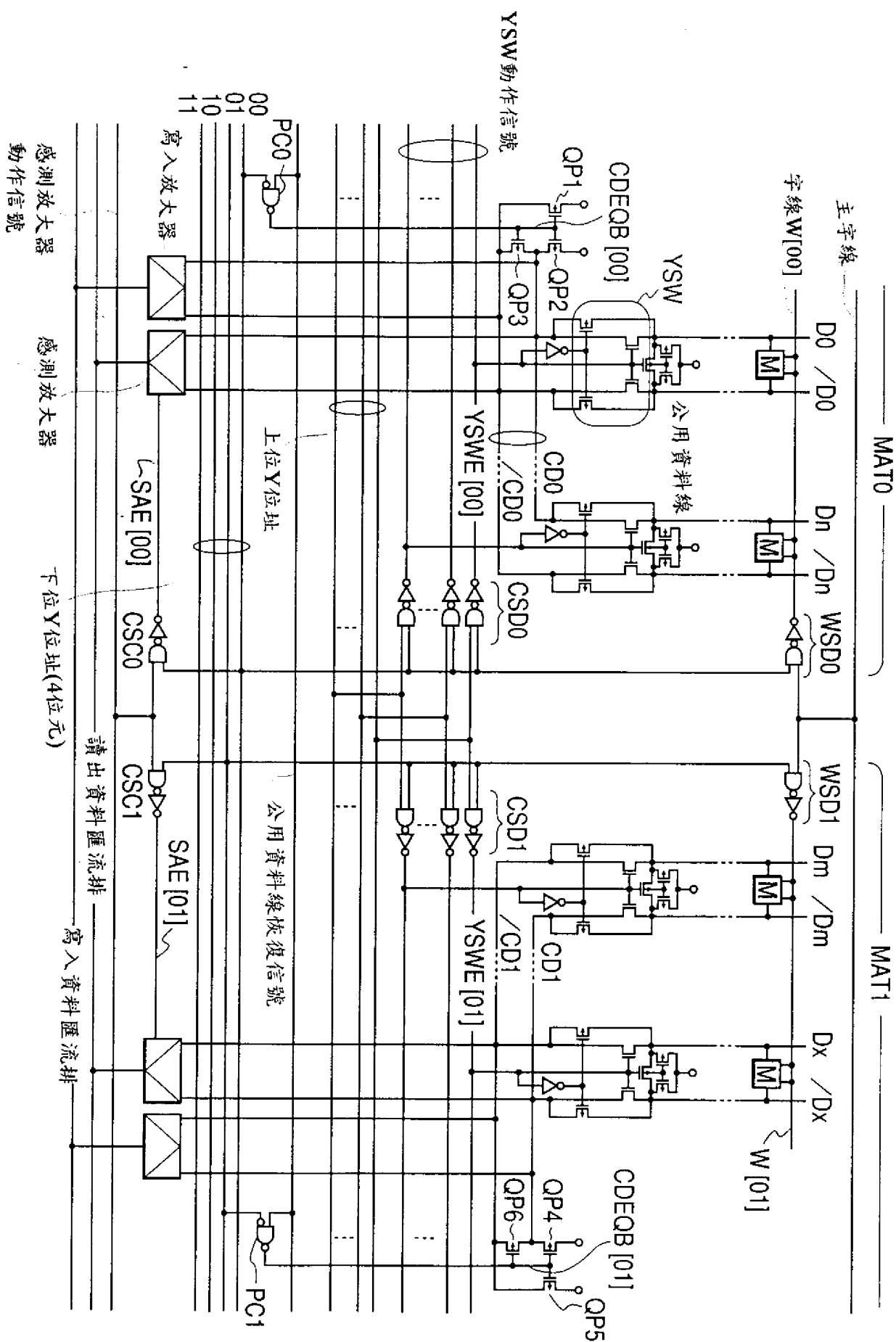


圖 8(A)

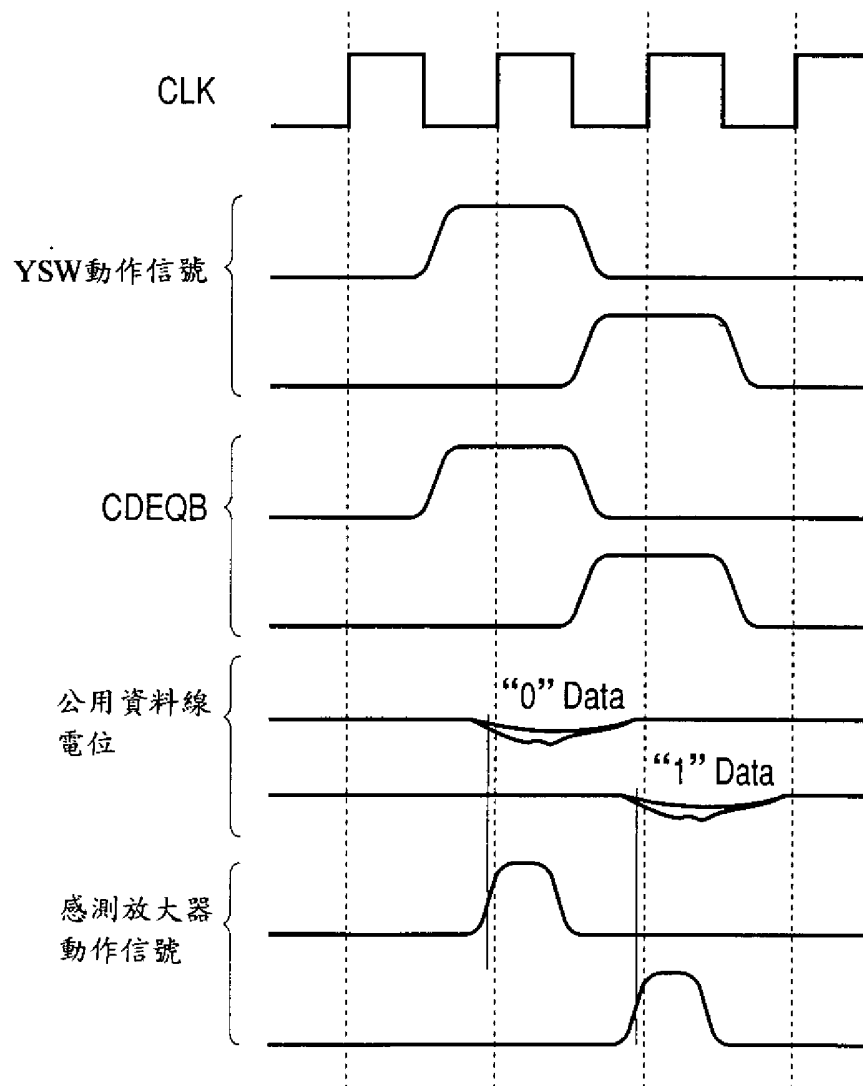


圖 8(B)

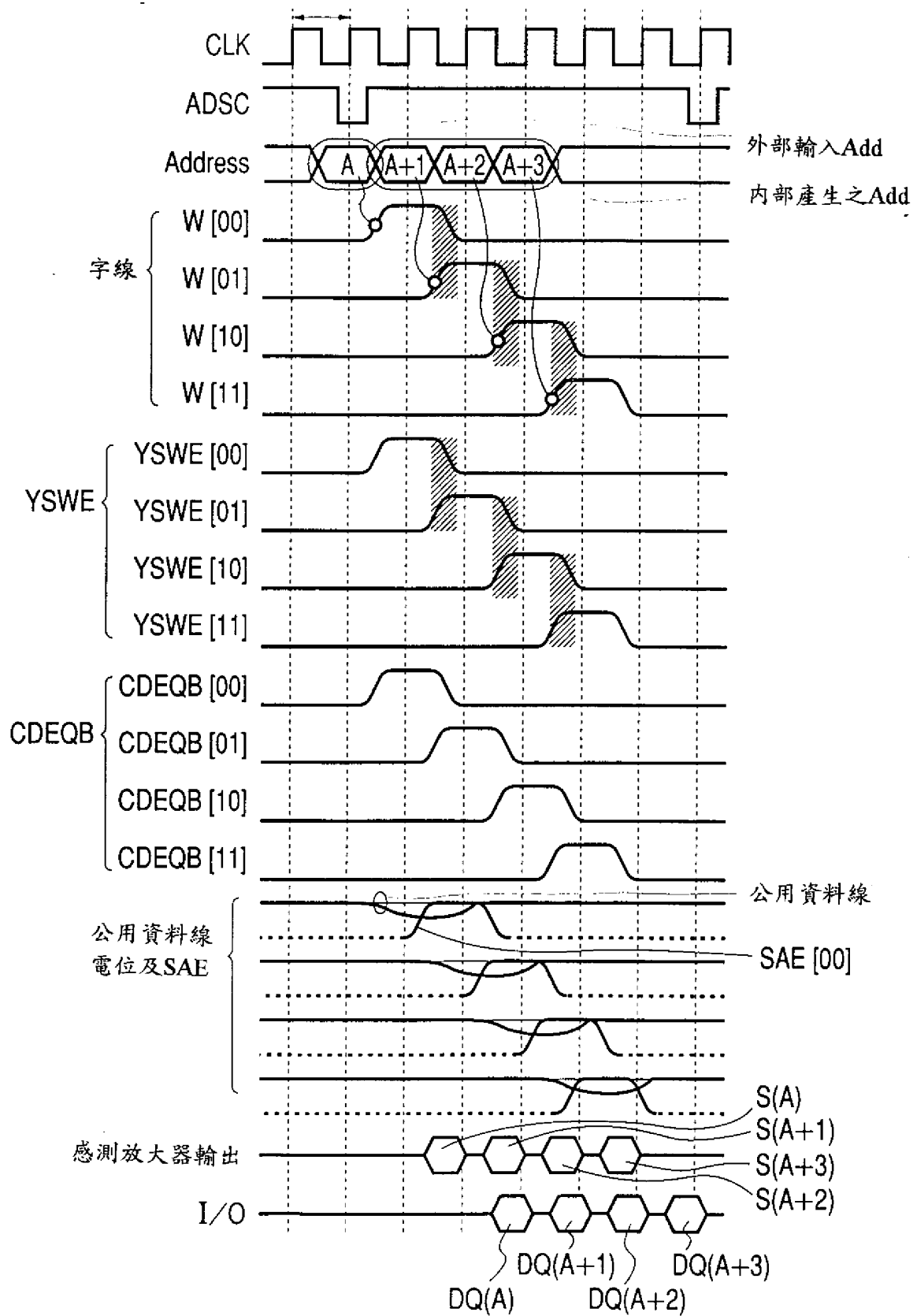


圖 9

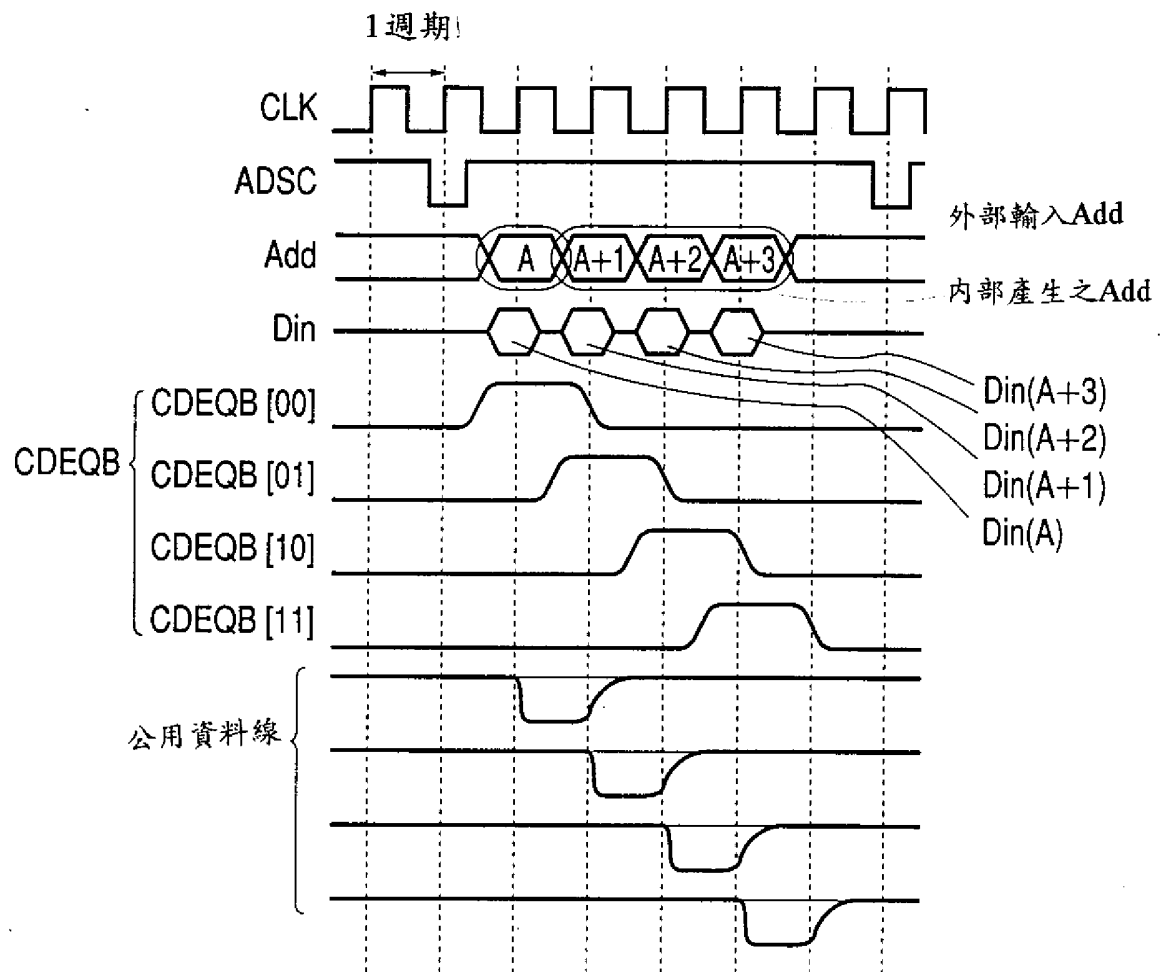


圖 10

