

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2016-184837

(P2016-184837A)

(43) 公開日 平成28年10月20日(2016.10.20)

(51) Int.Cl.	F I	テーマコード (参考)
HO3K 19/00 (2006.01)	HO3K 19/00 A	5F038
HO1L 21/822 (2006.01)	HO1L 27/04 H	5F048
HO1L 27/04 (2006.01)	HO1L 27/06 311C	5F082
HO1L 27/06 (2006.01)	HO1L 27/06 101P	5H430
HO1L 21/8222 (2006.01)	HO1L 27/06 101U	5J032

審査請求 未請求 請求項の数 8 O L (全 11 頁) 最終頁に続く

(21) 出願番号 特願2015-63718 (P2015-63718)
 (22) 出願日 平成27年3月26日 (2015.3.26)

(71) 出願人 308033711
 ラピスセミコンダクタ株式会社
 神奈川県横浜市港北区新横浜二丁目4番地8
 (74) 代理人 100079119
 弁理士 藤村 元彦
 (74) 代理人 100147728
 弁理士 高野 信司
 (72) 発明者 川添 卓
 神奈川県横浜市港北区新横浜二丁目4番地8
 ラピスセミコンダクタ株式会社内
 Fターム(参考) 5F038 BB04 BB05 BB08 BG03 BH04
 BH06 BH13 BH15 EZ20
 5F048 AA02 AC03 BE09 BF18 CC10

最終頁に続く

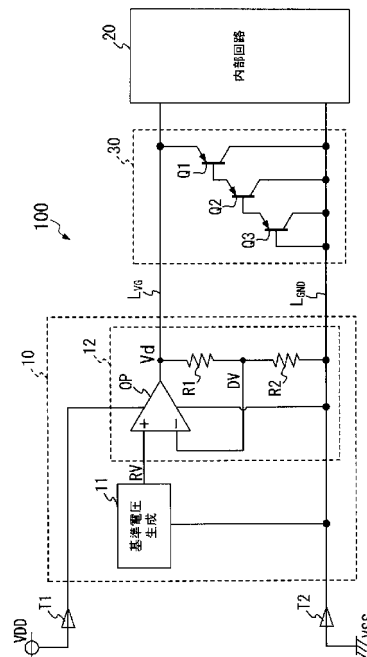
(54) 【発明の名称】 半導体装置

(57) 【要約】 (修正有)

【課題】 電圧レギュレータが生成した内部電源電圧が高圧化してしまった際に、当該内部電源電圧から内部回路を保護することが可能な半導体装置を提供する。

【解決手段】 電源電圧 V_{DD} に基づいて内部電源電圧 V_d を生成し、これを電源ライン L_{VG} に印加する電圧レギュレータ 10 と、電源ライン及び接地ライン L_{GND} を介して内部電源電圧の供給を受ける内部回路 20 と、ダーリントン接続された夫々 PNP 型の第 1 ~ 第 N のトランジスタを含む。さらに、第 1 ~ 第 N のトランジスタ各々のコレクタ端子が接地ラインに接続されており、第 1 ~ 第 N のトランジスタのうちの第 1 のトランジスタ Q_1 のエミッタ端子が電源ラインに接続されていると共に、第 N のトランジスタのベース端子が接地ラインに接続されている保護回路 30 と、を有する。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

電源電圧に基づいて前記電源電圧の電圧値よりも低い電圧値を有する内部電源電圧を生成し前記内部電源電圧を電源ラインに印加する電圧レギュレータと、

前記電源ライン及び接地ラインを介して前記内部電源電圧の供給を受ける内部回路と、
ダーリントン接続された夫々PNP型の第1～第N（Nは2以上の整数）のトランジスタを含み、前記第1～第Nのトランジスタ各々のコレクタ端子が前記接地ラインに接続されており、前記第1～第Nのトランジスタのうちの第1のトランジスタのエミッタ端子が前記電源ラインに接続されていると共に、前記第1～第Nのトランジスタのうちの第Nのトランジスタのベース端子が前記接地ラインに接続されている保護回路と、を有することを特徴とする半導体装置。

10

【請求項 2】

前記電圧レギュレータは、前記電源ラインの電圧を分圧した分圧電圧と基準電圧との差分値に対応した電圧を、前記内部電源電圧として前記電源ラインに印加するpチャネルMOS型の出力トランジスタを含み、

前記出力トランジスタのソース端子には前記電源電圧が印加されており、
前記出力トランジスタのゲート端子及び前記ソース端子間には前記出力トランジスタのゲート・ソース間電圧を前記電源電圧よりも低い所定の電圧値にクランプするクランプ回路が設けられていることを特徴とする請求項1記載の半導体装置。

20

【請求項 3】

前記所定の電圧値は前記出力トランジスタの閾値電圧よりも高いことを特徴とする請求項2記載の半導体装置。

【請求項 4】

前記クランプ回路は、前記出力トランジスタの前記ソース端子にアノード端子が接続された第1のダイオードと、前記出力トランジスタの前記ゲート端子にカソード端子が接続された第2のダイオードとを含む複数のダイオードが直列に接続された直列ダイオード群を有することを特徴とする請求項2又は3記載の半導体装置。

【請求項 5】

電源電圧の電圧値よりも低い電圧値を有する内部電源電圧をpチャネルMOS型の出力トランジスタを介して電源ラインに印加する電圧レギュレータと、

前記電源ライン及び接地ラインを介して前記内部電源電圧の供給を受ける内部回路と、
前記電源ライン及び前記接地ラインに接続されており、前記電源ラインの電圧の増加に応じて前記電源ラインの電圧増加を抑制する保護回路と、を有し、

30

前記出力トランジスタのソース端子には前記電源電圧が印加されており、
前記出力トランジスタのゲート端子及び前記ソース端子間には前記出力トランジスタのゲート・ソース間電圧を前記電源電圧よりも低い所定の電圧値にクランプするクランプ回路が設けられていることを特徴とする半導体装置。

【請求項 6】

前記保護回路は、ダーリントン接続された夫々PNP型の第1～第N（Nは2以上の整数）のトランジスタを含み、

前記第1～第Nのトランジスタ各々のコレクタ端子が前記接地ラインに接続されており、前記第1～第Nのトランジスタのうちの第1のトランジスタのエミッタ端子が前記電源ラインに接続されていると共に、前記第1～第Nのトランジスタのうちの第Nのトランジスタのベース端子が前記接地ラインに接続されていることを特徴とする請求項5に記載の半導体装置。

40

【請求項 7】

前記所定の電圧値は前記出力トランジスタの閾値電圧よりも高いことを特徴とする請求項5又は6に記載の半導体装置。

【請求項 8】

前記クランプ回路は、前記出力トランジスタの前記ソース端子にアノード端子が接続さ

50

れた第1のダイオードと、前記出力トランジスタの前記ゲート端子にカソード端子が接続された第2のダイオードとを含む複数のダイオードが直列に接続された直列ダイオード群を有することを特徴とする請求項5～7のいずれか1に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、特に電圧レギュレータ及び保護回路が形成されている半導体装置に関する。

【背景技術】

【0002】

半導体装置として、電源端子を介して供給された電源電圧よりも低い内部電源電圧を生成し、この内部電源電圧によって内部回路を動作させるようにした電圧レギュレータを含むものが知られている。また、このような電圧レギュレータと共に、半導体装置外で発生した静電気放電（以下、ESDと称する）に伴う高電圧が電源端子を介して内部回路に印加されてしまうことを防止するESD保護回路を設けた半導体装置が提案されている（例えば特許文献1参照）。

【0003】

当該ESD保護回路は、内部電源電圧用の電源ラインの電圧値が所定の電圧値以上の高電圧であり且つその電圧の立ち上がり時間が比較的短い場合に、電源ラインと接地ラインとを強制的に接続する（保護機能）ことにより、ESDに伴う高電圧から内部回路を保護する。

【先行技術文献】

【特許文献】

【0004】

【特許文献1】特開2010-3982号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

しかしながら、上記したようなESD保護回路では、外来ノイズの影響によって電圧レギュレータが誤動作し、これにより内部回路の耐圧よりも高い内部電源電圧が出力された場合には、その保護機能が作動しない虞がある。つまり、外来ノイズの影響により、電圧レギュレータに含まれる例えばpチャネルMOS（metal-oxide-semiconductor）型の出力トランジスタのゲート電圧が低下してしまった場合には、内部電源電圧が増加する。ところが、このような出力トランジスタのゲート電圧の低下に伴う内部電源電圧の増加推移は、ESDによる電圧の増加推移よりも緩やかである為、保護機能が作動しない場合が生じるのである。

【0006】

そこで、本発明は、電圧レギュレータが生成した内部電源電圧が高圧化してしまった際に、当該内部電源電圧から内部回路を保護することが可能な半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0007】

本発明に係る半導体装置は、電源電圧に基づいて前記電源電圧の電圧値よりも低い電圧値を有する内部電源電圧を生成し前記内部電源電圧を電源ラインに印加する電圧レギュレータと、前記電源ライン及び接地ラインを介して前記内部電源電圧の供給を受ける内部回路と、ダーリントン接続された夫々PNP型の第1～第N（Nは2以上の整数）のトランジスタを含み、前記第1～第Nのトランジスタ各々のコレクタ端子が前記接地ラインに接続されており、前記第1～第Nのトランジスタのうちの第1のトランジスタのエミッタ端子が前記電源ラインに接続されていると共に、前記第1～第Nのトランジスタのうちの第Nのトランジスタのベース端子が前記接地ラインに接続されている保護回路と、を有する

10

20

30

40

50

。

【 0 0 0 8 】

また、本発明に係る他の半導体装置は、電源電圧の電圧値よりも低い電圧値を有する内部電源電圧を p チャンネル MOS 型の出力トランジスタを介して電源ラインに印加する電圧レギュレータと、前記電源ライン及び接地ラインを介して前記内部電源電圧の供給を受ける内部回路と、前記電源ライン及び前記接地ラインに接続されており、前記電源ラインの電圧の増加に応じて前記電源ラインの電圧増加を抑制する保護回路と、を有し、前記出力トランジスタのソース端子には前記電源電圧が印加されており、前記出力トランジスタのゲート端子及び前記ソース端子間には前記出力トランジスタのゲート・ソース間電圧を前記電源電圧よりも低い所定の電圧値にクランプするクランプ回路が設けられている。

10

【 発明の効果 】

【 0 0 0 9 】

本発明においては、電源電圧に基づいて内部電源電圧を生成しこれを電源ライン及び接地ラインを介して内部回路に供給する電圧レギュレータに、以下の保護回路を接続する。すなわち、ダーリントン接続された夫々 PNP 型の第 1 ~ 第 N のトランジスタ各々のコレクタ端子を接地ラインに接続し、これら第 1 ~ 第 N のトランジスタのうちの第 1 のトランジスタのエミッタ端子を電源ラインに接続すると共に第 N のトランジスタのベース端子を接地ラインに接続した構成を有する保護回路を設ける。

【 0 0 1 0 】

かかる保護回路によれば、外来ノイズの影響により、電圧レギュレータで生成された内部電源電圧が高電圧化しても、この高電圧から内部回路を保護することが可能となる。

20

【 0 0 1 1 】

更に、本発明では、電圧レギュレータに含まれる出力トランジスタ、つまりソース端子に供給された上記電源電圧に基づいて当該内部電源電圧を電源ラインに出力する p チャンネル MOS 型の出力トランジスタのゲート端子及びソース端子間に、当該ゲート・ソース間電圧を電源電圧よりも低い電圧値にクランプするクランプ回路を設ける。かかる構成によれば、当該クランプ回路を設けていない構成に比して、内部電源電圧が高電圧化した際に電源ラインに流れ込む電流量が低くなる。よって、この電流を流し込むことになる第 1 のトランジスタのトランジスタサイズを小さくすることが可能となり、保護回路の小規模化が図られる。

30

【 図面の簡単な説明 】

【 0 0 1 2 】

【 図 1 】 本発明に係る半導体装置 1 0 0 の構成を示す回路図である。

【 図 2 】 増幅部 1 2 の内部構成の一例を示す回路図である。

【 図 3 】 増幅部 1 2 の内部構成の他の一例を示す回路図である。

【 発明を実施するための形態 】

【 0 0 1 3 】

以下、本発明の実施例を図面を参照しつつ詳細に説明する。

【 0 0 1 4 】

図 1 は、本発明に係る半導体装置 1 0 0 の構成の一例を示す回路図である。半導体装置 1 0 0 は、図 1 に示すように、電圧レギュレータ 1 0、当該半導体チップの主機能を担う内部回路 2 0、及び高電圧保護回路 3 0 を含む。これら電圧レギュレータ 1 0、内部回路 2 0、及び高電圧保護回路 3 0 は半導体チップに形成されている。

40

【 0 0 1 5 】

電圧レギュレータ 1 0 は、電源端子 T 1 を介して供給された電源電圧 V D D 及び接地端子 T 2 を介して供給された接地電位 V S S に基づき、当該電源電圧 V D D よりも低く且つ一定の電圧値を有する内部電源電圧 V d を生成し、これを電源ライン L_{VG} を介して内部回路 2 0 に供給する。

【 0 0 1 6 】

図 1 に示すように、電圧レギュレータ 1 0 は、基準電圧生成部 1 1 及び増幅部 1 2 を有

50

する。

【0017】

基準電圧生成部11は、接地ライン L_{GND} に印加されている接地電位 V_{SS} に基づき、所定の電圧値を有する基準電圧 R_V を生成し、これを増幅部12のオペアンプOPの非反転入力端子に供給する。オペアンプOPの出力端子は電源ライン L_{VG} 及び抵抗 R_1 の一端に接続されている。抵抗 R_1 の他端には抵抗 R_2 の一端が接続されており、当該抵抗 R_2 の他端は接地ライン L_{GND} に接続されている。

【0018】

抵抗 R_1 及び R_2 からなる分圧回路は、電源ライン L_{VG} の電圧、つまり内部電源電圧 V_d を分圧した分圧電圧 D_V をオペアンプOPの反転入力端子に供給する。

10

【0019】

図2は、上記したオペアンプOP、抵抗 R_1 及び R_2 を含む増幅部12の内部構成の一例を示す回路図である。図2において、オペアンプOPは、定電流源GA、 n チャンネルMOS型のトランジスタ $N_1 \sim N_6$ 、及び p チャンネルMOS型のトランジスタ $P_1 \sim P_5$ を有する。

【0020】

トランジスタ N_1 のゲート端子には上記した基準電圧 R_V が供給されており、そのソース端子はトランジスタ N_2 のソース端子及びトランジスタ N_3 のドレイン端子に接続されている。尚、トランジスタ N_1 のゲート端子は、オペアンプOPの非反転入力端子に相当する。トランジスタ N_1 のドレイン端子は、トランジスタ P_1 のゲート端子及びドレイン端子に接続されている。更に、トランジスタ N_1 のドレイン端子には、トランジスタ P_4 のゲート端子が接続されている。

20

【0021】

トランジスタ N_2 のゲート端子には、抵抗 R_1 及び R_2 にて内部電源電圧 V_d を分圧した分圧電圧 D_V が供給されている。尚、トランジスタ N_2 のゲート端子は、オペアンプOPの反転入力端子に相当する。トランジスタ N_2 のドレイン端子は、トランジスタ P_2 のゲート端子及びドレイン端子に接続されている。更に、トランジスタ N_2 のドレイン端子には、トランジスタ P_3 のゲート端子が接続されている。

【0022】

トランジスタ N_3 のソース端子には、接地ライン L_{GND} を介して接地電位 V_{SS} が印加されており、そのゲート端子はトランジスタ N_4 のゲート端子及びドレイン端子に接続されている。トランジスタ N_4 のソース端子には、接地ライン L_{GND} を介して接地電位 V_{SS} が印加されている。電流源GAは、電源電圧 V_{DD} の供給を受けて所定の一定電流を生成し、これをトランジスタ N_4 のドレイン端子に送出する。

30

【0023】

トランジスタ $P_1 \sim P_4$ 各々のソース端子には電源電圧 V_{DD} が印加されている。トランジスタ P_3 のドレイン端子はトランジスタ N_5 のドレイン端子及びゲート端子に接続されている。更に、トランジスタ P_3 のドレイン端子には、トランジスタ N_6 のゲート端子が接続されている。トランジスタ P_4 のドレイン端子は、トランジスタ P_5 のゲート端子及びトランジスタ N_6 のドレイン端子に接続されている。トランジスタ N_5 及び N_6 各々のソース端子には、接地ライン L_{GND} を介して接地電位 V_{SS} が印加されている。

40

【0024】

出力トランジスタとしてのトランジスタ P_5 のソース端子には電源電圧 V_{DD} が印加されており、そのドレイン端子は電源ライン L_{VG} に接続されている。尚、以降、トランジスタ P_5 を出力トランジスタとも称する。

【0025】

尚、トランジスタ $P_1 \sim P_5$ 各々のバックゲートには電源電圧 V_{DD} が印加されており、トランジスタ $N_1 \sim N_6$ 各々のバックゲートには、接地ライン L_{GND} を介して接地電位 V_{SS} が印加されている。

【0026】

50

上記した構成により、電圧レギュレータ10は、電源電圧VDDに基づき、分圧電圧DVの電圧値と基準電圧RVの電圧値との差分値に対応した電圧値を有する内部電源電圧Vdを生成し、これを出力トランジスタ(P5)を介して電源ラインLVGに印加する。つまり、出力トランジスタ(P5)は、電源ラインLVGの電圧を分圧した分圧電圧DVVと基準電圧RVとの差分値に対応した電圧を内部電源電圧Vdとして電源ラインLVGに印加するのである。これにより、出力トランジスタ(P5)を介して電源ラインLVGに印加された内部電源電圧Vdは、当該電源ラインLVGを介して内部回路20に供給される。

【0027】

高電圧保護回路30は、電源ラインLVG及び接地ラインLGNDに接続されており、電源ラインLVGの電圧増加に応じて、当該電源ラインLVGの電圧増加を抑制する。つまり、高電圧保護回路30は、電圧レギュレータ10によって電源ラインLVGに印加された内部電源電圧Vdが増加した場合には、この内部電源電圧Vdの増加を抑制するという保護動作を行う。

10

【0028】

高電圧保護回路30は、図1に示すように、夫々がバイポーラ型のPNPトランジスタであるトランジスタQ1~Q3がダーリントン接続された回路を含む。トランジスタQ1~Q3各々のコレクタ端子は接地ラインLGNDに接続されている。更に、トランジスタQ1~Q3のうちトランジスタQ1のエミッタ端子が電源ラインLVGに接続されていると共に、トランジスタQ3のベース端子が接地ラインLGNDに接続されている。

【0029】

以下に、高電圧保護回路30の動作について、PNP型のトランジスタの閾値電圧、内部回路20の通常電源電圧及び電源耐電圧の各々が、

閾値電圧 : 0.6ボルト

通常電源電圧 : 1.5ボルト

電源耐電圧 : 4.0ボルト

であるとして説明する。

20

【0030】

図1に示すように3個のトランジスタQ1~Q3がダーリントン接続された構成における閾値電圧の合計、つまり合計閾値電圧は(0.6ボルト×3)=1.8ボルトである。よって、電圧レギュレータ10で生成された内部電源電圧Vdが閾値電圧(1.8ボルト)よりも低い通常電源電圧(1.5ボルト)を維持している間は、トランジスタQ1~Q3はオフ状態となる。従って、この間、通常電源電圧(1.5ボルト)を有する内部電源電圧Vdが、そのまま電源ラインLVGを介して内部回路20に供給される。

30

【0031】

ここで、外来ノイズの影響により、電圧レギュレータ10に含まれる出力トランジスタ(P5)のゲート電圧が低下すると、それに反比例して出力トランジスタ(P5)から出力される内部電源電圧Vdの電圧値が増加して行く。この際、電圧レギュレータ10で生成された内部電源電圧Vdの電圧値が、上記した合計閾値電圧(1.8ボルト)よりも高くなると、トランジスタQ1~Q3の各々がオン状態となる(保護動作)。これにより、トランジスタQ1のエミッタ端子及びコレクタ端子を介して、電源ラインLVG及び接地ラインLGND間に電流が流れる。従って、この間、出力トランジスタのオン抵抗と、高電圧保護回路30のトランジスタQ1のオン抵抗とが整合する時点で、内部電源電圧Vdの増加が停止する。

40

【0032】

よって、上記した保護動作によれば、外来ノイズの影響により、電圧レギュレータ10で生成された内部電源電圧Vdが増加してしまっても、内部回路20の電源耐電圧(4.0ボルト)に到る前にその電圧値の増加を停止させてクランプすることが可能となる。

【0033】

尚、図1に示す高電圧保護回路30では、バイポーラ型のPNPトランジスタ(Q1~Q3)を3段にダーリントン接続させた構成を採用しているが、その段数は3段に限定さ

50

れるものではない。すなわち、高電圧保護回路30としては、各PNPトランジスタの合計閾値電圧が、内部回路20を動作させる通常電源電圧よりも高く、且つ内部回路20の電源耐電圧よりも低い電圧値となるような段数でPNPトランジスタをダーリントンさせた構成を採用すれば良いのである。

【0034】

図3は、電圧レギュレータ10に含まれている増幅部12の他の内部構成の一例を示す回路図である。尚、図3に示される構成では、出力トランジスタ(P5)のゲート端子と電源ライン L_{VG} との間にクランプ回路CPを設けた点を除く他の構成は、図2に示すものと同一である。

【0035】

図3において、クランプ回路CPは、夫々がPN接合型のダイオードD1～D3が直列に接続されたものである。この際、ダイオードD1のアノード端子は出力トランジスタ(P5)のソース端子に接続されている。ダイオードD3のカソード端子は、トランジスタP5のゲート端子に接続されている。かかる構成により、クランプ回路CPは、出力トランジスタ(P5)のゲート・ソース間電圧を電源電圧VDDよりも低く且つ出力トランジスタ(P5)の閾値電圧よりも高い電圧値にクランプする。

【0036】

以下に、図3に示す構成を有する増幅部12を含む電圧レギュレータ10を採用した場合に為される高電圧保護回路30の動作について、PNPトランジスタの閾値電圧、内部回路20の通常電源電圧及び電源耐電圧が夫々、

閾値電圧 : 0.6ボルト
通常電源電圧 : 1.5ボルト
電源耐電圧 : 4.0ボルト

であるとして説明する。

【0037】

図1に示すように3個のトランジスタQ1～Q3がダーリントン接続された構成における閾値電圧の合計、つまり合計閾値電圧は(0.6ボルト×3)=1.8ボルトである。よって、電圧レギュレータ10で生成された内部電源電圧Vdが閾値電圧(1.8ボルト)よりも低い通常電源電圧(1.5ボルト)を維持している間は、トランジスタQ1～Q3はオフ状態となる。従って、この間、通常電源電圧(1.5ボルト)を有する内部電源電圧Vdが、そのまま電源ライン L_{VG} を介して内部回路20に供給される。

【0038】

ここで、外来ノイズの影響により、電圧レギュレータ10に含まれる出力トランジスタ(P5)のゲート電圧が低下すると、それに反比例して出力トランジスタ(P5)から出力される内部電源電圧Vdの電圧値が増加して行く。この際、電圧レギュレータ10で生成された内部電源電圧Vdの電圧値が、上記した合計閾値電圧(1.8ボルト)よりも高くなると、トランジスタQ1～Q3の各々がオン状態となる(保護動作)。これにより、トランジスタQ1のエミッタ端子及びコレクタ端子を介して、電源ライン L_{VG} 及び接地ライン L_{GND} 間に電流が流れる。従って、この間、出力トランジスタのオン抵抗と、高電圧保護回路30のトランジスタQ1のオン抵抗とが整合する時点で、内部電源電圧Vdの増加が停止する。

【0039】

よって、上記した保護動作によれば、外来ノイズの影響により、電圧レギュレータ10で生成された内部電源電圧Vdが増加してしまっても、内部回路20の電源耐電圧(4.0ボルト)に到る前にその電圧値の増加を停止させてクランプすることが可能となる。

【0040】

尚、出力トランジスタのオン抵抗と、高電圧保護回路30のトランジスタQ1のオン抵抗とが整合する時点は、トランジスタQ1のトランジスタサイズと、出力トランジスタのトランジスタサイズとのサイズ比によって決定する。

【0041】

10

20

30

40

50

この際、出力トランジスタのトランジスタサイズは、電源電圧 V_{DD} に関する電源仕様で規定される最低電圧と、当該最低電圧で内部回路 20 を動作させた際にこの内部回路 20 に流すことが可能な電流量とによって決まる。例えば、増幅部 12 の電源電圧 V_{DD} の最低電圧が 1.8 ボルトであり、電圧レギュレータ 10 に関する仕様が 1.5 ボルトの内部電源電圧 V_d で 10 mA の駆動能力を要求している場合、出力トランジスタとしては、ドレイン・ソース間電圧が 0.3 ボルトで 10 mA の駆動を行うことが可能なサイズを有するものを採用する必要がある。

【0042】

そこで、下記の電流式に基づいて出力トランジスタ (P5) のサイズを決定する。

【0043】

$$I = (1/2) \cdot \mu \cdot C_{ox} \cdot (W/L) \cdot (V_{gs} - V_t)^2$$

I : 駆動電流

μ : キャリア移動度

C_{ox} : 出力トランジスタ (P5) のゲート容量

W : 出力トランジスタ (P5) のゲート幅

L : 出力トランジスタ (P5) のゲート長

V_{gs} : 出力トランジスタ (P5) のゲート・ソース間電圧

V_t : 出力トランジスタ (P5) の閾値電圧

【0044】

ところで、電源端子 T1 を介して供給された電源電圧 V_{DD} として取り得る電圧範囲は電源仕様によって規定されている。よって、この電源仕様に基づく電圧範囲内の最大の電圧値を有する電源電圧 V_{DD} が、電源端子 T1 を介して供給されることが想定される。当該電源仕様で規定される最大電圧値が例えば 5 ボルトである場合に、外来ノイズの影響により出力トランジスタ (P5) のゲート電圧が 0 ボルトまで低下してしまうと、出力トランジスタ (P5) は、5 ボルトを有する内部電源電圧 V_d を生成することになる。この際、図 2 に示す構成では、当該 5 ボルトの電圧値が、そのまま出力トランジスタ (P5) のゲート・ソース間電圧 V_{gs} と等しくなる。

【0045】

よって、上記電流式によれば、出力トランジスタ (P5) は、電源電圧 V_{DD} の仕様で規定される最大電圧値 (= V_{gs}) に対応した電流量を有する駆動電流を電源ライン L_{VG} に送出することになる。すると、高電圧保護回路 30 は、このように電源ライン L_{VG} に送出された駆動電流をトランジスタ Q1 を介して電源ライン L_{VG} から接地ライン L_{GND} に向けて流し込むことにより、内部電源電圧 V_d の電圧値 (5 ボルト) を内部回路 20 の電源耐電圧 (4 ボルト) 未満に低下させる。

【0046】

つまり、電圧レギュレータ 10 として図 2 に示される構成を採用した場合には、高電圧保護回路 30 のトランジスタ Q1 のサイズを、電源電圧 V_{DD} の仕様で規定される最大電圧値に対応した電流を流すことが可能な大きさに設定する必要がある。

【0047】

一方、当該電圧レギュレータ 10 として図 3 に示す構成を採用した場合には、クランプ回路 CP により、出力トランジスタ (P5) のゲート・ソース間電圧 V_{gs} は、ダイオード D1 ~ D3 各々の閾値電圧 V_f の 3 倍の電圧値、つまり電源電圧 V_{DD} (5 ボルト) よりも低い電圧にクランプされる。

【0048】

よって、例えば閾値電圧 V_f が 0.8 ボルトである場合には、電源電圧 V_{DD} の電圧値が 5 ボルトであっても、出力トランジスタ (P5) のゲート・ソース間電圧 V_{gs} は、2.4 ボルトとなる。

【0049】

すなわち、クランプ回路 CP により、出力トランジスタ (P5) のゲート・ソース間電圧 V_{gs} を電源電圧 V_{DD} の電圧値よりも小さくするのである。

10

20

30

40

50

【 0 0 5 0 】

よって、上記した電流式からも明らかなように、出力トランジスタ（P5）のゲート・ソース間電圧 V_{gs} が電源電圧 V_{DD} の電圧値と等しくなる虞がある図2に示す構成を採用した場合に比べて、電源ライン L_{VG} に送出される駆動電流を低下させることが可能となる。

【 0 0 5 1 】

これにより、電圧レギュレータ10として図3に示す構成を採用した場合には、図2に示す構成を採用した場合に比して、高電圧保護回路30のトランジスタQ1のトランジスタサイズを小さくすることが可能となり、高電圧保護回路30の小規模化が図られるのである。

10

【 0 0 5 2 】

尚、上記実施例では、高電圧保護回路30として、図1に示すように3段にダーリントン接続されたバイポーラ型のトランジスタQ1～Q3を採用しているが、その縦続段数は3段に限定されない。すなわち、高電圧保護回路30としては、トランジスタQ1～Q3のうちQ2を省き、Q1のベース端子をQ3のエミッタ端子に接続したトランジスタ2段のダーリントン接続を採用しても良く、或いは、トランジスタQ1及びQ3間に2個以上のPNPトランジスタをダーリントン接続した構成を採用しても良い。つまり、高電圧保護回路30においてPNP型のトランジスタをダーリントン接続する段数は、ダーリントン接続するトランジスタ群の合計閾値電圧が、内部回路20の通常電源電圧以上であり且つ内部回路20の電源耐電圧よりも低くなる段数に設定すれば良いのである。

20

【 0 0 5 3 】

また、図3に示すクランプ回路CPでは直列3段に接続されたダイオードD1～D3を採用しているが、その直列段数は3段に限定されない。

【 0 0 5 4 】

要するに、クランプ回路CPとしては、少なくとも、出力トランジスタ（P5）のソース端子にアノード端子が接続された第1のダイオード（D1）と、出力トランジスタのゲート端子にカソード端子が接続された第2のダイオード（D3）とを含む複数のダイオードが直列に接続された直列ダイオード群を有するものであれば良いのである。

【 0 0 5 5 】

また、図3に示すクランプ回路CPにおけるダイオードD1～D3の各々に代えて、自身のゲート端子とドレイン端子（又はソース端子）同士が互いに接続された、いわゆるダイオード接続されたMOS型トランジスタを採用しても良い。

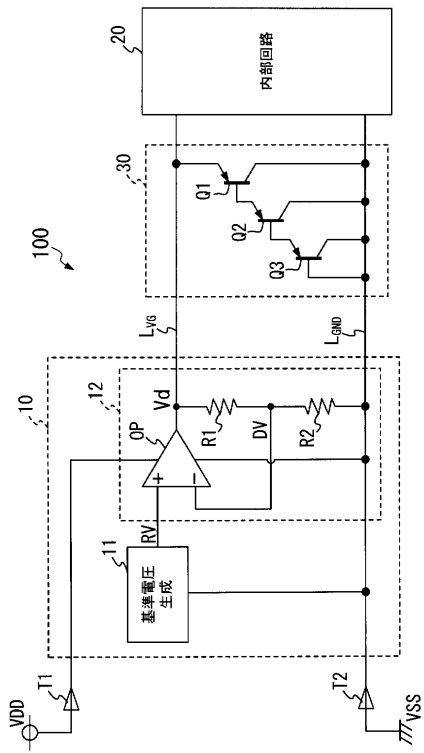
30

【符号の説明】

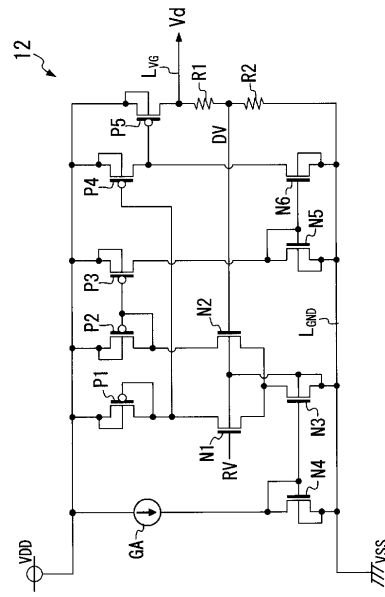
【 0 0 5 6 】

10	電圧レギュレータ
20	内部回路
30	高電圧保護回路
D1～D3	ダイオード
Q1～Q3	トランジスタ

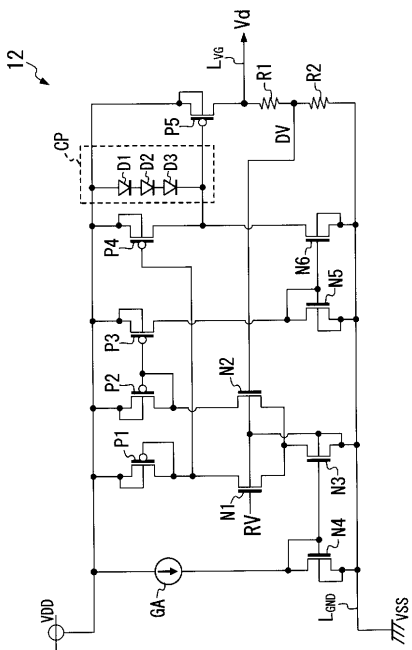
【 図 1 】



【 図 2 】



【 図 3 】



 フロントページの続き

(51)Int.Cl.	F I			テーマコード(参考)		
H 0 1 L 21/8248 (2006.01)	H 0 1 L	27/06	1 0 1 D	5 J 0 5 6		
H 0 3 K 19/003 (2006.01)	H 0 3 K	19/003	E			
G 0 5 F 1/56 (2006.01)	G 0 5 F	1/56	3 2 0 C			

Fターム(参考) 5F082 AA33 BC03 BC09 BC11 BC15 FA02 FA16 GA04
 5H430 BB01 BB09 BB11 EE06 FF02 FF13 HH02 LA02
 5J032 AA12 AB02 AC18
 5J056 AA00 BB35 BB47 CC01 CC02 CC03 CC04 CC10 CC12 CC13
 CC22 DD02 DD13 DD29 DD34 DD55 FF06