



# (12)发明专利

(10)授权公告号 CN 104200767 B

(45)授权公告日 2017. 10. 31

(21)申请号 201410479501.2

US 7626583 B2, 2009.12.01, 全文.

(22)申请日 2014.09.18

CN 201444391 U, 2010.04.28, 全文.

(65)同一申请的已公布的文献号

CN 1447293 A, 2003.10.08, 权利要求47-

申请公布号 CN 104200767 A

50, 说明书第71-73段, 附图1.

(43)申请公布日 2014.12.10

审查员 李玮

(73)专利权人 南京中电熊猫液晶显示科技有限公司

地址 210033 江苏省南京市仙林大道科技  
南路南京液晶谷

(72)发明人 周刘飞 李尊懋

(51) Int. Cl.

G09G 3/00(2006.01)

(56)对比文件

CN 1645985 A, 2005.07.27, 全文.

US 2008/0137166 A1, 2008.06.12, 全文.

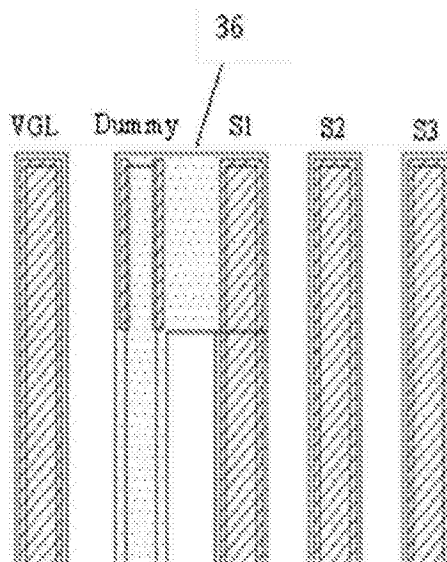
权利要求书1页 说明书5页 附图5页

(54)发明名称

阵列基板、显示装置及其检测方法

(57)摘要

本发明公开了一种阵列基板、显示装置及其检测方法。阵列基板,包括:一基板,包括一显示区域以及以非显示区域,在所述非显示区域形成多个端子区域,所述端子区域布置有多条信号端子和多条非信号端子,一所述非信号端子与一待检测信号端子相邻设置,所述待检测信号端子与相邻的所述非信号端子电连接。本发明通过在显示装置的柔性电路板和/或印刷电路板上设置信号端子和非信号端子的对应检测点,可以得到所述待检测端子的压接阻抗,从而准确、迅速的判断端子压接不良。



1. 一种显示装置,包括:

显示面板、柔性电路板以及印刷电路板;

所述显示面板包括阵列基板和与其相对设置的对置基板以及夹设于所述阵列基板与  
所述对置基板之间的显示介质;

所述阵列基板,包括:

一基板,包括一显示区域以及以非显示区域,在所述非显示区域形成多个端子区域,所  
述端子区域布置有多条信号端子和多条非信号端子,一所述非信号端子与一待检测信号端  
子相邻设置,所述待检测信号端子与相邻的所述非信号端子电连接;每个所述端子区域划  
分为第一子端子区域、第二子端子区域、第三子端子区域,且所述第一子端子区域和、第三  
子端子区域分布在所述第二子端子区域两侧;所述第一子端子区域外侧、所述第一子端  
子区域与所述第二子端子区域之间、所述第二子端子区域与所述第三子端子区域之间、所  
述第三子端子区域外侧均设置有非信号端子;在所述基板上形成第一金属层,所述第一金  
属层包括所述信号端子图案;在所述第一金属层上形成绝缘膜图案;再形成半导体导电图  
案,所述半导体导电图案包括所述非信号端子图案,并且所述半导体导电图案覆盖所述信  
号端子;所述待检测信号端子与相邻的所述非信号端子通过半导体导电图案和/或金属图  
案电连接;

所述柔性电路板上一侧的电极与对应的所述阵列基板的所述端子区域的端子通过异  
方导电膜对应压接;

所述柔性电路板上另一侧的电极与所述印刷电路板的端子通过异方导电膜对应压接;

在所述待检测信号端子对应布置在所述柔性电路板的走线上设第一检测点,在与所述  
待检测信号端子相邻且电连接的非信号端子对应布置在所述柔性电路板的走线上设第  
二检测点。

2. 根据权利要求1所述的显示装置,其特征在于:在所述待检测信号端子对应布置在所  
述印刷电路板上的走线上设第三检测点,在与所述待检测信号端子相邻且电连接的非信  
号端子对应布置在所述印刷电路板的走线上设第四检测点。

3. 一种显示装置的测试方法,具有如权利要求1或2所述的显示装置,包括:

通过测试所述第一、二检测点或所述第三、第四检测点的电压信号,得到所述待检测信  
号端子的压接阻抗。

4. 一种显示装置的测试方法,具有如权利要求1或2所述的显示装置,包括:

通过一所述待检测信号端子与相邻的一所述非信号端子通过半导体导电图案电连接;

通过另一所述待检测信号端子与相邻的另一所述非信号端子通过金属图案电连接;

通过测试所述第一、二检测点或所述第三、第四检测点的电压信号,得到所述待检测信  
号端子对应的所述柔性电路板上的电极、所述半导体导电图案、所述金属图案两两之间的  
导通阻抗。

## 阵列基板、显示装置及其检测方法

### 技术领域

[0001] 本发明涉及显示技术领域,尤其涉及一种阵列基板、显示装置及其检测方法。

### 背景技术

[0002] 目前,光电显示装置如液晶显示面板一般有阵列基板、对置基板以及位于阵列基板和対置基板之间的显示介质组成。其中,在阵列基板的显示区域内设置有信号线,例如数据信号线和栅极扫描信号线等,在阵列基板的非显示区域中设置有与信号线对应的接线端子,信号线通过周边走线与对应的接线端子连接。

[0003] 图1为现有技术中显示装置平面示意图。其中,柔性电路板12通过异方导电膜,与阵列基板11侧的端子实现物理上的连接和电气上的导通。异方导电膜包括在薄膜状、高绝缘性的接着剂中,均一地散布导电粒子,加热加压后,柔性电路板12与阵列基板11之间的相对电极实现电气连接,而相邻的电极之间又具有绝缘性,同样地,柔性电路板12通过异方导电膜,与印刷电路板13侧的端子实现物理上的连接和电气上的导通。

[0004] 现有技术中,端子压接后,一般通过Mark观察是否有偏移。或者将阵列基板端子区域,最外侧的Dummy端子(Dummy端子是空端子,在面板显示时无信号)仅保留ITO层,因为ITO是透明的,这样可以观察到导电粒子的分布情况,进一步检查压接结果。然而以上这些方法仅是表象,非具体数值,难以适用于制程管控及不良解析。

[0005] 本发明提出一种简单易行的设计及操作手法,通过量测压接阻抗,来检测端子压接状况。

### 发明内容

[0006] 有鉴于此,本发明提供一种阵列基板、显示装置及其检测方法,通过阵列基板侧特别的端子设计,使端子压接完后,可以直接量测压接阻抗,从而检查压接状况。

[0007] 为达上述或其它目的,本发明一实施例提供了一种阵列基板,包括:一基板,包括一显示区域以及以非显示区域,在所述非显示区域形成多个端子区域,所述端子区域布置有多条信号端子和多条非信号端子,一所述非信号端子与一待检测信号端子相邻设置,所述待检测信号端子与相邻的所述非信号端子电连接。

[0008] 进一步地,每个所述端子区域划分为第一子端子区域、第二子端子区域、第三子端子区域,且所述第一子端子区域、第三子端子区域分布在所述第二子端子区域两侧。

[0009] 进一步地,所述第一子端子区域外侧、所述第一子端子区域与所述第二子端子区域、所述第二子端子区域与所述第三子端子区域、所述第三子端子区域外侧设置有非信号端子。

[0010] 进一步地,在所述基板上形成第一金属层,所述第一金属层包括所述信号端子图案;在所述第一金属层上形成绝缘膜图案;再形成半导体导电图案,形成所述非信号端子以及覆盖所述信号端子。

[0011] 进一步地,所述待检测信号端子与相邻的所述非信号端子通过半导体导电图案

和/或金属图案电连接。

[0012] 为达上述或其它目的,本发明另一实施例还提供了一种显示装置,包括:显示面板、柔性电路板以及印刷电路板;所述显示面板包括上述实施例中所述的阵列基板和与其相对设置的对置基板以及夹设于所述阵列基板与所述对置基板之间的显示介质;所述柔性电路板上一侧的电极与对应的所述阵列基板的所述端子区域的端子通过异方导电膜对应压接;所述柔性电路板上另一侧的电极与所述印刷电路板的端子通过异方导电膜对应压接。

[0013] 进一步地,在所述待检测信号端子对应布置在所述柔性电路板的走线上设第一检测点,在与所述待检测信号端子相邻且电连接的非信号端子对应布置在所述柔性电路板的走线上设第二检测点。

[0014] 进一步地,在所述待检测信号端子对应布置在所述印刷电路板上的走线上设第三检测点,在与所述待检测信号端子相邻且电连接的非信号端子对应布置在所述印刷电路板的走线上设第四检测点。

[0015] 为达上述或其它目的,本发明又一实施例一种显示装置的测试方法,具有上述实施例所述的显示装置,包括:通过测试所述第一、二检测点或所述第三、第四检测点的电压信号,得到所述待检测端子的压接阻抗。

[0016] 为达上述或其它目的,本发明再一实施例一种显示装置的测试方法,具有上述实施例所述的显示装置,包括:通过一所述待检测信号端子与相邻的一所述非信号端子通过半导体导电图案电连接;通过另一所述待检测信号端子与相邻的另一所述非信号端子通过金属图案电连接;通过测试所述第一、二检测点或所述第三、第四检测点的电压信号,得到所述待检测端子对应的所述柔性电路板上的电极、所述半导体导电图案、所述金属图案两两之间的导通阻抗。

[0017] 本发明与现有技术相比具有以下优点:

[0018] 本发明通过在显示装置的柔性电路板和/或印刷电路板上设置信号端子和非信号端子的对应检测点,可以得到所述待检测端子的压接阻抗,从而准确、迅速的判断端子压接不良。

## 附图说明

[0019] 图1为现有技术中显示装置平面示意图;

[0020] 图2为本发明第一实施例中阵列基板端子示意图;

[0021] 图3为本发明图2中阵列基板端子局部放大示意图;

[0022] 图4为本发明显示装置阵列基板端子部剖面示意图;

[0023] 图5为本发明第一实施例中柔性电路板示意图;

[0024] 图6为本发明第二实施例阵列基板端子示意图;

[0025] 图7为本发明图6中阵列基板端子局部放大示意图;

[0026] 图8为本发明图7中阵列基板端子剖面示意图;

[0027] 图9为本发明第二实施例中印刷电路板示意图;

[0028] 图10为本发明第三实施例阵列基板端子局部放大示意图;

[0029] 图11为本发明图10中阵列基板端子剖面示意图。

## 具体实施方式

### [0030] 实施例1

[0031] 图2为本发明第一实施例中阵列基板端子示意图。本发明提供了一种阵列基板,包括:一基板,包括一显示区域以及以非显示区域,在所述非显示区域伸出多个端子区域,该多个端子区域用于压接柔性显示电路板(参见图1)。如图2所示,每个所述端子区域大致划分为第一子端子区域21、第二子端子区域22、第三子端子区域23以及对位标记区24,且所述第一、三端子区域21,23分布在所述第二子端子区域22两侧。例如,位于两端的第一、三子端子区域21,23为WOA(wire on array)端子(如VGL、VGH、Vcom等),第二子端子区域22为连接数据电压的Output输出端子(如S1、S2、S3等),在第一子端子区域21和第二子端子区域22之间、以及第二子端子区域22和第三子端子区域23之间均设有Dummy端子。

[0032] 所述第一子端子区域21与所述第二子端子区域22之间、以及所述第二子端子区域22与所述第三子端子区域23之间分别设置有区域25和区域26。图3为本发明图2中阵列基板端子中区域25和区域26的局部放大示意图。如图3所示,所述区域25包括VGL端子、一Dummy端子、S1端子、S2端子、S3端子。即在所述第一子端子区域21与所述第二子端子区域22、所述第二子端子区域22与所述第三子端子区域23之间设置一非信号端子Dummy,所述非信号端子Dummy在面板显示时无信号,所述非信号端子Dummy与相邻的端子在其表面覆盖有ITO层图案36,优选地,在非信号端子Dummy与相邻的端子的两端部覆盖ITO层图案36,从而节省材料,避免造成相邻的信号端子间短路。其中,ITO层以点状填充示意。ITO是透明的,可以观察到导电粒子的分布情况。

[0033] 其中,所述端子区域布置有多条信号端子和多条非信号端子,一所述非信号端子与一待检测信号端子相邻设置,所述待检测信号端子与相邻的所述非信号端子在两端部电连接。所述待检测信号端子与相邻的所述非信号端子在两端部通过半导体导电图案(如ITO图案)和/或金属图案电连接。

[0034] 本发明还提供了一种显示装置,包括:显示面板、柔性电路板以及印刷电路板;所述显示面板上述实施例所述的阵列基板和与其相对设置的对置基板以及夹设与所述阵列基板与所述对置基板之间的显示介质;所述柔性电路板上一侧的电极与对应的所述阵列基板的所述端子区域的端子通过异方导电膜对应压接;所述柔性电路板上另一侧的电极与所述印刷电路板的端子通过异方导电膜对应压接。

[0035] 图4为本发明显示装置阵列基板端子剖面示意图。如图4所示,阵列基板端子剖面结构从上至下依次为基板47,如聚酰亚胺基板、粘结胶46、电极45,如Cu电极形成的柔性电路板,中间为包含有导电粒子44和接着剂43形成的异方导电膜,下方包括基板如玻璃基板41及ITO电极42形成的阵列端子。其中,所述阵列端子还可以包括金属层和绝缘层(图未示),其结构为现有技术中常见的结构。柔性电路板上Cu电极45与阵列基板上ITO电极42通过导电粒子44上下导通,且左右绝缘。

[0036] 图5为本发明第一实施例中柔性电路板示意图。如图5所示,柔性电路板上设置有连接Dummy端子的第一检测点TP1及连接S1端子的第二检测点TP2。本发明还提供了一种显示装置的测试方法,具有上述实施例所述的显示装置,端子压接完成后,单独测TP2,可以得到S1的数据电压波形;同时测TP1与TP2,可以得到端子压接阻抗。

[0037] 本发明的端子压接后,一般通过Mark观察是否有偏移、或者将阵列基板端子区域,由于Dummy端子仅保留ITO层,因为ITO是透明的,这样可以观察到导电粒子的分布情况,进一步检查压接结果。

[0038] 本发明通过阵列基板侧特别的端子设计,使端子压接完后,可以直接量测压接阻抗,从而检查压接状况。

[0039] 实施例2

[0040] 图6为本发明第二实施例阵列基板端子示意图。如图6所示,第一子端子区域61、第三区域63为W0A端子区,第二子端子区域62为连接数据电压的输出端子区域。其中,第一子端子区域61外侧、第三子端子区域63外侧区域分别设置有区域65和区域66,可选择地,在所述区域65、66的外侧设置非信号端子Dummy,且都采用半导体导电材料,如ITO图案形成。

[0041] 图7为本发明图6中阵列基板端子区域65局部放大示意图。如图7所示,所述区域65包括端子Dummy、端子Vcom、端子VGH、端子VGH、端子OE。即在第一子端子区域61外侧、第三子端子区域63外侧设置非信号端子Dummy,所述非信号端子在面板显示时无信号,所述非信号端子大部分区域设有ITO层,ITO层以点状填充示意。ITO是透明的,可以观察到导电粒子的分布情况。另外,非信号端子Dummy与Vcom端子表面覆盖有ITO层图案66相互连接,优选地,在非信号端子Dummy与相邻的Vcom端子的两端部覆盖ITO层图案76,从而节省材料,避免造成相邻的信号端子间短路。

[0042] 图8为本发明图7中阵列基板端子剖面示意图。如图8所示,阵列基板端子剖面结构从上至下依次为基板87,如聚酰亚胺基板、粘结胶86、电极85,如Cu电极形成的柔性电路板,中间为包含有导电粒子84和接着剂83形成的异方导电膜,下方包括基板如玻璃基板81及ITO电极82形成的阵列端子。其中,所述阵列端子还可以包括金属层和绝缘层(图未示),其结构为现有技术中常见的结构。柔性电路板上Cu电极85与阵列基板上ITO电极82通过导电粒子84上下导通,且左右绝缘。

[0043] 图9为本发明第二实施例中印刷电路板示意图。如图9所示,印刷电路板上设置有连接非信号端子Dummy的测试点TP3及连接Vcom端子的测试点TP4。印刷电路板组装完成后,单独测TP4,可以得到Vcom电压信号;同时测TP3与TP4,可以得到端子压接阻抗。可选择地,实施例2的测试点设置在柔性电路板和/或印刷电路板上,均可量测到端子压接阻抗。

[0044] 实施例3

[0045] 图10为本发明第三实施例阵列基板端子局部放大示意图。如图10所示,第1根非信号端子Dummy与第2根Vcom端子的表面覆盖半导体导电材料1061电连接,第3根非信号端子Dummy与第4根VGH端子通过第一金属层1062相连接,优选地,在非信号端子Dummy与相邻的端子的两端部覆盖ITO层图案36,从而节省材料,避免造成相邻的信号端子间短路。

[0046] 图11为本发明图10中阵列基板端子剖面示意图。其中上方为柔性电路板,中间为包含有导电粒子的异方导电膜(图未示),下方为阵列端子。柔性电路电路板,从上往下依次为聚酰亚胺基板1107、粘结胶1106、Cu电极1105。阵列基板上示意了玻璃基板1101及第一金属层1102、绝缘层1103、ITO电极1104。如图11所示,柔性电路板上Cu电极1105与阵列基板上ITO电极1104通过导电粒子(图未示)上下导通,而左右绝缘。图11所示端子定义分别为端子Dummy、端子Vcom、端子Dummy、端子VGH、端子OE、端子STV。柔性电路板及印刷电路板结构同实例1及实例2,在此不再累述。

[0047] 其中,柔性电路板与阵列基板端子区域的压接阻抗主要由柔性电路板Cu电极的阻抗、Cu电极和导电粒子的接触阻抗、导电粒子自身的阻抗、导电粒子和阵列基板ITO电极的接触阻抗、ITO电极的阻抗等5个部分组成。一般的情况下,因导电粒子的自身阻抗小,所以端子压接的接触阻抗主要取决于导电粒子和电极的接触阻抗及电极上导电粒子的数量。

[0048] 采用与上述实施例相同的测试方法,同时量测第1根非信号端子Dummy及第2根Vcom端子,可以测得Cu电极与ITO的导通阻抗 $R_{Cu-ITO}$ ;同时量测第3根Dummy端子及第4根VGH端子,可以测得Cu电极与第一金属层的导通阻抗 $R_{Cu-M1}$ ;  $R_{Cu-ITO}$ 减去 $R_{Cu-M1}$ ,可以得到ITO与M1的接触阻抗。

[0049] 以上所述,仅是本发明的较佳实施例,并非对本发明作任何限制,凡是根据本发明技术实质对以上实施例所作的任何简单修改、变更以及等效结构变化,均属于本发明技术方案的保护范围内。

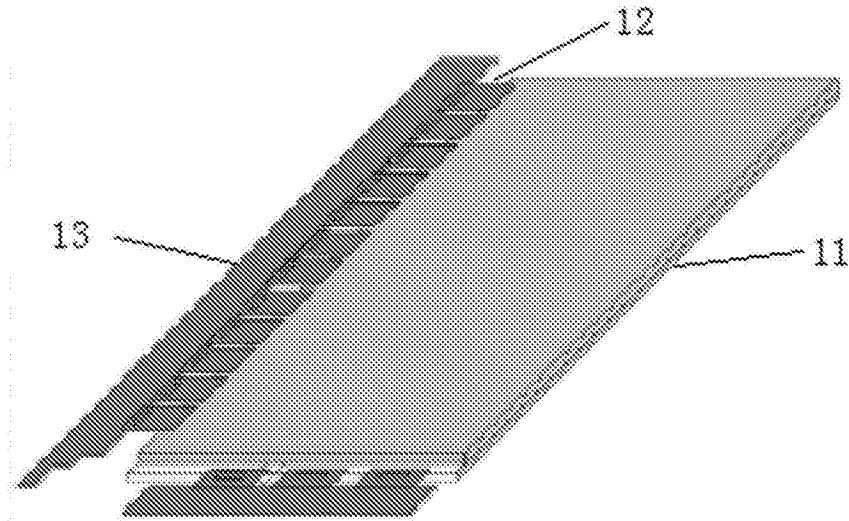


图1

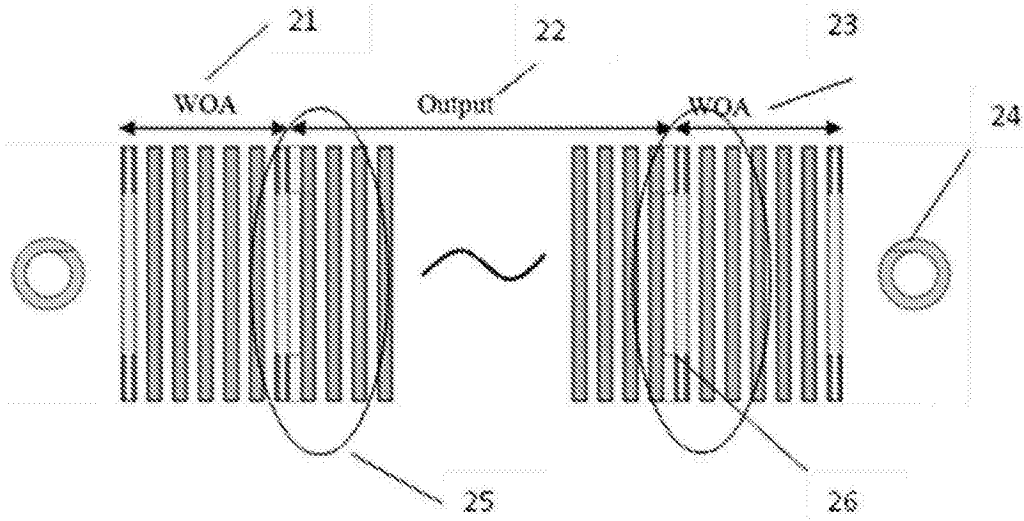


图2



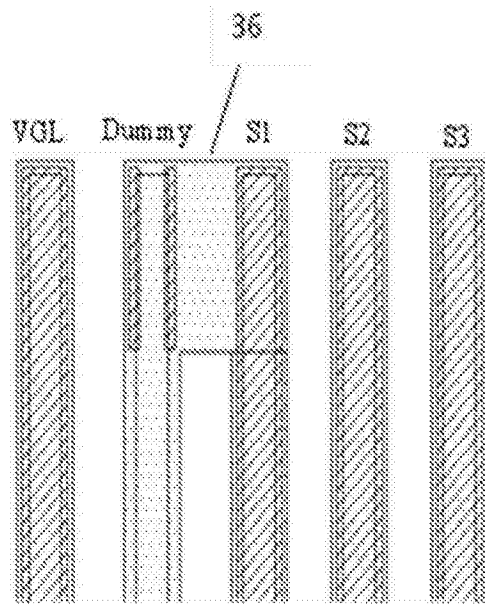


图3

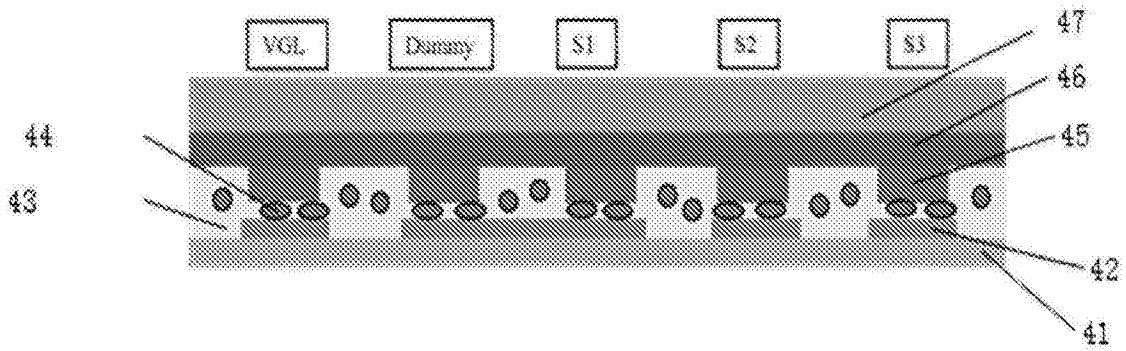


图4

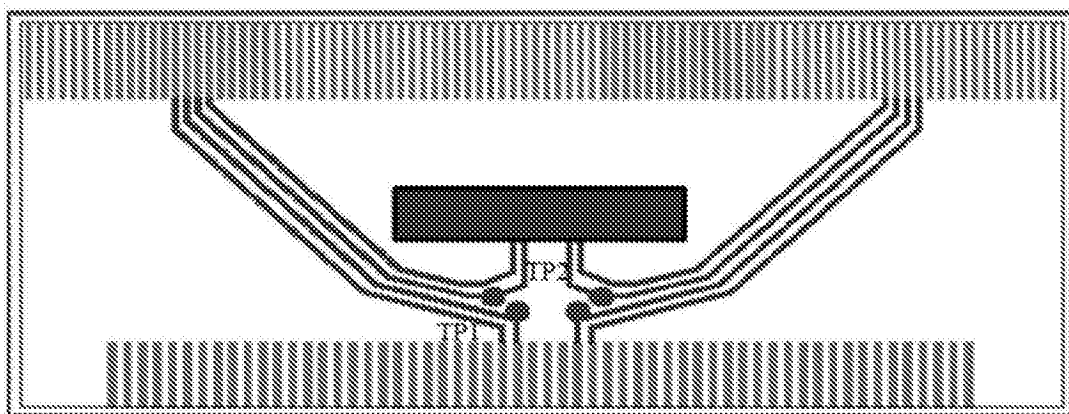


图5

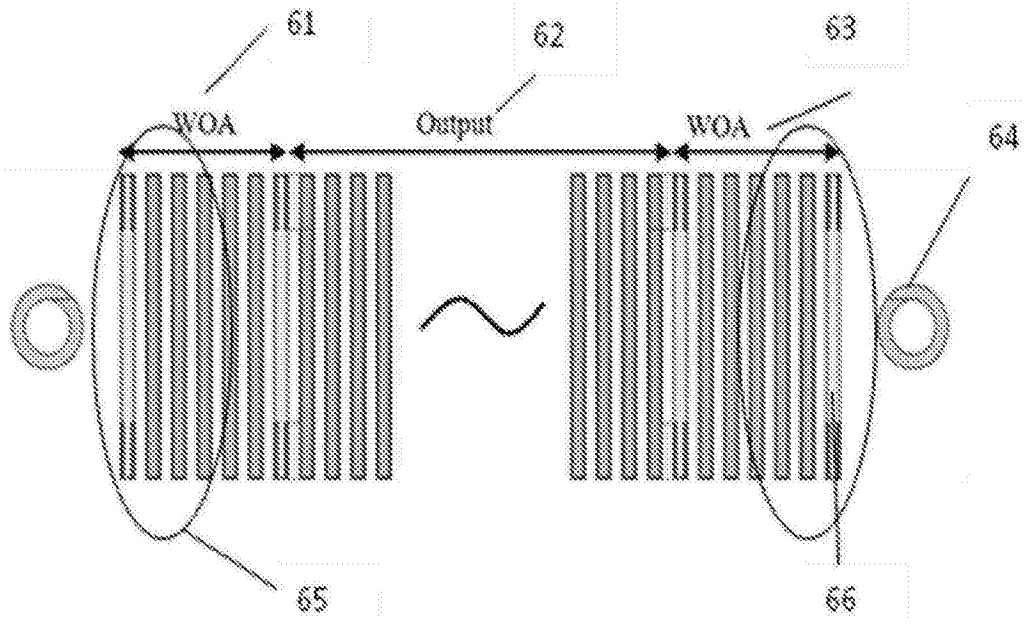


图6

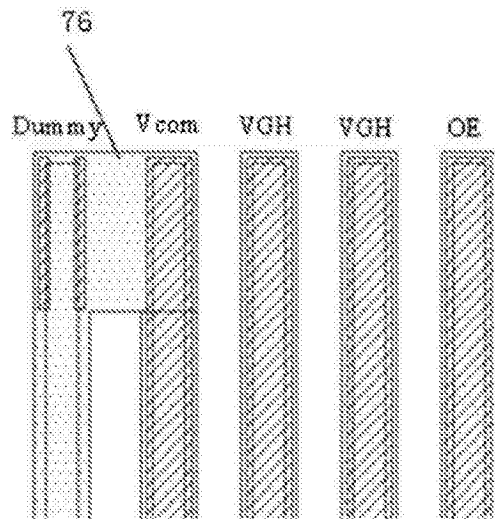


图7

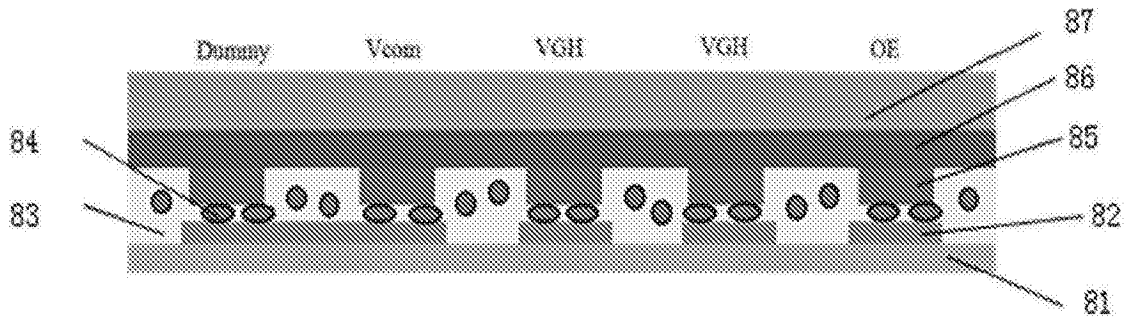


图8

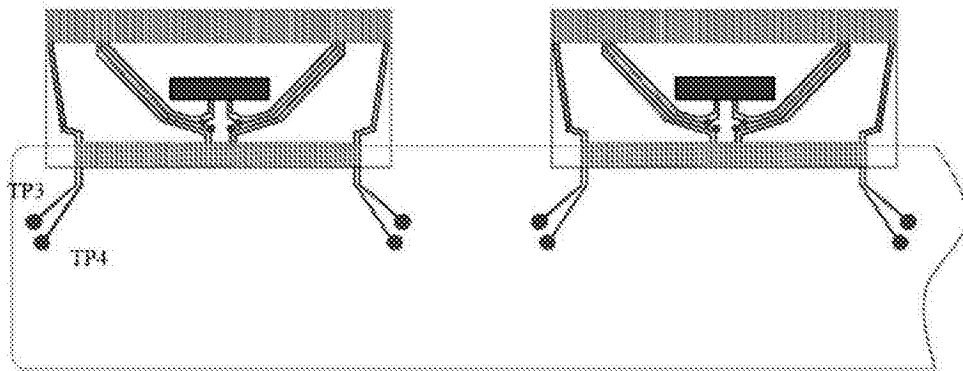


图9

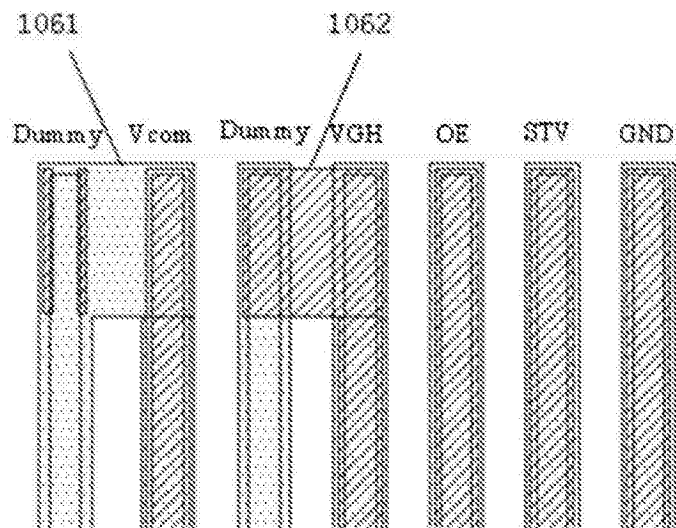


图10

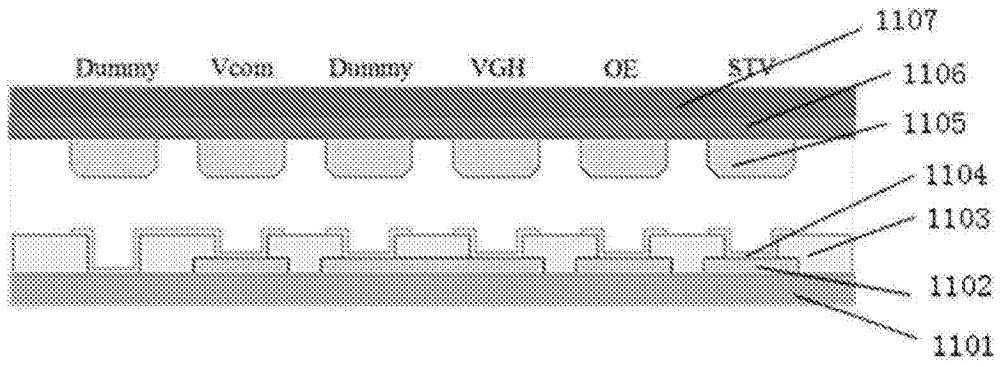


图11