

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4213776号  
(P4213776)

(45) 発行日 平成21年1月21日(2009.1.21)

(24) 登録日 平成20年11月7日(2008.11.7)

(51) Int.Cl.

F I

HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 J
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 C
HO 1 L 27/088 (2006.01)	HO 1 L 27/10 3 8 1
HO 1 L 21/8244 (2006.01)	HO 1 L 27/10 6 7 1 Z
HO 1 L 27/11 (2006.01)	HO 1 L 29/62

請求項の数 8 (全 15 頁) 最終頁に続く

(21) 出願番号 特願平9-328378  
 (22) 出願日 平成9年11月28日(1997.11.28)  
 (65) 公開番号 特開平11-163339  
 (43) 公開日 平成11年6月18日(1999.6.18)  
 審査請求日 平成16年9月28日(2004.9.28)

(73) 特許権者 391025741  
 木村 光照  
 官城県官城郡七ヶ浜町汐見台3丁目2番地の56  
 (74) 代理人 100089118  
 弁理士 酒井 宏明  
 (72) 発明者 木村 光照  
 官城県官城郡七ヶ浜町汐見台3丁目2番地の56  
 審査官 大嶋 洋一

最終頁に続く

(54) 【発明の名称】 MOSゲートショットキートンネルトランジスタおよびこれを用いた集積回路

(57) 【特許請求の範囲】

【請求項1】

ソース2となるショットキー金属7と第1半導体層8との間に形成されるショットキー接合上に絶縁薄膜を介してゲート金属3を設けた構造のMOSゲートショットキートンネルトランジスタにおいて、

少なくともゲート金属3の直下のMOS界面に当たる基板の半導体部分の表面領域にドレイン4と同一の伝導形の高不純物濃度の第1半導体層8があること、

少なくともゲート金属3の直下のMOS界面付近における第1半導体層8とショットキー金属7との間に第1半導体層8とは異なる伝導形の高不純物濃度で、かつゲート金属3に所定の電圧を印加した状態でトンネル電流が生じ得る厚さからなる第2半導体層9を有すること、

第1半導体層8は、もし第2半導体層9がなければショットキー金属7と第1半導体層8とが形成するショットキー接合がショットキートンネル接合となり、ゲート金属3に電圧印加しない状態でも、トンネル電流によるドレイン電流が流れる程度の大きな不純物濃度であること、

高不純物濃度の第2半導体層9は、ショットキー金属7と第1半導体層8間のトンネル接合の障壁となり、前記障壁はゲート金属3に電圧を印加しない状態でドレイン電流が流れない高さ<sup>10</sup>と厚みを有していること、

ゲート金属3の電圧印加により第2半導体層9の障壁の高さを低めたとき、第2半導体層9の障壁をトンネルにより透過するキャリアと第2半導体層9の障壁を越えて流れるキ<sup>20</sup>

キャリアとの合計によるドレイン電流が流れるように構成してあること、  
を特徴とするMOSゲートショットキートンネルトランジスタ。

【請求項2】

第1半導体層8とドレイン4とが同一である請求項1記載のMOSゲートショットキートンネルトランジスタ。

【請求項3】

基板の半導体部分のうち少なくともドレイン4を形成している領域とドレイン4とが同一の伝導形である請求項1または2記載のMOSゲートショットキートンネルトランジスタ。

【請求項4】

基板の半導体部分のうち少なくともドレイン4を形成している領域とドレイン4とが異なる伝導形である請求項1または2記載のMOSゲートショットキートンネルトランジスタ。

【請求項5】

請求項3または4記載、または請求項3と4記載の複数のMOSゲートショットキートンネルトランジスタの組み合わせを有する集積回路。

【請求項6】

SOI基板に形成した請求項5記載の集積回路。

【請求項7】

少なくとも3次元的に多層化した3次元集積回路のうち、1つ以上の半導体層に請求項5記載の集積回路を形成してある3次元集積回路。

【請求項8】

請求項5、6または7記載の集積回路、もしくはこれらの組み合わせの集積回路を、抵抗素子やコンデンサなどの他の素子と共に有機的に組み合わせたハイブリッド集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、超小形で高速かつ高い入力インピーダンスとなり得るMOSトランジスタとして、ULSIのSRAMやDRAMなどの高密度、高速スイッチング回路などに使用されるものである。

【0002】

【従来の技術】

スイッチングトランジスタでは、如何に小形かつ高速で、消費電力が小さいものが作れるかが課題である。MOS形FETではゲート長が高速さを支配し、そのチャンネル抵抗およびゲート容量が問題になっている。また、ゲート長を極端に短くするとドレインからの空乏層が張り出しソース側の空乏層と一体となりパンチスルーを起こしてしまう、いわゆる短チャンネル効果のためにゲート長を $0.1\mu\text{m}$ 以下にすることが極めて困難であった。

【0003】

従来、ソースSとドレインD間にある半導体の表面に絶縁薄膜（酸化膜）を形成して、その上にゲート金属Gを形成したMIS（MOS）形FETで二重ドレイン構造やLDD構造、さらに絶縁ゲート長を極めて短くしようとした静電誘導形トランジスタ（SIT）（US Patent 4644386）等があり、短チャンネル効果を和らげる試みが成されてきた。しかし、どちらもチャンネル領域が高抵抗率（低い不純物濃度）の層になっているため、本質的に短チャンネル効果に悩まされることとなっていた。

【0004】

本質的に短チャンネル効果を無くす方法としてMOSFETのような構造をしているが、ソースとドレインとを金属で構成し、ドレインはオーミック電極にして、ソースと半導体との間のショットキー接合をトンネル接合として利用し、MOSゲート電圧の調整でトンネル電流を制御しようとするトンネルトランジスタが提案されている（US Pat e

10

20

30

40

50

nt 5177568)。

【0005】

しかし、この提案では、やはりチャンネル領域が高抵抗率(低い不純物濃度)の層になっているため、MOSゲート金属3に電圧を印加しないとチャンネル領域が低抵抗にならず、ショットキー接合のキャリアのトンネリングが生じがたいこと、閾値電圧が大きくなり易いこと、ドレイン領域が必ずゲート金属とオーバーラップしなければならない構造であること、更に、ショットキー接合の障壁の高さはMOSゲートの電圧印加によりほとんど変わらないため、相互コンダクタンス $G_m$ が本質的に大きくならないという問題を抱えていた。

【0006】

【発明が解決しようとする課題】

本出願人は、先にショットキー接合トンネルダイオードの接合部にMOSゲートを取り付けた構造のトンネルトランジスタを発明した(US Patent 5552622)。しかし、この場合もショットキー接合の障壁だけを利用していただけで、大きな $G_m$ を得ることが困難であった。その後、本出願人は、ショットキー接合の障壁だけでなく、ショットキー金属7を高抵抗の材料を利用したり、ショットキー接合界面に変質層を形成するなどして、実効的にショットキー接合の障壁の高さをMOSゲートの印加電圧で変化できるような構造にしたMOSゲートショットキー障壁トランジスタを発明をした(特願平8-27158)。

【0007】

しかし、この場合、特にショットキー接合の障壁を越えて流れるキャリアを問題にしたため、多少大きな $G_m$ を得ることができたが、スイッチング用のトランジスタとして利用した場合には、オン抵抗が大きく、高速でかつ大きな電流を流すことが困難で、未だ不十分であった。

【0008】

本発明は、本質的に短チャンネル効果がなく単純な構造で超小形に形成でき、高速、かつ高入力インピーダンスで、消費電力の小さく、しかもオン時の相互コンダクタンス $G_m$ が大きく、高密度集積化可能な高効率のスイッチング用のトランジスタを提供することを目的とする。

【0009】

【課題を解決するための手段】

上記の目的を達成するために、本発明のMOSゲートショットキートンネルトランジスタは、前記のショットキー接合トンネルダイオードの接合部にMOSゲートを取り付けた構造のトンネルトランジスタ(US Patent 5552622)およびMOSゲートショットキー障壁トランジスタ(特願平8-27158)を改良したもので、ショットキー金属7をソース2としたショットキー接合上に絶縁薄膜を介してゲート金属3を設けた構造のMOSゲートショットキートンネルトランジスタにおいて、ゲート金属3の直下のMOS界面に当たる基板の半導体部分の表面領域を、例えばn形の高濃度不純物添加した半導体層(第1半導体層8)にすると、ショットキー金属7との間にはトンネル接合が形成されて、トンネルコンダクタンスが非常に大きくなるが、このショットキー金属7と第1半導体層8との間に、極めて薄層のp形の高濃度不純物層(第2半導体層9)を形成すると、この第2半導体層9が、先のショットキー金属7と第1半導体層8との間にはトンネル接合の障壁が形成されたこととなり、キャリアのトンネリングが極めて起こり難くなり、ソース2とドレイン4間の電流(ドレイン電流)が非常に小さくなることを利用し、ゲート電圧の印加によりこの第2半導体層9によるトンネル接合の障壁の高さが低めると、キャリアがこの障壁をトンネルで通過する分のトンネル電流とこの障壁を越えて移動するキャリアによる電流(多分、パリスティックな電流と思われる)との合算の電流が流れ、ドレイン電流が大きくなるようにしたものであり、かつ、これらのトランジスタを集積化した集積回路を作成しようとするものである。

【0010】

本発明のMOSゲートショットキートンネルトランジスタは、特に先に出願したMOSゲートショットキー障壁トランジスタ(特願平8-27158)の請求項4に記載している「ショットキー接合上に絶縁薄膜を介してゲート金属3を設けた構造のMOSゲートショットキー障壁トランジスタにおいて、少なくともMOSゲート直下のショットキー接合部付近に電子が容易にトンネルできる程度の極めて薄い変質層を形成することにより、該ゲートに電圧を印加してMOSゲート直下のショットキー金属と半導体との双方に高いキャリア濃度の蓄積層を形成させたとき、キャリアがショットキー障壁を越えて移動できる程度に、MOS界面付近のショットキー障壁の電位を低めさせることにより、ショットキー接合を流れる電流の主体が、このショットキー障壁を越えて移動するキャリアの流れによる電流であるようにしたことを特徴とするMOSゲートショットキー障壁トランジスタ。」での「電子が容易にトンネルできる程度の極めて薄い変質層」を、基板の半導体部分の表面領域(第1半導体層8)がn形の高濃度不純物添加した半導体層の場合には、作成が非常に楽な極めて薄層のp形の高濃度不純物層(第2半導体層9)に代えたMOSゲートショットキー障壁トランジスタと見ることでもできる。

10

## 【0011】

さらに詳しく説明するとつぎのようである。普通のショットキー接合においては、ショットキー金属7の電気抵抗が小さいので、ショットキー接合がほぼゼロバイアスもしくは逆方向バイアスを印加したときには、このショットキー金属7側にはほとんど電圧降下が生じないために、ショットキー接合に電圧を印加してもショットキー障壁の高さがほとんど変化しない。

20

## 【0012】

すなわち、ゲート電圧の印加では、ショットキー障壁の高さの変化を調節できず、ショットキー障壁の高さが大きいままであり、ショットキー障壁の厚みを変化させるだけなので、熱的に励起されたキャリア(電子または正孔)がショットキー障壁を越えて流れるキャリアの流れ(拡散電流)は非常に少なく、ほとんどが小さなトンネル確率のトンネル電流で非常に小さな電流であった。このため相互コンダクタンス $G_m$ の大きなMOSゲートショットキー障壁トランジスタの作成は困難であった。

## 【0013】

しかし、本発明のMOSゲートショットキートンネルトランジスタは、少なくともMOSゲート直下のショットキー接合部付近に、極めて薄層の例えばp形の高濃度不純物層(第2半導体層9)を形成してあるので、ゲート金属3に正の電圧を印加してMOSゲート直下の基板の半導体部分の表面領域のn形の高濃度不純物添加した半導体層(第1半導体層8)に更に高いキャリア濃度の蓄積層を形成させたとき、ショットキー接合部界面付近の上記の薄層のp形の高濃度不純物層(第2半導体層9)のうちMOS界面での障壁の高さが低下すると共に、その障壁の幅も小さくなり、その障壁をトンネルで通過するキャリア(この場合は電子であり、サーマルフィールドエミッションも含むトンネルキャリアである)および障壁を越えて流れるキャリア(この場合も電子である)の合算の量を極めて増大させることができるものである。したがって、大きな $G_m$ のMOSゲートショットキートンネルトランジスタが達成される。

30

## 【0014】

本発明の請求項1に係わるMOSゲートショットキートンネルトランジスタは、少なくともMOSゲート直下のショットキー接合部付近の半導体部分表面領域が高濃度不純物添加半導体層(第1半導体層8)があり、この第1半導体層8とは異なる伝導形の極めて薄い(この層の障壁が低められればキャリアのトンネリングが容易にできる程度に薄い)高濃度不純物層(第2半導体層9)を、少なくともMOSゲート直下でMOS界面付近のショットキー金属7と第1半導体層8との間に形成させて、ゲート電圧印加により第2半導体層9の障壁の高さと厚みを小さくさせたとき、キャリアのトンネリングが容易にできると共に、キャリアがこの障壁を越えて流れるようにさせたものである。

40

## 【0015】

また、請求項2に係わるMOSゲートショットキートンネルトランジスタは、請求項1

50

の実施態様の一つであり、第1半導体層8とドレイン4とは、同じ伝導形であるので、ここでは第1半導体層8自体をドレイン4とした場合である。これにより更に単純で小型化が可能になる。

【0016】

また、請求項3に係わるMOSゲートショットキートンネルトランジスタは、基板が単一の伝導形の半導体であったり、SOI基板やp形の上にn形層を形成したり、p形半導体の中に島状のn形領域(n形島状領域またはn-Well)を形成してあるような場合のような複合基板であっても良く、いずれにせよ、基板の半導体部分のうち少なくともドレイン4を形成している領域とドレイン4とが同一の伝導形である場合の実施態様である。この場合は、1つのn形島状領域の中にドレイン4を共通にした多数のMOSゲートショットキートンネルトランジスタを形成することもできる。

10

【0017】

また、請求項4に係わるMOSゲートショットキートンネルトランジスタは、請求項3とは逆に、基板の半導体部分のうち少なくともドレイン4を形成している領域とドレイン4とが異なる伝導形である場合の実施態様である。この場合は、基板または島状領域(Well)とドレイン4とがpn接合により絶縁分離されるので、互いに絶縁分離した多くのMOSゲートショットキートンネルトランジスタを同一の基板または同一の島状領域に形成しやすいと言う利点がある。

【0018】

また、請求項5に係わるMOSゲートショットキートンネルトランジスタの集積回路は、本発明のMOSゲートショットキートンネルトランジスタを種々組み合わせて、集積回路を形成するものであり、特にSRAMやDRAMの回路に適するものである。もちろん、集積回路は、必要に応じ抵抗素子、コンデンサ素子やダイオードなどの受動素子や他のトランジスタなどの能動素子も一緒に組み込んで形成される。

20

【0019】

また、請求項6に係わるMOSゲートショットキートンネルトランジスタの集積回路は、特に各トランジスタ間の絶縁分離が容易で、かつ超小型化が容易なSOI基板を用いた場合の集積回路についてである。

【0020】

また、請求項7に係わるMOSゲートショットキートンネルトランジスタの集積回路は、3次的に多層化した3次元集積回路についてであり、多層化に際し絶縁性薄膜を介して多層化半導体薄膜を形成して行くが、これらの半導体薄膜層(実際には半導体薄膜層と絶縁性薄膜層との対になっている)にMOSゲートショットキートンネルトランジスタの集積回路を形成して、3次的に集積回路を形成する場合である。もちろん、多層化絶縁性薄膜層上に例えば配線だけの層やキャパシタ素子や抵抗素子、発光や受光素子、光導波路等の組み合わせ層があってもよい。

30

【0021】

また、請求項8に係わるMOSゲートショットキートンネルトランジスタの集積回路は、先述の集積回路を個別に用意して、さらに、これらを例えば大容量の個別の抵抗素子、コンデンサやインダクターなどの他の素子と共に有機的に組み合わせたハイブリッド集積回路である。

40

【0022】

【発明の実施の形態】

以下、本発明のMOSゲートショットキートンネルトランジスタおよびこれを用いた集積回路の実施の形態について、図面を参照して詳細に説明する。

【0023】

図1は、本発明のMOSゲートショットキートンネルトランジスタの一実施の形態の断面図で、p形基板1に幾つかのn形島状領域(n-well)を形成した基板10を利用し、この内の1つのn形島状領域に1個又はそれ以上のドレイン共通のMOSゲートショットキートンネルトランジスタを形成したときの1個分のMOSゲートショットキートン

50

ネルトランジスタを示したものである。

【0024】

この実施の形態は、p形のシリコン(Si)単結晶基板1の(111)面方位にn形の $1 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度をもつ3 $\mu\text{m}$ 厚のn形島状領域を形成した場合で、そこに独立したドレイン4と第1半導体層8のどちらもn形の $2 \times 10^{18} \text{ cm}^{-3}$ 程度の不純物濃度をもつようにしたMOSゲートショットキートンネルトランジスタを作成した場合である。

【0025】

この実施の形態のMOSゲートショットキートンネルトランジスタは、例えば、つぎのようにして形成される。p形の10 $\cdot\text{cm}$ の基板1にn形の $1 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度をもつ2 $\mu\text{m}$ 厚のエピタキシャル層をp形不純物拡散などによる絶縁分離でn形島状領域11を形成した基板10を用い、MOSゲートが形成される予定箇所で、このMOSゲート直下の半導体部分表面領域にn形の高濃度不純物添加半導体層としての表面濃度が $2 \times 10^{18} \text{ cm}^{-3}$ 程度の第1半導体層8をイオン注入により約0.2 $\mu\text{m}$ 程度の深さに形成すると共に、ドレイン電極44とn形島状領域11とのオーム性接触のためのn+領域であるドレイン4も同時に形成する。

【0026】

このようにした基板10の表面にフィールド酸化膜としての約0.2 $\mu\text{m}$ の厚い熱酸化SiO<sub>2</sub>膜30を形成する。つぎに、ゲート酸化膜31のための約0.02 $\mu\text{m}$ の薄い熱酸化SiO<sub>2</sub>膜を厚い熱酸化SiO<sub>2</sub>膜30の窓に形成し、ゲート金属3用の0.1 $\mu\text{m}$ 厚程度のモリブデンシリサイド(MoSi<sub>2</sub>)薄膜が少なくともMOSゲート直下の第1半導体層8に一部が重なるように形成した後、セルフアラインゲートにするために、ゲート金属3用のMoSi<sub>2</sub>薄膜の上からドライエッチによりゲート金属3を残した形でゲート酸化膜31用の薄い熱酸化SiO<sub>2</sub>膜を貫き、n形島状領域11の表面の少なくともその一部が露出するように窓を開け、ショットキー金属7の形成のためのコバルト(Co)を0.02 $\mu\text{m}$ 厚程度にスパタリング形成する。

【0027】

その後、ショットキー金属7であり、ソース2ともなるコバルトシリサイド(CoSi<sub>2</sub>)を形成するために、550 $\cdot\text{C}$ で熱処理する。未反応のCoは、リン酸系のエッチャントで除去し、その後アルミニウム(Al)を0.4 $\mu\text{m}$ 厚程度にスパタリング形成する。その後、480 $\cdot\text{C}$ で20分間熱処理する。このときのAlの厚みと熱処理温度は、トンネルトランジスタの特性を左右するので重要である。480 $\cdot\text{C}$ 程度の温度で熱処理すると、CoSi<sub>2</sub>中をAlが固体拡散で通り、ショットキー接合界面のSi基板に到達し、Siと合金化する。

【0028】

熱処理の冷却過程でSiの極めて薄い再結晶層中にAlが高濃度不純物として取り残され、第2半導体層9としての極めて薄い高濃度不純物のp+層を形成する。このときのp+層の不純物濃度はこの熱処理温度における固溶度で決まり、また、この温度でのAlの中には入り得るSi原子の量は、0.70wt.%であり(たとえば、G. J. van Gurp J. Appl. Phys. vol. 50, p. 6923, 1979)、0.4 $\mu\text{m}$ 厚のAlの中にSiは3nm程度しか入り込まない計算になる。

【0029】

したがって、AlとSiとの合金後の再結晶Si層である第2半導体層9の極めて薄い高濃度不純物のp+層の厚みも、Alが全部Siと反応したとしても3nm程度となり、このSiの再結晶層のAl不純物原子の濃度は約 $5 \times 10^{18} \text{ cm}^{-3}$ 程度の高濃度不純物のp+層となる。ここで大切なのは、このような極めて薄い高濃度不純物のp+層の厚みと濃度を、これに比べれば極めて厚いので制御しやすいAlの厚みとその合金温度の制御により微細に決定できるところにある。もちろん、アルミニウムばかりでなく、p+層の形成では、例えばスズにガリウムを合金化したものをアルミニウムの代わりにしても良い。

【0030】

10

20

30

40

50

その後、未反応のAl層をエッチング除去しておく。以上の工程で、LSI製作工程で従来から用いられているその後の工程であるパッシベーション膜35のPSG膜、Al膜を用いたソース電極42、ゲート電極3、ドレイン電極44や他の素子や回路の配線を除けば、基本的な本発明のMOSゲートショットキートンネルトランジスタ素子が完成する。

#### 【0031】

以上の工程により、ショットキー金属7でソース2となるコバルトシリサイド $CoSi_2$ （実際には、Alが多少合金化されるので、この組成からは多少ずれ、 $Co_2Al_9$ が形成されるとの報告がある。）は、550 のコバルトシリサイド化の熱処理で、ゲート酸化膜31の直下で、ゲート金属3端から0.03 $\mu m$ 程度入り込み、ここで元のショットキー金属7と第1半導体層8のn+層からなるショットキートンネル接合中に極めて薄い第2半導体層9を有するトンネル接合がMOSゲート直下に存在しゲート金属3とオーバーラップすることとなり、トンネル接合部がゲート金属3の電界の影響を充分受けることになる。

10

#### 【0032】

また、このゲート金属3端から0.03 $\mu m$ 程度潜り込み、すなわちゲート金属3の端からトンネル接合5の部分までのオーバーラップ寸法は、ショットキー電極2の形成のためのCo金属層の厚みの制御で決まる。すなわち、Co金属層とSi基板10とが合金化して、すべて反応して $CoSi_2$ が形成されると、Co原子の1個に対して、Si原子が2個の割合で合金化するので、その溶け込んだSi層分だけSi基板10に潜り込むが、酸化膜界面では多少Si原子の溶け込み分が少ないと予想され、0.02 $\mu m$ のCo金属層の厚みに対してゲート酸化膜直下の界面では0.03 $\mu m$ 程度の潜り込みとなると予想される。

20

#### 【0033】

一般にフォトリソグラフィによる横方向の寸法精度は、非常に高度の技術や設備が必要であるが、膜厚の制御は単純な技術で高精度になり得るので、上述のゲート酸化膜直下の界面での潜り込み寸法の高精度の制御は比較的容易である。ショットキー金属7の下部においては、ショットキー金属7とn形島状領域11との間に、また、MOSゲート直下においては、ショットキー金属7と第1半導体層8との間に、3nm程度の厚みで $5 \times 10^{18} cm^{-3}$ 程度の濃度の第2半導体層9の極めて薄い高濃度不純物のp+層が形成される。

30

#### 【0034】

従って、もし、この極めて薄い高濃度不純物をもつ第2半導体層9としてのp+層が存在していなければ、ショットキー金属7とn形表面濃度が $2 \times 10^{18} cm^{-3}$ 程度である高濃度不純物の第1半導体層8との間は、極めて狭いショットキートンネル接合となっており、キャリアとしての電子のトンネル効果によりほぼオーム性接触している。

#### 【0035】

しかし、第2半導体層9であるp+層の存在により、このp+層がキャリアとしての電子のトンネル透過を妨げる障壁となり、ゲート金属3に電圧を印加して第2半導体層9による障壁を低めるようにしなければ、ソース2とドレイン4間にドレイン電圧がゼロの付近では、ドレイン電流がほとんど流れない状態にある。このようなp+層が存在しているときの空乏層はショットキー金属と第2半導体層9（p+層）との接合では第2半導体層9に、また第2半導体層9と第1半導体層8との間の接合では、これらの両側に形成されることになる。

40

#### 【0036】

以上のようにして形成したMOSゲートショットキートンネルトランジスタの極めて薄いp+層を挿むショットキー金属7とn+層である第1半導体層8からなるダイオードが逆方向バイアスになるように、アース電位のソース電極42とドレイン電極44に負荷抵抗RLを通して電源電圧 $V_{DD}$ を印加しておき、ゲート電極3にソース電極42に対して正の電圧になるようなゲート電圧 $V_g$ をパラメータとしたドレイン電圧 $V_D$ 対ドレイン電流 $I_D$ の特性を図2に示す。

50

## 【0037】

このようにして、例えば、図2から解るようにソース2であるショットキー金属7をアース電位にして、ドレイン4に正のドレイン電圧 $V_D$ を2V印加しても、ゲート電圧 $V_g$ が0Vのときには、ドレイン電流 $I_D$ がほとんど流れない。しかし、ゲート電圧 $V_g$ が+2V、+4Vのように印加していくと、同一のドレイン電圧 $V_D$ である2Vにおいても、ドレイン電流 $I_D$ が急激に上昇することになる。

## 【0038】

これは上述のように、正のゲート電圧 $V_g$ の印加により、第2半導体層9であるp+層の障壁がMOSゲート界面付近で低められ、ソース2からp+層の障壁をトンネルで通るキャリアの電子と障壁を熱的に越えて第1半導体層8の方に移動するキャリアの電子による電流、すなわちドレイン電流が増大するからである。もちろん、第1半導体層8とドレイン4とは同一のn形不純物のn形島状領域11を介してオーム性特性となっている。

10

## 【0039】

上記のMOSゲートショットキートンネルトランジスタでは、ドレイン4をn形のエピタキシャル層からなるn形島状領域11をp形の基板1に形成した場合であるが、n形島状領域11として、エピタキシャル層ではなく不純物を拡散して形成しても良い。また、n形島状領域11が基板1の全体であるとしてn形の基板1を用いて、これにドレイン4を形成してもよい。この場合は、ドレイン4はn形の基板1のうち、どこに形成してもよく、例えば、n形の基板1の裏面に形成してもよい。

## 【0040】

また、図1の実施の形態では第1半導体層8とドレイン4が離れている場合の例であるが、図3の実施の形態のように第1半導体層8とドレイン4とを一体にしても良い。

20

## 【0041】

また、図1および図3の実施の形態では、p形の基板1にn形のエピタキシャル層からなるn形島状領域11を形成している基板10を用いた場合であるが、これとは逆に図4の実施の形態に示すようにn形の基板1にp形島状領域21を形成して良く、このp形島状領域21にソース2、ゲート金属3やドレイン4などを形成すればよい。この場合、一つのp形島状領域21に多くのMOSゲートショットキートンネルトランジスタ素子を形成したときには、ソース2を共通にする集積回路が作りやすい。

## 【0042】

また、上述のMOSゲートショットキートンネルトランジスタの作成工程では、先ずショットキー金属7であるコバルトシリサイドを形成後、アルミニウム膜(A1膜)を堆積させて、これを熱処理によりコバルトシリサイドを拡散または合金させながらコバルトシリサイドとSiとの界面に到達させてA1とSiとの合金反応を生じさせ、その後の冷却過程でA1を高濃度不純物として残存させるSiの再結晶層を形成させて極めて薄いp+層を作成していた。

30

## 【0043】

しかし、逆に先ず、極めて薄いp+層が少なくともゲート酸化膜の下で第1半導体層8と接するようにA1膜を合金形成しておき、未反応のA1膜を除去後、CVD等によりコバルトシリサイド薄膜を堆積させてショットキー金属7を作成し、ショットキー金属7と第1半導体層8との間に第2半導体層9である極めて薄いp+層を形成するようにしてMOSゲートショットキートンネルトランジスタを作成してもよい。

40

## 【0044】

本発明のMOSゲートショットキートンネルトランジスタの動作原理について、エネルギーバンド図である図5を用いて説明する。

## 【0045】

図5(A)は、本発明のMOSゲートショットキートンネルトランジスタのゲート電圧 $V_g = 0V$ のときで、ソース2であるショットキー金属7と第2半導体層9であるp+層および第1半導体層8であるn+層のうち、MOSゲート直下のMOS界面付近のエネルギーバンド図で、(A-1)は、更にドレイン電圧 $V_D = 0V$ の場合であり、(A-2)

50



は、 $V_D = +V_{D1}$  (例えば  $+V_{D1} = 2V$ ) の場合である。

【0046】

図5(B)は、ゲート電圧 $V_g$ がソース2に対して正の電圧 $V_g = +V_{g1}$  (例えば、 $V_{g1} = 2V$ )を印加したときの(A)と同様のエネルギーバンド図で、(B-1)は、更にドレイン電圧 $V_D = 0V$ の場合であり、(B-2)は、 $V_D = +V_{D1}$  (例えば  $+V_{D1} = 2V$ )の場合である。

【0047】

図5(A)の(A-1)と(A-2)に示すように、ゲート電圧 $V_g = 0V$ のときは、第2半導体層9であるp+層の電子に対する高い障壁のために、ショットキー金属7と第1半導体層8であるn+層との間の電子のトンネリング確率が極めて小さく、例えばpA程度程度の極めて小さなドレイン電流 $I_D$ しか流れない。しかし、ゲート電圧 $V_g = 0V$ でも、例えばドレイン電圧 $V_D$ を大きくして行くと、(A-2)に示すように、p+層の障壁が下がり出すので、例えば、 $V_D = 5V$ になると、ドレイン電流 $I_D$ も例えば $\mu A$ からmA程度の大きさになる。

【0048】

また、図5(B)の(B-1)と(B-2)に示すように、ゲート電圧 $V_g$ が例えば $V_g = +4V$ のときは、第2半導体層9であるp+層の電子に対する高い障壁がゲートの電界効果のために下がると共に、第1半導体層8であるn+層の伝導帯がMOSゲート界面で蓄積層を形成するために、縮退が強くなり、p+層の障壁の幅が狭くなるので、ショットキー金属7と第1半導体層8であるn+層との間の電子のトンネリング確率が極めて大きくなるし、室温付近の温度では熱的に励起されているキャリアである電子はp+層の障壁を越えて移動できるようになる。

【0049】

このようにして、(B-1)のようにドレイン電圧 $V_D = 0V$ においては、キャリアである電子は左右打ち消されて、ドレイン電流 $I_D$ が流れないが、例えば $V_D = 2V$ になるとトンネル成分と熱励起成分の障壁を越えて移動する電子による大きなドレイン電流 $I_D$ が観測されることになる。

【0050】

なお、トンネル電子は、液体窒素の温度77Kのような極低温でない限り必ずしもフェルミエネルギー $E_f$ 付近における成分ばかりでなく、熱的に励起されてp+層の障壁の頂上より少し下の障壁のエネルギー領域部分をトンネルする、いわゆる、サーマルフィールドエミッション(TFE)による電流成分が多いと考えられる。

【0051】

図6の実施の形態は、p形のシリコン(Si)単結晶基板1にn形の $1 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物濃度をもつ3 $\mu\text{m}$ 厚のn形島状領域11にMOSゲートショットキートンネルトランジスタを形成した場合である。

【0052】

特にこの実施の形態では、ショットキー金属7とn形島状領域11の間にもショットキー障壁ダイオードが形成され、MOSゲートショットキートンネルトランジスタの通常動作では、このショットキー障壁ダイオードは逆バイアスされるので、リーク電流は無視されるほど小さい状態であり、しかも第1半導体層8であるn+層とドレイン4とが一体となっており、第2半導体層9のp+層は、この第1半導体層8であるn+層とその周辺に形成されたn形領域12およびソース2であるショットキー金属7に囲まれているように形成される場合である。

【0053】

したがって、n形島状領域11に形成される複数のMOSゲートショットキートンネルトランジスタのそれぞれが、互いに絶縁分離されるようにした実施の形態であり、図6(A)は、その平面図の概略図、図6(B)は、図6(A)のx-xにおける断面図、図6(C)はそのソース2、第2半導体層9のp+層、第1半導体層8のn+層およびその周辺の断面図の拡大概略図である。

10

20

30

40

50

## 【 0 0 5 4 】

ここで、第1半導体層8であるn+層は、その周辺に形成される深く拡散したn形領域12の内側に浅くイオン注入技術により形成することができるし、逆に、第1半導体層8であるn+層の表面濃度を高く保ったまま、その周辺にまで拡散させてn形領域12を形成させることもできる。また、n形領域12などに囲まれた第2半導体層9のp+層は、ショットキー金属7のゲート酸化膜31側のほんの一部に例えばAl膜を選択的に形成し、熱処理することにより形成できる。

## 【 0 0 5 5 】

図7の実施の形態は、図6の実施の形態のn形領域12がショットキー金属7の全体を囲む構造にした場合の例で、ショットキー金属7周辺の拡大断面図の概略図である。一般にショットキー障壁ダイオードの逆方向耐圧は、低不純物濃度のn形半導体に形成した方がp形半導体に形成したときよりも大きいからである。

10

## 【 0 0 5 6 】

図8の実施の形態は、複数のMOSゲートショットキートンネルトランジスタのそれぞれを互いに絶縁分離しやすいSOIの基板10を利用し、例えば0.1μm厚程度の非常に高抵抗のp形の半導体層(p-層)22に、図6の実施の形態のようなn形領域12と第1半導体層8であるn+層、更に第2半導体層9のp+層がショットキー金属7とこれらの層に囲まれて、1個のMOSゲートショットキートンネルトランジスタが絶縁分離されるようにした実施の形態である。もちろん、図7の実施の形態のようにn形領域12で第1半導体層8の反対側のショットキー金属7も囲むようにしても良い。

20

## 【 0 0 5 7 】

図9の実施の形態は、図8の実施の形態と同様のSOIの基板10に集積回路として、補償形のMOS(CMOS)ゲートショットキートンネルトランジスタを複数形成したときのその1組のCMOSゲートショットキートンネルトランジスタの構造の実施の形態を示したもので、これらの1組を酸化膜(SiO<sub>2</sub>膜)で他の素子と絶縁分離した場合である。

## 【 0 0 5 8 】

上述までのn形の第1半導体層8でp形の第2半導体層9を持つMOSゲートショットキートンネルトランジスタをnチャンネル形と呼ぶこととし、それぞれの符号に添字nを例えば8n、9nのように付ける。また、これに対して逆のp形の第1半導体層8でn形の第2半導体層9を持つMOSゲートショットキートンネルトランジスタをpチャンネル形と呼ぶこととし、それぞれの符号に添字pを例えば8p、9pのように付ける。

30

## 【 0 0 5 9 】

pチャンネル形のMOSゲートショットキートンネルトランジスタのn形の第2半導体層9pは、上述のp形の第2半導体層9nの作成時のAl膜の代わりに、例えば、スズ(Sn)や金(Au)に砒素(As)やアンチモン(Sb)を数%程度混入させた金属を真空蒸着した後熱処理すればよい。このとき例えば砒素入りスズを用いると、これとSiとが合金を作り、再結晶Siには高濃度の砒素が残存し、極めて薄い高濃度の第2半導体層9nが形成される。他のソース2n、2pやドレイン4n、4p、さらにゲート金属3n、3p、パッシベーション膜35、電極や配線など、従来の集積回路技術で作成される。

40

## 【 0 0 6 0 】

もちろん、各CMOSゲートショットキートンネルトランジスタを1組ずつ絶縁分離しないで、例えば1個または1組のドレインを外部配線に依らずに半導体の共通ドレインにして複数個のMOSゲートショットキートンネルトランジスタやCMOSゲートショットキートンネルトランジスタを一まとめにする事もできる。

## 【 0 0 6 1 】

上述のMOSゲートショットキートンネルトランジスタのゲート電極3として、作成の容易さからシリサイドを用いた例であったが、普通の金属であるPt、Al、Auなどの純金属や2層金属、さらには、純金属同士の合金でも良い。

## 【 0 0 6 2 】

50

図10の実施の形態は、上記の図9に示した1組のCMOSゲートショットキートンネルトランジスタの等価回路である。pチャンネルとnチャンネルのMOSゲートショットキートンネルトランジスタは、それぞれのドレイン $D_p$ と $D_n$ およびゲート $G_p$ と $G_n$ とが金属電極でそれぞれ短絡されており、直列に接続され、pチャンネルのソース $S_p$ に外部直流電源 $V_{DD}$ に接続され、nチャンネルのソース $S_n$ が接地されている場合の実施の形態の等価回路である。

【0063】

図11の実施の形態は、本発明のMOSゲートショットキートンネルトランジスタを従来のダイナミックメモリセルの転送用トランジスタとして利用した実施の形態を示したものである。ビット線をドレインに、ワード線をゲートに、メモリ用キャパシタ $C_{st}$ をソースに接続する。

10

【0064】

本発明のMOSゲートショットキートンネルトランジスタを高密度集積回路として、2次元ばかりではなく、図示しないが絶縁層を介して3次的に積み上げた構造にすることも容易である。特に構造が単純なので、MOSゲートショットキートンネルトランジスタを形成する半導体層を単結晶はもちろんのこと、多結晶半導体あるいはアモルファス半導体とすることもできる。

【0065】

また、これらの個別の集積回路を他の種類のトランジスタ、インダクタや大容量コンデンサ等と共にハイブリッド構造として組み立てて、一つの機能デバイスとすることができる。

20

【0066】

また、ショットキー金属7の代わりに、極めて高濃度の半導体を用いても同様のトランジスタ特性が得られるがトンネル確率が小さく、やはり空乏層がほとんど広がらないショットキー金属7を用いた方がトンネル接合が狭くなり好適である。

【0067】

本発明のMOSゲートショットキートンネルトランジスタは、本実施の形態に限定されるものではなく、本発明の主旨および作用・効果が同様ならば如何様にも変形してもよいことはもちろんである。

【0068】

30

【発明の効果】

以上説明したように、本発明のMOSゲートショットキートンネルトランジスタは、高濃度の半導体と金属の接合であるショットキートンネル接合中に高濃度不純物の極めて薄い層で、元のショットキートンネル接合を構成していた高濃度の半導体とは異なる伝導形の高濃度の半導体層を少なくともMOS界面に設け、この半導体層の障壁の高さと幅をMOSゲートの印加電圧による電界効果により変化させて、ドレイン電流を制御するようにしたトランジスタで、本出願人が先に発明したトンネルトランジスタ(US Patent 5552622)とMOSゲートショットキー障壁トランジスタ(特願平8-27158)を更に改良したもので、先の発明のようにゲート印加電圧の調節でショットキー障壁の幅を変化させたり、等価的なショットキー障壁高さを変化させるのではなく、挿入した極めて薄い濃度の半導体層の障壁の高さと幅とを同時に変化できるようにして、同一の寸法でも相互コンダクタンス $G_m$ を大きくできるようにしたものである。

40

【0069】

疑似単一のトンネル接合を持つ単純な構造で、接合部も $0.01\mu m$ 以下の極めて小形の接合にすることができると共に、低電圧駆動が可能で、絶縁層上の極めて薄い半導体層に集積化できるので容易に3次的集積回路も製作できる。また、トンネル電流と極めて薄い障壁を越えて移動するキャリアの流れによる電流の合成電流となるので、スイッチングトランジスタ、CMOSTランジスタなどとして超小形で高速化が可能になり、高入力インピーダンスで高密度集積化可能な高効率のトランジスタおよび集積回路となる。

【図面の簡単な説明】

50

【図1】 本発明のMOSゲートショットキートンネルトランジスタの一実施の形態の断面の概略図で、nチャンネル形として実施し、ドレイン4と第1半導体層8とが分離している場合である。

【図2】 本発明のMOSゲートショットキートンネルトランジスタのゲート電圧 $V_g$ をパラメータとしたドレイン電圧 $V_D$ 対ドレイン電流 $I_D$ の特性の一例である。

【図3】 本発明のMOSゲートショットキートンネルトランジスタの他の一実施の形態を示したもので、nチャンネル形で、ドレイン4と第1半導体層8とが一体になっている場合である。

【図4】 本発明のMOSゲートショットキートンネルトランジスタの他の一実施の形態を示したものである。

10

【図5】 本発明のMOSゲートショットキートンネルトランジスタの動作を説明するためのMOS界面付近のエネルギーバンド図であり、図5(A)はゲート電圧 $V_g = 0V$ のときのエネルギーバンド図で、図5(B)はゲート電圧 $V_g$ に正の電圧 $V_g = +V_{g1}$ を印加したときのエネルギーバンド図である。

【図6】 本発明のMOSゲートショットキートンネルトランジスタの他の一実施の形態を示したもので、第2半導体層9がショットキー金属7、n形領域12と第1半導体層8に囲まれ、それぞれのMOSゲートショットキートンネルトランジスタ互いに絶縁分離し易いように実施した場合である。図6(A)は平面概略図、図6(B)は図6(A)のx-xにおける断面概略図、図6(C)はそのMOS界面付近の拡大図である。

【図7】 本発明のMOSゲートショットキートンネルトランジスタの他の一実施の形態を示したもので、前図6のn形領域12がショットキー金属7をも囲むようにした場合の例である。

20

【図8】 本発明のMOSゲートショットキートンネルトランジスタの他の一実施の形態を示したもので、SOI基板にトランジスタを形成した場合の例である。

【図9】 本発明のMOSゲートショットキートンネルトランジスタをCMOSゲートショットキートンネルトランジスタとして実施した一実施の形態を示したもので、SOI基板にトランジスタを形成した場合の例である。

【図10】 図9に示したCMOSゲートショットキートンネルトランジスタの等価回路である。

【図11】 本発明のMOSゲートショットキートンネルトランジスタをダイナミックメモリセルとして利用した一実施の形態を示したものである。

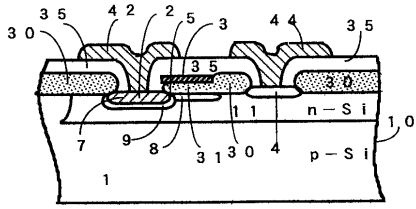
30

【符号の説明】

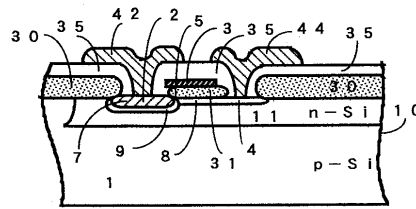
- 1, 10 基板
- 2, 2n, 2p ソース
- 3, 3n, 3p ゲート金属
- 4, 4n, 4p ドレイン
- 5 トンネル接合
- 7, 7n, 7p ショットキー金属
- 8, 8n, 8p 第1半導体層
- 9, 9n, 9p 第2半導体層
- 11 n形島状領域
- 12 n形領域
- 21 p形島状領域
- 22 p形領域
- 30 フィールド酸化膜
- 31, 31n, 31p ゲート酸化膜
- 42, 42n, 42p ソース電極
- 43, 43n, 43p ゲート電極
- 44, 44n, 44p ドレイン電極

40

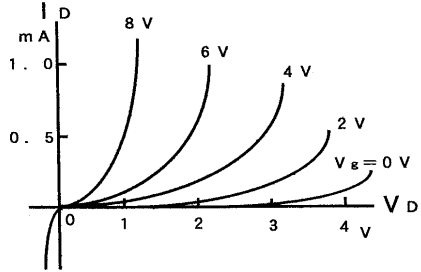
【図1】



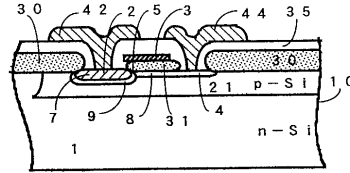
【図3】



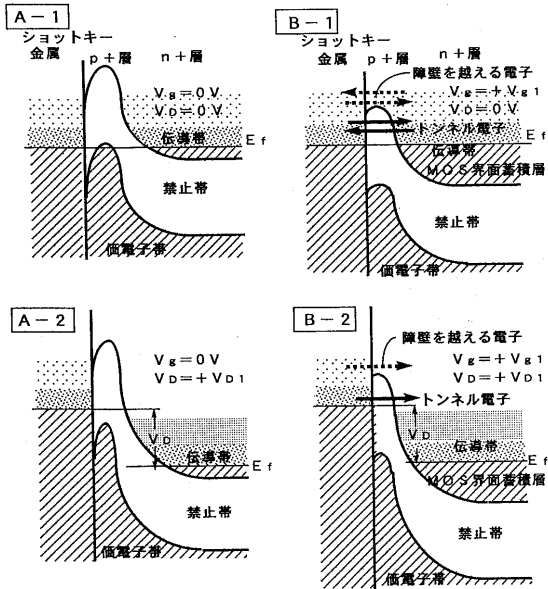
【図2】



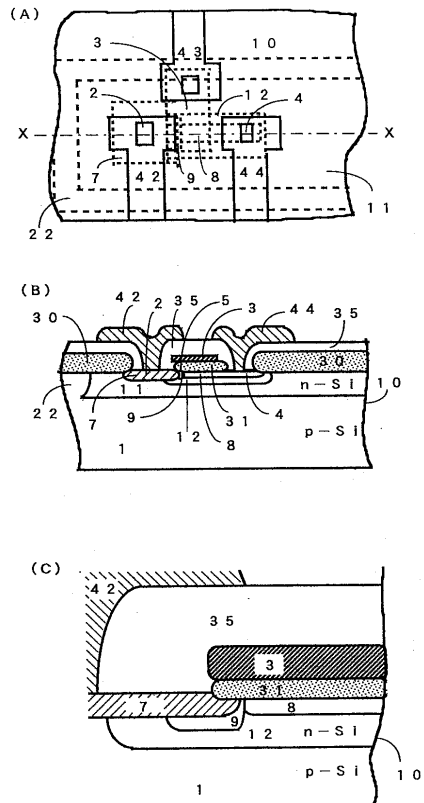
【図4】



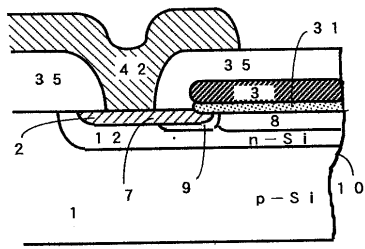
【図5】



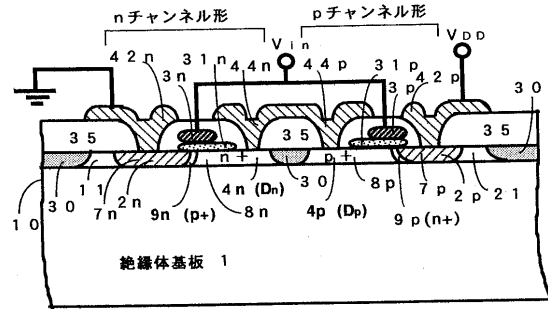
【図6】



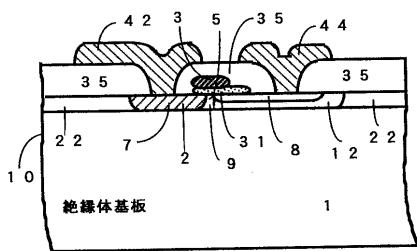
【図7】



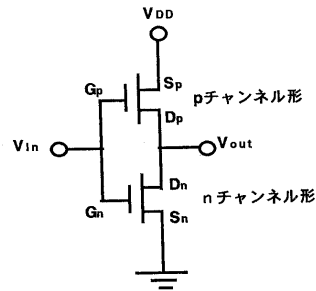
【図9】



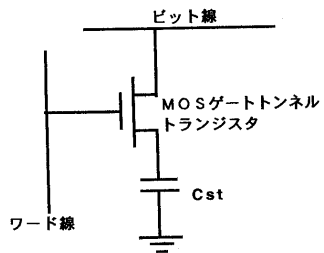
【図8】



【図10】



【図11】



## フロントページの続き

(51)Int.Cl. F I  
H 0 1 L 21/8242 (2006.01) H 0 1 L 29/78 3 0 1 B  
H 0 1 L 27/108 (2006.01)  
H 0 1 L 29/43 (2006.01)

(56)参考文献 特開平07-066404(JP,A)  
特開平08-037298(JP,A)  
Kimura, M、外1名, A new type of Schottky tunnel transistor, Electron Device Letters,  
IEEE, 1994年10月, Volume 15, Issue 10, p.412 - 414

(58)調査した分野(Int.Cl., DB名)

H01L 29/78  
H01L 21/336  
H01L 21/8234  
H01L 27/088  
H01L 21/8244  
H01L 27/11  
H01L 27/108  
H01L 21/8242  
H01L 29/43