

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3865408号
(P3865408)

(45) 発行日 平成19年1月10日(2007. 1. 10)

(24) 登録日 平成18年10月13日(2006. 10. 13)

(51) Int. Cl.

G06F 3/00 (2006.01)

F I

G06F 3/00

H

請求項の数 10 (全 8 頁)

(21) 出願番号	特願平9-521106	(73) 特許権者	コーニンクレッカ フィリップス エレク トロニクス エヌ ヴィ オランダ国 5621 ペーアー アイン ドーフエン フルーネヴァウツウェッハ 1
(86) (22) 出願日	平成8年11月21日(1996. 11. 21)	(74) 代理人	弁理士 杉村 興作
(65) 公表番号	特表平11-502046	(74) 代理人	弁理士 富田 典
(43) 公表日	平成11年2月16日(1999. 2. 16)	(74) 代理人	弁理士 杉村 純子
(86) 国際出願番号	PCT/IB1996/001269	(74) 代理人	弁理士 徳永 博
(87) 国際公開番号	W01997/021272		
(87) 国際公開日	平成9年6月12日(1997. 6. 12)		
審査請求日	平成15年11月18日(2003. 11. 18)		
(31) 優先権主張番号	95203314.0		
(32) 優先日	平成7年12月1日(1995. 12. 1)		
(33) 優先権主張国	オランダ(NL)		

最終頁に続く

(54) 【発明の名称】 バス導線及びバスインタフェース回路を具えている回路

(57) 【特許請求の範囲】

【請求項 1】

バス導線及び該バス導線に接続されたインタフェース段を具えている回路であって、過電圧状態における該回路はバス導線の電位を前記インタフェース段の電源電圧範囲外の電位にすることができ、前記インタフェース段が、
前記バス導線と前記インタフェース段の電源端子との間に結合される主電流チャネルを有している出力トランジスタと；
該出力トランジスタの制御電極を制御するための制御回路と；
該制御回路の出力端子を前記出力トランジスタの制御電極に結合させるスイッチング素子と；
を具えている回路において、前記インタフェース段がバス電位に依存する過電圧状態を検出する検出手段を具え、該検出手段が前記スイッチング素子の制御入力端子に結合されて、前記制御回路の状態に関係なく、前記過電圧状態の検出に応答して前記スイッチング素子をターン・オフさせるようにしたことを特徴とする回路。

【請求項 2】

前記制御回路の入力端子が前記バス導線に結合され、前記制御回路がその入力端子と出力端子との間に論理反転移行機能を有するようにしたことを特徴とする請求の範囲 1 に記載の回路。

【請求項 3】

前記検出手段が前記出力トランジスタと同一極性の検出トランジスタを具え、該検出トラ

ンジスタの制御電極が前記電源端子に結合され、前記検出トランジスタの主電流チャンネルが少なくとも過電圧状態において前記バス導線と前記スイッチング素子の制御入力端子との間に結合されるようにしたことを特徴とする請求の範囲 1 又は 2 に記載の回路。

【請求項 4】

前記スイッチング素子が、前記出力トランジスタの極性とは相補的な極性の接合トランジスタを具え、該接合トランジスタの主電流通路が前記制御回路の出力端子と前記出力トランジスタの制御電極との間に結合され、且つ前記検出トランジスタが反転回路を経て前記接合トランジスタの制御電極に結合されるようにしたことを特徴とする請求の範囲 3 に記載の回路。

【請求項 5】

前記インタフェース段が検出負荷トランジスタを具え、該トランジスタの主電流チャンネルが他方の電源端子と前記反転回路の入力端子との間に結合され、前記検出負荷トランジスタの制御電極が前記反転回路の出力端子に結合されるようにしたことを特徴とする請求の範囲 4 に記載の回路。

【請求項 6】

前記スイッチング素子が、前記出力トランジスタの極性と同一極性の他の接合トランジスタを具え、該トランジスタの主電流チャンネルが前記接合トランジスタの主電流チャンネルに並列に接続され、且つ前記他の接合トランジスタの制御電極が前記バス導線に結合されるようにしたことを特徴とする請求の範囲 5 に記載の回路。

【請求項 7】

前記インタフェース回路がバックゲートバイアス回路を具え、該バイアス回路の出力端子が出力トランジスタのバックゲートに結合され、前記バックゲートバイアス回路が第 1 バイアストランジスタを具え、該第 1 バイアストランジスタの主電流チャンネルが前記バス導線と前記バックゲートバイアス回路の出力端子との間に結合され、且つ前記第 1 バイアストランジスタの制御電極が前記電源端子に結合されるようにしたことを特徴とする請求の範囲 1 ~ 6 のいずれか一項に記載の回路。

【請求項 8】

前記バックゲートバイアス回路が第 2 バイアストランジスタを具え、該第 2 バイアストランジスタの主電流チャンネルが前記電源端子と前記バックゲートバイアス回路の出力端子との間に結合され、且つ前記第 2 バイアストランジスタの制御電極が、前記検出トランジスタの主電流チャンネルと前記スイッチング素子の制御入力端子との接続点に結合されるようにしたことを特徴とする請求の範囲 7 に記載の回路。

【請求項 9】

前記制御回路の出力端子が論理処理回路の入力端子に結合されるようにしたことを特徴とする請求の範囲 1 ~ 8 のいずれか一項に記載の回路。

【請求項 10】

請求の範囲 1 ~ 8 のいずれか一項に記載の回路に用いるバスインタフェース回路において、該バスインタフェース回路が、

前記バス導線と前記インタフェース段の電源端子との間に結合される主電流チャンネルを有している出力トランジスタと；

該出力トランジスタの制御電極を制御する制御回路と；

該制御回路の出力端子を前記出力トランジスタの制御電極に結合させるスイッチング素子と；

を具えているインタフェース段を含み、該インタフェース段がバス電位に依存する過電圧状態を検出する検出手段を具え、該検出手段が前記スイッチング素子の制御入力端子に結合されて、前記制御回路の状態に関係なく、前記過電圧状態の検出にตอบสนองして前記スイッチング素子をターン・オフさせるようにしたことを特徴とするバスインタフェース回路。

【発明の詳細な説明】

本発明は、バス導線及び該バス導線に接続されたインタフェース段を具えている回路であって、過電圧状態における該回路はバス導線の電位を前記インタフェース段の電源電圧範

10

20

30

40

50

圏外の電位にすることができ、前記インタフェース段が、
前記バス導線と前記インタフェース段の電源端子との間に結合される主電流チャネルを有している出力トランジスタと；

該出力トランジスタの制御電極を制御するための制御回路と；

該制御回路の出力端子を前記出力トランジスタの制御電極に結合させるスイッチング素子と；

を具えている回路に関するものである。本発明は、このような回路に用いるバスインタフェース回路にも関するものである。斯種の回路は P C T 特許出願の W O 9 4 / 2 9 9 6 1 から既知である。

最近では 5 V の電位で附勢される回路構成要素及び 3.3 V で附勢されるものも市販されている。概して次第に低い供給電位の回路構成要素が用いられている。

こうした種々のタイプの回路構成要素を 1 つの回路に併合できるようにするのが望ましい。このような回路における種々の電源を有する回路構成要素は、いずれも自分自身のインタフェース段でバス電位を駆動し得るようにしなければならない。このためにバスの電位は幾つかの回路構成要素の電源電位の範囲外の値に引っぱられる。従って、附勢電位レベルが異なる回路構成要素がバス導線を介して通信する回路では、インタフェース段に特殊な手段を講じる必要がある。

インタフェース段は出力トランジスタ、例えば主電流チャネルがバス導線を関連する回路構成要素の電源端子、例えば 3.3 V の電源に接続する P M O S トランジスタを具えている。インタフェース段は出力トランジスタの制御電極を制御する制御回路も具えている。インタフェース段を使用可能状態にすると、制御回路は前記出力トランジスタの主電流チャネルが導通するように前記出力トランジスタの制御電極を駆動させることができる。この場合、バス電位は電源電位のレベル、例えば 3.3 V に達する。インタフェース段を使用不能状態にすると、高い電源電位を有する回路構成要素がバス電位を引き上げることができるため、バス電位は例えば 5 V となる。この場合に、3.3 V で附勢されるインタフェース段にとっては過電圧状態が生ずることになる。

過電圧状態では、例えば 3.3 V のような低い電源電位を有しているインタフェース段における出力トランジスタがターン・オンすることになる。W O 9 4 / 2 9 9 6 1 から既知の回路は、過電圧状態においてこの回路がバス電位と一緒に制御電位を引き上げるようにして、出力トランジスタのターン・オンを防いでいる。さらに、出力トランジスタの制御電極と制御回路の出力端子との間にスイッチング素子を位置させている。このスイッチング素子は、インタフェース段を使用不能状態にする場合にターン・オフされる。従って、高い制御電位は制御回路の出力端子に達しなくなる。

W O 9 4 / 2 9 9 6 1 に開示されているスイッチング素子は、主電流チャネルが制御回路の出力端子と出力トランジスタの制御電極との間に接続される N M O S 接合トランジスタを具えている。このスイッチング素子はインバータも具えている。制御回路の出力はインバータを介して N M O S 接合トランジスタのゲートを制御する。従って、このトランジスタは制御回路の出力が論理高レベルにある場合にはターン・オフされ、これはインタフェース段が使用不能状態にある場合には常にこのようになる。

しかし、他の回路構成要素がバス電位を高い電源電位に引き上げている間にインタフェース段が使用可能状態になる場合には、この高い電源電位が制御回路の出力端子に到達し得る。通常の回路構成要素のインタフェース段では、このようなことは決して有り得ず、これは一般に回路構成要素は一度に 1 つしか使用可能状態にしないからである。しかし、例えばインタフェース段がバス-ホールド回路の一部を成す場合には上述したようなことが有り得る。このようなバス-ホールド回路は逆並列接続する反転回路を具えている。従って、バス導線の論理状態は、このバス導線をさらにアクティブに制御しなくても、その論理状態は引き継がれ、保持される。

この種の回路では、高い電源電位が制御回路の出力端子に到達し得ると言う問題がある。本発明の目的は特に、バス導線に結合されるインタフェース段を具えており、且つ過電圧状態が生ずる場合にインタフェース段を悪影響を及ぼすことなくアクティブに駆動させる

10

20

30

40

50

ことのできる回路を提供することにある。

本発明の他の目的は過電圧状態が生じ得るバス導線に結合されるバス-ホールド回路を提供することにある。

本発明は、前記インタフェース段がバス電位に依存する過電圧状態を検出する検出手段を具え、該検出手段が前記スイッチング素子の制御入力端子に結合されて、前記制御回路の状態に関係なく、前記過電圧状態の検出に応答して前記スイッチング素子をターン・オフさせるようにしたことを特徴とする。スイッチング素子はバス電位に応じてターン・オフされるため、制御回路の出力端子の電位がインタフェース段及び制御回路の電源電位の範囲を過電圧状態から除外できず、常に出力トランジスタの制御電極を制御し続けることができる。

10

本発明による回路の好適例では、前記制御回路の入力端子が前記バス導線に結合され、前記制御回路がその入力と出力端子との間に論理反転移行機能を有するようにする。従って制御回路は出力トランジスタと共にラッチを構成し、これはバス-ホールド回路として作用すると共に他の回路構成要素がバス電位を制御している間作動し続けることができる。

本発明による回路の他の好適例では、前記検出手段が前記出力トランジスタと同一極性の検出トランジスタを具え、該検出トランジスタの制御電極が前記電源端子に結合され、前記検出トランジスタの主電流チャネルが少なくとも過電圧状態において前記バス導線と前記スイッチング素子の制御入力端子との間に結合されるようにする。従って、過電圧状態の検出にインタフェース段の電源電位よりも高い電源電位を必要としない。

20

さらに本発明の好適例では、前記スイッチング素子が、前記出力トランジスタの極性とは相補的な極性の接合トランジスタを具え、該接合トランジスタの主電流通路が前記制御回路の出力端子と前記出力トランジスタの制御電極との間に結合され、且つ前記検出トランジスタが反転回路を経て前記接合トランジスタの制御電極に結合されるようにする。

本発明による回路の他の好適例では、前記インタフェース段が検出負荷トランジスタを具え、該トランジスタの主電流チャネルが他方の電源端子と前記反転回路の入力端子との間に結合され、前記検出負荷トランジスタの制御電極が前記反転回路の出力端子に結合されるようにする。従って、検出負荷トランジスタは検出トランジスタがターン・オンする際にターン・オフする。このために、回路の電力消費量が低減する。

さらに本発明による回路の好適例では、前記スイッチング素子が、前記出力トランジスタの極性と同一極性の他の接合トランジスタを具え、該トランジスタの主電流チャネルが前記接合トランジスタの主電流チャネルに並列に接続され、且つ前記他の接合トランジスタの制御電極が前記バス導線に結合されるようにする。前記他の接合トランジスタは、出力トランジスタの制御電極における制御電位が通常の状態にて論理低レベルに引っぱられる際に、回路の動作を強化する。前記他の接合トランジスタはバス電位によって制御されるだけである。

30

本発明による回路のさらに他の好適例では、前記インタフェース回路がバックゲートバイアス回路を具え、該バイアス回路の出力端子が出力トランジスタのバックゲートに結合され、前記バックゲートバイアス回路が第1バイアストランジスタを具え、該第1バイアストランジスタの主電流チャネルが前記バス導線と前記バックゲートバイアス回路の出力端子との間に結合され、且つ前記第1バイアストランジスタの制御電極が前記電源端子に結合されるようにする。従って、出力トランジスタのバックゲートバイアスは過電圧状態に適合される。

40

さらに本発明による回路の好適例では、前記バックゲートバイアス回路が第2バイアストランジスタを具え、該第2バイアストランジスタの主電流チャネルが前記電源端子と前記バックゲートバイアス回路の出力端子との間に結合され、且つ前記第2バイアストランジスタの制御電極が、前記検出トランジスタの主電流チャネルと前記スイッチング素子の制御入力端子との接続点に結合されるようにする。従って、バックゲートバイアスは通常状態においては電源電位に維持され、過電圧状態においては電源電位から減結合され、追加の検出回路は不要である。

50

本発明による回路の他の好適例では、制御回路の出力端子を論理処理回路の入力端子に結合させる。従って、本発明による回路は、通常状態及び過電圧状態の双方において、電源電圧範囲内からの電位によって論理処理回路を制御する。

以下本発明を図面を参照して実施例につき説明するに、本発明はこの例のみに限定されるものではない。

図面を本発明による回路を示す。この回路はバス導線 1 と、バス-ホールド回路 3 と、他の回路構成要素 5 とを具えている。バス-ホールド回路 3 及び他の回路構成要素 5 はバス導線 1 に接続されている。論理処理回路 6 の入力端子はバス-ホールド回路 3 の出力端子 4 に結合されている。論理処理回路は、例えば他のバス導線（図示せず）を駆動するバッファ増幅器又は組合わせ論理回路とする。

バス導線 1 はバス-ホールド回路 3 における第 1 インバータ 12 の入力端子に結合される。第 1 インバータ 12 の出力端子は NMOS 接合トランジスタ 14 のチャネルを経て PMOS 出力トランジスタ 16 のゲートに結合される。PMOS 出力トランジスタ 16 のチャネルはバス-ホールド回路 3 の電源端子 V_{dd} をバス導線 1 に接続する。PMOS 出力トランジスタ 16 のゲートは PMOS 整合トランジスタ 18 のチャネルを経てバス導線 1 に結合される。整合トランジスタ 18 のゲートは電源端子 V_{dd} に結合される。バス導線 1 は NMOS 出力トランジスタ 20 のチャネルを経て他の電源端子 V_{ss} にも接続される。NMOS 出力トランジスタ 20 のゲートは第 1 インバータ 12 の出力端子に接続される。PMOS 接合トランジスタ 30 のチャネルは NMOS 接合トランジスタ 14 のチャネルに並列に接続される。PMOS 接合トランジスタ 30 のゲートはバス導線 1 に結合される。

バス-ホールド回路 3 は NMOS 14 のゲートに対する過電圧検出回路 21 も具えている。この過電圧検出回路 21 はバス導線 1 に結合される入力端子を有する。この入力端子は PMOS 検出トランジスタ 22 のチャネルを経て第 2 インバータ 24 の入力端子に結合される。PMOS 検出トランジスタ 22 のゲートは電源端子 V_{dd} に結合される。第 2 インバータ 24 の出力端子は NMOS 接合トランジスタ 14 のゲートに結合される。

過電圧検出回路 21 は NMOS 負荷トランジスタ 26 も具えており、このトランジスタのチャネルは第 2 インバータ 24 の入力端子と他の電源端子 V_{ss} との間に結合される。第 2 インバータ 24 の出力端子は NMOS 負荷トランジスタ 26 のゲートに結合される。PMOS プル-アップトランジスタ 28 は NMOS 負荷トランジスタ 26 のゲートと電源端子 V_{dd} との間に結合されるチャネルを有している。PMOS プル-アップトランジスタ 28 のゲートはバス導線 1 に結合されている。

バス-ホールド回路 3 は逆バイアス発生回路 32, 34 も具えている。逆バイアス発生回路 32, 34 は逆バイアス出力端子 BG を具えており、この出力端子はバス-ホールド回路 3 にあって、チャネルがバス導線 1 と導電接触し得る PMOS トランジスタ 16, 18, 22, 30, 32, 34 のバックゲートに結合される。逆バイアス回路 32, 34 は、チャネルが電源端子 V_{ss} と逆バイアス出力端子 BG との間に結合される PMOS トランジスタ 32 を具えている。この PMOS トランジスタ 32 のゲートは第 2 インバータ 24 の出力端子に結合される。逆バイアス回路 32, 34 は、チャネルがバス導線 1 と逆バイアス出力端子 BG との間に結合される PMOS トランジスタ 34 も具えている。この PMOS トランジスタ 34 のゲートは第 1 電源端子に結合される。

バス-ホールド回路の動作はバス導線 1 におけるバス電位に依存する。通常の状態におけるバス電位は電源端子 V_{dd} の電位（例えば 3.3V）と、他の電源端子 V_{ss} の電位（例えば 0V）との間の電位にある。過電圧状態ではバス電位が電源端子 V_{dd} の電位よりも高くなる。過電圧状態は、例えば回路構成要素 5 が高電位 $V_{dd} +$ （例えば 5V）で附勢され、且つこの回路構成要素 5 がバス電位を制御する場合に生じたりする。

バス-ホールド回路は論理処理回路 6 の入力を駆動させる働きをする。論理処理回路 6 はインバータ 12 から入力信号を受信し、この入力信号は通常状態においてはバス-ホールド回路 3 の電源電位 V_{dd} と V_{ss} との間の値を有する。この入力信号は過電圧状態では論理低レベルとなる。

バス-ホールド回路 3 は通常の状態ではラッチとして作動する。PMOS 出力トランジス

10

20

30

40

50

タ 1 6 は N M O S 出力トランジスタ 2 0 と相俟って第 1 インバータ 1 2 に逆並列のインバータ、つまり、出力及び入力端子が第 1 インバータ 1 2 の入力及び出力端子にそれぞれ接続されるインバータを構成する。従って、論理処理回路 6 は、バス導線 1 がもはや他の回路構成要素によって制御されなくなっても、バス-ホールド回路 3 によって保持される入力信号を受信する。バスの電位はバス-ホールド回路 3 によっても保持される。バス-ホールド回路 3 の駆動電力は、バス-ホールド回路 3 によって保持されるけれども、他の回路構成要素がバス電位を切り替えることができるほどに小さい。バス-ホールド回路 3 は論理処理回路 6 がなくてもバス電位を保持するのに用いることもできることは明らかである。

過電圧状態では P M O S 出力トランジスタ 1 6 のゲート制御電位がバス電位によって引き上げられる。過電圧検出回路 2 1 はバス電位に基づいてその過電圧状態の発生を検出して、接合トランジスタ 1 4 を阻止する。

P M O S 整合トランジスタ 1 8 は、過電圧状態におけるバス電位で出力トランジスタ 1 6 のゲートの制御電位を引き上げる働きをする。P M O S 整合トランジスタ 1 8 のチャンネルは、バス電位が電源電位 V_{dd} を或るしきい値電圧以上を超える場合に導通し、従って出力トランジスタ 1 6 のゲート制御電位を引き上げる。

P M O S 検出トランジスタ 2 2 は過電圧状態において過電圧検出回路 2 1 を作動させる働きをする。P M O S 検出トランジスタ 2 2 のチャンネルもバス電位が電源電位 V_{dd} を或るしきい値電圧以上に越える場合に導通する。従って P M O S 検出トランジスタ 2 2 は過電圧状態において第 2 インバータ 2 4 の入力端子の電位を引き上げる。この場合、第 2 インバータ 2 4 はその出力端子の電位、つまり N M O S 接合トランジスタ 1 4 のゲート電位を論理低レベルにする。従って、N M O S 接合トランジスタ 1 4 は、第 1 インバータ 1 2 の出力の論理レベル（これは電位 V_{dd} と V_{ss} との間の範囲内にある）に無関係にターン・オフされるようになる。これと同じ効果は、P M O S 検出トランジスタ 2 2 をバス導線 1 の代わりに P M O S 出力トランジスタ 1 6 の制御電極に接続する場合にも達成される。

このように、過電圧検出回路 2 1 はインタフェース段の電源端子における電位 V_{dd} よりも高い電源電位を必要としない。従って、過電圧状態におけるバス電位を制御する回路構成要素 5 の電源電位レベルの電源電位を用いる必要もない。

P M O S 接合トランジスタ 3 0 は、バス電位が高くなり、従って過電圧状態となる場合にターン・オフされる。回路は原則として P M O S 接合トランジスタ 3 0 がなくても作動し得るが、通常の状態において P M O S 接合トランジスタ 3 0 は出力トランジスタ 1 6 のゲート電位を引き上げるのに役立つ。

N M O S 負荷トランジスタ 2 6 は通常の状態ではターン・オンして、第 2 インバータ 2 4 の入力を低レベルに維持する。過電圧状態では、N M O S 負荷トランジスタ 2 6 は第 2 インバータ 2 4 によってターン・オフされるため、このトランジスタはバス導線 1 への負荷を構成しなくなる。通常状態から過電圧状態へスムーズに移行させるために、P M O S 検出トランジスタ 2 2 は N M O S 負荷トランジスタ 2 6 よりも遙に大きくする（ W/L 比を大きくする）のが望ましい。この場合、過電圧状態において P M O S 検出トランジスタ 2 2 は第 2 インバータ 2 4 の入力端子の電位を常に優先的に制御するようになる。

P M O S ブル-アップトランジスタ 2 8 は、過電圧状態から通常状態における論理低レベルのバス電位への移行時に N M O S 負荷トランジスタ 2 6 がターン・オンされるようにする。これにより、N M O S 負荷トランジスタ 2 6 は、この場合に第 2 インバータ 2 4 の入力電位を引き下げる。

逆バイアス発生回路 3 2 , 3 4 は、チャンネルがバス導線 1 に導電的に接続され得るそれぞれの P M O S トランジスタの逆バイアス電位が常に電源電位及びバス電位のうちの高い方の電位となるようにする。通常状態においては、チャンネルが電源端子 V_{dd} と逆バイアス出力端子 B G との間に位置する P M O S トランジスタ 3 2 がターン・オンする。このトランジスタのチャンネルは過電圧状態においては、過電圧状態を検出する過電圧検出回路 2 1 によってターン・オフする。チャンネルがバス導線 1 と逆バイアス出力端子 B G との間に位置する P M O S トランジスタ 3 4 は、過電圧状態において、バス電位が電源端子 V_{dd} の電位

10

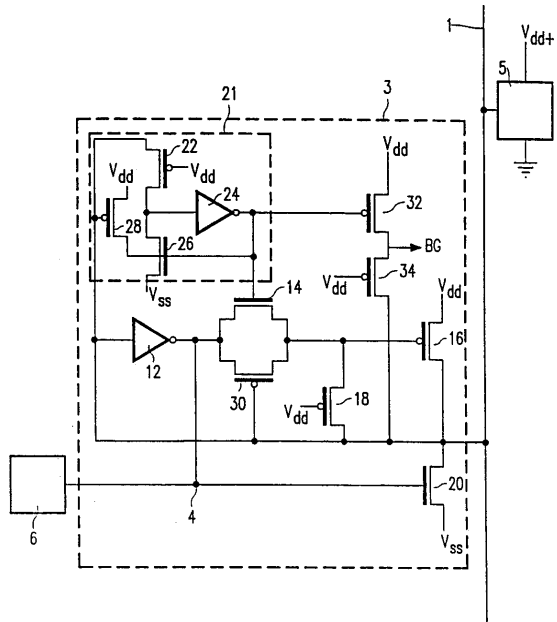
20

30

40

50

を或るしきい値以上越える場合にターン・オンし、このトランジスタのチャネルは通常状態ではターン・オフしている。



フロントページの続き

(74)代理人

弁理士 高見 和明

(74)代理人

弁理士 梅本 政夫

(72)発明者 アールメルス マテイス アレクサンダー ヘンドリクス

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

(72)発明者 ファン デン プルーク マリヌス アーノルドス ヴィルヘルムス

オランダ国 5 6 5 6 アーアー アインドーフエン プロフ ホルストラーン 6

審査官 中田 剛史

(56)参考文献 特開平05 - 227010 (JP, A)

特開平07 - 007411 (JP, A)

特開平07 - 007410 (JP, A)

特開平06 - 090162 (JP, A)

特表平09 - 502846 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/00

H03K 19/0175