

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-56620

(P2010-56620A)

(43) 公開日 平成22年3月11日(2010.3.11)

(51) Int.Cl.	F I	テーマコード (参考)
H04L 25/02 (2006.01)	H04L 25/02 S	5J055
H03K 19/0175 (2006.01)	H03K 19/00 I O I F	5J056
H03K 17/687 (2006.01)	H03K 17/687 F	5K029
H04L 25/03 (2006.01)	H04L 25/02 V	
	H04L 25/03 C	

審査請求 未請求 請求項の数 6 O L (全 20 頁)

(21) 出願番号 特願2008-216548 (P2008-216548)
 (22) 出願日 平成20年8月26日 (2008. 8. 26)

(71) 出願人 000006747
 株式会社リコー
 東京都大田区中馬込1丁目3番6号
 (74) 代理人 100085660
 弁理士 鈴木 均
 (72) 発明者 村中 雅幸
 東京都大田区中馬込1丁目3番6号 株式
 会社リコー内
 Fターム(参考) 5J055 AX07 BX16 CX24 DX22 DX56
 DX62 DX72 DX73 DX83 EX01
 EX02 EX07 EY01 EY05 EY10
 EY21 EZ00 EZ07 EZ12 EZ22
 EZ29 FX05 FX12 FX18 FX20
 FX32 FX37 GX01 GX02 GX04
 GX05 GX06

最終頁に続く

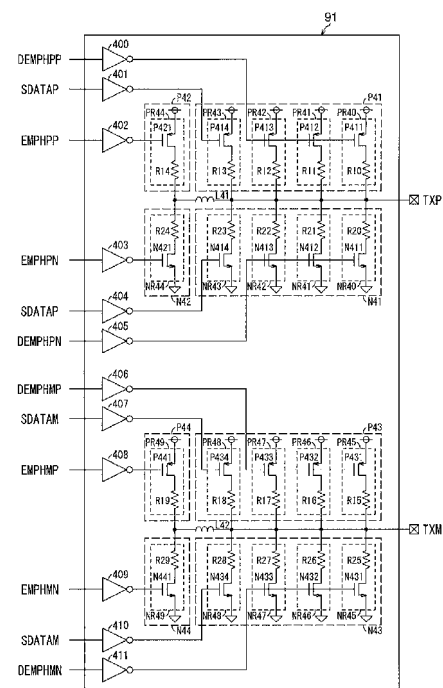
(54) 【発明の名称】 ドライバ回路

(57) 【要約】

【課題】 高速なデータパターンの時のみ周波数特性を改善して、所望の振幅を得ることが可能な送信側ドライバ回路を提供する。

【解決手段】 第1のプルアップ抵抗回路P41、第3のプルアップ抵抗回路P43、第1のプルダウン抵抗回路N41、第3のプルダウン抵抗回路N43の抵抗値を第1の制御信号(SDATAP、SDATAM、DEMPHPP、DEMPHMP、DEMPHNM、DEMPHPN、DEMPHMP)に応じて変化させ、第2のプルアップ抵抗回路P42、第4のプルアップ抵抗回路P44、第2のプルダウン抵抗回路N42、第4のプルダウン抵抗回路N44の抵抗値を第2の制御信号(EMPHPP、EMPHPMN、EMPHPN、EMPHMP)に応じて変化させる

【選択図】 図2



【特許請求の範囲】

【請求項 1】

差動信号を送信する一対の伝送線路に接続された第 1 の出力端子と第 2 の出力端子とを備え、外部から入力された制御信号を前記差動信号に変換して前記第 1 の出力端子と第 2 の出力端子とに出力するドライバ回路において、

前記第 1 の出力端子は、第 1 のプルアップ抵抗回路を介して所定の電源電圧に接続されると共に、第 1 のプルダウン抵抗回路を介して接地電圧に接続され、第 1 の受動素子と第 2 のプルアップ抵抗回路を介して前記所定の電源電圧に接続されると共に、前記第 1 の受動素子と第 2 のプルダウン抵抗回路を介して前記接地電圧に接続され、

前記第 2 の出力端子は、第 3 のプルアップ抵抗回路を介して前記所定の電源電圧に接続されると共に、第 3 のプルダウン抵抗回路を介して前記接地電圧に接続され、第 2 の受動素子と第 4 のプルアップ抵抗回路を介して前記所定の電源電圧に接続されると共に、前記第 4 の受動素子と第 4 のプルダウン抵抗回路を介して前記接地電圧に接続され、

前記制御信号は第 1 の制御信号と第 2 の制御信号とを含み、

前記第 1 のプルアップ抵抗回路と前記第 3 のプルアップ抵抗回路と前記第 1 のプルダウン抵抗回路と前記第 3 のプルダウン抵抗回路は、前記第 1 の制御信号に応じて抵抗値がそれぞれ変化し、前記第 2 のプルアップ抵抗回路と前記第 4 のプルアップ抵抗回路と前記第 2 のプルダウン抵抗回路と前記第 4 のプルダウン抵抗回路は、前記第 2 の制御信号に応じて抵抗値がそれぞれ変化することを特徴とするドライバ回路。

【請求項 2】

前記第 1 の出力端子へ流れる電流、又は前記第 2 の出力端子へ流れる電流を分流する第 5 のプルダウン抵抗回路を備え、

前記制御信号は第 3 の制御信号を含み、

前記第 5 のプルダウン抵抗回路は、前記第 3 の制御信号に応じて抵抗値が変化することを特徴とする請求項 1 に記載のドライバ回路。

【請求項 3】

前記第 1 乃至第 4 のプルアップ抵抗回路及びプルダウン抵抗回路は、スイッチング素子と抵抗とを直列に接続してなる部分抵抗回路を備え、

前記第 1 のプルアップ抵抗回路は、前記第 1 の出力端子と前記所定の電源電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、

前記第 3 のプルアップ抵抗回路は、前記第 2 の出力端子と前記所定の電源電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、

前記第 1 のプルダウン抵抗回路は、前記第 1 の出力端子と前記接地電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、

前記第 3 のプルダウン抵抗回路は、前記第 2 の出力端子と前記接地電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、

前記第 2 のプルアップ抵抗回路は、前記第 1 の出力端子と前記所定の電源電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、

前記第 4 のプルアップ抵抗回路は、前記第 2 の出力端子と前記所定の電源電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、

前記第 2 のプルダウン抵抗回路は、前記第 1 の出力端子と前記接地電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、

前記第 4 のプルダウン抵抗回路は、前記第 2 の出力端子と前記接地電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、

前記第 1 のプルアップ抵抗回路と前記第 3 のプルアップ抵抗回路と前記第 1 のプルダウン抵抗回路と前記第 3 のプルダウン抵抗回路は、該各抵抗回路に含まれるそれぞれのスイッチング素子が前記第 1 の制御信号に応じてオン又はオフすることにより抵抗値がそれぞれ変化し、

前記第 2 のプルアップ抵抗回路と前記第 4 のプルアップ抵抗回路と、前記第 2 のプルダウン抵抗回路と前記第 4 のプルダウン抵抗回路は、該各抵抗回路に含まれるそれぞれのス

10

20

30

40

50

スイッチング素子が前記第 2 の制御信号に応じてオン又はオフすることにより抵抗値がそれぞれ変化することを特徴とする請求項 1 または 2 に記載のドライバ回路。

【請求項 4】

前記第 5 のプルダウン抵抗回路は、少なくとも 2 つの抵抗でスイッチング素子を挟むように直列に接続してなる分流用部分抵抗回路を備え、

前記分流用部分抵抗回路の一端は前記第 1 の出力端子に接続され、他端は前記第 2 の出力端子に接続されるとともに、

前記第 5 のプルダウン抵抗回路は、前記第 3 の制御信号に応じて前記分流用部分抵抗回路のスイッチング素子がオン又はオフすることにより抵抗値が変化することを特徴とする請求項 2 及び 3 に記載のドライバ回路。

10

【請求項 5】

前記受動素子はインダクタンスであることを特徴とする請求項 1 乃至 4 の何れか一項に記載のドライバ回路。

【請求項 6】

前記受動素子はキャパシタンスであることを特徴とする請求項 1 乃至 4 の何れか一項に記載のドライバ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、データ伝送に使用されるドライバ回路、特に高速シリアル通信で使用される送信側ドライバ回路に関する。本発明は、モジュール間データ伝送、チップ間データ伝送などにも応用可能である。

20

【背景技術】

【0002】

近年、製品のインタフェース速度は高速化されており、高速シリアル通信を使ったシステムの開発が進んでいる。通常の高速シリアル通信では、高速なデータ送信を可能にするために、低振幅の差動電圧信号を用いた低電圧差動信号伝送 (Low Voltage Differential Signaling: LVDS) 方式を採用している。

図 1 は P C I - E x P R e s s g e n 2 の高速シリアル通信システムの構成例を示す回路図である。

30

図 1 に示されるように、高速シリアル通信システム 1 は、送信側回路 2、受信側回路 3、及び差動伝送線路 4 を備える。差動伝送線路 4 は、送信側回路 2 と受信側回路 3 との間に設けられた往路伝送線路 5 と復路伝送線路 6 とにより構成されている。受信側回路 3 は、受信側レシーブ回路 7 と、差動伝送線路 4 の終端抵抗である 2 つの抵抗 R 1、R 2 を備える。受信側レシーブ回路 7 の 2 つの入力端は差動伝送線路 4 に接続されている。

【0003】

以下では、受信側レシーブ回路 7 の一方の入力端と往路伝送線路 5 との接続部を「R X P」といい、受信側レシーブ回路 7 の他方の入力端と復路伝送線路 6 との接続部を「R X M」という。

各抵抗 R 1、R 2 は、2 つの接続部 R X P、R X M の間で直列に接続され、各抵抗 R 1、R 2 の接続部は、接地電圧 G N D に接続されている。

40

送信側回路 2 は、デジタル回路 8 とドライバ回路 9 とを備える。ドライバ回路 9 の 2 つの出力端「T X P」、「T X M」は、対応するワイヤボンディング 10、11 を介して往路伝送線路 5 及び復路伝送線路 6 にそれぞれ接続されている。デジタル回路 8 は、相反する信号レベルを有する対となる制御信号 12 をドライバ回路 9 にそれぞれ出力する。ドライバ回路 9 は、デジタル回路 8 からそれぞれ出力された制御信号 12 を低振幅のアナログ差動信号に変換して対応するワイヤボンディング 10 及びワイヤボンディング 11 に出力する。

送信側回路 2 は、差動伝送線路 4 を介して、アナログ差動信号を受信側回路 3 に送信する。そして、その差動信号は、受信側レシーブ回路 7 に入力される。各抵抗 R 1、R 2 は

50

、受信側回路 3 におけるインピーダンス整合用の終端抵抗であり、差動伝送線路 4 上で伝送される差動信号の電圧振幅は、各抵抗 R_1 、 R_2 の抵抗値によって決まる。各抵抗 R_1 、 R_2 の抵抗値はそれぞれ $50\ \Omega$ である。インピーダンス整合は、差動伝送線路 4 上において、低振幅の差動信号を送受信する際に信号品質を良好なものにするために必要とされる。

【0004】

ここで、ドライバ回路 9 の従来技術の一例として、特許文献 1 の図 2 には、差動信号を伝送する一対の伝送線路に接続された第 1 及び第 2 の各出力端子を備え、外部から入力されたデータ信号を前記の差動信号に変換し第 1 及び第 2 の各出力端子に出力するドライバ回路において、第 1 の出力端子は、第 1 のプルアップ抵抗回路 24 を介して所定の電源電圧に接続されると共に、第 1 のプルダウン抵抗回路 25 を介して接地電圧に接続され、第 2 の出力端子は、第 2 のプルアップ抵抗回路 26 を介して前記の電源電圧に接続されると共に、第 2 のプルダウン抵抗回路 27 を介して接地電圧に接続され、第 1 及び第 2 の各プルアップ抵抗回路、並びに第 1 及び第 2 の各プルダウン抵抗回路は、データ信号に応じて抵抗値がそれぞれ変化するドライバ回路が記載されている。このドライバ回路は、出力する振幅の大きさに関わらず $50\ \Omega$ で終端されることを特徴とする。

また、特許文献 2 の図 1 には、IC 内部終端用の各終端端子を分離し、それぞれの端子と実装基板あるいはパッケージリードとが接続されるようにワイヤを配置することで、実装ごとに出力端子のワイヤ長あるいはワイヤの形状が異なった場合でも、インダクタピーキング量あるいは出力整合を最適化することができるドライバ回路が記載されている。

【特許文献 1】特開 2007-36848 公報

【特許文献 2】特開 2005-136453 公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、近年の 5 Gbps 以上のデータパターンの場合、ワイヤボンディング 10、11（図 1 参照）による減衰を無視できなくなり、高速なデータパターンの場合、特許文献 1 の構成を有するドライバ回路では所望の振幅を得ることが難しい。

また特許文献 2 に記載されたドライバ回路では、データパターンによるインピーダンスの変動には対応できない。さらに、従来電源パッドが 1 つで済むところ、電源パッドを 2 つ配置しているため（P3、P4）、面積の増加につながる。

本発明は、上述の問題に鑑みてなされたものであり、高速なデータパターンの時のみ受動素子で周波数特性を改善して振幅にエンファシスをかけ、高速でないデータパターンは抵抗のみで $50\ \Omega$ 終端することで、所望の振幅を得ることが可能な送信側ドライバ回路を提供することを目的とする。

【課題を解決するための手段】

【0006】

上記の課題を解決するために、請求項 1 に記載の発明は、差動信号を伝送する一対の伝送線路に接続された第 1 の出力端子と第 2 の出力端子とを備え、外部から入力された制御信号を前記差動信号に変換して前記第 1 の出力端子と第 2 の出力端子とに出力するドライバ回路において、前記第 1 の出力端子は、第 1 のプルアップ抵抗回路を介して所定の電源電圧に接続されると共に、第 1 のプルダウン抵抗回路を介して接地電圧に接続され、第 1 の受動素子と第 2 のプルアップ抵抗回路を介して前記所定の電源電圧に接続されると共に、前記第 1 の受動素子と第 2 のプルダウン抵抗回路を介して前記接地電圧に接続され、前記第 2 の出力端子は、第 3 のプルアップ抵抗回路を介して前記所定の電源電圧に接続されると共に、第 3 のプルダウン抵抗回路を介して前記接地電圧に接続され、第 2 の受動素子と第 4 のプルアップ抵抗回路を介して前記所定の電源電圧に接続されると共に、前記第 4 の受動素子と第 4 のプルダウン抵抗回路を介して前記接地電圧に接続され、前記制御信号は第 1 の制御信号と第 2 の制御信号とを含み、前記第 1 のプルアップ抵抗回路と前記第 3 のプルアップ抵抗回路と前記第 1 のプルダウン抵抗回路と前記第 3 のプルダウン抵抗回路

は、前記第 1 の制御信号に応じて抵抗値がそれぞれ変化し、前記第 2 のプルアップ抵抗回路と前記第 4 のプルアップ抵抗回路と前記第 2 のプルダウン抵抗回路と前記第 4 のプルダウン抵抗回路は、前記第 2 の制御信号に応じて抵抗値がそれぞれ変化することを特徴とする。

【0007】

請求項 2 に記載の発明は、前記第 1 の出力端子へ流れる電流、又は前記第 2 の出力端子へ流れる電流を分流する第 5 のプルダウン抵抗回路を備え、前記制御信号は第 3 の制御信号を含み、前記第 5 のプルダウン抵抗回路は、前記第 3 の制御信号に応じて抵抗値が変化する請求項 1 に記載のドライバ回路を特徴とする。

請求項 3 に記載の発明は、前記第 1 乃至第 4 のプルアップ抵抗回路及びプルダウン抵抗回路は、スイッチング素子と抵抗とを直列に接続してなる部分抵抗回路を備え、前記第 1 のプルアップ抵抗回路は、前記第 1 の出力端子と前記所定の電源電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、前記第 3 のプルアップ抵抗回路は、前記第 2 の出力端子と前記所定の電源電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、前記第 1 のプルダウン抵抗回路は、前記第 1 の出力端子と前記接地電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、前記第 3 のプルダウン抵抗回路は、前記第 2 の出力端子と前記接地電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、前記第 2 のプルアップ抵抗回路は、前記第 1 の出力端子と前記所定の電源電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、前記第 4 のプルアップ抵抗回路は、前記第 2 の出力端子と前記所定の電源電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、前記第 2 のプルダウン抵抗回路は、前記第 1 の出力端子と前記接地電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、前記第 4 のプルダウン抵抗回路は、前記第 2 の出力端子と前記接地電圧との間に 1 又は複数の前記部分抵抗回路を並列に接続したものであり、前記第 1 のプルアップ抵抗回路と前記第 3 のプルアップ抵抗回路と前記第 1 のプルダウン抵抗回路と前記第 3 のプルダウン抵抗回路は、該各抵抗回路に含まれるそれぞれのスイッチング素子が前記第 1 の制御信号に応じてオン又はオフすることにより抵抗値がそれぞれ変化し、前記第 2 のプルアップ抵抗回路と前記第 4 のプルアップ抵抗回路と前記第 2 のプルダウン抵抗回路と前記第 4 のプルダウン抵抗回路は、該各抵抗回路に含まれるそれぞれのスイッチング素子が前記第 2 の制御信号に応じてオン又はオフすることにより抵抗値がそれぞれ変化する請求項 1 または 2 に記載のドライバ回路を特徴とする。

【0008】

請求項 4 に記載の発明は、前記第 5 のプルダウン抵抗回路は、少なくとも 2 つの抵抗でスイッチング素子を挟むように直列に接続してなる分流用部分抵抗回路を備え、前記分流用部分抵抗回路の一端は前記第 1 の出力端子に接続され、他端は前記第 2 の出力端子に接続されるとともに、前記第 5 のプルダウン抵抗回路は、前記第 3 の制御信号に応じて前記分流用部分抵抗回路のスイッチング素子がオン又はオフすることにより抵抗値が変化する請求項 2 及び 3 に記載のドライバ回路を特徴とする。

請求項 5 に記載の発明は、前記受動素子はインダクタンスである請求項 1 乃至 4 の何れか一項に記載のドライバ回路を特徴とする。

請求項 6 に記載の発明は、前記受動素子はキャパシタンスである請求項 1 乃至 4 の何れか一項に記載のドライバ回路を特徴とする。

【発明の効果】

【0009】

本発明によれば、受動素子を介した抵抗回路を所望のデータパターンの時に制御することで、所望のデータパターンの振幅が改善可能となり、更に DC の時の出力インピーダンスに影響を与えないドライバ回路を提供可能になる。

【発明を実施するための最良の形態】

【0010】

以下、本発明の実施形態を図面に基づき説明する。

< 第一の実施形態 >

図 2 は、第一の実施形態に係る送信側ドライバ回路 9 1 の詳細な構成例を示す回路図である。図 2 に示されるように、ドライバ回路 9 1 は、1 2 個のインバータ 4 0 0 乃至 4 1 1 と、第 1 のプルアップ抵抗回路 P 4 1 と第 1 のプルダウン抵抗回路 N 4 1、出力端 T X P（第 1 の出力端子）にインダクタンス（第 1 の受動素子）L 4 1 を介して接続される第 2 のプルアップ回路 P 4 2 と第 2 のプルダウン抵抗回路 N 4 2 と、第 3 のプルアップ抵抗回路 P 4 3 と第 3 のプルダウン抵抗回路 N 4 3、出力端 T X M（第 2 の出力端子）にインダクタンス（第 2 の受動素子）L 4 2 を介して接続される第 4 のプルアップ回路 P 4 4 と第 4 のプルダウン抵抗回路 N 4 4 とから構成される。

【0 0 1 1】

10

第 1 のプルアップ抵抗回路 P 4 1 は、出力端 T X P と所定の電源電圧 V c c との間で並列に接続された 4 つの部分抵抗回路 P R 4 0 乃至 P R 4 3 を備える。ここで、部分抵抗回路 P R 4 0 乃至 P R 4 3 は全て同じ構成である。一例として、部分抵抗回路 P R 4 1 は、直列に接続された P 型金属酸化膜電界効果トランジスタ（以下、「P M O S トランジスタ」という。）P 4 1 1 と抵抗 R 1 0 とから構成されている。各 P M O S トランジスタ P 4 1 1 乃至 P 4 1 3 のゲートはインバータ 4 0 0 の出力端に接続され、P M O S トランジスタ P 4 1 4 のゲートはインバータ 4 0 1 の出力端に接続されている。

第 1 のプルダウン抵抗回路 N 4 1 は、出力端 T X P と所定の G N D との間で並列に接続された 4 つの部分抵抗回路 N R 4 0 乃至 N R 4 3 を備える。ここで、部分抵抗回路 N R 4 0 乃至 N R 4 3 は全て同じ構成である。一例として、部分抵抗回路 N R 4 0 は、直列に接続された N 型金属酸化膜電界効果トランジスタ（以下、「N M O S トランジスタ」という。）N 4 1 1 と抵抗 R 2 0 とから構成されている。各 N M O S トランジスタ N 4 1 1 乃至 N 4 1 3 のゲートは、インバータ 4 0 5 の出力端に接続され、N M O S トランジスタ N 4 1 4 のゲートはインバータ 4 0 4 の出力端に接続されている。

20

【0 0 1 2】

第 2 のプルアップ抵抗回路は、出力端 T X P とインダクタンス L 4 1 を介して、所定の電源電圧 V c c との間で直列に接続された、P M O S トランジスタ P 4 2 1 と抵抗 R 1 4 とからなる部分抵抗回路 P R 4 4 からなり、P M O S トランジスタ P 4 2 1 のゲートはインバータ 4 0 2 の出力端と接続されている。

第 2 のプルダウン抵抗回路は、出力端 T X P とインダクタンス L 4 1 を介して、所定の G N D との間で直列に接続された、N M O S トランジスタ N 4 2 1 と抵抗 R 2 4 とからなる部分抵抗回路 N R 4 4 からなり、N M O S トランジスタ N 4 2 1 のゲートはインバータ 4 0 3 の出力端と接続されている。

30

【0 0 1 3】

第 3 のプルアップ抵抗回路 P 4 3、第 3 のプルダウン抵抗回路 N 4 3、第 4 のプルアップ抵抗回路 P 4 4、第 4 のプルダウン抵抗回路 N 4 4 は、それぞれ第 1 のプルアップ抵抗回路 P 4 1、第 1 のプルダウン抵抗回路 N 4 1、第 2 のプルアップ抵抗回路 P 4 2、第 2 のプルダウン抵抗回路 N 4 2 と同様の構成を有するため、詳細な説明を省略する。

第 3 のプルアップ抵抗回路 P 4 3 と第 3 のプルダウン抵抗回路 N 4 3 は出力端 T X M に直接に接続され、また第 4 のプルアップ抵抗回路 P 4 4 と第 4 のプルダウン抵抗回路 N 4 4 は出力端 T X M とインダクタンス L 4 2 を介して接続されている。

40

また、各 P M O S トランジスタ P 4 3 1 乃至 P 4 3 3 のゲートはインバータ 4 0 6 の出力端に接続され、P M O S トランジスタ P 4 3 4 のゲートはインバータ 4 0 7 の出力端に接続され、P M O S トランジスタ P 4 4 1 のゲートはインバータ 4 0 8 の出力端と接続されている。

また、各 N M O S トランジスタ N 4 3 1 乃至 N 4 3 3 のゲートはインバータ 4 1 1 の出力端に接続され、N M O S トランジスタ N 4 3 4 のゲートはインバータ 4 1 0 の出力端に接続され、N M O S トランジスタ N 4 4 1 のゲートはインバータ 4 0 9 の出力端と接続されている。

そして、インバータ 4 0 0 乃至 4 1 1 には、デジタル回路 8 から出力される制御信号 1

50

2 (図1参照)を構成するデジタル信号DEMPHP P、SDATAP、EMPH P P、EMPH P N、SDATAP、DEMPHP N、DEMPHMP、SDATAM、EMPHMP、EMPHMN、SDATAM、DEMPHMNがそれぞれ入力される。

また、差動伝送線路4で伝送される高周波損失を防ぐために、差動信号の振幅を大きくして、S/N比をかせることが好ましい。なお、各抵抗R10乃至R13、R20乃至R23、R15乃至R18、R25乃至R28は200Ωで、R14、R24、R19、R29は66.6Ωである。

【0014】

次にドライバ回路91の動作を説明する。図3は、ドライバ回路91の動作を説明するためのタイミングチャートである。図3において、「TXP」、「TXM」は出力端TXP、TXMに出力された差動電圧の波形を示している。PCI-Express gen 2の高速通信シリアルシステムにおいて、プリエンファシス時の差動電圧の振幅は500mVであり、それ以外のディエンファシス時の差動電圧の振幅は250mVである。

また、図3に示すSDATAP、SDATAM、EMPH P P、EMPHMN、EMPH P N、EMPHMP、DEMPHP P、DEMPHMN、DEMPHP N、DEMPHMPは、デジタル回路8からそれぞれ出力された対応する各デジタル信号の波形を示している。

ここで、シリアルデータ信号SDATAPとSDATAMの信号の組、ディエンファシス制御信号DEMPHP PとDEMPHMNの信号の組、ディエンファシス制御信号DEMPHP N及びDEMPHMPの信号の組は、それぞれ対を成す信号の組であり、これらの信号を第1の制御信号と表現する。また、エンファシス制御信号EMPH P PとEMPH P MNの信号の組、エンファシス制御信号EMPH P NとEMPHMPの信号の組は、それぞれ対を成すデジタル信号の組であり、これらの信号を第2の制御信号と表現する。

「差動データ」は、一对のシリアルデータ信号SDTAP、SDTAMに応じて差動伝送線路4に出力される差動データである。

【0015】

プリエンファシス時におけるドライバ回路91の動作について説明する。

プリエンファシス時にはSDATAPとEMPH P PとEMPH P Nの信号レベルが一致し、SDATAMとEMPHMPとEMPHMNの信号レベルが一致する。

この時、DEMPHP PはLレベルにあり、インバータ400で反転された信号の電圧がPMOSTランジスタP411乃至P413の各ゲートに印加され、PMOSTランジスタP411乃至P413はオフになる。同様に、DEMPHP NはHレベルにあってNMOSTランジスタN411乃至N413をオフにし、DEMPHMPはLレベルにあってPMOSTランジスタP431乃至P433をオフにし、DEMPHMNはHレベルにあってNMOSTランジスタN431乃至N433をオフにする。すなわち、プリエンファシス時には、PMOSTランジスタP411乃至P413、P431乃至P433、NMOSTランジスタN411乃至N413、N431乃至N433がオフになる。

プリエンファシス時でかつ差動データが「1」の場合には、SDATAPとEMPH P PとEMPH P NはHレベルであり、SDATAMとEMPHMPとEMPHMNはLレベルである。

【0016】

ここで、図2を参照すると、デジタル回路8から出力されたSDATAPはインバータ401によって反転され、その反転された信号の電圧がPMOSTランジスタP414のゲートに印加される。同様にEMPH P Pはインバータ402によって、EMPH P Nはインバータ403によって、SDATAPはインバータ404によってその信号レベルが反転され、その反転された信号の電圧が、それぞれPMOSTランジスタP421、NMOSTランジスタN421、NMOSTランジスタN414の各ゲートにそれぞれ印加される。

これにより、PMOSTランジスタP414、P421はオンし、NMOSTランジスタN414、N421はオフする。すなわち、出力端TXPはブルアップされる。

【0017】

一方、デジタル回路8から出力されたSDATAM、EMPHMP、EMPHMNも同様にインバータ407乃至410によってその信号レベルが反転され、その反転された信号の電圧が、それぞれPMOSトランジスタP434、P441、NMOSトランジスタN434、NMOSトランジスタN441の各ゲートにそれぞれ印加される。

これにより、PMOSトランジスタP434、P441はオフし、NMOSトランジスタN434、N441はオンする。すなわち、出力端TXMはプルダウンされる。

プリエンファシス時でかつ差動データが「0」の場合には、SDATAPとEMPHPPとEMPHPNはLレベルであり、SDATAMとEMPHMPとEMPHMNはHレベルである。従って、差動データ「1」の時に比べると、各トランジスタのゲートに印加されるデジタル信号の電圧が反転するので、各トランジスタのオン、オフ関係も反転する。

これにより、PMOSトランジスタP414、P421はオフし、NMOSトランジスタN414、N421はオンする。すなわち、出力端TXPはプルダウンされる。また、PMOSトランジスタP434、P441はオンし、NMOSトランジスタN434、N441はオフする。すなわち、出力端TXMはプルアップされる。

【0018】

ディエンファシス時におけるドライバ回路91の動作について説明する。

ディエンファシス時には、EMPHPPはLレベルにあってPMOSトランジスタP421をオフにし、EMPHPNはHレベルにあってNMOSトランジスタN421をオフにする。また、EMPHMPはLレベルにあってPMOSトランジスタP441をオフにし、EMPHMNはHレベルにあってNMOSトランジスタN441をオフにする。すなわち、ディエンファシス時には、PMOSトランジスタP421、P441、NMOSトランジスタN421、N441がオフになる。

ディエンファシス時でかつ差動データが「1」の場合には、DEMPHPPはPMOSトランジスタP411乃至P413をオンにし、DEMPHPNはNMOSトランジスタN411乃至N413をオフにし、DEMPHMPはPMOSトランジスタP431乃至P433をオフにし、DEMPHMNはNMOSトランジスタN431乃至N433をオンにする。この時、NMOSトランジスタN414はオンで、PMOSトランジスタP434はオンである。従って、出力端TXPはプルアップされる。

ディエンファシス時でかつ差動データが「0」の場合には、DEMPHPPはPMOSトランジスタP411乃至P413をオフにし、DEMPHPNはNMOSトランジスタN411乃至N413をオンにし、DEMPHMPはPMOSトランジスタP431乃至P433をオンにし、DEMPHMNはNMOSトランジスタN431乃至N433をオフにする。この時、NMOSトランジスタN414をオフで、PMOSトランジスタP434はオフである。従って、出力端TXMはプルアップされる。

【0019】

以上のように構成されて動作するドライバ回路91を含む高速シリアル通信システム1の状態について、図4、図5に基づいて説明する。

図4は、差動データ「1」かつプリエンファシス時の高速シリアル通信システム1の状態を説明する図である。

上述したように、差動データ「1」のプリエンファシス時には、部分抵抗回路PR40乃至PR42のPMOSトランジスタP411乃至P413がオフし、部分抵抗回路PR43のPMOSトランジスタP414はオンする。また、部分抵抗回路PR45乃至PR48のPMOSトランジスタのP431乃至P434がオフする。また、部分抵抗回路PR44のPMOSトランジスタP421がオンし、部分抵抗回路PR49のPMOSトランジスタP441はオフする。

【0020】

また、部分抵抗回路NR40乃至NR43のNMOSトランジスタN411乃至N414は全てオフし、部分抵抗回路NR45乃至NR47のNMOSトランジスタN431乃至

10

20

30

40

50

至N433がオフし、部分抵抗回路NR48のNMOSトランジスタN434がオンする。また、部分抵抗回路NR44のNMOSトランジスタN421はオフし、部分抵抗回路NR49のNMOSトランジスタN441がオンする。

これにより、出力端TXPと電源電圧Vccとの間で、抵抗R13(200Ω)とR14(66.6Ω)が並列に接続されるので、抵抗R13とR14の合成抵抗Rcom1の抵抗値は50Ωとなる。一方、出力端TXMとGNDとの間でR28(200Ω)とR29(66.6Ω)が並列に接続され、各抵抗R28乃至R29の合成抵抗Rcom2の抵抗値は50Ωとなる。ここで、電源電圧Vccを1Vとし、各合成抵抗Rcom1、Rcom2及び各終端抵抗R1、R2の分圧比を考慮すれば、出力端TXPと出力端TXMの電圧は、それぞれ750mV及び250mVであり、差動伝送線路4の電圧振幅は500mVである。また、この場合に、出力端TXPから出力端TXMに流れる定電流は5mAである。

また、差動データ「0」のプリエンファシス時は、出力端TXPと出力端TXMの電圧は、それぞれ250mV及び750mVとなる。なお、上述したように、各合成抵抗Rcom1及びRcom2はそれぞれ50Ωであり、終端抵抗のインピーダンス整合を実現している。

【0021】

図5は、ディエンファシス時の高速シリアル通信システム1の状態を説明する図である。上述したように、データ「1」のディエンファシス時には、部分抵抗回路PR40乃至PR42のPMOSトランジスタP411乃至P413がオンし、部分抵抗回路PR43のPMOSトランジスタP414がオフする。また部分抵抗回路PR45乃至PR47のPMOSトランジスタP431乃至P433がオフし、部分抵抗回路PR48のPMOSトランジスタP434がオンする。また、部分抵抗回路PR44のPMOSトランジスタP421がオフし、部分抵抗回路PR49のPMOSトランジスタP441がオフする。

また、部分抵抗回路NR40乃至NR42のNMOSトランジスタN411乃至N413のトランジスタがオフし、部分抵抗回路NR43のNMOSトランジスタN414がオンする。また、部分抵抗回路NR45乃至NR47のNMOSトランジスタN431乃至N433がオンし、部分抵抗回路NR48のNMOSトランジスタN434がオフする。また、部分抵抗回路NR44のNMOSトランジスタN421がオフし、部分抵抗回路NR49のNMOSトランジスタN441がオフする。

【0022】

これにより、出力端TXPと所定の電源電圧Vccとの間で、抵抗R10乃至R12が並列に接続されるので、抵抗R10乃至R12(いずれも200Ω)の合成抵抗は66.6Ωである。また、出力端TXPとGNDとの間で抵抗R23(200Ω)が接続されるので、GNDに接続されている抵抗は200Ωで、これらの合成抵抗Rcom3は50Ωである。一方、出力端TXMと電源電圧Vccとの間では、抵抗R18(200Ω)が接続されるので、電源電圧Vccとの間に接続されている抵抗は200Ωである。また、出力端TXMとGNDの間では抵抗R25乃至R27が並列に接続されており、抵抗R25乃至R27(いずれも200Ω)の合成抵抗は66.6Ωである。よって、出力端TXMに接続されている抵抗の合成抵抗値は50Ωである。これらの抵抗の分圧で出力端TXPは625mV、出力端TXMは375mVを出力し、差分の電圧は250mVで、ディエンファシス時の電圧を出力する。

このようにオンオフする抵抗の数を変えることで、合成抵抗を50Ωにして出力振幅の値を変えることが可能となる。

【0023】

図6は、ドライバ回路91の動作を説明するための図である。説明を容易にするため、出力端TXPが「1」(High)でインダクタンスL41が0nHの時の図を示している。Rcomは部分抵抗回路で作る合成抵抗50Ωを示し、C1は静電保護容量(1.2pF相当)、10はワイヤボンディング(3nH相当)、R1は終端抵抗50Ωを示す。この時2.5GHz相当の振幅は450mVで50mV程度の振幅の減衰が見られる。

図7は、ドライバ回路91の動作を説明するための図である。出力端TXPが「1」でインダクタンスL41が0nHではない時の図を示している。プリエンファシス時には抵抗R14とインダクタンスL41がRcom(R13)に並列に接続される。インダクタンスL41の値によって、振幅が変化する。

【0024】

図8は、静電保護容量C1が1.2pF、ワイヤボンディング10が3nH相当で、インダクタンスL41を0nH~5nHまで変化させた時のグラフである。縦軸が振幅(V)、横軸はインダクタンス(H)を示している。インダクタンスL41を2.25nH程度にすると振幅が475mVで、25mVの振幅の改善が可能である。インダクタンスL41はプリエンファシス時のみ接続されるので、プリエンファシス時の振幅の改善をすることが可能である。振幅をより改善するために部分抵抗回路PR44と部分抵抗回路NR44の抵抗値を下げ、部分抵抗回路PR40乃至PR43と部分抵抗回路NR40乃至NR43の抵抗値を上げることで、振幅の改善度を変えることが可能である。但し、プリエンファシス時及び、ディエンファシス時のDCでの合成抵抗は50Ωになるように変更する必要がある。

このように本実施形態によれば、受動素子を介した抵抗回路のスイッチング素子を所望のデータパターンの時に制御することで、所望のデータパターン(本実施形態ではプリエンファシス時のみ)の振幅を改善することができる。更にDCの時の出力インピーダンスに影響を与えないドライバ回路を提供することができる。

また、並列に接続された部分抵抗回路のスイッチング素子をオン又はオフすることによって抵抗が変化するので、より低消費電力化が可能なドライバ回路を提供することができる。

【0025】

<第二の実施形態>

本発明の第二の実施形態について、図面に基づいて説明する。

図9は、第二の実施形態に係る送信側ドライバ回路92の詳細な構成例を示す回路図である。本発明の第一の実施形態に係るドライバ回路91と異なる点は、インダクタンスL41の代わりにキャパシタンス(第1の受動素子)C41を備え、インダクタンスL42の代わりにキャパシタンス(第2の受動素子)C42を備え、抵抗R14、抵抗R24、抵抗R19、抵抗R29が排除された点にある。構成は実施例1とほぼ同様なので、詳細な説明を省略する。

次にドライバ回路92の動作を説明する。図10は、ドライバ回路92の動作を説明するためのタイミングチャートである。図10において、「TXP」、「TXM」は出力端TXP、TXMに出力された差動電圧の波形を示している。PCI-Express 2の高速通信シリアルシステムにおいて、プリエンファシス時の差動電圧の振幅が500mVの場合、それ以外のディエンファシス時の差動電圧は250mVである。

【0026】

また、図10に示すSDATAP、SDATAM、EMPHPP、EMPHMN、EMPHPN、EMPHMP、DEMPHPP、DEMPHMPは、デジタル回路8からそれぞれ出力された対応する各デジタル信号の波形を示している。

ここで、シリアルデータ信号SDATAPとSDATAMの信号の組、ディエンファシス制御信号DEMPHPPとDEMPHPNの信号の組は、それぞれ対を成す信号の組であり、これらの信号を第1の制御信号と表現する。また、エンファシス制御信号EMPHPPとEMPHPNの信号の組、エンファシス制御信号EMPHNMPとEMPHMNの信号の組は、それぞれ対を成す信号の組であり、これらの信号を第2の制御信号と表現する。

「差動データ」は、一対のシリアルデータ信号SDTAP、SDTAMに応じて差動伝送線路4に出力される差動データであり、SDATAPがLow(L)レベルで、かつSDATAMがHigh(H)レベルの時、差動データ「0」が出力される。SDATAMがLレベルで、SDATAPがHレベルの時、差動データ「1」が出力される。

【0027】

プリエンファシス時におけるドライバ回路92の動作について説明する。

プリエンファシス時にはSDATAPとEMPHPPの信号レベルが一致し、SDATAMとEMPHMPの信号レベルが一致する。

プリエンファシス時でかつ差動データが「1」の場合には、DEMPHPPとSDATAPとEMPHPPとEMPHPNはHレベルにあって、PMOSTランジスタP411乃至P414、P421をオンにする。また、NMOSTランジスタN411乃至N414、N421をオフにする。すなわち、出力端TXPはプルアップされる。

DEMPHMPとSDATAMとEMPHMPとEMPHMNはLレベルにあって、PMOSTランジスタP431乃至P434、P441をオフにする。また、NMOSTランジスタN431乃至N434、N441をオンにする。すなわち、出力端TXMはプルダウンされる。

10

プリエンファシス時でかつ差動データが「0」の場合には、DEMPHPPとSDATAPとEMPHPPとEMPHPNはLレベルにあって、PMOSTランジスタP411乃至P414、P421をオフにする。また、NMOSTランジスタN411乃至N414、N421をオンにする。すなわち、出力端TXPはプルダウンされる。

DEMPHMPとSDATAMとEMPHMPとEMPHMNはHレベルにあって、PMOSTランジスタP431乃至P434、P441をオンにする。また、NMOSTランジスタN431乃至N434、N441をオフにする。すなわち、出力端TXMはプルアップされる。

20

【0028】

ディエンファシス時におけるドライバ回路92の動作について説明する。

ディエンファシス時には、EMPHPPはLレベルにあってPMOSTランジスタP421をオフにし、EMPHPNはHレベルにあってNMOSTランジスタN421をオフにし、EMPHMPはLレベルにあってPMOSTランジスタP441をオフにし、EMPHMNはHレベルにあってPMOSTランジスタP441をオフにする。すなわち、ディエンファシス時には、PMOSTランジスタP421、P441、NMOSTランジスタN421、N441がオフになる。

ディエンファシス時でかつ差動データが「1」の場合には、DEMPHPPはPMOSTランジスタP411乃至P413をオンにし、NMOSTランジスタN411乃至N413をオフにする。この時、PMOSTランジスタP414はオフで、NMOSTランジスタN414はオンである。また、DEMPHMPはPMOSTランジスタP431乃至P433をオフにし、NMOSTランジスタN431乃至N433をオンにする。この時、PMOSTランジスタP434はオンで、NMOSTランジスタN434はオフである。従って、出力端TXPがプルアップされ、出力端TXMがプルダウンされる。

30

ディエンファシス時でかつ差動データが「0」の場合には、DEMPHPPはPMOSTランジスタP411乃至P413をオフにし、NMOSTランジスタN411乃至N413をオンにする。この時、PMOSTランジスタP414はオンで、NMOSTランジスタN414はオフである。また、DEMPHMPはPMOSTランジスタP431乃至P433をオンにし、NMOSTランジスタN431乃至N433をオフにする。この時、PMOSTランジスタP434はオフで、NMOSTランジスタN434はオンである。従って、出力端TXPがプルダウンされ、出力端TXMがプルアップされる。

40

【0029】

図11はドライバ回路92の動作を説明するための図である。プリエンファシス時で、かつ出力端TXPが「1」(High)の状態を示している。Rcomは部分抵抗回路PR40乃至PR43で作る合成抵抗50Ωを示し、C1は静電保護容量(1.2pF相当)、10はワイヤボンディング(3nH相当)、R1は終端抵抗50Ωを示す。図示するように、C41はRcomに並列に接続される。

図12は、静電保護容量C1が1.2pF、ワイヤボンディング10が3nH相当で、キャパシタンスC41を0p~5pFまで変化させた時のグラフである。縦軸が振幅(V

50

）で、横軸は容量（F）を示している。キャパシタンスC 4 1はプリエンファシス時のみ接続されるので、プリエンファシス時の振幅の改善をすることが可能である。DC時と同程度の振幅を得るには、キャパシタンスC 4 1は1. 5 p Fの容量が必要である。容量素子（受動素子）をインダクタンスからキャパシタンスにすることで、より大きく振幅を改善することが可能である。

このように本実施形態によれば、受動素子を介した抵抗回路のスイッチング素子を所望のデータパターンの時に制御することで、所望のデータパターン（本実施形態ではプリエンファシス時のみ）の振幅を改善することができる。更にDCの時の出力インピーダンスに影響を与えないドライバ回路を提供することができる。

また、並列に接続された部分抵抗回路のスイッチング素子をオン又はオフすることによって抵抗が変化するので、より低消費電力化が可能なドライバ回路を提供することができる。

【0030】

< 第三の実施形態 >

図13は、第三の実施形態に係る送信側ドライバ回路93の詳細な構成例を示す回路図である。図13に示されるように、ドライバ回路93は9個のインバータ1400乃至1408と、第1のプルアップ抵抗回路P141と第1のプルダウン抵抗回路N141、出力端TXP（第1の出力端子）にインダクタンス（第1の受動素子）L141を介して接続される第2のプルアップ回路P142と第2のプルダウン抵抗回路と、第3のプルアップ抵抗回路P143と第3のプルダウン抵抗回路N143、出力端TXM（第2の出力端子）にインダクタンス（第2の受動素子）L142を介して接続される第4のプルアップ回路P144と第4のプルダウン抵抗回路N144と第5のプルダウン回路M141とから構成される。

【0031】

第1のプルアップ抵抗回路P141は、出力端TXPと所定の電源電圧Vccとの間で接続された部分抵抗回路PR141を備える。部分抵抗回路PR141は、直列に接続されたPMOSトランジスタP1411と抵抗R11とから構成されている。なお、本実施形態における回路では、出力端TXPと所定の電源電圧Vccとの間で接続された部分抵抗回路は、部分抵抗回路PR141と同様の構成を有するため、以下その説明を省略する。PMOSトランジスタP1411のゲートは、インバータ1400の出力端に接続される。

第1のプルダウン抵抗回路N141は、出力端TXPと所定のGNDとの間で接続された部分抵抗回路NR141を備える。部分抵抗回路NR141は、直列に接続されたNMOSトランジスタN1411と抵抗R21とから構成されている。なお、本実施形態における回路では、出力端TXPと所定のGNDとの間で接続された部分抵抗回路は、部分抵抗回路NR141と同様の構成を有するため、以下その説明を省略する。NMOSトランジスタN1411のゲートは、インバータ1403の出力端に接続される。

【0032】

第3のプルアップ抵抗回路は、出力端TXPと所定の電源電圧Vccとの間で部分抵抗回路PR143を備える。部分抵抗回路PR143に含まれるPMOSトランジスタP1431のゲートは、インバータ1404の出力端と接続される。

第3のプルダウン抵抗回路は、出力端TXPと所定のGNDとの間で接続された部分抵抗回路NR143を備える。部分抵抗回路NR143に含まれるNMOSトランジスタN1431のゲートは、インバータ1407の出力端と接続される。

第2のプルアップ抵抗回路は、出力端TXPとインダクタンスL141を介して、所定の電源電圧Vccとの間で直列に接続された、部分抵抗回路PR142を備える。部分抵抗回路PR142に含まれるPMOSトランジスタP1421のゲートはインバータ1401の出力端と接続される。

第2のプルダウン抵抗回路は、出力端TXPとインダクタンスL141を介して、所定のGNDとの間で直列に接続された、部分抵抗回路NR142を備える。部分抵抗回路R

10

20

30

40

50

142に含まれるNMOSトランジスタN1421のゲートは、インバータ1402の出力端と接続されている。

【0033】

第4のプルアップ抵抗回路は、出力端TXMとインダクタンスL142を介して、所定の電源電圧Vccとの間で直列に接続された、部分抵抗回路PR144を備える。部分抵抗回路PR144に含まれるPMOSトランジスタP1441のゲートはインバータ1405の出力端と接続される。

第4のプルダウン抵抗回路は、出力端TXMとインダクタンスL142を介して、所定のGNDとの間で直列に接続された、部分抵抗回路NR144を備える。部分抵抗回路NR144に含まれるNMOSトランジスタ、N1441のゲートはインバータ1406の出力端と接続されている。

10

本実施形態におけるドライバ回路93は、分流回路として働く第5のプルダウン抵抗回路M141を備える。第5のプルダウン抵抗回路M141は、出力端TXPと抵抗R31を介してNMOSトランジスタN1451と直列に接続され、出力端TXMと抵抗R32を介して、NMOSトランジスタN1451と直列に接続されている。抵抗R32は、抵抗R31が接続されていない方に接続されている。また、NMOSトランジスタN1451のゲートは、インバータ1408の出力端と接続される。

【0034】

次にドライバ回路93の動作を説明する。図14は、ドライバ回路93の動作を説明するためのタイミングチャートである。図14において、「TXP」、「TXM」は出力端TXP、TXMに出力された差動電圧の波形を示している。PCI-Express Gen2の高速通信シリアルシステムにおいて、プリエンファシス時の差動電圧の振幅が500mVの場合、それ以外のディエンファシス時の差動電圧は250mVである。また、シリアルデータ信号SDATAP及びSDATAMは対を成す信号であり、これらを第1の制御信号と呼ぶ。第2の制御信号はまた、エンファシス制御信号EMPHPPとEMPHPNの信号の組、エンファシス制御信号EMPHNMPとEMPHMNの信号の組は、それぞれ対を成す信号の組であり、これらの信号を第2の制御信号と呼ぶ。また、制御信号MDATAを第3の制御信号と呼ぶ。

20

【0035】

「差動データ」は、一对のシリアルデータ信号SDTAP、SDTAMに応じて差動伝送線路4に出力される差動データであり、SDATAPがLow(L)レベルでSDATAMがHigh(H)レベルの時、差動データ「0」が出力され、SDATAMがLowレベルで、SDATAPがHighレベルの時、差動データ「1」が出力される。

30

プリエンファシス時にはSDATAPとEMPHPPとEMPHPNの信号レベルが一致し、SDATAMとEMPHMPとEMPHMNの信号レベルが一致する。この時、MDATAはHレベルにあって、NMOSトランジスタN1451をオフにする。

ディエンファシス時にはEMPHPPはPMOSトランジスタP1421をオフにし、EMPHPNはNMOSトランジスタN1421をオフにし、EMPHMPはPMOSトランジスタP1441をオフにし、EMPHMNはNMOSトランジスタN1441をオフにし、MDATAはNMOSトランジスタN1451をオンにする。

40

【0036】

図15はディエンファシス時の高速シリアル通信システム1の状態を説明する図である。差動データ「1」のディエンファシス時には、部分抵抗回路PR142のPMOSトランジスタP1421がオフし、部分抵抗回路PR141のPMOSトランジスタP1411がオンする。また部分抵抗回路PR143乃至PR144のPMOSトランジスタP1431乃至P1441がオフする。

部分抵抗回路PR142のPMOSトランジスタP1421がオフし、PR144のPMOSトランジスタP1441がオフする。

部分抵抗回路NR141とNR143のNMOSトランジスタN1411がオフし、部分抵抗回路NR143のNMOSトランジスタN1431がオンする。

50

部分抵抗回路NR142のNMOSトランジスタN1421がオフし、部分抵抗回路NR144のNMOSトランジスタN1441がオフする。

部分抵抗回路MR141（分流用部分抵抗回路）のNMOSトランジスタN1451がオンする。

【0037】

これにより、出力端TXPと電源電圧Vccとの間で、抵抗R11が接続されるので、抵抗は100Ωである。また出力端TXMとGNDとの間で抵抗R23が接続されるので、GNDに接続されている抵抗は100Ωである。一方、出力端TXPは抵抗R31と抵抗R32が接続されるので、合成抵抗は200Ωである。これらの合成抵抗は出力端TXPと出力端TXMそれぞれ、50Ωである。これらの抵抗の分圧で出力端TXPは625mV、出力端TXMは375mVを出力し、差分の電圧は250mVで、ディエンファシス時の電圧を出力する。この時流れる電流は3.75mAで実施例1の構成のディエンファシス時より低消費電流化が可能である。

トランジスタのサイズや抵抗を細分化し、オンオフする抵抗の数を変えることで、合成抵抗を50Ωにして出力振幅の値を変えることが可能となる。

尚、エンファシス時の構成は実施例1と等価なので、動作特性の説明は省略する。

本実施形態によれば、プリエンファシス時のみ振幅が改善され、且つDCのインピーダンスは50Ω整合が可能なドライバ回路を提供することができる。また、第一又は第二の実施形態に比べてスイッチング素子の個数が少なく、消費電流が小さいドライバ回路を提供可能にする。

【0038】

<第四の実施形態>

図16は、本発明の第四の実施形態に係る送信側ドライバ回路94の詳細な構成例を示す回路図である。第三の実施形態に係るドライバ回路93と異なる点は、インダクタンスL141、L142の替わりにキャパシタンスC171、C172を配置した点、出力端にキャパシタンスを介して接続される部分抵抗回路内に抵抗を備えていない点、第1のプルアップ抵抗回路と第1のプルダウン抵抗回路内の部分抵抗回路の数が異なる点にある。

図16に示されるように、ドライバ回路94は9個のインバータ1400乃至1408と、出力端TXPに接続される第1のプルアップ抵抗回路P141と第1のプルダウン抵抗回路N141と第2のプルアップ抵抗回路P171と第2のプルダウン抵抗回路N171と、出力端TXMに接続される第3のプルアップ抵抗回路P143と第3のプルダウン抵抗回路N143と第4のプルアップ抵抗回路P172と第4のプルダウン抵抗回路N172と、第5のプルダウン回路M141とを備える。

【0039】

第1のプルアップ抵抗回路P141は、出力端TXPと所定の電源電圧Vccとの間で接続された部分抵抗回路PR141を備える。

第1のプルダウン抵抗回路N141は、出力端TXPと所定のGNDとの間で接続された部分抵抗回路NR141を備える。部分抵抗回路PR141のPMOSトランジスタP1411のゲートはインバータ1400の出力端に接続され、部分抵抗回路NR141のNMOSトランジスタN1411のゲートは、インバータ1403の出力端に接続される。

第3のプルアップ抵抗回路P143は、出力端TXMと所定の電源電圧Vccとの間で接続された部分抵抗回路PR143を備える。

第3のプルダウン抵抗回路N143は、出力端TXMと所定のGNDとの間で接続された部分抵抗回路NR143を備える。部分抵抗回路PR143のPMOSトランジスタP1431のゲートはインバータ1404の出力端に接続され、部分抵抗回路NR143のNMOSトランジスタN1431のゲートは、インバータ1407の出力端に接続される。

【0040】

第2のプルアップ抵抗回路P171は、出力端TXPと所定の電源電圧Vccとの間で接続された部分抵抗回路PR142と、出力端TXPとキャパシタンスC171（第1の受動素子）を介して所定の電源電圧Vccとの間で直列に接続された部分抵抗回路PR171とを備える。部分抵抗回路PR171は、PMOSトランジスタP1721からなる。部分抵抗回路PR142のPMOSトランジスタP1412と部分抵抗回路PR171のPMOSトランジスタP1721のゲートはインバータ1401の出力端と接続される。

第2のプルダウン抵抗回路N171は、出力端TXPと所定のGNDとの間で接続された部分抵抗回路NR142と、出力端TXPとキャパシタンスC171を介して、所定のGNDとの間で直列に接続された部分抵抗回路NR171とを備える。部分抵抗回路NR171は、NMOSトランジスタN1721からなる。部分抵抗回路NR142のNMOSトランジスタN1412と部分抵抗回路NR171のNMOSトランジスタN1721のゲートはインバータ1402の出力端と接続される。

第4のプルアップ抵抗回路P172は、出力端TXMと所定の電源電圧Vccとの間で接続された部分抵抗回路PR144と、出力端TXMとキャパシタンスC172（第2の受動素子）を介して所定の電源電圧Vccとの間で直列に接続された部分抵抗回路PR172とを備える。部分抵抗回路PR172は、PMOSトランジスタP1722からなる。PMOSトランジスタP1432とP1722のゲートはインバータ1405の出力端と接続されている。

第4のプルダウン抵抗回路N172は、出力端TXMと所定のGNDとの間で接続された部分抵抗回路NR144と、出力端TXMとキャパシタンスC172を介して所定のGNDとの間で直列に接続された部分抵抗回路NR172とを備える。部分抵抗回路NR172は、NMOSトランジスタN1722からなる。部分抵抗回路NR144のNMOSトランジスタN1432と部分抵抗回路NR172のNMOSトランジスタN1722のゲートはインバータ1406の出力端と接続される。

第5のプルダウン抵抗回路M141は、出力端TXPと抵抗R31を介してNMOSトランジスタN1451と直列に接続され、出力端TXMと抵抗R32を介して、NMOSトランジスタN1451と直列に接続されている。抵抗R32は、抵抗R31が接続されていない方に接続されている。また、NMOSトランジスタN1451のゲートは、インバータ1408の出力端と接続されている。

【0041】

ドライバ回路94の動作については、第三の実施形態に係るドライバ回路93と同様であり、タイミングチャートも同様なので（図14参照）、その説明を省略する。

本実施形態によれば、プリエンファシス時のみ振幅が改善され、且つDCのインピーダンスは50Ω整合が可能なドライバ回路を提供することができる。また、本実施形態に係るドライバ回路は、第一又は第二の実施形態に係るドライバ回路より消費電流を小さくすることが可能である。

【図面の簡単な説明】

【0042】

【図1】PCI-Express gen2の高速シリアル通信システムの構成例を示す回路図である。

【図2】第一の実施形態に係る送信側ドライバ回路の詳細な構成例を示す回路図である。

【図3】ドライバ回路の動作を説明するためのタイミングチャートである。

【図4】高速シリアル通信システムの状態を説明する図である。

【図5】高速シリアル通信システムの状態を説明する図である。

【図6】ドライバ回路の動作を説明するための図である。

【図7】ドライバ回路の動作を説明するための図である。

【図8】インダクタンスを変化させた時のグラフ図である。

【図9】第二の実施形態に係る送信側ドライバの詳細な構成例を示す回路図である。

【図10】ドライバ回路の動作を説明するためのタイミングチャートである。

10

20

30

40

50

【図 1 1】ドライバ回路の動作を説明するための図である。

【図 1 2】キャパシタンスを変化させた時のグラフ図である。

【図 1 3】第三の実施形態に係る送信側ドライバ回路の詳細な構成例を示す回路図である。

【図 1 4】ドライバ回路の動作を説明するためのタイミングチャートである。

【図 1 5】高速シリアル通信システムの状態を説明する図である。

【図 1 6】第四の実施形態に係る送信側ドライバ回路の詳細な構成例を示す回路図である。

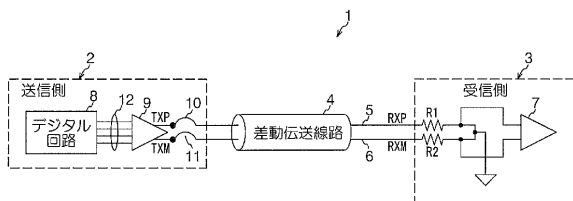
【符号の説明】

【0043】

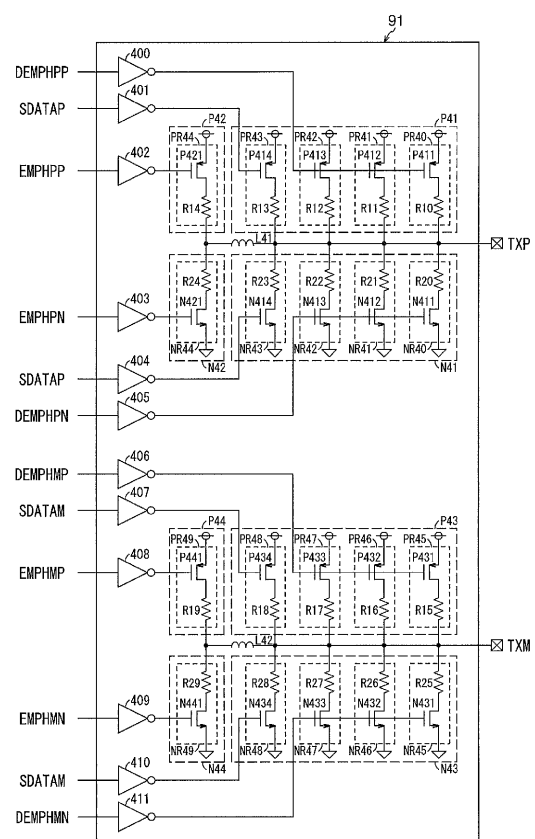
1…高速シリアル通信システム、2…送信側回路、3…受信側回路、4…差動伝送線路、5…往路伝送線路、6…復路伝送線路、7…受信側レシーブ回路、8…デジタル回路、9、91、92、93、94…（送信側）ドライバ回路、10、11…ワイヤボンディング、12…制御信号

10

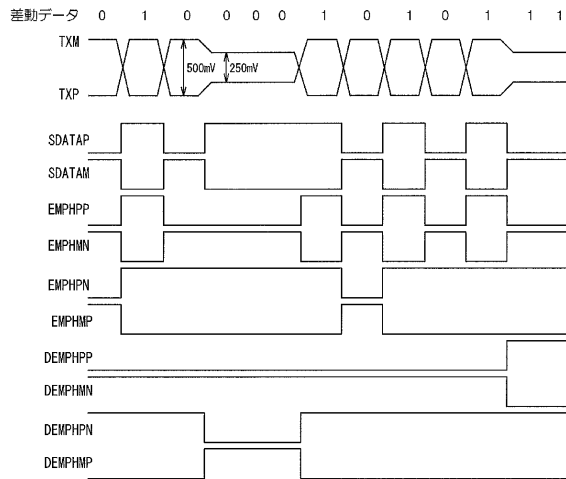
【図 1】



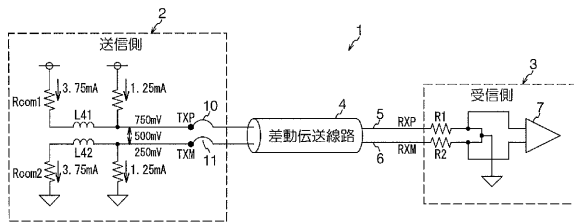
【図 2】



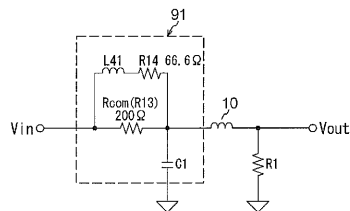
【図 3】



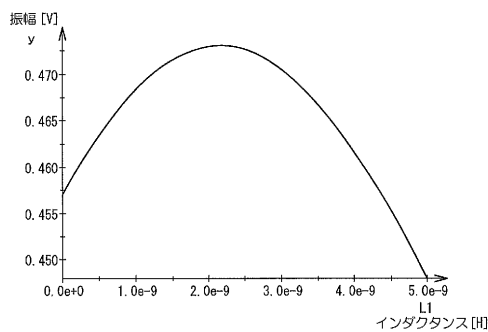
【図 4】



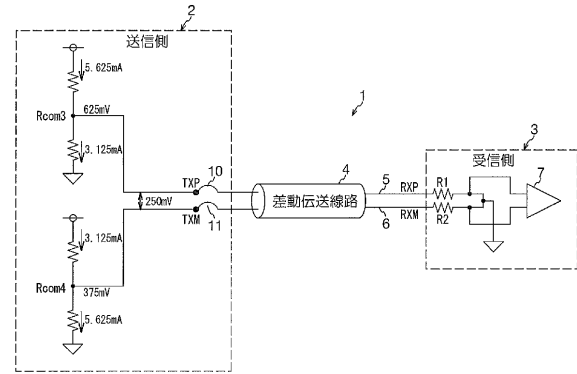
【図 7】



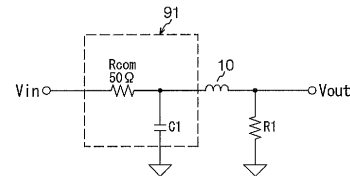
【図 8】



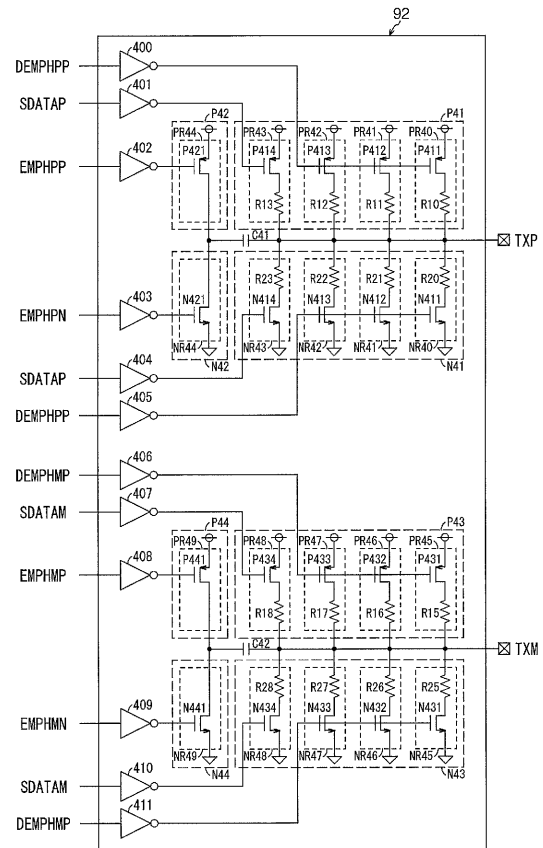
【図 5】



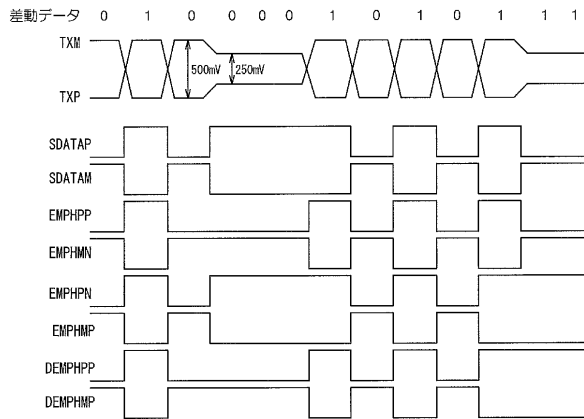
【図 6】



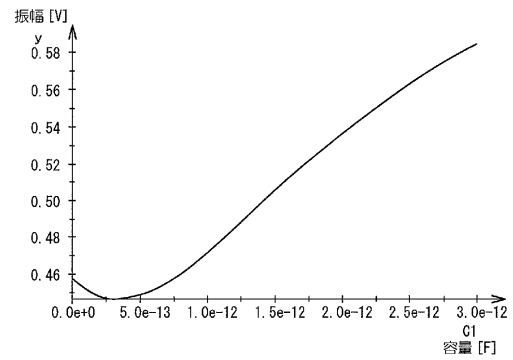
【図 9】



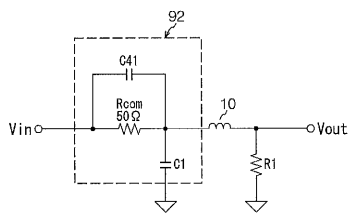
【図 10】



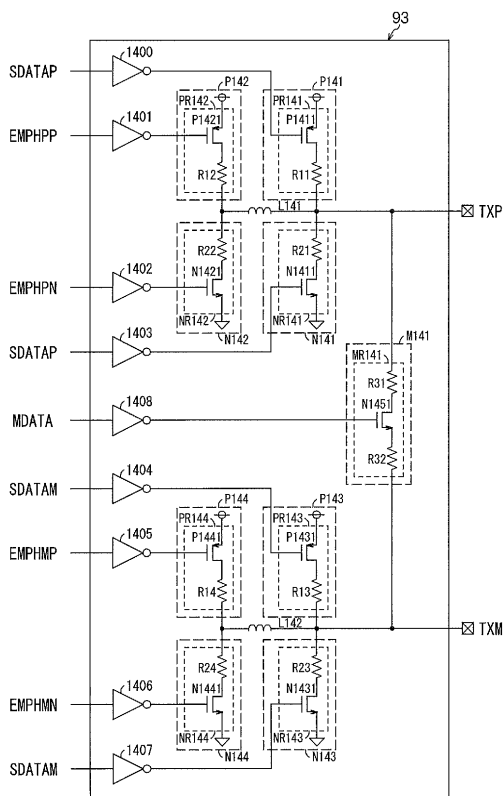
【図 12】



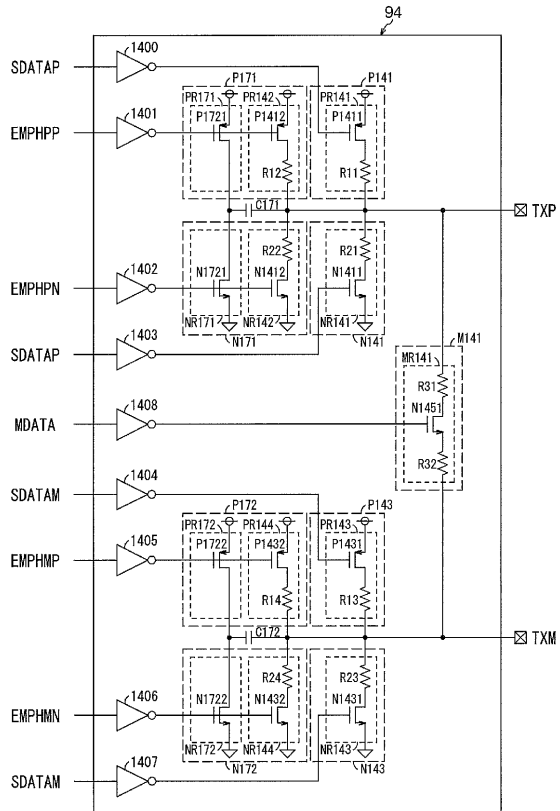
【図 11】



【図 13】



【図 16】



フロントページの続き

Fターム(参考) 5J056 AA04 BB04 CC00 CC06 DD13 DD29 DD51 DD53 DD59 EE06
EE15 FF07 FF09 GG09 GG13 KK01 KK03
5K029 AA03 DD24 GG05 GG07 JJ08