

A1

**DEMANDE
DE BREVET D'INVENTION**

(21)

N° 81 21981

(54) Circuit logique permettant une opération d'essai.

(51) Classification internationale (Int. Cl.³). G 06 F 7/38, 11/00; H 03 K 19/20.

(22) Date de dépôt..... 24 novembre 1981.

(33) (32) (31) Priorité revendiquée : Japon, 25 novembre 1980, n° 166074/1980.

(41) Date de la mise à la disposition du
public de la demande..... B.O.P.I. — « Listes » n° 21 du 28-5-1982.

(71) Déposant : Société dite : NIPPON ELECTRIC CO., LTD, résidant au Japon.

(72) Invention de : Masato Kawai.

(73) Titulaire : *Idem* (71)

(74) Mandataire : Cabinet Novapat-Chereau,
107, bd Pereire, 75017 Paris.

1.

La présente invention concerne un circuit logique destiné à être utilisé dans une unité arithmétique/logique d'un ordinateur et, plus particulièrement, un circuit logique capable d'effectuer une opération d'essai.

5 Parmi les différents systèmes d'essai proposés jusqu'ici, un système d'essai utilisant un trajet de balayage est bien connu. Ce système est conçu pour utiliser, comme trajet de balayage, un registre de décalage constitué de bascules en cascade servant généralement de circuit logi-
10 que. Pour préciser davantage, dans l'opération d'essai, un profil d'essai est balayé dans le registre et la réponse du profil est sortie par balayage du registre. On trouvera des détails d'une telle technique de trajet de balayage dans un article intitulé "Test Generation Systems in Japan",
15 par Funatsu et autres dans "12th Design Automation Conference", pp. 114-122 publié en 1975 par IEEE. Cette technique soulève le problème que l'opération de balayage dans le registre et du balayage de réponse est une opération qui nécessite une durée relativement importante.

20 Un autre système d'essai proposé comme version améliorée du système à trajet de balayage comprend une pluralité de registres de décalage qui sont connectés en série, chaque registre étant constitué de bascules connectées en cascade avec plusieurs boucles de réaction. Ce système

d'essai perfectionné fonctionne de façon à produire des profils d'essai pseudo-aléatoires. Une autre fonction du même système est de minimiser la quantité totale d'éléments binaires nécessaires à la sortie des résultats d'essai suivant la technique de la compression des données. Plus clairement, de façon à fonctionner de cette manière, le système fournit séquentiellement aux registres de décalage chacun des profils d'essai donnés, exécute une seule opération arithmétique prédéterminée non pour chaque réponse mais pour les réponses totales des profils, puis génère le résultat du calcul (chaque réponse ne peut être reproduite à partir du résultat du calcul). On trouvera des détails de ce système dans un article intitulé "Built-in Logic Block Observation Techniques" par Bernd Könenmann et autres dans "1979 IEEE Test Conference" pp.37-41, publié en 1979 par IEEE. Ce système permet de réduire grandement la durée d'essai par une production automatique des profils d'essai ainsi que par la compression des données pour la réduction de la quantité totale des données de sortie de l'unité logique. Cependant, comme un circuit à tester ne peut être divisé en une pluralité de blocs devant être soumis à un essai bloc par bloc avec ce système, une quantité prohibitive de données d'essai ainsi qu'une certaine durée d'essai sont nécessaires pour procéder au test de la totalité du circuit.

Un objet de la présente invention est par conséquent un circuit logique présentant une possibilité d'essai qui soit exempt des inconvénients cités ci-dessus inhérents aux systèmes d'essai de l'art antérieur.

Un circuit logique selon la présente invention comprend un circuit de combinaison pour recevoir en parallèle un profil binaire qui est constitué d'une pluralité de signaux et pour produire un profil binaire en parallèle; un groupe de bascules maîtres pour recevoir séquentiellement une partie du profil binaire de sortie du circuit de combinaison; un groupe de bascules esclaves correspondant aux bascules individuelles du groupe maître, le groupe de bascules esclaves recevant séquentiellement le profil bi-

naire de sortie du groupe de bascules maîtres et le ren-
voyant au circuit de combinaison; un moyen pour connecter
en cascade les bascules du groupe maître afin de consti-
tuer un registre de décalage avec une boucle de réaction;
5 et un moyen pour connecter en cascade les bascules du
groupe esclave de manière à constituer un registre de déca-
lage avec une boucle de réaction.

La présente invention sera bien comprise lors de la
description suivante faite en liaison avec les dessins ci-
10 joints dans lesquels :

La figure 1 représente un mode de réalisation de
la présente invention;

La figure 2 représente un diagramme détaillé d'un
circuit à bascules représenté dans la figure 1;

15 Les figures 3A à 3D représentent des détails de
quatre circuits de commutation de mode représentés en fi-
gure 2, respectivement;

Les figures 4 et 6, en combinaison, représentent
un circuit équivalent au circuit de la figure 2 dans un es-
20 sai pratiqué dans le mode à réaction;

Les figures 5, 7, 8 représentent des diagrammes de
temps permettant de décrire le fonctionnement du mode de
réalisation de la présente invention;

25 Les figures 9 et 10 représentent une modification
du circuit de bascules représenté en figure 2;

Les figures 11 à 13 représentent des tableaux dé-
montrant le fonctionnement du circuit de bascules repré-
senté en figure 9; et

30 Les figures 14 à 16 sont des tableaux décrivant
le fonctionnement du circuit de bascules représenté en fi-
gure 10.

Dans les dessins, les mêmes numéros de référence
représentent les mêmes éléments de structure, et chaque
cercle représenté dans des portes représente une inversion
35 d'une entrée donnée.

En liaison avec la figure 1, le circuit logique
de la présente invention comprend un circuit de combinai-
son 101 et un circuit de bascules maîtres/esclaves 102 qui

reçoit une partie de la sortie du circuit 101 par l'intermédiaire de lignes 130-1 à 130-m et à son tour alimente le circuit 101 avec une partie de sa sortie par l'intermédiaire de lignes 140-1 à 140-m. Le circuit logique comprend également une borne 103 pour le balayage de profils d'essai dans le circuit 102, une borne 104 pour le balayage d'une partie de la sortie du circuit 102, des bornes de signaux de commande 105 et 106 pour la commande du fonctionnement du circuit 102, des bornes d'entrée 110-1 à 110-l au circuit 101 et des bornes de sortie 120-1 à 120n du circuit 101.

Le circuit 101 a la même structure que le circuit de combinaison 40, 41 ou 42 représenté en figure 5 dans le brevet des Etats-Unis d'Amérique n° 3.761.695.

Dans le mode de fonctionnement normal, le circuit logique représenté utilise le circuit 102 comme un circuit de bascules maîtres/esclaves et provoque l'essai d'un circuit, ce qui met en fonctionnement la totalité du circuit représenté en figure 1 en circuit séquentiel synchrone. Dans un mode d'essai spécifique, des signaux de commande sont transmis des bornes 105 et 106 au circuit 102 de façon à en faire un circuit de registres de décalage. Alors, un profil binaire initial d'essai est fourni en série à partir de la borne 103 au circuit 102 desorte que le circuit de combinaison 101 peut être alimenté avec un profil d'essai désiré. Le profil d'essai chargé dans le circuit 102 peut être observé en série à la borne 104. Par conséquent, la sortie du circuit 101 peut être totalement observée en combinant l'élément binaire de sortie produit à la borne 104 avec les éléments binaires de sortie produits en parallèle aux bornes 120-1 à 120-n de façon à former la réponse d'un profil d'essai donné.

Un premier exemple du circuit 102 est donné en figure 2. Comme représenté, le circuit 102 comprend un groupe de bascules maîtres 201 à 208, un groupe de bascules esclaves 211 à 218, quatre circuits de commutation de mode 220, 221-1 à 221-3, 230 et 240-1 à 240-3 et des portes

OU Exclusives 250 et 260. Pendant le fonctionnement en mode normal, un profil binaire d'entrée est transmis en parallèle des bornes 110-1 à 110-2 au circuit 101. Le profil binaire de sortie du circuit 101 est alors transmis en parallèle aux bascules 201 à 208 du circuit 102 par les lignes 130-1 à 130-m (figure 1). Les contenus stockés dans les bascules 201 à 208 sont alors appliqués en parallèle aux bascules 211 à 218 en asynchronisme avec une impulsion d'horloge provenant de la borne 110-2 par l'intermédiaire d'une ligne 231. Dans le mode d'essai, un profil binaire initial d'essai est chargé séquentiellement à partir de la borne d'entrée de balayage 103 dans les bascules esclaves 211 à 218 qui seront connectées en cascade de façon à former un registre de décalage. Le profil binaire stocké dans les bascules 201 à 208 est sorti séquentiellement à la borne 104 par l'intermédiaire du registre de décalage (des bascules 201 à 208) pour observation.

En liaison avec la figure 3A, le circuit de commutation de mode 220 comprend une porte OU 3010, des portes ET 3020, 3021 et 3022, une porte OU Exclusif 3030, et des portes 3040 et 3041. Le circuit 220 sélectionne l'un de trois profils binaires par une combinaison de "1" ou "0" apparaissant à chacune des bornes 105 et 106 (figure 2). L'un des trois profils binaires est séquentiellement transmis de la bascule maître 201 à la porte 3021 du circuit 220 par l'intermédiaire d'une ligne 3210 représentée en figure 3A. Un autre profil binaire est communiqué en série de la borne d'entrée de balayage 103 à la porte 3020 par l'intermédiaire d'une ligne 3220. Le profil binaire restant est communiqué en série de la porte 3030 à la porte 3022. La porte 3030 produit un signal OU Exclusif de la sortie de la bascule 212 et de celle de la boucle de réaction 2180 provenant de la porte 260 par une ligne 3230. Les détails du fonctionnement de ce circuit sont résumés dans le tableau I ci-dessous.

TABLEAU I

	Mode	105	106	Fonctionnement
5	MODE DE REMISE A L'ETAT INITIAL	0	0	Les bascules 211 et 212 sont chargées en "0" en synchronisme avec des impulsions d'horloge
	MODE NORMAL	1	1	Les bascules 211 et 212 stockent séquentiellement la sortie de la bascule maître 201 en synchronisme avec des impulsions d'horloge
10	MODE DE DECALAGE	1	1	Les bascules 211 et 212 stockent séquentiellement le profil binaire provenant de la borne 103 en synchronisme avec des impulsions d'horloge
15	MODE DE REACTION	0	1	Les bascules 211 et 212 stockent séquentiellement le résultat OU Exclusif du profil binaire provenant de la borne 103 et le profil binaire provenant de la porte OU Exclusif 260 via la ligne 323 en synchronisme avec des impulsions d'horloge
20				

En liaison avec la figure 3B, le circuit de commutation de mode 221-1, comprend une porte OU 3011, des portes ET 3023, 3024 et 3025, et des portes 3042 et 3043. Chaque circuit 221-2 et 221-3 a la même structure que le circuit 221-1. En réponse à des "1" ou "0" apparaissant à chacune des bornes 105 et 106, le circuit 221-1 sélectionne l'un de deux profils binaires. L'un des deux profils binaires est transmis en série de la bascule maître 203 à la porte 3024 du circuit 221-1 par l'intermédiaire d'une ligne 3211 représentée en figure 3B. L'autre profil binaire est transmis en série de la bascule 212 aux portes 3023 et 3025 par l'intermédiaire d'une ligne 3221. Chacun des circuits 221-2 et 221-3 exécute la même opération que le circuit 221-1. Les détails du fonctionnement de ce circuit sont représentés dans le tableau II ci-après.

TABLEAU II

Mode	105	106	Fonctionnement
MODE DE REMISE A L'ETAT INITIAL	0	0	Les bascules 213 à 218 sont chargées en "0" en synchronisme avec des impulsions d'horloge
MODE NORMAL	1	1	Les bascules 213 à 218 stockent séquentiellement les sorties des bascules maîtres correspondantes 203, 205 et 207 en synchronisme avec des impulsions d'horloge
MODE DE DECALAGE	1 0	0 1	Les bascules 213 à 218 stockent séquentiellement les sorties des bascules correspondantes 212 à 217 en synchronisme avec des impulsions d'horloge

En liaison avec la figure 3C, le commutateur de mode 230 comprend une porte OU 3012, des portes ET 3026, 3027, et 3028, et une porte OU Exclusif 3031, et des portes 3044 et 3045. En réponse à des "1" ou "0" présents à chacune des bornes 105 et 106, ce circuit 230 détecte l'un de trois profils binaires. L'un des trois profils est transmis en série du circuit 101 (figure 1) à la porte 3027 du circuit 230 par l'intermédiaire de la ligne 130-1 représentée en figure 3C. Un autre profil est transmis séquentiellement de la porte 3031 à la porte 3028. La porte 3031 produit un signal OU Exclusif de la sortie du circuit 101 et de celle de la boucle de réaction transmise à partir de la porte 250 par une ligne 333. Le profil binaire restant est transmis en série d'une source mise à la masse G à la porte 3026. Les détails du fonctionnement de ce circuit 230 sont résumés dans le tableau III ci-après.

TABLEAU III

Mode	105	106	Fonctionnement
MODE DE REMISE A L'ETAT INITIAL	1	0	Les bascules 201 et 202 sont chargées en "0" en synchronisme avec des impulsions d'horloge
MODE NORMAL	1	1	Les bascules 201 et 202 stockent séquentiellement la sortie du circuit 101 en synchronisme avec des impulsions d'horloge
MODE DE REACTION	0	1	Les bascules 201 et 202 stockent séquentiellement le résultat OU Exclusif de la sortie du circuit 101 et le profil binaire provenant de la porte OU Exclusif 250 par l'intermédiaire de la ligne 333 en synchronisme avec des impulsions d'horloge

En liaison avec la figure 3D, le circuit de commutation de mode 240-1 est constitué d'une porte OU 3012, de portes ET 3029, 3033 et 3034, d'une porte OU Exclusif 3032, et des portes 3046 et 3047. Chacun des circuits 240-2 et 240-3 a la même structure que le circuit 240-1. En réponse à des "1" ou "0" présents à chacune des bornes 105 et 106, le circuit 240-1 sélectionne l'un de trois profils binaires. L'un des trois profils binaires est fourni en série de la bascule 202 à la porte 3029 du circuit 240-1 par l'intermédiaire d'une ligne 3411 représentée en figure 3D. Un autre profil binaire est fourni séquentiellement depuis le circuit 101 (figure 1) à la porte 3033 par l'intermédiaire d'une ligne 130-2. Le profil binaire restant est fourni en série de la porte 3032 à la porte 3034. La porte 3032 produit un signal OU Exclusif de la sortie de la bascule 202 et de celle du circuit 101. Chacun des circuits 240-2 et 240-3 exécute la même opération que le circuit 240-1. Les détails du fonctionnement de ce circuit 240 sont résumés dans le tableau IV ci-après.

TABLEAU IV

	Mode	105	106	Fonctionnement
5	MODE DE REMISE A L'ETAT INITIAL	0	0	Les bascules 203 à 208 sont chargées en "0" en synchronisme avec des impulsions d'horloge
	MODE NORMAL	1	1	Les bascules 203 à 208 stockent séquentiellement la sortie du circuit 101 en synchronisme avec des impulsions d'horloge
10	MODE DE DECALAGE	1	0	Les bascules 203 à 208 stockent séquentiellement le profil binaire à partir des bascules correspondantes 202, 204 et 206 en synchronisme avec des impulsions d'horloge
15	MODE DE REACTION	0	1	Les bascules 203 à 208 stockent séquentiellement le résultat OU Exclusif de la sortie du circuit 101 et de celle des bascules correspondantes 202, 204 et 206 en synchronisme avec des impulsions

20 Le fonctionnement du mode de réalisation ci-dessus sera maintenant décrit en détail en liaison avec les figures 1 à 8 et les tableaux I à IV.

Le circuit logique exécute l'opération normale et l'opération d'essai spécifique. L'opération d'essai
 25 est constituée des étapes séquentielles d'initialisation, d'essai et d'observation de la réponse d'un profil d'essai donné.

Fonctionnement normal

En réponse à des "1 et 1" apparaissant aux bornes 105 et 106 de la figure 1, le circuit de combinaison
 30 101 produit un profil binaire en parallèle dans les lignes 130-1 à 130-n. Ce profil est renvoyé en parallèle au circuit 101 au moyen des circuits de commutation de mode 230 et 240, des bascules maîtres 201, 203, 205 et 207, des circuits de commutation de mode 220 et 221, des bascules esclaves 211, 213, 215 et 217 (figure 2), et des lignes 140-1, 140-2, 140-3 et 140-4. Pendant ce fonctionnement, les circuits 220, 221, 230 et 240 fonctionnent dans leur mode nor-

mal représenté dans les tableaux I à IV, respectivement.

Opération d'essai

(1) Initialisation

Dans ce but, le circuit logique fonctionne dans le mode de remise à l'état initial puis dans le mode de décalage. Dans le mode de remise à l'état initial, toutes les bascules 201 à 208 et 211 à 218 représentées en figure 2 sont chargées en "0". Les circuits 220, 221, 230 et 240 fonctionnent généralement dans les modes normaux représentés dans les tableaux I à IV. Dans le mode suivant à décalage, les bascules maîtres 201 à 208 fonctionnent en registre de décalage en réponse à des impulsions d'horloge transmises à partir de la borne 110-2 par l'intermédiaire de la ligne 231. Le profil binaire d'entrée a son registre de décalage déterminé par le profil binaire de sortie du circuit de commutation 230. Etant donné que les signaux de commande provenant des bornes 105 et 106 sont "1 et 0", le circuit de commutation 230 fonctionne dans le mode de remise à l'état initial représenté dans le tableau III. Par conséquent, le bit de sortie du circuit 230 est "0". Le circuit de commutation 240 fonctionne dans le mode de décalage représenté dans le tableau IV, à la suite de quoi les bascules maîtres 201 à 208 sont commandées de façon à fonctionner en registre de décalage et par conséquent leurs bits de sortie deviennent tous des "0". De même, les autres circuits de commutation 220 et 221 fonctionnent dans leurs modes de décalage permettant aux bascules esclaves 211 à 218 de fonctionner en registre de décalage. Dès qu'un profil binaire d'entrée "0, 0, 0 et 1" est chargé séquentiellement à la borne d'entrée de balayage 103 les bascules esclaves 211 à 218 sont chargées en série avec un profil binaire "1, 1, 0, 0, 0, 0, 0". C'est la valeur initiale devant être chargée dans le circuit 101 comme profil d'essai.

(2) Essai

Un essai est pratiqué dans le mode de réaction. En réponse à des "0 et 1" présents aux bornes 105 et 106,

les circuits de commutation 220, 230 et 240 fonctionnent dans les modes de réaction représentés dans les tableaux I, III et IV, respectivement. Le circuit de commutation 221, d'autre part, est actionné dans le mode de décalage représenté dans le tableau II en réponse aux mêmes signaux de commande. Il en résulte que la totalité du circuit de la figure 2 devient équivalente aux circuits des figures 4 et 6 pris en combinaison. La figure 4 représente les bascules esclaves 211 à 218 et leurs éléments structurels associés, la figure 6 les bascules maîtres 201 à 208 et leurs éléments structurels associés.

En liaison avec la figure 4, en réponse aux impulsions d'horloge appliquées aux bascules individuelles 211 à 218, le profil binaire de sortie des bascules 211, 213, 215 et 217 est changé séquentiellement comme indiqué par (Q_5 , Q_6 , Q_7 et Q_8) en figure 5.

En liaison avec la figure 5, le profil binaire de sortie (Q_5 , Q_6 , Q_7 et Q_8) est chargé en "1, 0, 0, 0" au cycle d'horloge 0. Ensuite, des profils binaires différents les uns des autres sont produits séquentiellement aux cycles d'horloge 1 à 14. Des profils binaires similaires seront produits en série par les bascules 211, 213, 215 et 217 lors des cycles d'horloge successifs suivants 15 à 29, bien que non représentés en figure 5. Ces profils binaires sont déterminés par la combinaison des contenus des bits Q_5 à Q_8 et, ainsi, sont utilisables comme profils aléatoires. Présentée d'une autre manière, la structure de la figure 4 assume la fonction d'un générateur de profil aléatoire constitué d'un registre de réaction linéaire.

En liaison avec la figure 6, le profil binaire de sortie Q_1 à Q_4 des bascules 201, 203, 205 et 207 varie successivement en réponse aux impulsions d'horloge appliquées aux bascules maîtres individuelles 201 à 208. Cette variation séquentielle est représentée en figure 7.

En liaison avec la figure 7, le profil binaire de sortie (Q_1 , Q_2 , Q_3 et Q_4) des bascules 201, 203, 205 et 207 est "0, 0, 0, 0" au cycle d'horloge 0. Au cycle d'hor-

loge suivant 1, le profil binaire de sortie (Q_1 , Q_2 , Q_3 et Q_4) des bascules 201, 203, 205 et 207 devient "0, 0, 0, 1" en réponse à un profil binaire "0, 0, 0, et 1" fourni par l'intermédiaire des lignes de signaux 130-1, 130-2, 130-3 et 130-4. Ensuite, lorsque la quinzième impulsion d'horloge est fournie en même temps que le profil binaire représenté en figure 7, le profil binaire de sortie des bascules 201, 203, 205 et 207 devient "1, 0, 0, 1".

(3) Observation de la réponse d'un profil d'essai donné

En liaison avec la figure 8, un défaut dans le circuit de combinaison 101 est détecté de la manière suivante. Lorsqu'un défaut se produit dans le circuit 101, un profil d'essai est donné en parallèle à partir du circuit 101 au circuit 102 par l'intermédiaire des lignes 130-1, 130-2, 130-3 et 130-4. Si l'on suppose que l'effet néfaste du défaut se produisant dans le circuit 101 apparaît sur la ligne 130-3 au cycle d'horloge 9, cet effet est transmis séquentiellement aux bascules maîtres 201 à 208, de sorte que le profil binaire de sortie des bascules 201, 203, 205 et 207 devient "1, 1, 1 et 0" au cycle d'horloge 15. Le profil binaire de sortie des bascules 201, 203, 205 et 207 est différent du profil binaire de sortie "1, 0, 0, 1" qui doit être produit par les mêmes bascules en cas d'absence de défaut (cas normal) tel que représenté en figure 5. Une telle différence du profil binaire indique un défaut dans le circuit 101.

Comme on le verra maintenant, les bascules maîtres 201 à 208 fonctionnent en compresseur pour la compression des données de sortie d'un circuit sous essai car un défaut peut être détecté par la simple observation du profil binaire de sortie Q_1 à Q_5 des bascules 201, 203, 205 et 207 à un cycle d'observation spécifique (cycle d'horloge 15 dans le mode de réalisation précédent), c'est-à-dire, sans contrôle de chaque profil binaire de sortie Q_1 à Q_4 à tous les cycles. Si les bascules maîtres 201 à 208 (figure 2) sont disposées comme représenté en figure 5, les profils binaires du circuit 101 peuvent être testés avec

efficacité en utilisant ces bascules maîtres 201 à 208 en compresseur de donnée.

Une variante d'agencement du circuit 102 est représentée en figure 9. Alors que le circuit 102 décrit en
5 liaison avec la figure 2, comporte une borne d'entrée de la porte OU Exclusif 250 connectée à la borne de sortie de la bascule 202 et une borne d'entrée de la porte OU Exclusif 260 connectée à la borne de sortie de la bascule 212, le circuit 102 (figure 9) comporte une borne d'en-
10 trée des portes OU Exclusif 250 et 260 connectées aux bornes de sortie des bascules 204 et 214, respectivement.

Une autre variante d'agencement du circuit 102 est représentée en figure 10. Les autres bornes d'entrée des portes OU Exclusif 250 et 260 des figures 2 et 9 sont
15 connectées aux bornes de sortie de bascules 208 et 218, respectivement. Par contraste, les autres bornes d'entrée des portes OU Exclusif 250 et 260 de la figure 10 sont reliées aux bornes de sortie des bascules 208 et 218, respectivement.

20 Le fonctionnement du circuit 102 décrit en figure 9 sera compris en examinant les figures 11 à 13.

En liaison avec les figures 1, 9 et 11 à 13, le fonctionnement d'un second mode de réalisation de la présente invention sera décrit. Ce second mode exécute les
25 mêmes opérations que le premier mode dans son fonctionnement normal et dans l'initialisation de l'opération d'essai. Cependant, on notera que dans l'étape d'initialisation les bascules esclaves 211 à 218 du second mode de réalisation produisent un profil binaire "1, 1, 0, 0, 1, 1, 0, 0" en réponse au profil binaire d'entrée "0, 1, 0, 1" provenant
30 de la borne d'entrée de balayage 103 représentée en figure 9.

En liaison avec la figure 11, au cycle d'horloge 0, le profil binaire de sortie (Q_5 , Q_6 , Q_7 et Q_8) est chargé en "1, 0, 1, 0". Celui-ci est suivi de profils binaires produits séquentiellement aux cycles d'horloge 1 à 8, qui
35 sont tous différents les uns des autres. Ces profils binai-

res sont dictés par la combinaison des contenus des bits Q_5 à Q_8 et, ainsi, sont utilisables en profils aléatoires.

En liaison avec la figure 12, au cycle d'horloge
5 0, le profil binaire de sortie (Q_1 , Q_2 , Q_3 et Q_4) des bascules 201, 203, 205 et 207 est "0, 0, 0, 0". Lorsqu'un profil binaire "0, 0, 0, 1" est fourni au cycle d'horloge suivant 1 par les lignes 130-1 à 130-4, le profil binaire de sortie devient "0, 0, 0, 0".

10 En liaison avec la figure 13, un défaut apparaissant dans le circuit 101 sera détecté de la manière suivante. Lorsqu'un certain défaut se produit dans le circuit 101, qui est transmis au circuit 102 par l'intermédiaire des lignes 130-1 à 130-4, son effet néfaste est transmis séquen-
15 tiellement à la bascule maître 203 par la ligne 130-2 au cycle d'horloge 1. Cela est répercuté par un profil binaire de sortie "1, 1, 1, 0" des bascules 201, 203, 205 et 207 au cycle d'horloge 8. Ce profil binaire de sortie n'est pas identique au profil binaire "0, 1, 0, 1" représenté en
20 figure 12, qui doit être produit par les mêmes bascules en cas d'absence de défaut, indiquant qu'un défaut s'est produit dans le circuit 101.

Là encore, on verra que les bascules maîtres 201 à 208 fonctionnent comme un compresseur de données qui per-
25 met de trouver un défaut simplement en observant le profil binaire de sortie Q_1 à Q_4 des bascules 201, 203, 205 et 207 au cycle d'horloge 8, c'est-à-dire sans observation de chaque profil binaire Q_1 à Q_4 à tous les cycles d'horloge.

Les figures 14 à 16 décrivent le fonctionnement
30 d'un troisième exemple de réalisation du circuit 102 représenté en figure 10.

En liaison avec les figures 1, 10 et 14 à 16, le fonctionnement d'un troisième mode de réalisation sera maintenant décrit. Ce mode de réalisation exécute les mêmes
35 opérations que le premier mode dans son fonctionnement normal et son initialisation dans l'opération d'essai.

En liaison avec la figure 14, au cycle d'horloge

0 les bascules esclaves 211, 213, 215 et 217 produisent un profil binaire de sortie (Q_5 , Q_6 , Q_7 et Q_8), qui est "1, 0, 0, 0". Ensuite, elles produisent séquentiellement d'autres profils binaires qui sont tous différents les uns des autres aux cycles d'horloge 1 à 5. Là encore, ces profils binaires sont dictés par la combinaison des contenus des bits Q_5 à Q_8 et sont par conséquent utilisables en profils aléatoires.

En liaison, avec la figure 15, au cycle d'horloge 0, les bascules 201, 203, 205 et 207 produisent un profil binaire de sortie (Q_1 , Q_2 , Q_3 et Q_4) qui est "0, 0, 0 et 0" comme dans le fonctionnement du circuit de la figure 12. Au cycle d'horloge suivant 1, le profil binaire de sortie (Q_1 , Q_2 , Q_3 , Q_4) devient "0, 0, 0, 0".

La détection d'un défaut dans le circuit de combinaison 101 sera décrite en liaison avec la figure 16. Lorsqu'un certain défaut se produit dans le circuit 101, qui est transmis au circuit 102 par les lignes 130-1 à 130-4, cet effet néfaste apparaît sur la ligne 130-2 au cycle d'horloge 1 et est séquentiellement transmis aux bascules maîtres 201 à 208. Puis, le profil binaire de sortie (Q_1 , Q_2 , Q_3 , Q_4) devient "1, 1, 0, 1" au cycle d'horloge 5. Ce profil binaire de sortie est différent du profil binaire de sortie "1, 1, 1, 1" représenté en figure 15, qui doit être produit en cas d'état normal, représentant l'occurrence d'un défaut dans le circuit 101. Ce mode de réalisation ainsi que les premier et second modes de réalisation utilisent les bascules maîtres 201 à 208 comme un compresseur de données qui exécute une détection de défaut sans observation des profils binaires des bascules 201, 203, 205 et 207 à tous les cycles d'horloge par la simple observation du profil binaire Q_1 à Q_4 au seul cycle d'horloge 5.

Pour résumer on verra que la présente invention permet une production facile de profils d'essai et une grande réduction du temps d'observation requis par suite d'une application à haute vitesse des profils grâce aux agencements à registres de décalage avec les boucles de réaction.

La présente invention n'est pas limitée aux exemples de réalisation qui viennent d'être décrits, elle est au contraire susceptible de modifications et de variantes qui apparaîtront à l'homme de l'art.

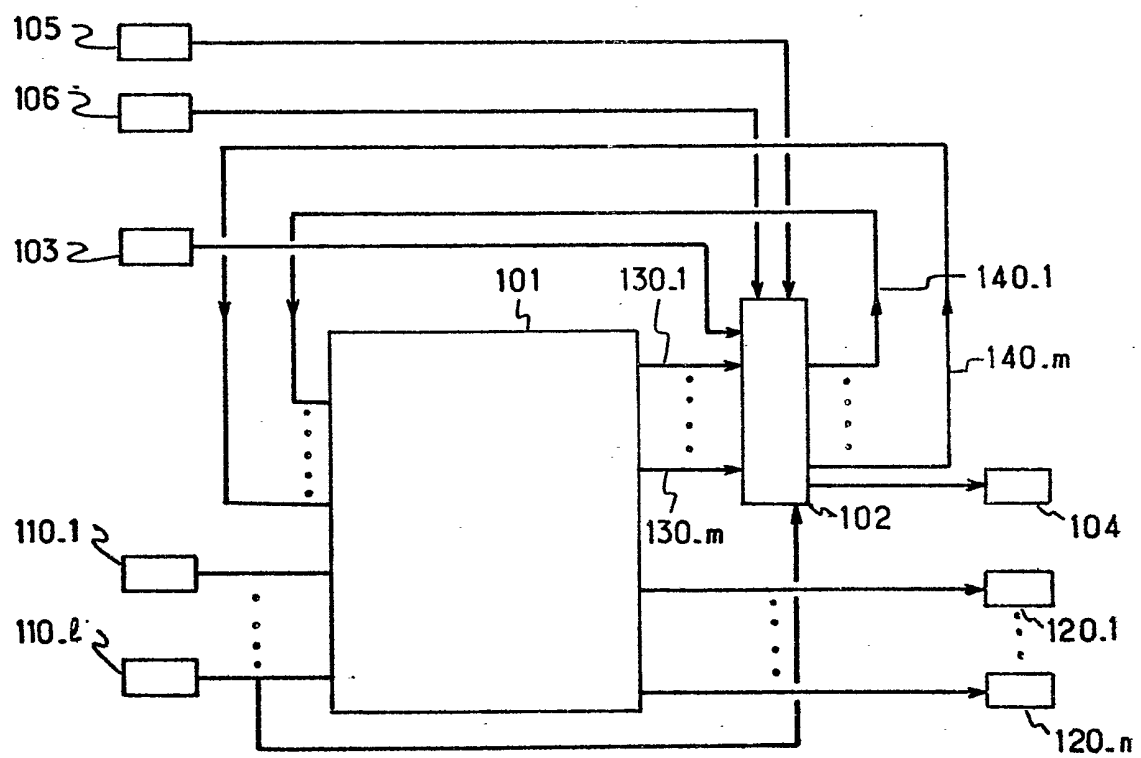
REVENDEICATIONS

1 - Circuit logique, caractérisé en ce qu'il comprend :

- 5 - un circuit de combinaison (101) pour recevoir en parallèle un profil binaire qui est constitué d'une pluralité de signaux et pour produire un profil binaire en parallèle;
- 10 - un groupe de bascules-maîtres (102, 201 à 208) pour recevoir séquentiellement une partie du profil binaire de sortie du circuit de combinaison;
- 15 - un groupe de bascules-esclaves (102, 211 à 218) correspondant aux bascules individuelles du groupe de bascules-maîtres, ce groupe de bascules-esclaves recevant séquentiellement le profil binaire de sortie du groupe de bascules-maîtres et le renvoyant au circuit de combinaison;
- un moyen (220, 221, 230, 240) pour connecter en cascade les bascules du groupe maître de façon à constituer un registre de décalage avec une boucle de réaction; et
- 20 - un moyen (220, 221, 230, 240) pour connecter en cascade les bascules du groupe esclave afin de constituer un registre à décalage avec une boucle de réaction.

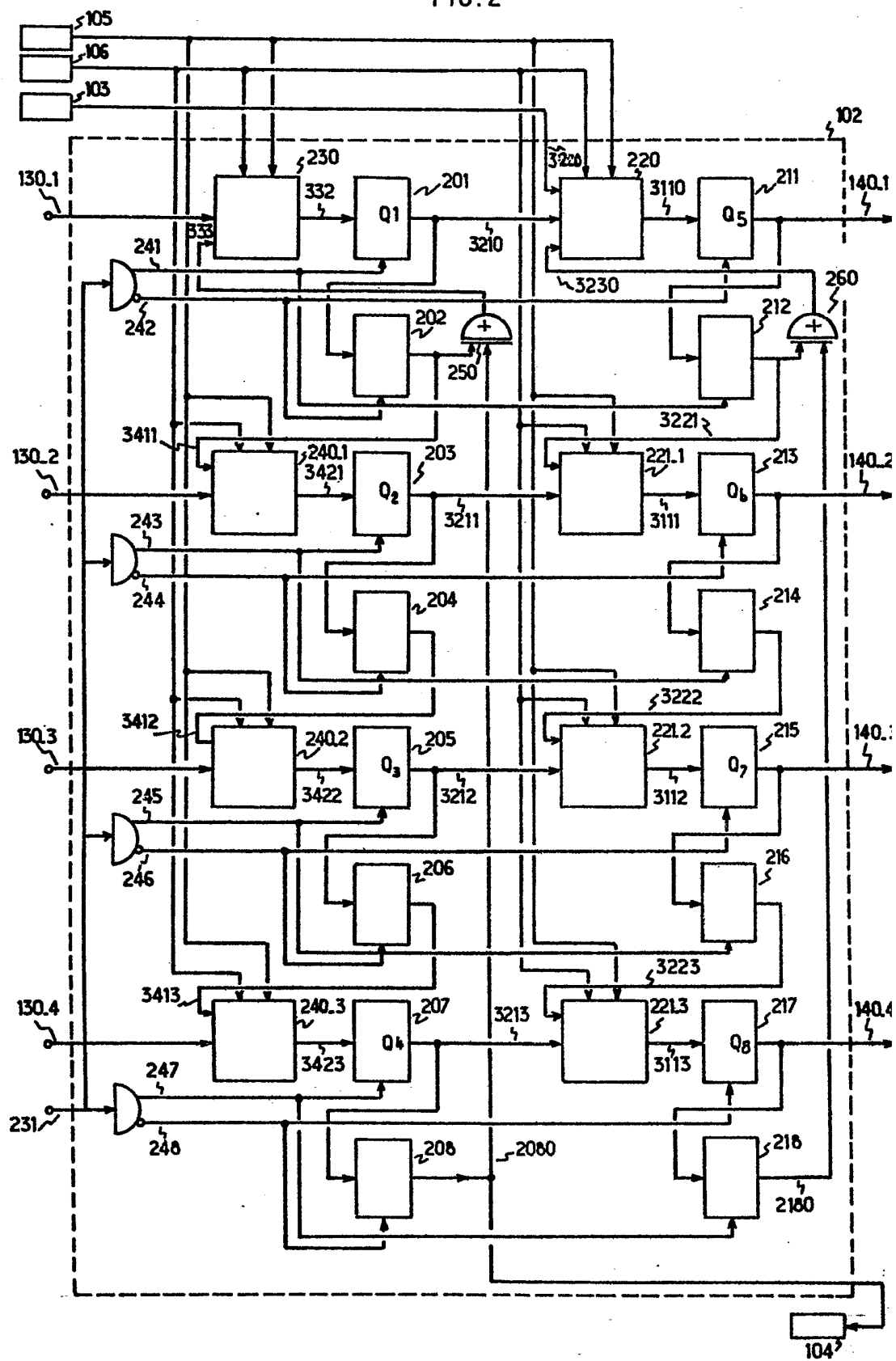
PL.I/14

FIG 1



PL.II/14

FIG. 2



PL.III/14

FIG. 3A

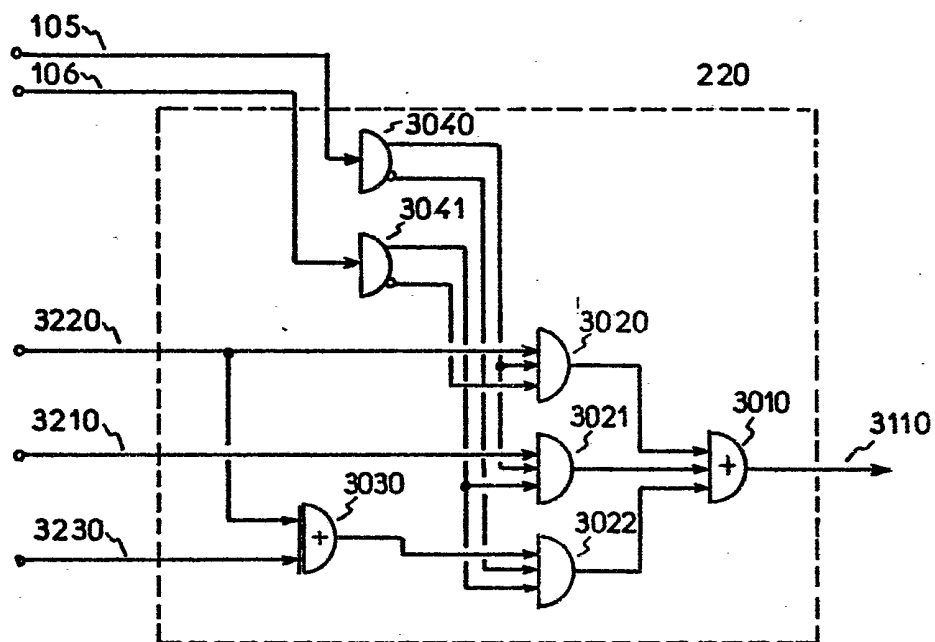
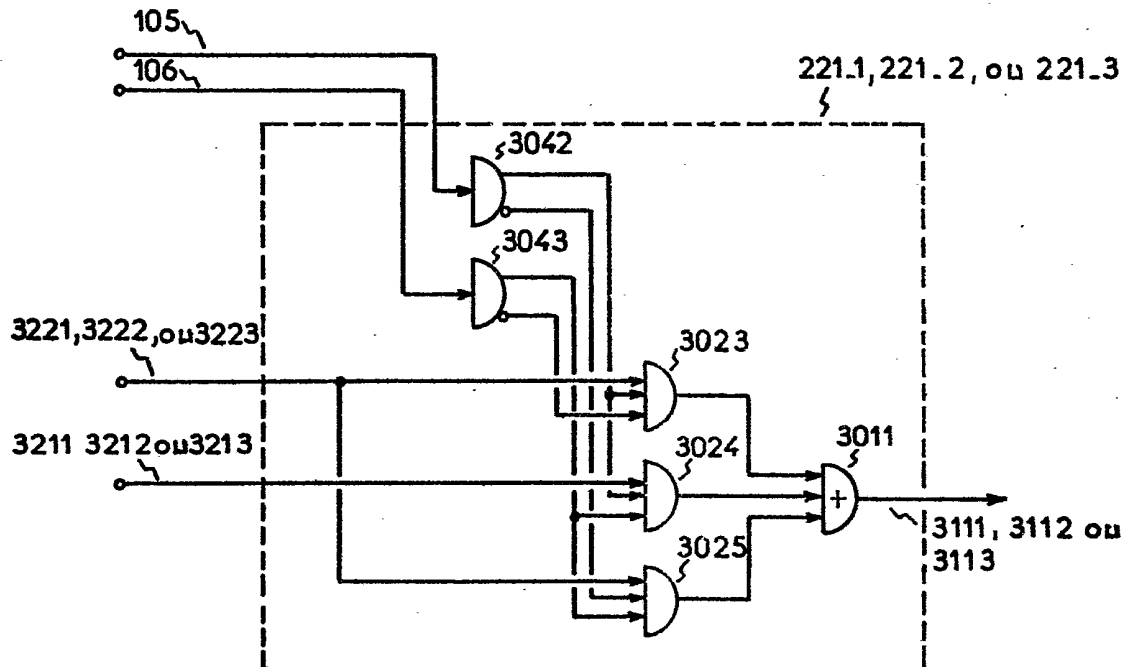


FIG. 3B

PL.IV/14

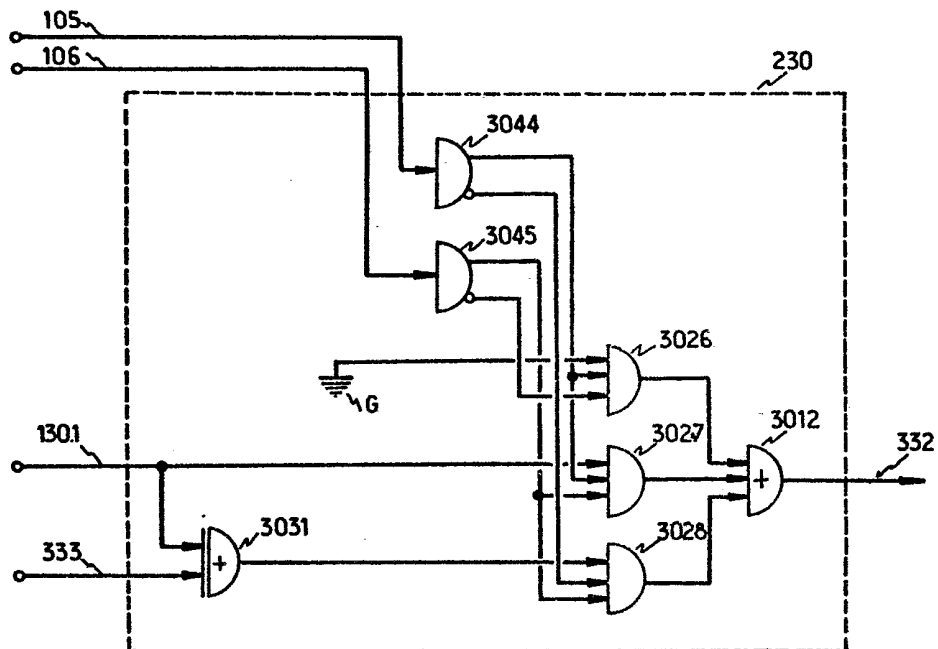


FIG. 3C

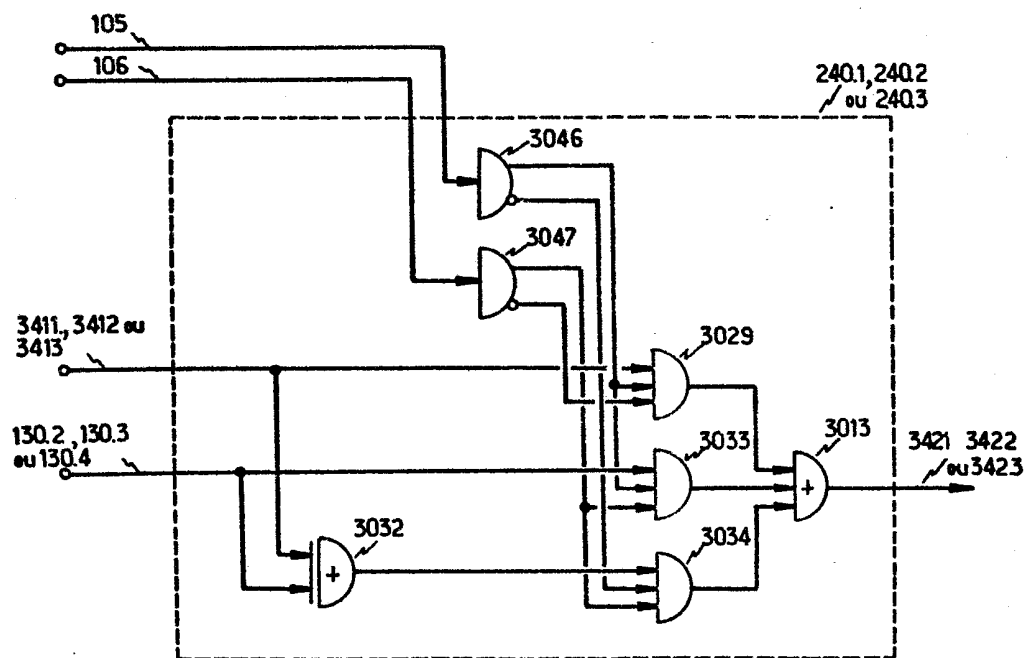


FIG. 3D

PL.V/14

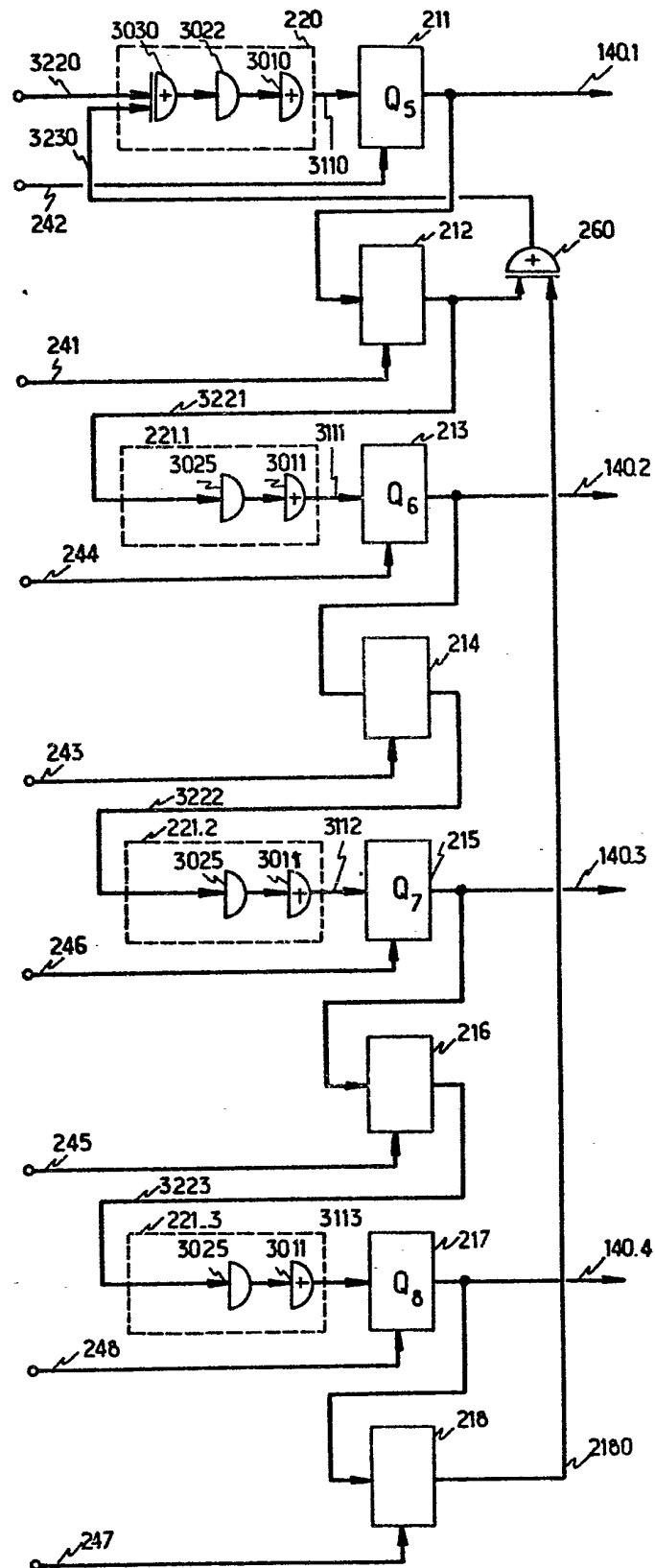


FIG. 4

PL.VI/14

FIG. 5

CYCLE D' HORLOGE	Q ₅	Q ₆	Q ₇	Q ₈
0	1	0	0	0
1	1	1	0	0
2	1	1	1	0
3	1	1	1	1
4	0	1	1	1
5	1	0	1	1
6	0	1	0	1
7	1	0	1	0
8	1	1	0	1
9	0	1	1	0
10	0	0	1	1
11	1	0	0	1
12	0	1	0	0
13	0	0	1	0
14	0	0	0	1
1	1	1	1	1
1	1	1	1	1
1	1	1	1	1

PL.VII/14

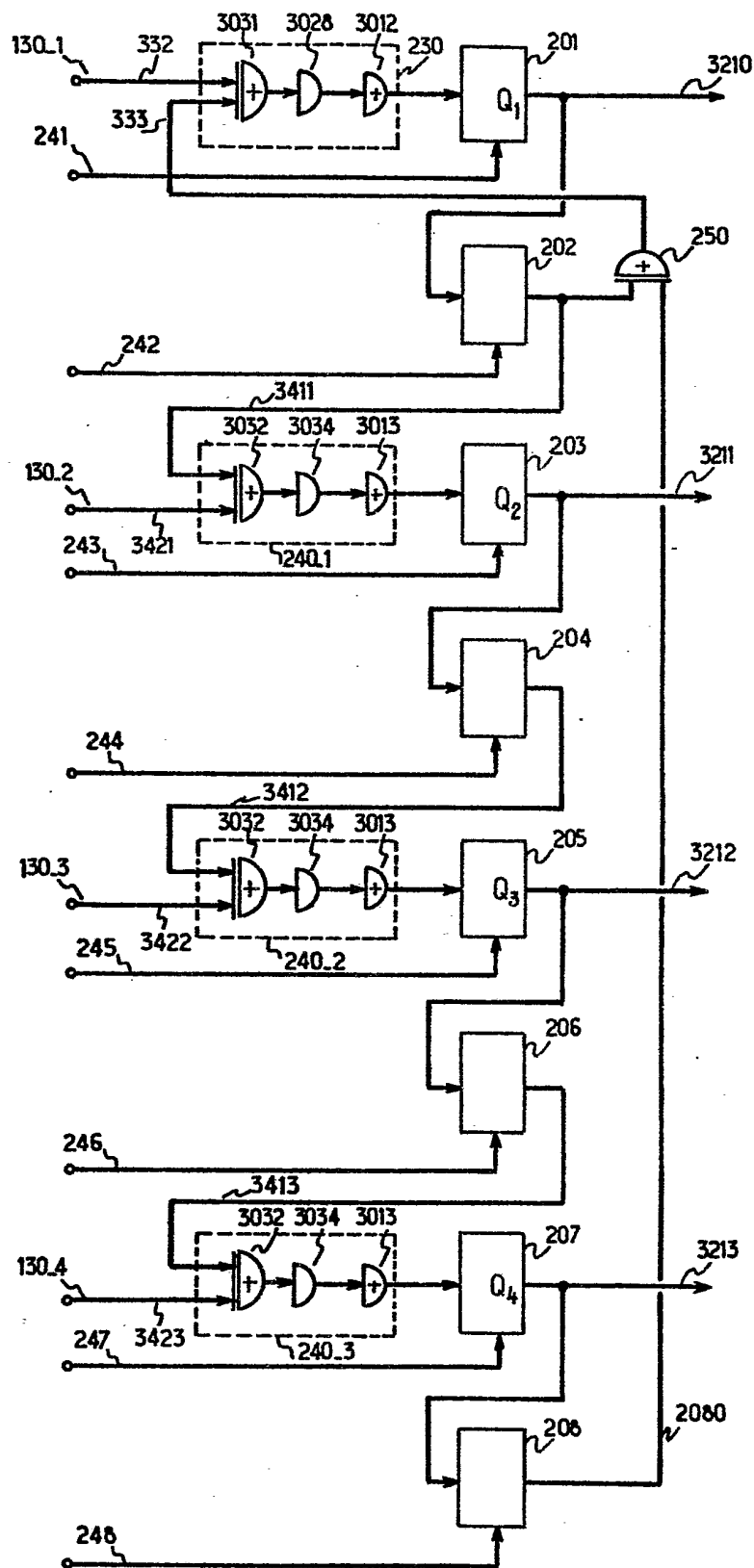


FIG.6

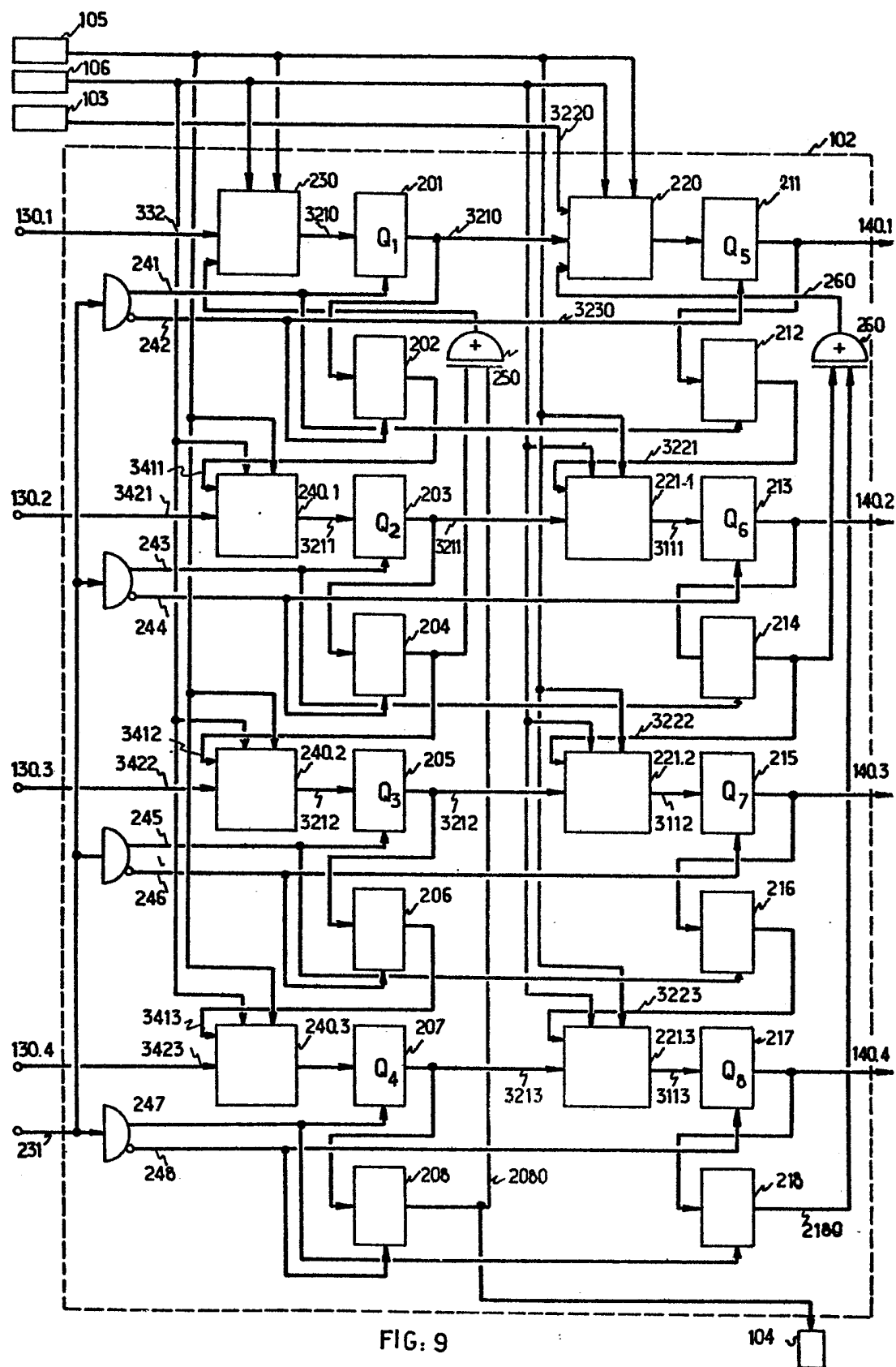
FIG. 7

CYCLE D'HORLOGE	130.1	130.2	130.3	130.4	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	1	0	1	0
3	0	0	1	1	1	1	1	0
4	0	1	0	0	1	0	1	1
5	0	1	0	1	0	0	0	0
6	0	1	1	0	0	1	1	0
7	0	1	1	1	0	1	0	0
8	1	0	0	0	1	0	1	0
9	1	0	0	1	0	1	0	0
10	1	0	1	0	1	0	0	0
11	1	0	1	1	0	1	1	1
12	1	1	0	0	0	1	1	1
13	1	1	0	1	0	1	1	0
14	1	1	1	0	1	1	0	1
15	1	1	1	1	1	0	0	1

FIG. 8

CYCLE D'HORLOGE	130.1	130.2	130.3	130.4	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0	0	0	0	0
1	0	0	0	/	0	0	0	/
2	0	0	/	0	/	0	/	0
3	0	0	/	/	/	/	/	0
4	0	/	0	0	/	0	/	/
5	0	/	0	/	0	0	0	0
6	0	/	/	0	0	/	/	0
7	0	/	/	/	0	/	0	0
8	/	0	0	0	/	0	/	0
9	/	0	(/)	/	0	/	(/)	0
10	/	0	/	0	/	0	0	(/)
11	/	0	/	/	(/)	/	/	/
12	/	/	0	0	(/)	(0)	/	/
13	/	/	0	/	(/)	(0)	(0)	0
14	/	/	/	0	(0)	(0)	(/)	(0)
15	/	/	/	/	/	(/)	(/)	(0)

PL.X/14



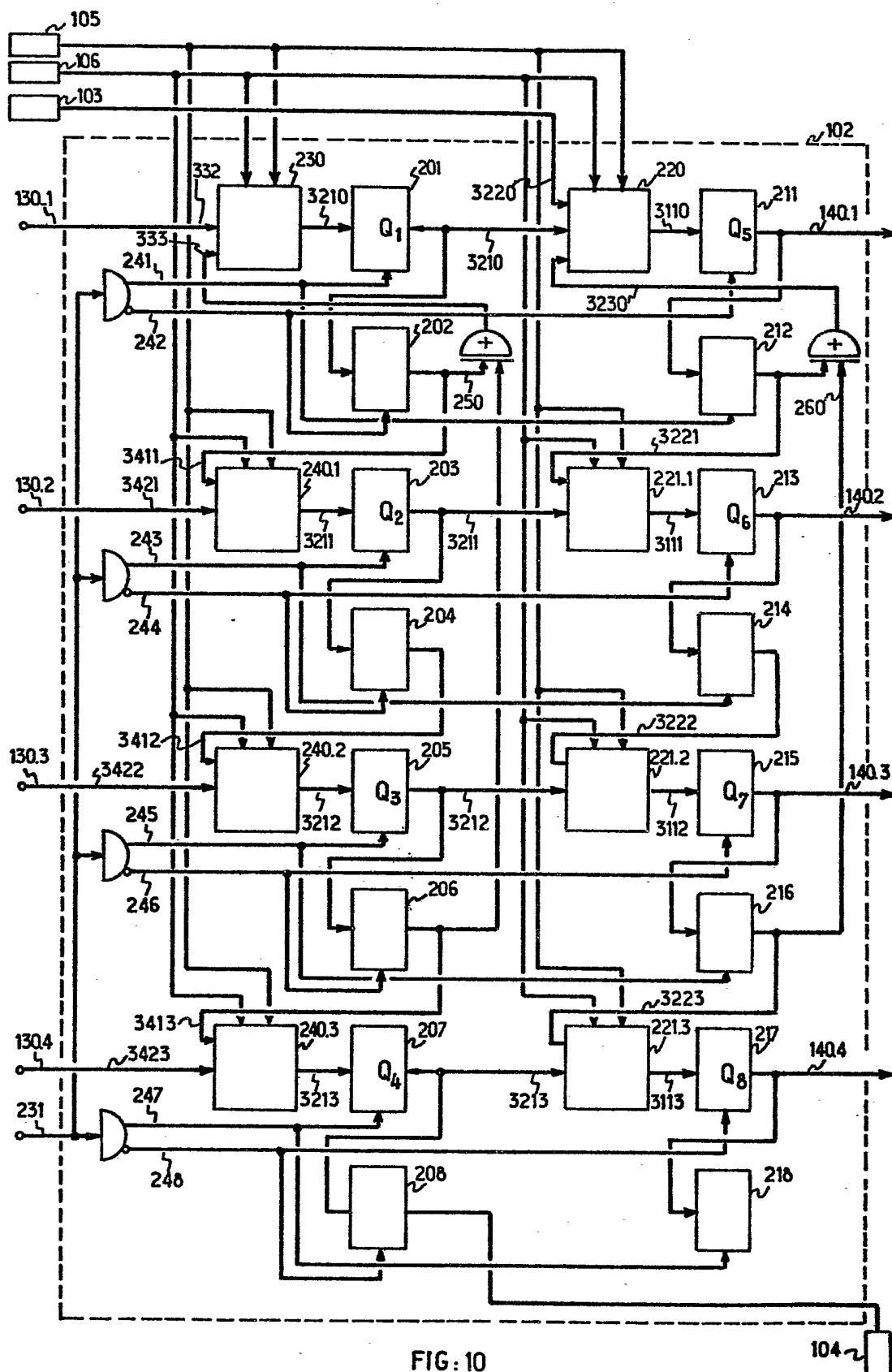


FIG. 10

PL.XII/14

CYCLE D'HORLOGE	Q ₅	Q ₆	Q ₇	Q ₈
0	/	0	/	0
/	0	/	0	/
2	0	0	/	0
3	/	0	0	/
4	/	/	0	0
5	/	/	/	0
6	0	/	/	/
7	/	0	/	/
8	0	/	0	/

FIG. 11

CYCLE D'HORLOGE	130.1	130.2	130.3	130.4	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0
2	0	0	1	0	0	0	0	1
3	0	0	1	1	0	0	1	0
4	0	1	0	0	1	0	1	0
5	0	1	0	1	0	0	0	1
6	0	1	1	0	0	1	0	1
7	0	1	1	1	0	1	0	0
8	1	0	0	0	0	1	0	1

FIG.12

CYCLE D'HORLOGE	130.1	130.2	130.3	130.4	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0	0	0	0	0
1	0	(1)	0	1	0	0	0	0
2	0	0	1	0	0	(1)	0	1
3	0	0	1	1	0	0	(0)	0
4	0	1	0	0	(0)	0	1	(1)
5	0	1	0	1	(1)	(1)	0	1
6	0	1	1	0	(1)	(0)	(1)	1
7	0	1	1	1	0	(0)	(1)	(1)
8	1	0	0	0	(1)	1	(1)	(0)

FIG. 13

CYCLE D'HORLOGE	Q ₅	Q ₆	Q ₇	Q ₈
0	1	0	0	0
1	0	1	0	0
2	1	0	1	0
3	0	1	0	1
4	0	0	1	0
5	0	0	0	1

FIG. 14

PL.XIV/14

FIG.15

CYCLE D'HORLOGE	130.1	130.2	130.3	130.4	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	0
2	0	0	1	0	0	0	0	1
3	0	0	1	1	1	0	1	0
4	0	1	0	0	0	1	1	0
5	0	1	0	1	1	1	1	1

FIG.16

CYCLE D'HORLOGE	130.1	130.2	130.3	130.4	Q ₁	Q ₂	Q ₃	Q ₄
0	0	0	0	0	0	0	0	0
1	0	(1)	0	1	0	0	0	0
2	0	0	1	0	0	(1)	0	1
3	0	0	1	1	(0)	0	(0)	0
4	0	1	0	1	0	(0)	1	(1)
5	0	1	0	0	1	1	(0)	1