

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6192598号
(P6192598)

(45) 発行日 平成29年9月6日(2017.9.6)

(24) 登録日 平成29年8月18日(2017.8.18)

(51) Int.Cl. F I
 H O 1 L 27/146 (2006.01) H O 1 L 27/146 D
 H O 1 L 27/146 A

請求項の数 8 (全 36 頁)

<p>(21) 出願番号 特願2014-126160 (P2014-126160) (22) 出願日 平成26年6月19日 (2014.6.19) (65) 公開番号 特開2016-4961 (P2016-4961A) (43) 公開日 平成28年1月12日 (2016.1.12) 審査請求日 平成28年9月29日 (2016.9.29)</p>	<p>(73) 特許権者 302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号 (74) 代理人 110001195 特許業務法人深見特許事務所 (72) 発明者 富田 和朗 神奈川県川崎市中原区下沼部1753番地 ルネサスエレクトロニクス株式会社内 審査官 今井 聖和</p>
--	--

最終頁に続く

(54) 【発明の名称】 撮像装置およびその製造方法

(57) 【特許請求の範囲】

【請求項1】

導波路を備えた撮像装置であって、
 半導体基板にそれぞれ規定された、画素領域、周辺回路領域、ならびに、前記画素領域および前記周辺回路領域を連続的に取り囲むシールリング領域と、
前記画素領域に位置する部分の厚さが、前記シールリング領域に位置する部分の厚さよりも薄くなる態様で、前記画素領域および前記シールリング領域を覆うように形成された層間絶縁膜と、
前記シールリング領域に位置する前記層間絶縁膜を貫通するように形成されたシールリングと、
前記シールリングを覆う部分の厚さが、前記画素領域を覆う部分の厚さよりも薄くなる態様で、前記画素領域および前記シールリング領域を覆うように形成された絶縁膜と、
前記画素領域に位置する前記絶縁膜を貫通するように形成された前記導波路と
 を備え、
 前記絶縁膜では、前記シールリングの外側側方に位置する領域に前記シールリングに沿って第1凹部が形成され、
 前記シールリングの直上に位置する前記絶縁膜の表面の位置を第1位置、前記第1凹部に位置する前記絶縁膜の表面の位置を第2位置、前記第1凹部から前記シールリング領域の外側へ離れる方向に位置する前記絶縁膜の表面の位置を第3位置とすると、
 前記第2位置の高さは前記第1位置の高さよりも低く、

10

20

前記第 3 位置の高さは、前記第 1 位置の高さより低く、前記第 2 位置の高さよりも高い、撮像装置。

【請求項 2】

前記絶縁膜では、前記シールリングの内側側方に位置する領域に前記シールリングに沿って第 2 凹部が形成され、

前記第 1 凹部の幅は前記第 2 凹部の幅よりも広い、請求項 1 記載の撮像装置。

【請求項 3】

前記周辺回路領域では、パッド電極が形成され、

前記絶縁膜は、前記パッド電極を覆う部分を含み、

前記パッド電極の直上に位置する前記絶縁膜の部分の厚さと、前記シールリングの前記直上に位置する前記絶縁膜の部分の厚さとは同じである、請求項 1 または 2 に記載の撮像装置。

10

【請求項 4】

導波路を備えた撮像装置の製造方法であって、

半導体基板において、画素領域、周辺回路領域、ならびに、前記画素領域および前記周辺回路領域を連続的に取り囲むシールリング領域を規定する工程と、

層間絶縁膜と導電膜とを順次形成してそれぞれパターニングすることにより、前記画素領域に位置する前記層間絶縁膜の厚さを、前記周辺回路領域および前記シールリング領域に位置する前記層間絶縁膜の厚さよりも薄くして前記画素領域を低背化し、前記周辺回路領域に配線構造およびパッド電極を形成し、前記シールリング領域にシールリングを形成

20

する工程と、
低背化された前記画素領域、前記パッド電極および前記シールリングを覆うように、前記半導体基板上に絶縁膜を形成する工程と、

前記パッド電極の直上に位置する前記絶縁膜の第 1 領域、および、前記シールリングの直上に位置する前記絶縁膜の直上部分を含む第 2 領域を露出する第 1 フォトリソのパターンを形成する工程と、

前記第 1 フォトリソをエッチングマスクとして、露出した前記絶縁膜の前記第 1 領域および前記第 2 領域にエッチング処理を施す工程と、

前記第 1 フォトリソを除去した後、前記絶縁膜の前記第 1 領域および前記第 2 領域を含む領域を覆い、前記画素領域に位置する前記絶縁膜の第 3 領域を露出する第 2 フォトリソのパターンを形成する工程と、

30

前記第 2 フォトリソをエッチングマスクとして、露出した前記絶縁膜の前記第 3 領域にエッチング処理を施すことにより、前記画素領域に導波路開口部を形成する工程とを備えた、撮像装置の製造方法。

【請求項 5】

前記第 1 フォトリソのパターンを形成する工程では、前記絶縁膜の前記第 2 領域として、前記絶縁膜の前記直上部分から前記シールリングの外側側方に位置する外側側方部分に至る領域を露出し、

前記絶縁膜の前記第 2 領域にエッチング処理を施す工程では、

前記外側側方部分がエッチングされることで前記絶縁膜に第 1 凹部が形成され、

前記絶縁膜の前記直上部分に位置する表面の位置を第 1 位置、前記第 1 凹部に位置する前記絶縁膜の表面の位置を第 2 位置、前記第 1 凹部から前記シールリング領域の外側へ離れる方向に位置する前記絶縁膜の表面の位置を第 3 位置とすると、

40

前記第 2 位置の高さは前記第 1 位置の高さよりも低く、前記第 3 位置の高さは、前記第 1 位置の高さよりも低く、前記第 2 位置の高さよりも高くなる、請求項 4 記載の撮像装置の製造方法。

【請求項 6】

前記第 1 フォトリソのパターンを形成する工程では、前記絶縁膜の前記第 2 領域として、前記絶縁膜の前記直上部分から前記シールリングの内側側方に位置する内側側方部分に至る領域を露出し、

50

前記絶縁膜の前記第2領域にエッチング処理を施す工程では、
前記内側側方部分がエッチングされることで前記絶縁膜に第2凹部が形成され、
前記第1凹部と前記第2凹部は、前記第1凹部の幅が前記第2凹部の幅よりも広くなる
ように形成される、請求項5記載の撮像装置の製造方法。

【請求項7】

前記絶縁膜の前記第2領域にエッチング処理を施す工程では、ドライエッチング処理が
施される、請求項4～6のいずれかに記載の撮像装置の製造方法。

【請求項8】

前記絶縁膜の前記第2領域にエッチング処理を施す工程では、ウェットエッチング処理
が施される、請求項4～6のいずれかに記載の撮像装置の製造方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、撮像装置およびその製造方法に関し、特に、導波路を備えた撮像装置と、そ
のような撮像装置の製造方法とに好適に利用できるものである。

【背景技術】

【0002】

一般に、半導体装置においては、外部からの水分がチップの内部へ侵入するのを阻止す
るために、チップを周囲から連続的に取り囲むようにシールリングが形成されている。シ
ールリングは、チップのプラグや配線等を形成する際に同時に形成されて、順次積層され
ることで、最終的にはチップを連続的に取り囲む壁のように形成されることになる。

20

【0003】

半導体装置の一つに、CMOS (Complementary Metal Oxide Semiconductor) イメー
ジセンサーを備えた撮像装置がある。撮像装置は、デジタルカメラやスマートフォン等に
適用されている。撮像装置では、入射する光を電荷に変換するフォトダイオード等の画素
素子が形成された画素領域と、画素素子によって変換された電荷を電気信号として処理等
する周辺回路が形成された周辺回路領域とが配置されている。シールリングは、その画素
領域と周辺回路領域とを取り囲むように形成されている。

【0004】

近年、デジタルカメラ等の小型化に対応するために、撮像装置の画素素子には、画素サ
イズの小さいものがますます要求されている。このため、光を効率的に入射させるため
に、フォトダイオードへ光を導く導波路を設けた撮像装置が提案されている。導波路は、画
素領域を覆う層間膜等を含む絶縁膜にエッチング処理を施して開口部を形成し、その開口
部に所定の埋め込み材料を充填することによって形成されることになる。

30

【0005】

なお、シールリングを備えた半導体装置を開示した文献の例として、特許文献1がある
。また、導波路を備えた撮像装置を開示した文献の例として、特許文献2および特許文献
3がある。

【先行技術文献】

【特許文献】

40

【0006】

【特許文献1】特開2004-79596号公報

【特許文献2】特開2006-351759号公報

【特許文献3】特開2006-310825号公報

【発明の概要】

【発明が解決しようとする課題】

【0007】

従来の撮像装置では、次のような問題点があった。導波路となる開口部を形成する工程
では、まず、画素領域における所定の領域を露出し、周辺回路領域およびシールリングが
配置されるシールリング領域を覆うフォトレジストのパターンが形成される。次に、その

50

フォトリソをエッチングマスクとして、絶縁膜にエッチング処理を施すことによって、導波路となる開口部が形成される。

【0008】

画素領域では、導波路によって光をできるだけ効率的に画素素子（フォトダイオード）へ導く必要があり、画素領域に位置する絶縁膜の一部が除去される。このため、導波路となる開口部を形成する時点では、画素領域の高さが、特に、シールリング領域の高さよりも低くなる。そうすると、画素領域に対してシールリング領域の段差が高くなり、シールリング領域では、画素領域に比べてフォトリソの厚さが薄くなってしまふ。

【0009】

このため、そのようなフォトリソをエッチングマスクとしてエッチング処理が施されると、導波路となる開口部が形成されるまでの間に、シールリング領域を覆うフォトリソが除去されて絶縁膜が露出し、その露出した絶縁膜の部分にもエッチング処理が施されて、絶縁膜の表面が荒れてしまうことがあった。

【0010】

その他の課題と新規な特徴は、本明細書の記述および添付の図面から明らかになるであろう。

【課題を解決するための手段】

【0011】

一実施の形態に係る撮像装置は、導波路を備えた撮像装置であって、画素領域、周辺回路領域、ならびに、画素領域および周辺回路領域を連続的に取り囲むシールリング領域と、層間絶縁膜と、シールリングと、絶縁膜と、導波路とを備えている。画素領域、周辺回路領域、ならびに、画素領域および周辺回路領域を連続的に取り囲むシールリング領域は、半導体基板にそれぞれ規定されている。層間絶縁膜は、画素領域に位置する部分の厚さが、シールリング領域に位置する部分の厚さよりも薄くなる態様で、画素領域およびシールリング領域を覆うように形成されている。シールリングは、シールリング領域に位置する層間絶縁膜を貫通するように形成されている。絶縁膜は、シールリングを覆う部分の厚さが、画素領域を覆う部分の厚さよりも薄くなる態様で、画素領域およびシールリング領域を覆うように形成されている。導波路は、画素領域に位置する絶縁膜を貫通するように形成されている。絶縁膜では、シールリングの外側側方に位置する領域にシールリングに沿って第1凹部が形成されている。シールリングの直上に位置する絶縁膜の表面の位置を第1位置、第1凹部に位置する絶縁膜の表面の位置を第2位置、第1凹部からシールリング領域の外側へ離れる方向に位置する絶縁膜の表面の位置を第3位置とすると、第2位置の高さは第1位置の高さよりも低く、第3位置の高さは、第1位置の高さよりも低く、第2位置の高さよりも高い。

【0012】

他の実施の形態に係る撮像装置の製造方法は、導波路を備えた撮像装置の製造方法であって、以下の工程を備えている。半導体基板において、画素領域、周辺回路領域、ならびに、画素領域および周辺回路領域を連続的に取り囲むシールリング領域を規定する。層間絶縁膜と導電膜とを順次形成してそれぞれパターンングすることにより、画素領域に位置する層間絶縁膜の厚さを、周辺回路領域およびシールリング領域に位置する層間絶縁膜の厚さよりも薄くして画素領域を低背化し、周辺回路領域に配線構造およびパッド電極を形成し、シールリング領域にシールリングを形成する。低背化された画素領域、パッド電極およびシールリングを覆うように、半導体基板上に絶縁膜を形成する。パッド電極の直上に位置する絶縁膜の第1領域、および、シールリングの直上に位置する絶縁膜の直上部分を含む第2領域を露出する第1フォトリソのパターンを形成する。第1フォトリソをエッチングマスクとして、露出した絶縁膜の第1領域および第2領域にエッチング処理を施す。第1フォトリソを除去した後、絶縁膜の第1領域および第2領域を含む領域を覆い、画素領域に位置する絶縁膜の第3領域を露出する第2フォトリソのパターンを形成する。第2フォトリソをエッチングマスクとして、露出した絶縁膜の第3領域にエッチング処理を施すことにより、画素領域に導波路開口部を形成する。

10

20

30

40

50

【発明の効果】

【0013】

一実施の形態に係る撮像装置によれば、シールリング領域に形成されたシールリングを覆う絶縁膜の部分の表面の荒れを阻止することができる。

【0014】

他の実施の形態に係る撮像装置の製造方法によれば、シールリング領域に形成されたシールリングを覆う絶縁膜の部分の表面の荒れを阻止することができる。

【図面の簡単な説明】

【0015】

【図1】実施の形態1に係る撮像装置の平面レイアウトの一例を示す平面図である。 10

【図2】同実施の形態において、図1に示す断面線I-Iにおける部分断面図である。

【図3】同実施の形態において、撮像装置の製造方法の概要を示すフローチャートである。

【図4】同実施の形態において、撮像装置の製造方法の一工程を示す部分断面図である。

【図5】同実施の形態において、図4に示す工程の後に行われる工程を示す部分断面図である。

【図6】同実施の形態において、図5に示す工程の後に行われる工程を示す部分断面図である。

【図7】同実施の形態において、図6に示す工程の後に行われる工程を示す部分断面図である。 20

【図8】同実施の形態において、図7に示す工程の後に行われる工程を示す部分断面図である。

【図9】同実施の形態において、図8に示す工程の後に行われる工程を示す部分断面図である。

【図10】同実施の形態において、図9に示す工程の後に行われる工程を示す部分断面図である。

【図11】同実施の形態において、図10に示す工程の後に行われる工程を示す部分断面図である。

【図12】同実施の形態において、図11に示す工程の後に行われる工程を示す部分断面図である。 30

【図13】同実施の形態において、図12に示す工程の後に行われる工程を示す部分断面図である。

【図14】同実施の形態において、図13に示す工程の後に行われる工程を示す部分断面図である。

【図15】同実施の形態において、図14に示す工程の後に行われる工程を示す部分断面図である。

【図16】同実施の形態において、図15に示す工程の後に行われる工程を示す部分断面図である。

【図17】同実施の形態において、図16に示す工程の後に行われる工程を示す部分断面図である。 40

【図18】同実施の形態において、図17に示す工程の後に行われる工程を示す部分断面図である。

【図19】同実施の形態において、図18に示す工程の後に行われる工程を示す部分断面図である。

【図20】同実施の形態において、図19に示す工程の後に行われる工程を示す部分断面図である。

【図21】同実施の形態において、図20に示す工程の後に行われる工程を示す部分断面図である。

【図22】同実施の形態において、図21に示す工程の後に行われる工程を示す部分断面 50

図である。

【図 2 3】同実施の形態において、図 2 2 に示す工程の後に行われる工程を示す部分断面図である。

【図 2 4】同実施の形態において、図 2 3 に示す工程の後に行われる工程を示す部分断面図である。

【図 2 5】同実施の形態において、図 2 4 に示す工程の後に行われる工程を示す部分断面図である。

【図 2 6】同実施の形態において、図 2 5 に示す工程の後に行われる工程を示す部分断面図である。

【図 2 7】同実施の形態において、図 2 6 に示す工程の後に行われる工程を示す部分断面図である。

10

【図 2 8】同実施の形態において、図 2 7 に示す工程の後に行われる工程を示す部分断面図である。

【図 2 9】同実施の形態において、図 2 8 に示す工程の後に行われる工程を示す部分断面図である。

【図 3 0】同実施の形態において、図 2 9 に示す工程の後に行われる工程を示す部分断面図である。

【図 3 1】比較例に係る撮像装置の製造方法の一工程を示す部分断面図である。

【図 3 2】図 3 1 に示す工程の後に行われる工程を示す部分断面図である。

【図 3 3】図 3 2 に示す工程の後に行われる工程を示す部分断面図である。

20

【図 3 4】図 3 3 に示す工程の後に行われる工程を示す部分断面図である。

【図 3 5】図 3 4 に示す工程の後に行われる工程を示す部分断面図である。

【図 3 6】図 3 5 に示す工程の後に行われる工程を示す部分断面図である。

【図 3 7】図 3 6 に示す工程の後に行われる工程を示す部分断面図である。

【図 3 8】図 3 7 に示す工程の後に行われる工程を示す部分断面図である。

【図 3 9】比較例に係る撮像装置の問題点を説明するための部分断面図である。

【図 4 0】同実施の形態において、作用効果を説明するための第 1 の部分断面図である。

【図 4 1】同実施の形態において、作用効果を説明するための第 2 の部分断面図である。

【図 4 2】同実施の形態において、作用効果を説明するための第 3 の部分断面図である。

【図 4 3】同実施の形態において、変形例に係る撮像装置の部分断面図である。

30

【図 4 4】実施の形態 2 に係る撮像装置の製造方法の一工程を示す部分断面図である。

【図 4 5】同実施の形態において、図 4 4 に示す工程の後に行われる工程を示す部分断面図である。

【図 4 6】同実施の形態において、図 4 5 に示す工程の後に行われる工程を示す部分断面図である。

【図 4 7】同実施の形態において、図 4 6 に示す工程の後に行われる工程を示す部分断面図である。

【図 4 8】同実施の形態において、図 4 7 に示す工程の後に行われる工程を示す部分断面図である。

【図 4 9】同実施の形態において、図 4 8 に示す工程の後に行われる工程を示す部分断面図である。

40

【図 5 0】同実施の形態において、図 4 9 に示す工程の後に行われる工程を示す部分断面図である。

【図 5 1】同実施の形態において、図 5 0 に示す工程の後に行われる工程を示す部分断面図である。

【図 5 2】同実施の形態において、作用効果を説明するための第 1 の部分断面図である。

【図 5 3】同実施の形態において、作用効果を説明するための第 2 の部分断面図である。

【図 5 4】同実施の形態において、作用効果を説明するための第 1 の部分断面図である。

【図 5 5】同実施の形態において、変形例に係る撮像装置の部分断面図である。

【発明を実施するための形態】

50

【 0 0 1 6 】

実施の形態 1

実施の形態 1 に係る撮像装置について説明する。まず、撮像装置の平面構造（パターン）の一例について説明する。図 1 に示すように、撮像装置 I S では、入射する光を電荷に変換するフォトダイオード等の画素素子が形成された画素領域 P E が配置されている。その画素領域 P E の周囲に、画素素子によって変換された電荷を電気信号として処理等する周辺回路が形成された周辺回路領域 P C が配置されている。さらに、その画素領域 P E と周辺回路領域 P C とを周囲から連続的に取り囲むように、シールリングが形成されたシールリング領域 S R が配置されている。シールリング領域 S R の外側には、ダイシングの際に残されたスクライブ領域 S C R が位置する。

10

【 0 0 1 7 】

次に、撮像装置 I S の断面構造について説明する。図 2 に示すように、半導体基板 S U B に素子分離絶縁膜 E I を形成することによって、画素領域 P E、周辺回路領域 P C およびシールリング領域 S R が規定されている。画素領域 P E には、画素素子 D T E が形成されている。画素素子 D T E は、光を電荷に変換するフォトダイオードと、その電荷を転送する転送用トランジスタ等を含む。なお、図面の簡略化のために、点線枠で示す。周辺回路領域 P C には、画素素子 D T E によって変換された電荷を電気信号として処理するトランジスタ P T 等が形成されている。

【 0 0 1 8 】

画素素子 D T E およびトランジスタ P T 等を覆うように、半導体基板 S U B 上に、コンタクト層間絶縁膜として第 1 絶縁膜 I F 1 が形成されている。その第 1 絶縁膜 I F 1 を貫通するように、周辺回路領域 P C では、コンタクトプラグ P G が形成され、シールリング領域 S R では、コンタクトプラグ P G となる膜と同じ膜（材料）からシールリング S R P G が形成されている。

20

【 0 0 1 9 】

第 1 絶縁膜 I F 1 を覆うように、第 2 絶縁膜 I F 2 が形成されている。第 2 絶縁膜 I F 2 は、S i C N 膜（炭素を添加したシリコン窒化膜）と T E O S (Tetra Ethyl Ortho Silicate) 酸化膜とを含む。周辺回路領域 P C では、その第 2 絶縁膜 I F 2 に形成された溝に第 1 配線 M 1 が形成されている。シールリング領域 S R では、第 1 配線 M 1 となる膜と同じ膜（材料）からシールリング S R M 1 が形成されている。

30

【 0 0 2 0 】

第 1 配線 M 1 等を覆うように、第 3 絶縁膜 I F 3 が形成されている。第 3 絶縁膜 I F 3 は、ストップ膜としての S i C N 膜および S i C O 膜（炭素を添加したシリコン酸化膜）と、L o w - k 膜としての S i O C 膜とを含む。周辺回路領域 P C では、その第 3 絶縁膜 I F 3 に形成された溝等に第 2 配線 M 2 が形成されている。シールリング領域 S R では、第 2 配線 M 2 となる膜と同じ膜（材料）からシールリング S R M 2 が形成されている。

【 0 0 2 1 】

第 2 配線 M 2 等を覆うように、第 4 絶縁膜 I F 4 が形成されている。第 4 絶縁膜 I F 4 は、ストップ膜としての S i C N 膜および S i C O 膜と、L o w - k 膜としての S i O C 膜とを含む。周辺回路領域 P C では、その第 4 絶縁膜 I F 4 に形成された溝等に第 3 配線 M 3 が形成されている。シールリング領域 S R では、第 3 配線 M 3 となる膜と同じ膜（材料）からシールリング S R M 3 が形成されている。

40

【 0 0 2 2 】

周辺回路領域 P C およびシールリング領域 S R では、第 3 配線 M 3 等を覆うように、第 5 絶縁膜 I F 5 が形成されている。第 5 絶縁膜 I F 5 には、ストップ膜としての S i C N 膜および S i C O 膜と、ハードマスクとなる T E O S 膜（膜厚：200nm程度）とを含む。

【 0 0 2 3 】

一方、画素領域 P E では、第 4 絶縁膜 I F 4 および第 5 絶縁膜 I F 5 を除去することによって、画素開口部 P E H が形成されている。画素領域 P E では、さらに、第 3 絶縁膜 I

50

F 3 および第 2 絶縁膜 I F 2 を貫通して第 1 絶縁膜 I F 1 の途中の深さに達する、第 1 導波路開口部 W G H 1 が形成されている。

【 0 0 2 4 】

その第 1 導波路開口部 W G H 1 および画素開口部 P E H を埋め込むとともに、第 5 絶縁膜 I F 5 を覆うように、シリコン窒化膜 S N が形成されている。第 1 導波路開口部 W G H 1 に埋め込まれたシリコン窒化膜 S N の部分によって、第 1 導波路 W G 1 が形成されている。シリコン窒化膜 S N を覆うように、T E O S 膜 T E 1 (膜厚：200 nm 程度) が形成されている。

【 0 0 2 5 】

周辺回路領域 P C では、T E O S 膜 T E 1、シリコン窒化膜 S N および第 5 絶縁膜 I F 5 に形成された開口部に、パッド電極 P D が形成されている。シールリング領域 S R では、パッド電極 P D となる膜と同じ膜 (材料) からシールリング S R P D が形成されている。パッド電極 P D 等を覆うように、T E O S 膜 T E 2 が形成され、さらに、その T E O S 膜 T E 2 を覆うように、T E O S 膜 T E 3 (膜厚：100 nm 程度) が形成されている。

【 0 0 2 6 】

画素領域 P E では、T E O S 膜 T E 3 および T E O S 膜 T E 2 を貫通して第 1 導波路 W G 1 に達する第 2 導波路開口部 W G H 2 が形成されている。その第 2 導波路開口部 W G H 2 を埋め込むとともに、T E O S 膜 T E 3 を覆うように、塗布系の埋め込み部材 F M が形成されている。その埋め込み部材 F M を覆うように、第 6 絶縁膜 I F 6 が形成されている。

【 0 0 2 7 】

画素領域 P E では、第 2 導波路開口部 W G H 2 に埋め込まれた埋め込み材料 F M の部分によって、第 2 導波路 W G 2 が形成されている。その第 2 導波路 W G 2 の直上に、カラーフィルタ C F とマイクロレンズ M L が配置されている。また、本来のカラーフィルタ C F とマイクロレンズ M L に対して、周辺回路領域 P C の側には、ダミーカラーフィルタ D C F とダミーマイクロレンズ D M L が配置されている。本実施の形態に係る撮像装置 I S は、上記のように構成される。

【 0 0 2 8 】

上述した撮像装置 I S では、パッド電極 P D およびシールリング S R P D を覆う T E O S 膜 T E 2 を形成した後、パッド電極 P D を覆う部分とシールリング S R P D を覆う部分との双方にドライエッチング処理を同時に施すことで、周辺回路領域 P C の段差とともにシールリング領域 S R の段差が軽減される。次に、撮像装置 I S の製造方法の一例について説明する。

【 0 0 2 9 】

はじめに、製造フローの概略について説明する。図 3 に示すように、ステップ S 1 では、半導体基板に素子分離絶縁膜を形成することによって、画素領域、周辺回路およびシールリング領域等が規定される。ステップ S 2 では、画素領域にフォトダイオードおよびトランジスタ等の画素素子が形成され、周辺回路領域には、トランジスタ等の周辺回路素子が形成される。ステップ S 3 では、画素素子および周辺回路素子等を覆うように、絶縁膜 (層間膜) が形成される。

【 0 0 3 0 】

ステップ S 4 では、周辺回路領域にプラグが形成され、シールリング領域にシールリングが形成される。ステップ S 5 では、周辺回路領域に多層構造の銅配線が形成され、シールリング領域にシールリングが形成される。ステップ S 6 では、画素領域に位置する絶縁膜等を除去することによって画素領域が薄くされる (低背化)。ステップ S 7 では、その画素領域に第 1 導波路が形成される。ステップ S 8 では、周辺回路領域にパッド電極が形成され、シールリング領域にシールリングが形成される。

【 0 0 3 1 】

ステップ S 9 では、パッド電極を覆うように絶縁膜 (パッシベーション膜) が形成される。ステップ S 10 では、その絶縁膜 (パッシベーション膜) の段差を軽減するエッチン

10

20

30

40

50

グ処理が行われる。ステップS 11では、絶縁膜（パッシベーション膜）にエッチング処理を施すことによって、画素領域に第2導波路開口部が形成される。この第2導波路開口部には、第2導波路が形成される場合と、カラーフィルタが形成される場合とがある。ステップS 12では、画素領域にカラーフィルタおよびマイクロレンズが形成されて、撮像装置の主要部分が完成することになる。

【0032】

次に、撮像装置の製造方法についてより詳しく説明する。図4に示すように、半導体基板SUBにおける所定の領域に素子分離絶縁膜EIを形成することによって、画素領域PE、周辺回路領域PCおよびシールリング領域SR等が規定される。

【0033】

次に、画素領域PEでは、フォトダイオードと転送用トランジスタ等を含む所定の画素素子DTEが形成される。フォトダイオードは、外部から入射する光を電荷に変換する機能を有する。転送用トランジスタは、フォトダイオードによって変換された電荷を他の所定の素子へ転送する機能を有する。また、周辺回路領域PCでは、トランジスタPT等の素子が形成される。トランジスタPT等は、画素素子DTEによって変換された電荷を電気信号として処理する機能を有する。

【0034】

次に、半導体基板SUB上に、画素素子DTEおよびトランジスタPT等を覆うように、コンタクト層間膜として第1絶縁膜IF1が形成される。次に、第1絶縁膜IF1に対して、所定の写真製版処理とエッチング処理を施すことにより、周辺回路領域PCでは、第1絶縁膜IF1を貫通してトランジスタPTに達するコンタクトホールPGHが形成される。シールリング領域SRでは、画素領域PEおよび周辺回路領域PCを連続的に取り囲むようにシールリング開口部SRH1が形成される。

【0035】

次に、コンタクトホールPGHおよびシールリング開口部SRH1を充填するように、第1絶縁膜IF1上に、所定の導電性膜（図示せず）が形成される。次に、コンタクトホールPGHおよびシールリング開口部SRH1内に位置する導電性膜の部分を残して、第1絶縁膜IF1の上面上に位置する導電性膜の部分を除去することによって、コンタクトホールPGH内にコンタクトプラグPGが形成され、シールリング開口部SRH1内にシールリングSRPGが形成される。コンタクトプラグPGは、トランジスタPTに電氣的に接続される。シールリングSRPGは、画素領域PEおよび周辺回路領域PCを連続的に取り囲む壁のように形成される。なお、この撮像装置では、シールリングは、三重構造とされる。

【0036】

次に、第1絶縁膜IF1を覆うように、第2絶縁膜IF2が形成される。第2絶縁膜IF2として、少なくともSiCN膜とTEOS膜とが積層される。次に、所定の写真製版処理を施すことにより、配線溝とシールリング開口部を形成するためのフォトレジストRP1のパターンが形成される。次に、フォトレジストRP1をエッチングマスクとして、第2絶縁膜IF2にエッチング処理を施すことによって、周辺回路領域PCでは、コンタクトプラグPGを露出する配線溝M1Hが形成される。シールリング領域SRでは、シールリングSRPGを露出するシールリング開口部SRH2が形成される。その後、フォトレジストRP1が除去される。

【0037】

次に、図5に示すように、電解めっきによって、配線溝M1Hおよびシールリング開口部SRH2を充填するように、第2絶縁膜IF2上に銅膜MF1が形成される。なお、銅膜MF1を形成する前に、あらかじめバリア膜と銅シード層（いずれも図示せず）が形成される。次に、化学的機械研磨処理を施して、第2絶縁膜IF2の上面上に位置する銅膜MF1の部分を除去することにより、図6に示すように、周辺回路領域PCでは、配線溝M1Hに第1配線M1が形成される。シールリング領域SRでは、シールリング開口部SRH2にシールリングSRM1が形成される。シールリングSRM1は、シールリングS

10

20

30

40

50

R P Gの上面に接触して、画素領域 P E および周辺回路領域 P C を連続的に取り囲む壁のように形成される。

【 0 0 3 8 】

次に、図 7 に示すように、第 1 配線 M 1 およびシールリング S R M 1 を覆うように、第 3 絶縁膜 I F 3 が形成される。第 3 絶縁膜 I F 3 として、たとえば、ストッパ膜としての S i C N 膜および S i C O 膜と、 L o w - k 膜としての S i O C 膜とが積層される。その第 3 絶縁膜 I F 3 を覆うように、第 1 キャップ膜 L N 1 が形成される。第 1 キャップ膜 L N 1 として、たとえば、 T E O S 膜が形成される。

【 0 0 3 9 】

次に、図 8 に示すように、所定の写真製版処理を施すことにより、10
 ヴィア開口部とシールリング開口部を形成するためのフォトレジスト R P 2 のパターンが形成される。次に、フォトレジスト R P 2 をエッチングマスクとして、第 3 絶縁膜 I F 3 等にエッチング処理を施すことによって、周辺回路領域 P C では、第 1 配線 M 1 を露出するヴィア開口部 V 1 H が形成される。シールリング領域 S R では、シールリング S R M 1 を露出するシールリング開口部 S R H 3 が形成される。その後、フォトレジスト R P 2 が除去される。次に、新たにフォトレジスト（図示せず）が塗布され、そのフォトレジストにエッチバック処理を施すことにより、ヴィア開口部 V 1 H およびシールリング開口部 S R H 3 内に位置するフォトレジストの部分を残して、他の部分のフォトレジストが除去される。

【 0 0 4 0 】

次に、図 9 に示すように、所定の写真製版処理を施すことにより、20
 配線溝とシールリング開口部を形成するためのフォトレジスト R P 3 のパターンが形成される。次に、フォトレジスト R P 3 をエッチングマスクとして、第 3 絶縁膜 I F 3 における L o w - k 膜としての S i O C 膜にエッチング処理を施すことによって、周辺回路領域 P C では、配線溝 M 2 H が形成される。シールリング領域 S R では、開口部 S R H 4 が形成される。その後、フォトレジスト R P 3 が除去される。

【 0 0 4 1 】

次に、図 1 0 に示すように、電解めっきによって、配線溝 M 2 H、ヴィア開口部 V 1 H、シールリング開口部 S R H 3、S R H 4 を充填するように、第 3 絶縁膜 I F 3 上に銅膜 M F 2 が形成される。なお、銅膜 M F 2 を形成する前に、あらかじめバリア膜と銅シード層（いずれも図示せず）が形成される。次に、化学的機械研磨処理を施して、第 3 絶縁膜 I F 3 の上面上に位置する銅膜 M F 2 の部分を除去することにより、周辺回路領域 P C では、ヴィア開口部 V 1 H にヴィア V 1 が形成され、配線溝 M 2 H に第 2 配線 M 2 が形成される（図 1 1 参照）。シールリング領域 S R では、シールリング開口部 S R H 3、S R H 4 にシールリング S R M 2 が形成される（図 1 1 参照）。シールリング S R M 2 は、シールリング S R M 1 の上面に接触して、画素領域 P E および周辺回路領域 P C を連続的に取り囲む壁のように形成される。なお、このとき、第 1 キャップ膜 L N 1 も除去される。

【 0 0 4 2 】

次に、図 1 1 に示すように、第 2 配線 M 2 およびシールリング S R M 2 を覆うように、第 4 絶縁膜 I F 4 が形成される。第 4 絶縁膜 I F 4 として、たとえば、ストッパ膜としての S i C N 膜および S i C O 膜と、 L o w - k 膜としての S i O C 膜とが積層される。その第 4 絶縁膜 I F 4 を覆うように、第 2 キャップ膜 L N 2 が形成される。第 2 キャップ膜 L N 2 として、たとえば、 T E O S 膜が形成される。

【 0 0 4 3 】

次に、図 1 2 に示すように、所定の写真製版処理を施すことにより、ヴィア開口部とシールリング開口部を形成するためのフォトレジスト R P 4 のパターンが形成される。次に、フォトレジスト R P 4 をエッチングマスクとして、第 4 絶縁膜 I F 4 等にエッチング処理を施すことによって、周辺回路領域 P C では、第 2 配線 M 2 を露出するヴィア開口部 V 2 H が形成される。シールリング領域 S R では、シールリング S R M 2 を露出するシールリング開口部 S R H 5 が形成される。その後、フォトレジスト R P 4 が除去される。次に、新たにフォトレジスト（図示せず）が塗布され、そのフォトレジストにエッチバック処

10

20

30

40

50

理を施すことにより、ビア開口部V2Hおよびシールリング開口部SRH5内に位置するフォトレジストの部分を残して、他の部分のフォトレジストが除去される。

【0044】

次に、図13に示すように、配線溝とシールリング開口部を形成するためのフォトレジストRP5のパターンが形成される。次に、フォトレジストR53をエッチングマスクとして、第4絶縁膜IF4におけるLow-k膜としてのSiOC膜にエッチング処理を施すことによって、周辺回路領域PCでは、配線溝M3Hが形成される。シールリング領域SRでは、開口部SRH6が形成される。その後、フォトレジストRP5が除去される。

【0045】

次に、図14に示すように、電解めっきによって、配線溝M3H、ビア開口部V2H、シールリング開口部SRH5、SRH6を充填するように、第4絶縁膜IF4上に銅膜MF3が形成される。なお、銅膜MF3を形成する前に、あらかじめバリア膜と銅シード層（いずれも図示せず）が形成される。

【0046】

次に、化学的機械研磨処理を施して、第4絶縁膜IF4の上面上に位置する銅膜MF3の部分除去することにより、周辺回路領域PCでは、ビア開口部V2HにビアV2が形成され、配線溝M3Hに第3配線M3が形成される（図15参照）。シールリング領域SRでは、シールリング開口部SRH5、SRH6にシールリングSRM3が形成される（図15参照）。シールリングSRM3は、シールリングSRM2の上面に接触して、画素領域PEおよび周辺回路領域PCを連続的に取り囲む壁のように形成される。なお、このとき、第2キャップ膜LN2も除去される。

【0047】

次に、図15に示すように、第3配線M3およびシールリングSRM3を覆うように、第5絶縁膜IF5が形成される。第5絶縁膜IF5として、たとえば、ストップ膜としてのSiCN膜およびSiCO膜と、ハードマスクとしてのTEOS膜とが積層される。次に、画素領域PEを露出して他の領域を覆うフォトレジスト（図示せず）のパターンが形成される。次に、そのフォトレジストをエッチングマスクとしてエッチング処理を施すことにより、周辺回路領域PCおよびシールリング領域SR等に位置するTEOS膜の部分を残して画素領域PEに位置するTEOS膜の部分が除去される。

【0048】

次に、図16に示すように、残されたTEOS膜の部分等をエッチングマスク（ハードマスク）としてエッチング処理を施すことにより、画素領域PEに位置する第4絶縁膜IF4のSiOC膜（Low-k膜）の部分が除去されて、画素領域PEに画素開口部PEHが形成される。こうして、画素素子DTEの上に位置する絶縁膜等の厚さを薄くする処理が行われる（低背化）。

【0049】

次に、図17に示すように、所定の写真製版処理を施すことにより、第1導波路開口部を形成するためのフォトレジストRP6が形成される。次に、フォトレジストRP6をエッチングマスクとしてエッチング処理を施すことにより、画素領域PEに第1導波路開口部WGH1が形成される。その後、フォトレジストRP6が除去される。次に、図18に示すように、第1導波路開口部WGH1を充填するように、厚膜のシリコン窒化膜SNが形成される。次に、そのシリコン窒化膜SNを覆うように、フォトレジストRP8が塗布される。次に、そのフォトレジストRP8にエッチバック処理が施され、露出したシリコン窒化膜SNにエッチング処理を施すことによりシリコン窒化膜SNが平坦化される（図19参照）。

【0050】

こうして、第1導波路開口部WGH1内にシリコン窒化膜SNを充填することによって、第1導波路WG1が形成される。このとき、シールリング領域SRでは、シールリングSRM3上に、ライナー膜としてのSiCN膜（膜厚：30nm程度）およびSiCO膜（膜厚：30nm程度）と、TEOS膜（膜厚：100nm程度）と、シリコン窒化膜S

10

20

30

40

50

N (膜厚：400 nm程度)とが積層された状態にある。

【0051】

次に、図19に示すように、シリコン窒化膜SNを覆うようにTEOS膜TE1 (膜厚：200 nm程度)が形成される。次に、図20に示すように、所定の写真製版処理を施すことにより、パッド開口部とシールリング開口部を形成するためのフォトレジストRP9のパターンが形成される。次に、フォトレジストRP9をエッチングマスクとしてTEOS膜TE1およびシリコン窒化膜SN等にエッチング処理を施すことによって、周辺回路領域PCでは、第3配線M3を露出するパッド開口部PDHが形成される。シールリング領域SRでは、シールリングSRM3を露出するシールリング開口部SRH7が形成される。その後、フォトレジストRP9が除去される。

10

【0052】

次に、TEOS膜TE1を覆うように、バリア膜として、チタン膜 (膜厚：10 nm程度) およびチタンナイトライド膜 (膜厚：50 nm程度) (いずれも図示せず) が形成される。次に、図21に示すように、スパッタ法によって、アルミニウム膜MF4 (膜厚：600 nm程度) が形成される。

【0053】

次に、図22に示すように、所定の写真製版処理を施すことにより、パッド電極およびシールリングを形成するためのフォトレジストRP10のパターンが形成される。次に、フォトレジストRP10をエッチングマスクとして、アルミニウム膜MF4等にエッチング処理を施すことにより、周辺回路領域PCでは、パッド開口部PDHに、第3配線M3に電氣的に接続されるパッド電極PDが形成される。シールリング領域SRでは、シールリング開口部SRH7にシールリングSRPDが形成される。シールリングSRPDは、シールリングSRM3の上面に接触して、画素領域PEおよび周辺回路領域PCを連続的に取り囲む壁のように形成される。その後、フォトレジストRP10が除去される。

20

【0054】

次に、図23に示すように、パッシベーション膜として、TEOS膜TE2 (膜厚：750 nm程度) が形成される。次に、TEOS膜TE2のうち、画素領域PEに対して相対的に段差が高い、パッド電極PDを覆う部分とシールリングSRPDを覆う部分とについて、TEOS膜TE2の段差の位置を低くする処理が行われる。図24に示すように、所定の写真製版処理を施すことにより、周辺回路領域PCのパッド電極PDを覆うTEOS膜TE2の部分およびシールリング領域SRのシールリングSRPDを覆うTEOS膜TE2の部分をそれぞれ露出し、他の領域に位置するTEOS膜TE2の部分を覆うフォトレジストRP11のパターンが形成される。

30

【0055】

後述するように、このフォトレジストRP11のパターンでは、シールリングSRPDの周辺回路領域PC側の端部から周辺回路領域PC側へ約1 μm程度の領域に位置するTEOS膜TE2の部分が露出する。また、シールリングSRPDのスクライプ領域SCR側の端部からスクライプ領域SCR側へ約3 μm程度の領域に位置するTEOS膜TE2の部分が露出する。次に、フォトレジストRP11をエッチングマスクとして、ドライエッチング処理を施すことにより、露出したTEOS膜TE2の部分が約550 nm程度除去される。ここで、ドライエッチング処理の一例として、たとえば、フッ素系ガス (CHF₃、C₂F₆) を用いた反応性イオンエッチングがある。その後、フォトレジストRP11が除去される。

40

【0056】

これにより、周辺回路領域PC (パッド電極PD) およびシールリング領域SR (シールリングSRPD) のそれぞれに位置するTEOS膜TE2の、画素領域PEに位置するTEOS膜TE2に対する段差が軽減されることになる。また、シールリングSRPDに対して、周辺回路領域PC側とスクライプ領域SCR側とのそれぞれに、シールリングSRPDに沿って溝が形成される。スクライプ領域SCR側に形成される溝の幅は、周辺回路領域PC側に形成される溝の幅よりも広くなる。

50

【 0 0 5 7 】

次に、図 2 5 に示すように、T E O S 膜 T E 2 を覆うように、さらに、T E O S 膜 T E 3 (膜厚：1 0 0 n m 程度) が形成される。次に、図 2 6 に示すように、所定の写真製版処理を施すことにより、第 2 導波路開口部を形成するためのフォトレジスト R P 1 2 のパターンが形成される。次に、フォトレジスト R P 1 2 をエッチングマスクとしてエッチング処理を施すことにより、画素領域 P E に第 1 導波路 W G 1 を露出する第 2 導波路開口部 W G H 2 が形成される。

【 0 0 5 8 】

このとき、後述するように、特に、シールリング領域 S R に位置する T E O S 膜 T E 2 の段差 (高さ) が軽減されていることで、このエッチング処理によってフォトレジスト R P 1 2 の表面がある程度除去されたとしても、T E O S 膜 T E 2 の表面が露出するのを阻止することができる。第 2 導波路開口部 W G H 2 が形成された後、フォトレジスト R P 1 2 が除去される。

10

【 0 0 5 9 】

次に、図 2 7 に示すように、所定の写真製版処理を施すことにより、パッド電極 P D を露出するためのフォトレジスト R P 1 3 のパターンが形成される。次に、図 2 8 に示すように、フォトレジスト R P 1 3 をエッチングマスクとして T E O S 膜 T E 3 および T E O S 膜 T E 2 にエッチング処理を施すことにより、パッド電極 P D の表面が露出する。その後、図 2 9 に示すように、フォトレジスト R P 1 3 を除去することにより、第 2 導波路開口部 W G H 2 等が露出する。

20

【 0 0 6 0 】

次に、図 3 0 に示すように、第 2 導波路開口部 W G H 2 を充填するとともに、T E O S 膜 T E 3 を覆うように、塗布系の絶縁性の埋め込み材料 F M が形成される。第 2 導波路開口部 W G H 2 に充填された埋め込み部材 F M によって、第 1 導波路 W G 1 に繋がる第 2 導波路 W G 2 が形成される。

【 0 0 6 1 】

次に、画素領域 P E では、所定の写真製版処理を施すことにより、埋め込み材料 F M の上に、カラーフィルタ C F とダミーカラーフィルタ D C F が形成される。次に、そのカラーフィルタ C F とダミーカラーフィルタ D C F を覆うように、第 6 絶縁膜 I F 6 が形成される。さらに、画素領域 P E では、第 6 絶縁膜 I F 6 の表面に、カラーフィルタ C F に対応するマイクロレンズ M L と、ダミーカラーフィルタ D C F に対応するダミーマイクロレンズ D M L が形成される。また、周辺回路領域 P C では、パッド電極 P D の表面を露出する開口部 H P が形成される。その後、スクライブ領域 S C R をダイシングすることによって、撮像装置 I S の主要部分が完成する。

30

【 0 0 6 2 】

上述した撮像装置の製造方法では、第 2 導波路開口部を形成する際のエッチング処理によって、T E O S 膜 T E 2 の表面の荒れを抑制することができる。このことについて、比較例に係る撮像装置と比較しながら説明する。

【 0 0 6 3 】

比較例に係る撮像装置では、まず、パッド電極を覆う T E O S 膜を形成する工程までは、上述した実施の形態 1 に係る製造工程と同じ工程であるので、簡単に説明する。なお、比較例に係る参照符号として、実施の形態 1 に係る部材と対応する部材については、その参照符号の頭に符号「C」を付した参照符号を用いる。

40

【 0 0 6 4 】

図 3 1 に示すように、半導体基板 C S U B に素子分離絶縁膜 C E I を形成することによって、画素領域 C P E、周辺回路領域 C P C およびシールリング領域 C S R 等が規定される。次に、画素領域 C P E では所定の画素素子 C D T E が形成され、周辺回路領域 C P C ではトランジスタ C P T 等の素子が形成される。次に、周辺回路領域 C P C ではコンタクトプラグ C P G が形成され、シールリング領域 C S R ではシールリング C S R P G が形成される。次に、周辺回路領域 C P C では第 1 配線 C M 1 が形成され、シールリング領域 C

50

S Rでは、シールリングC S R M 1が形成される。

【0065】

次に、周辺回路領域C P Cでは、ビアC V 1および第2配線C M 2が形成され、シールリング領域C S Rでは、シールリングC S R M 2が形成される。次に、周辺回路領域C P Cでは、ビアC V 2および第3配線C M 3が形成され、シールリング領域C S Rでは、シールリングC S R M 3が形成される。次に、周辺回路領域C P Cでは、パッド電極C P Dが形成され、シールリング領域C S Rでは、シールリングC S R P Dが形成される。次に、パッド電極C P DおよびシールリングC S R P Dを覆うように、T E O S膜C T E 2(膜厚：750nm程度)が形成される。

【0066】

次に、図32に示すように、所定の写真製版処理を施すことにより、パッド電極P Dを覆うT E O S膜C T E 2の部分を露出し、他の領域を覆うフォトレジストC R P 11のパターンが形成される。次に、フォトレジストC R P 11をエッチングマスクとして、ドライエッチング処理を施すことにより、露出したT E O S膜C T E 2の部分が約550nm程度除去される。その後、フォトレジストC R P 11が除去される。

【0067】

次に、図33に示すように、T E O S膜C T E 2を覆うように、さらに、T E O S膜C T E 3(膜厚：100nm程度)が形成される。次に、図34に示すように、所定の写真製版処理を施すことにより、第2導波路開口部を形成するためのフォトレジストC R P 12のパターンが形成される。次に、フォトレジストC R P 12をエッチングマスクとしてエッチング処理を施すことにより、画素領域C P Eに第1導波路W G 1を露出する第2導波路開口部C W G H 2が形成される。その後、フォトレジストC R P 12が除去される。

【0068】

次に、図35に示すように、所定の写真製版処理を施すことにより、パッド電極P Dを覆うT E O S膜C T E 3の部分と、シールリングC S R P Dを覆うT E O S膜C T E 3の部分とを露出するフォトレジストC R P 13のパターンが形成される。次に、図36に示すように、フォトレジストC R P 13をエッチングマスクとして露出したT E O S膜C T E 3、C T E 2にエッチング処理を施すことにより、周辺回路領域C P Cではパッド電極P Dの表面が露出する。その後、図37に示すように、フォトレジストC R P 13を除去することにより、画素領域C P Eでは、第2導波路開口部C W G H 2等が露出する。

【0069】

次に、図38に示すように、第2導波路開口部C W G H 2を充填するとともに、T E O S膜C T E 3を覆うように、塗布系の絶縁性の埋め込み材料C F Mが形成される。第2導波路開口部C W G H 2に充填された埋め込み部材C F Mによって、第1導波路C W G 1に繋がる第2導波路C W G 2が形成される。

【0070】

次に、画素領域C P Eでは、埋め込み材料C F Mの上に、カラーフィルタC C FとダミーカラーフィルタC D C Fが形成され、そのカラーフィルタC C FとダミーカラーフィルタC D C Fを覆うように、絶縁膜C I F 6が形成される。さらに、画素領域C P Eでは、絶縁膜C I F 6の表面に、カラーフィルタC C Fに対応するマイクロレンズC M Lと、ダミーカラーフィルタC D C Fに対応するダミーマイクロレンズC D M Lが形成される。また、周辺回路領域C P Cでは、パッド電極C P Dの表面を露出する開口部C H Pが形成される。その後、スクライブ領域C S C Rをダイシングすることによって、比較例に係る撮像装置C I Sの主要部分が完成する。

【0071】

比較例に係る撮像装置C I Sでは、第2導波路開口部を形成する前に、画素領域C P Eに対する周辺回路領域C P Cの段差を軽減するために、図32に示す工程において、パッド電極C P Dを覆うT E O S膜C T E 2にエッチング処理が施される。このとき、シールリング領域C S RはフォトレジストC R P 11によって覆われた状態でエッチング処理が施されるため、画素領域C P Eに対するシールリング領域C S Rの段差は軽減されないこ

10

20

30

40

50

とになる。

【0072】

このため、第2導波路開口部CWGH2を形成するためのフォトレジストCRP12が形成された状態では、図39の点線枠CERに示すように、シールリングCSRPDの直上に位置するTEOS膜TE3を覆うフォトレジストCRP12の部分の厚さが、他の部分に比べて薄くなってしまふ。フォトレジストCRP12をエッチングマスクとしてエッチング処理を施す際には、TEOS膜CTE3等のエッチングに伴って、フォトレジストCRP12の表面もエッチングされることになる。

【0073】

そうすると、フォトレジストCRP12の厚さが比較的薄いシールリング領域CSRでは、フォトレジストCRP12が除去されてTEOS膜CTE3の表面が露出し、その露出したTEOS膜CTE3の表面にエッチング処理が施されて、TEOS膜CTE3の表面が荒れてしまうという問題があった。TEOS膜CTE3の表面が荒れることでTEOS膜自身の異物が発生し、その発生した異物が撮像装置の歩留まりを下げる要因の一つになった。

10

【0074】

また、TEOS膜CTE3の表面が荒れることで、次のような問題点も想定される。フォトレジストCRP12を除去する際に、TEOS膜CTE3の表面が荒れていることで、エッチング処理に伴って生成した反応生成物を十分に除去することができず、汚染の

20

【0075】

さらに、TEOS膜CTE3の表面が荒れることで、パッド電極CPDを露出するフォトレジストCRP13のパターンを形成する際(図36参照)に、フォトレジストを均一に塗布することができず、所望のフォトレジストCRP13のパターンを形成することができないことが想定される。

【0076】

しかも、そのようなフォトレジストCRP13をエッチングマスクとして、シールリング領域CSRに位置する、表面が荒れたTEOS膜CTE3等にエッチング処理を施すことで、残されるTEOS膜CTE3、CTE2の膜厚も不均一になり、場所によってはシールリングCSRPDが露出してエッチングされてしまうことが想定される。アルミニウム膜等から形成されたシールリングCSRPDがエッチングされると、耐湿性に影響を与え、撮像装置の信頼性を劣化させてしまうことが想定される。

30

【0077】

さらに、TEOS膜CTE3の表面が荒れていることで、埋め込み部材CFMの十分な平坦性を確保することができず、カラーフィルタやマイクロレンズの形成にも悪影響を与えることが想定される。上述したTEOS膜CTE2の表面荒れの問題点と、表面荒れに起因して想定される問題点とは、撮像装置CISにおいて、本発明者によって初めて明らかにされた。

【0078】

比較例に係る撮像装置に対して、実施の形態1に係る撮像装置では、画素領域PEに対する周辺回路領域PCの段差を軽減する際に、シールリング領域SRの段差も軽減される。図24に示すように、周辺回路領域PCのパッド電極PDを覆うTEOS膜TE2の部分を露出するとともに、シールリング領域SRのシールリングSRPDを覆うTEOS膜TE2の部分を露出するフォトレジストRP11をエッチングマスクとして、露出したTEOS膜TE2の部分にドライエッチング処理が施される。

40

【0079】

これにより、画素領域PEに対するシールリング領域SRの段差は、画素領域PEに対する周辺回路領域PCの段差と同程度の段差になる。シールリング領域SRの段差と周辺回路領域PCの段差とが同程度になることで、図40に示すように、第2導波路開口部を形成するためのフォトレジストRP12では、シールリング領域SRに位置する部分の厚

50

さ（矢印参照）は、周辺回路領域PCに位置する部分の厚さと同程度の十分な厚さになる。

【0080】

このため、フォトレジストRP12をエッチングマスクとしてエッチング処理を施す際に、TEOS膜TE3等のエッチングに伴って、フォトレジストRP12の表面がエッチングされたとしても、シールリングSRPDを覆うTEOS膜TE3が露出してTEOS膜TE3の表面が荒れるのを阻止することができる。

【0081】

その結果、TEOS膜自身の異物が発生するのを防止することができ、撮像装置ISの歩留まり向上に寄与することができる。また、TEOS膜TE3の表面の荒れが阻止されることで、上述した表面荒れに起因する想定される種々の問題点を解消（回避）することができる。

10

【0082】

そのTEOS膜TE2の表面荒れを阻止するために形成されるフォトレジストRP11のパターンでは、図41に示すように、シールリングSRPDの周辺回路領域PC側の端部から周辺回路領域PC側へ長さL1（約1μm程度）の領域（領域A）に位置するTEOS膜TE2の部分が露出する。一方、シールリングSRPDのスクライプ領域SCR側の端部からスクライプ領域SCR側へ長さL2（約3μm程度）の領域（領域B）に位置するTEOS膜TE2の部分が露出する。

【0083】

これにより、フォトレジストRP11をエッチングマスクとしてドライエッチング処理を施した後では、領域Aに対応する、シールリングSRPDの外側側方の領域には、シールリングSRPDに沿って凹部HSが形成される。一方、領域Bに対応する、シールリングSRPDの内側側方の領域には、シールリングSRPDに沿って凹部HTが形成される。しかも、凹部HSと凹部HTとは、凹部HSの幅が凹部HTの幅よりも広くなるように形成される。

20

【0084】

このような凹部HSおよび凹部HTが形成された後、埋め込み部材FMが形成される前の、比較的薄いTEOS膜TE3（膜厚：100nm程度）が形成された状態では、TEOS膜TE3の表面における所定の位置の高さの関係は、以下のような関係になる。図42に示すように、シールリングSRPDの直上に位置するTEOS膜TE3の表面の位置を第1位置P1とする。凹部HSに位置するTEOS膜TE3の表面の位置を第2位置P2とする。凹部HSからシールリング領域SRの外側へ離れる方向に位置するTEOS膜TE3の表面の位置を第3位置P3とする。そうすると、第2位置P2の高さは第1位置P1の高さよりも低くなる。第3位置P3の高さは、第1位置P1の高さよりも低く、第2位置P2の高さよりも高くなる。なお、この高さの関係は、ドライエッチング処理が施されたTEOS膜TE2についても、同様である。

30

【0085】

これにより、TEOS膜TE3を覆うように埋め込み材料FM等が形成されて完成した撮像装置ISにおける、TEOS膜TE3と埋め込み材料FMとの界面では、第2位置P2に対応する界面K2の高さは、第1位置P1に対応する界面K1の高さよりも低くなる。第3位置P3に対応する界面K3の高さは、界面K1の高さよりも低く、界面K2の高さよりも高くなる。なお、図2または図42に示されたスクライプ領域SCRは、ダイシングされて残されたスクライプ領域SCRの部分を示しているため、第3位置P3（界面K3）は、チップとしての撮像装置ISの端部近傍に対応する位置になる。

40

【0086】

また、上述した撮像装置では、画素領域PEに対する周辺回路領域PCの段差とシールリング領域SRの段差との双方の段差を軽減するために、図24に示すように、パッド電極PDを覆うTEOS膜TE2の部分と、シールリングSRPDを覆うTEOS膜TE2の部分とに、同時にドライエッチング処理が施される。このため、パッド電極PDの上面

50

上に残される T E O S 膜 T E 2 の部分の厚さと、シールリング S R P D の上面上に残される T E O S 膜 T E 2 の部分の厚さとが、実質的に同じ厚さとなる。

【 0 0 8 7 】

これにより、図 4 2 に示すように、T E O S 膜 T E 3 が形成された後では、パッド電極 P D の上面上に位置する T E O S 膜 T E 2、T E 3 (絶縁膜) の部分の厚さ T P と、シールリング S R P D の上面上に位置する T E O S 膜 T E 2、T E 3 (絶縁膜) の部分の厚さ T S とが、実質的に同じ厚さとなる。ここで、同じ厚さとは、全く同じ厚さであることを意図するものではなく、半導体基板の面内における成膜やドライエッチング等のばらつきなど、製造上のばらつきを含むことを意図するものである。

【 0 0 8 8 】

(変形例)

上述した撮像装置 I S では、第 2 導波路開口部 W G H 2 に第 2 導波路 W G 2 が形成され、その第 2 導波路 W G 2 の上にカラーフィルタ C F とマイクロレンズ M L が形成される場合について説明した。ここでは、その変形例に係る撮像装置として、第 2 導波路開口部にカラーフィルタが形成される場合について説明する。

【 0 0 8 9 】

図 4 ~ 図 2 9 に示す工程と同様の工程を経て第 2 導波路開口部 W G H 2 が形成された後、図 4 3 に示すように、所定の写真製版処理を施すことにより、複数の第 2 導波路開口部 W G H 2 のそれぞれに所定の色のカラーフィルタ C F が形成される。次に、複数のカラーフィルタ C F のそれぞれの上にマイクロレンズ M L が形成される。その後、スクライプ領域 S C R をダイシングすることによって、変形例に係る撮像装置 I S の主要部分が完成する。

【 0 0 9 0 】

変形例に係る撮像装置 I S では、第 2 導波路開口部 W G H 2 が形成されるまでは、上述した撮像装置 I S と同じ工程を経て形成される。このため、上述した撮像装置 I S と同様に、T E O S 膜 T E 3 の表面荒れを阻止することができ、また、表面荒れに起因する想定される種々の問題点を解消 (回避) することができる。

【 0 0 9 1 】

さらに、変形例に係る撮像装置 I S では、シールリング領域 S R およびスクライプ領域 S C R に位置する T E O S 膜の T E 3 の表面 (上面) の高さの関係も、上述した撮像装置 I S と同様であり、第 2 位置 P 2 の高さは第 1 位置 P 1 の高さよりも低くなり、第 3 位置 P 3 の高さは、第 1 位置 P 1 の高さよりも低く、第 2 位置 P 2 の高さよりも高くなる。

【 0 0 9 2 】

また、パッド電極 P D の上面上に位置する T E O S 膜 T E 2、T E 3 (絶縁膜) の部分の厚さ T P と、シールリング S R P D の上面上に位置する T E O S 膜 T E 2、T E 3 (絶縁膜) の部分の厚さ T S とが、実質的に同じ厚さとなる。

【 0 0 9 3 】

実施の形態 2

実施の形態 1 では、ドライエッチング処理によって、周辺回路領域 P C の段差とシールリング領域 S R の段差とを低減する場合について説明した。ここでは、ウェットエッチング処理によって、周辺回路領域 P C の段差とシールリング領域 S R の段差とを低減する場合について説明する。

【 0 0 9 4 】

前述した図 4 ~ 図 2 3 に示す工程と同様の工程を経て、図 4 4 に示すように、パッド電極 P D およびシールリング S R P D 等を覆うように、T E O S 膜 T E 2 (膜厚: 750 nm 程度) が形成される。次に、図 4 5 に示すように、所定の写真製版処理を施すことにより、周辺回路領域 P C のパッド電極 P D を覆う T E O S 膜 T E 2 の部分およびシールリング領域 S R のシールリング S R P D を覆う T E O S 膜 T E 2 の部分をそれぞれ露出し、他の領域に位置する T E O S 膜 T E 2 の部分を覆うフォトリソグラフィ R P 1 1 のパターンが形成される。

10

20

30

40

50

【 0 0 9 5 】

次に、フォトリジスト R P 1 1 をエッチングマスクとして、ウェットエッチング処理を施すことにより、露出した T E O S 膜 T E 2 の部分が約 5 5 0 n m 程度除去される。ここで、ウェットエッチング処理の薬液として、たとえば、バッファードフッ酸 (B H F) や希フッ酸等が用いられる。ウェットエッチング処理では、薬液により、T E O S 膜 T E 2 が等方的にエッチングされる。

【 0 0 9 6 】

また、薬液が、フォトリジスト R P 1 1 と T E O S 膜 T E 2 との界面に浸み込むことで、界面に沿って位置する T E O S 膜 T E 2 の部分のエッチングがより進行する。これにより、ウェットエッチング処理後の T E O S 膜 T E 2 の表面は、ドライエッチング処理後の T E O S 膜 T E 2 の表面よりも、よりなだらかになる。その後、フォトリジスト R P 1 1 が除去される。

10

【 0 0 9 7 】

次に、図 4 6 に示すように、T E O S 膜 T E 2 を覆うように、さらに、T E O S 膜 T E 3 (膜厚：1 0 0 n m 程度) が形成される。次に、図 4 7 に示すように、所定の写真製版処理を施すことにより、第 2 導波路開口部を形成するためのフォトリジスト R P 1 2 のパターンが形成される。次に、フォトリジスト R P 1 2 をエッチングマスクとしてエッチング処理を施すことにより、画素領域 P E に第 1 導波路 W G 1 を露出する第 2 導波路開口部 W G H 2 が形成される。その後、フォトリジスト R P 1 2 が除去される。

【 0 0 9 8 】

20

次に、図 4 8 に示すように、所定の写真製版処理を施すことにより、パッド電極 P D を露出するためのフォトリジスト R P 1 3 のパターンが形成される。次に、図 4 9 に示すように、フォトリジスト R P 1 3 をエッチングマスクとして T E O S 膜 T E 3、T E 2 にエッチング処理を施すことにより、パッド電極 P D の表面が露出する。その後、図 5 0 に示すように、フォトリジスト R P 1 3 を除去することにより、第 2 導波路開口部 W G H 2 等が露出する。

【 0 0 9 9 】

次に、図 5 1 に示すように、第 2 導波路開口部 W G H 2 を充填するとともに、T E O S 膜 T E 3 を覆うように、塗布系の絶縁性の埋め込み材料 F M が形成される。第 2 導波路開口部 W G H 2 に充填された埋め込み部材 F M によって、第 1 導波路 W G 1 に繋がる第 2 導波路 W G 2 が形成される。

30

【 0 1 0 0 】

次に、画素領域 P E では、所定の写真製版処理を施すことにより、埋め込み材料 F M の上に、カラーフィルタ C F とダミーカラーフィルタ D C F が形成される。次に、そのカラーフィルタ C F とダミーカラーフィルタ D C F を覆うように、第 6 絶縁膜 I F 6 が形成される。さらに、画素領域 P E では、第 6 絶縁膜 I F 6 の表面に、カラーフィルタ C F に対応するマイクロレンズ M L と、ダミーカラーフィルタ D C F に対応するダミーマイクロレンズ D M L が形成される。また、周辺回路領域 P C では、パッド電極 P D の表面を露出する開口部 H P が形成される。その後、スクライブ領域 S C R をダイシングすることによって、撮像装置 I S の主要部分が完成する。

40

【 0 1 0 1 】

上述した実施の形態に係る撮像装置では、画素領域 P E に対する周辺回路領域 P C の段差を軽減する際に、図 4 5 に示すように、周辺回路領域 P C のパッド電極 P D を覆う T E O S 膜 T E 2 の部分を露出するとともに、シールリング領域 S R のシールリング S R P D を覆う T E O S 膜 T E 2 の部分を露出するフォトリジスト R P 1 1 をエッチングマスクとして、ウェットエッチング処理が施される。

【 0 1 0 2 】

これにより、画素領域 P E に対するシールリング領域 S R の段差は、画素領域 P E に対する周辺回路領域 P C の段差と同程度の段差になる。シールリング領域 S R の段差と周辺回路領域 P C の段差とが同程度になることで、図 5 2 に示すように、第 2 導波路開口部を

50

形成するためのフォトリジスト R P 1 2 では、シールリング領域 S R に位置する部分の厚さは、周辺回路領域 P C に位置する部分の厚さと同程度の十分な厚さになる。

【 0 1 0 3 】

このため、フォトリジスト R P 1 2 をエッチングマスクとしてエッチング処理を施す際に、T E O S 膜 T E 3 等のエッチングに伴って、フォトリジスト R P 1 2 の表面がエッチングされたとしても、シールリング S R P D を覆う T E O S 膜 T E 3 が露出して T E O S 膜 T E 3 の表面が荒れるのを阻止することができる。

【 0 1 0 4 】

その結果、実施の形態 1 において説明したように、T E O S 膜自身の異物が発生するのを防止することができ、撮像装置 I S の歩留まり向上に寄与することができる。また、T E O S 膜 T E 3 の表面の荒れが阻止されることで、前述した表面荒れに起因する想定される種々の問題点を解消（回避）することができる。

10

【 0 1 0 5 】

しかも、上述した撮像装置の製造方法では、フォトリジスト R P 1 1 をエッチングマスクとして、露出した T E O S 膜 T E 2 の部分にウェットエッチング処理が施される。このため、エッチングが等方的に進行するとともに、フォトリジスト R P 1 1 と T E O S 膜 T E 2 との界面に沿って位置する T E O S 膜 T E 2 の部分のエッチングがより進行する。これにより、ウェットエッチング処理後の T E O S 膜 T E 2 の表面は、ドライエッチング処理後の場合の段差の急峻さが解消されて、よりなだらかになる。その結果、埋め込み部材 C F M 等の平坦性をさらに向上させることができ、カラーフィルタ C F やマイクロレンズ M L を良好に形成することができる。

20

【 0 1 0 6 】

また、実施の形態 1 において説明したのと同様に、フォトリジスト R P 1 1 のパターンでは、図 5 3 に示すように、シールリング S R P D の周辺回路領域 P C 側の端部から周辺回路領域 P C 側へ長さ L 1（約 1 μ m 程度）の領域（領域 A）に位置する T E O S 膜 T E 2 の部分が露出する。一方、シールリング S R P D のスクライブ領域 S C R 側の端部からスクライブ領域 S C R 側へ長さ L 2（約 3 μ m 程度）の領域（領域 B）に位置する T E O S 膜 T E 2 の部分が露出する。

【 0 1 0 7 】

これにより、フォトリジスト R P 1 1 をエッチングマスクとしてウェットエッチング処理を施した後では、領域 A に対応する、シールリング S R P D の外側側方の領域には、シールリング S R P D に沿って凹部 H S が形成される。一方、領域 B に対応する、シールリング S R P D の内側側方の領域には、シールリング S R P D に沿って凹部 H T が形成される。しかも、薬液による等方性エッチングと、フォトリジスト R P 1 1 と T E O S 膜 T E 2 との界面からのエッチングによって、凹部 H S および凹部 H T のそれぞれの幅は、ドライエッチング処理によって形成される凹部 H S および凹部 H T のそれぞれ幅よりも長くなる。

30

【 0 1 0 8 】

このようななだらかな凹部 H S および凹部 H T が形成された後、埋め込み部材 F M が形成される前の、比較的薄い T E O S 膜 T E 3（膜厚：100nm 程度）が形成された状態では、T E O S 膜 T E 3 の表面における所定の位置の高さの関係は、実施の形態 1 の撮像装置の場合と同様の関係になる。まず、シールリング S R P D の直上に位置する T E O S 膜 T E 3 の表面の位置を第 1 位置 P 1 とする。凹部 H S に位置する T E O S 膜 T E 3 の表面の位置を第 2 位置 P 2 とする。凹部 H S からシールリング領域 S R の外側へ離れる方向に位置する T E O S 膜 T E 3 の表面の位置を第 3 位置 P 3 とする。そうすると、第 2 位置 P 2 の高さは第 1 位置 P 1 の高さよりも低くなる。第 3 位置 P 3 の高さは、第 1 位置 P 1 の高さよりも低く、第 2 位置 P 2 の高さよりも高くなる。なお、この高さの関係は、ウェットエッチング処理が施された T E O S 膜 T E 2 についても、同様である。

40

【 0 1 0 9 】

これにより、図 5 4 に示すように、T E O S 膜 T E 3 を覆うように埋め込み材料 F M 等

50

が形成されて完成した撮像装置 I S における、T E O S 膜 T E 3 と埋め込み材料 F M との界面では、第 2 位置 P 2 に対応する界面 K 2 の高さは、第 1 位置 P 1 に対応する界面 K 1 の高さよりも低くなる。第 3 位置 P 3 に対応する界面 K 3 の高さは、界面 K 1 の高さよりも低く、界面 K 2 の高さよりも高くなる。なお、実施の形態 1 において述べたように、第 3 位置 P 3 (界面 K 3) は、チップとしての撮像装置 I S の端部近傍に対応する位置になる。

【 0 1 1 0 】

また、上述した撮像装置では、画素領域 P E に対する周辺回路領域 P C の段差とシールリング領域 S R の段差との双方の段差を軽減するために、図 4 7 に示すように、パッド電極 P D を覆う T E O S 膜 T E 2 の部分と、シールリング S R P D を覆う T E O S 膜 T E 2 の部分とに、同時にウェットエッチング処理が施される。このため、パッド電極 P D の上面上に残される T E O S 膜 T E 2 の部分の厚さと、シールリング S R P D の上面上に残される T E O S 膜 T E 2 の部分の厚さとが、実質的に同じ厚さとなる。

10

【 0 1 1 1 】

これにより、図 5 4 に示すように、T E O S 膜 T E 3 が形成された後では、パッド電極 P D の上面上に位置する T E O S 膜 T E 2、T E 3 (絶縁膜) の部分の厚さ T P と、シールリング S R P D の上面上に位置する T E O S 膜 T E 2、T E 3 (絶縁膜) の部分の厚さ T S とが、実質的に同じ厚さとなる。ここで、同じ厚さとは、実施の形態 1 の場合と同様に、全く同じ厚さであることを意図するものではなく、半導体基板の面内における成膜やウェットエッチング等のばらつきなど、製造上のばらつきを含むことを意図するものである。

20

【 0 1 1 2 】

(変形例)

上述した撮像装置 I S では、第 2 導波路開口部 W G H 2 に第 2 導波路 W G 2 が形成され、その第 2 導波路 W G 2 の上にカラーフィルタ C F とマイクロレンズ M L が形成される場合について説明した。ここでは、その変形例に係る撮像装置として、第 2 導波路開口部にカラーフィルタが形成される場合について説明する。

【 0 1 1 3 】

図 4 ~ 図 2 2 および図 4 4 ~ 図 5 0 に示す工程と同様の工程を経て第 2 導波路開口部 W G H 2 が形成された後、図 5 5 に示すように、所定の写真製版処理を施すことにより、複数の第 2 導波路開口部 W G H 2 のそれぞれに所定の色のカラーフィルタ C F が形成される。次に、複数のカラーフィルタ C F のそれぞれの上にマイクロレンズ M L が形成される。その後、スクライブ領域 S C R をダイシングすることによって、変形例に係る撮像装置 I S の主要部分が完成する。

30

【 0 1 1 4 】

変形例に係る撮像装置 I S では、第 2 導波路開口部 W G H 2 が形成されるまでは、上述した撮像装置 I S と同じ工程を経て形成される。このため、上述した撮像装置 I S と同様に、T E O S 膜 T E 3 の表面荒れを阻止することができ、また、表面荒れに起因する想定される種々の問題点を解消 (回避) することができる。

【 0 1 1 5 】

さらに、変形例に係る撮像装置 I S では、シールリング領域 S R およびスクライブ領域 S C R に位置する T E O S 膜の T E 3 の表面 (上面) の高さの関係も、上述した撮像装置 I S と同様であり、第 2 位置 P 2 の高さは第 1 位置 P 1 の高さよりも低くなり、第 3 位置 P 3 の高さは、第 1 位置 P 1 の高さよりも低く、第 2 位置 P 2 の高さよりも高くなる。

40

【 0 1 1 6 】

また、パッド電極 P D の上面上に位置する T E O S 膜 T E 2、T E 3 (絶縁膜) の部分の厚さ T P と、シールリング S R P D の上面上に位置する T E O S 膜 T E 2、T E 3 (絶縁膜) の部分の厚さ T S とが、実質的に同じ厚さとなる。

【 0 1 1 7 】

なお、上述した各実施の形態に係る撮像装置の製造方法において示した膜厚等の数値は

50

一例であって、これらの数値に限定されるものではない。また、周辺回路領域 P C の段差とシールリング領域 S R の段差とを低減する手法として、実施の形態 1 では、ドライエッチング処理について説明し、実施の形態 2 では、ウェットエッチング処理について説明したが、必要に応じて、適宜、ドライエッチング処理とウェットエッチング処理とを組み合わせてもよい。

【 0 1 1 8 】

さらに、シールリングとして、三重構造のシールリングを例に挙げた。シールリングとしては、外部からの水分を遮断させることができれば、三重構造に限られるものではなく、たとえば、二重構造のシールリングや、二重構造のシールリングを一つの束として、複数の束からなるシールリング等であってもよい。また、単数構造のシールリングであって

10

【 0 1 1 9 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【 符号の説明 】

【 0 1 2 0 】

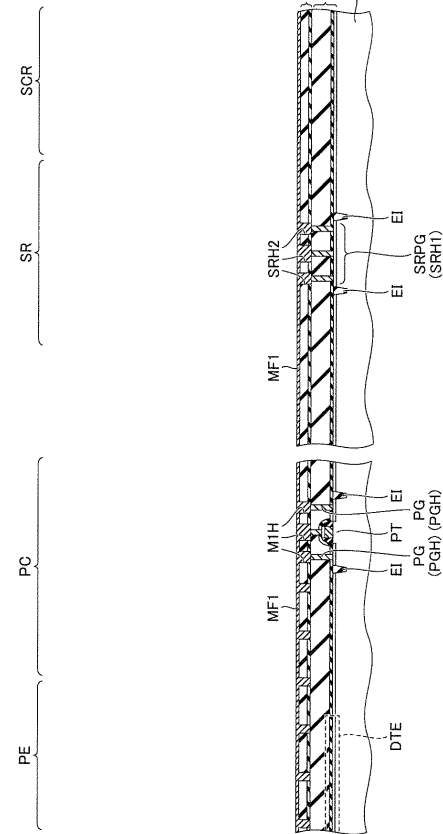
I S 撮像装置、S U B 半導体基板、E I 素子分離絶縁膜、P E 画素領域、D T E 画素素子、P C 周辺回路領域、P T トランジスタ、S R シールリング領域、S C R スクライブ領域、I F 1 第 1 絶縁膜、P G H 開口部、S R H 1 シールリング開口部、P G コンタクトプラグ、S R P G シールリング、I F 2 第 2 絶縁膜、M 1 H 配線溝、S R H 2 シールリング開口部、M F 1 銅膜、M 1 第 1 配線、S R M 1 シールリング、I F 3 第 3 絶縁膜、V 1 H 開口部、S R H 3 シールリング開口部、M 2 H 配線溝、S R H 4 シールリング開口部、M F 2 銅膜、M 2 第 2 配線、V 1 ヴィア、S R M 2 シールリング、I F 4 第 4 絶縁膜、V 2 H 開口部、S R H 5 シールリング開口部、M 3 H 配線溝、S R H 6 シールリング開口部、M F 3 銅膜、M 3 第 3 配線、V 2 ヴィア、S R M 3 シールリング、I F 5 第 5 絶縁膜、P E H 画素開口部、W G H 1 第 1 導波路開口部、S N 1 シリコン窒化膜、S N 2、S N 3 シリコン窒化膜、S N シリコン窒化膜、W G 1 第 1 導波路、T E 1 T E O S 膜、P D H パッド開口部、S R H 7 シールリング開口部、M F 4 アルミニウム膜、P D パッド電極、S R P D シールリング、T E 2 T E O S 膜、T E 3 T E O S 膜、W G H 2 第 2 導波路開口部、W G 2 第 2 導波路、F M 埋め込み部材、C F カラーフィルタ、D C F ダミーカラーフィルタ、M L マイクレンズ、D M L ダミーマイクロレンズ、I F 6 第 6 絶縁膜、L N 1 第 1 キャップ膜、L N 2 第 2 キャップ膜、H P 開口部、H T、H S 凹部、P 1、P 2、P 3 位置、K 1、K 2、K 3 界面、R P 1、R P 2、R P 3、R P 4、R P 5、R P 6、R P 7、R P 8、R P 9、R P 1 0、R P 1 1、R P 1 2、R P 1 3 フォトレジスト。

20

30

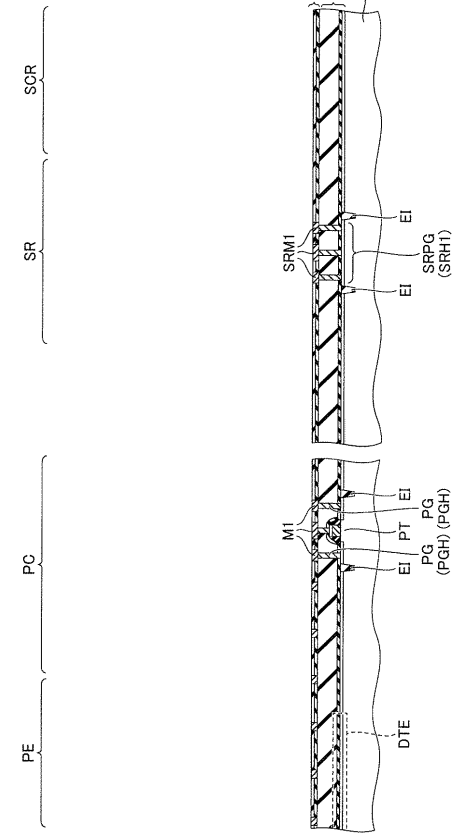
【 5 】

図5



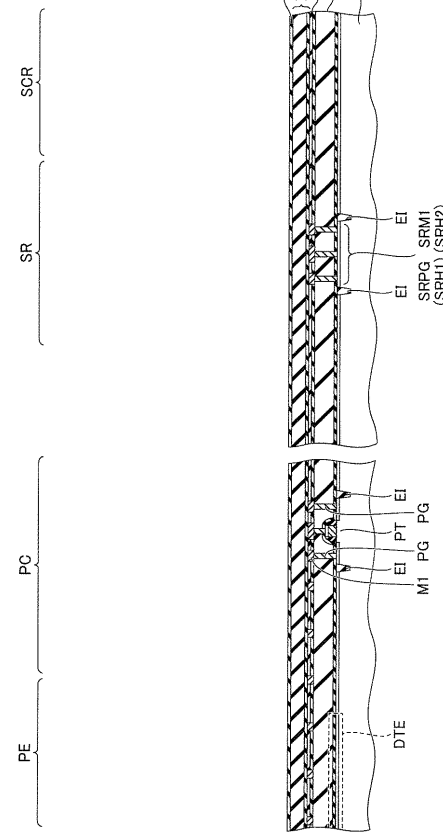
【 6 】

図6



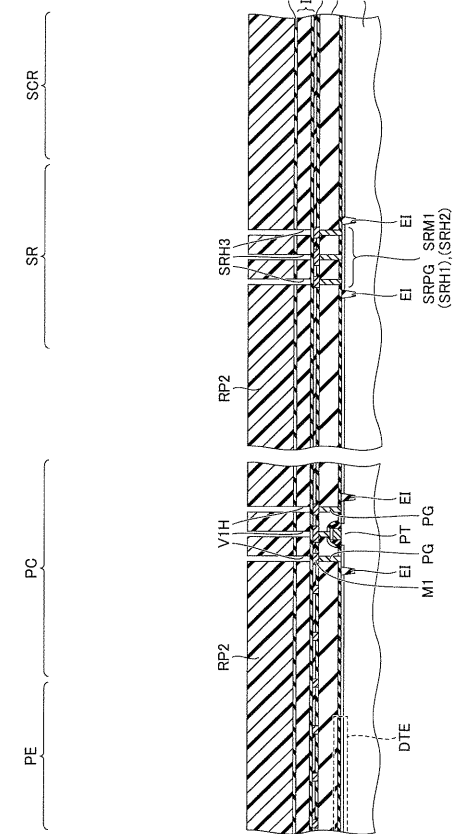
【 7 】

図7



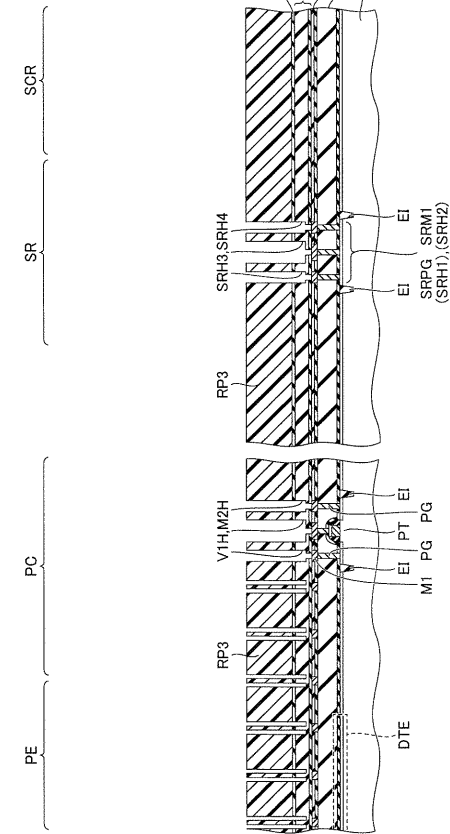
【 8 】

図8



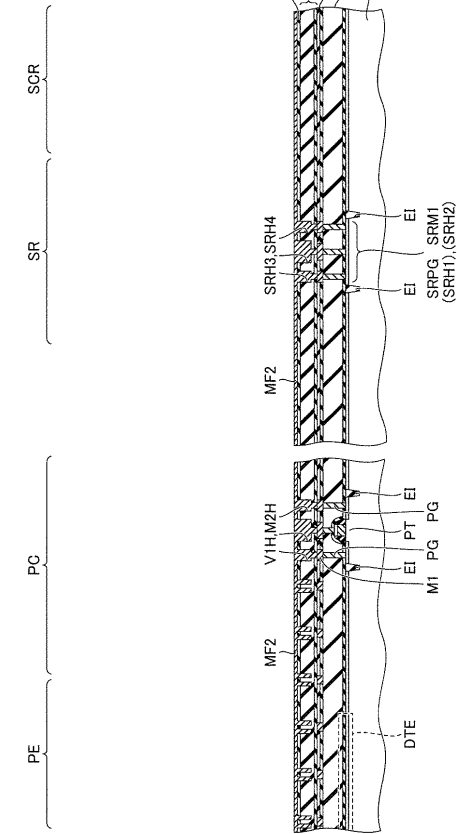
【 9 】

図9



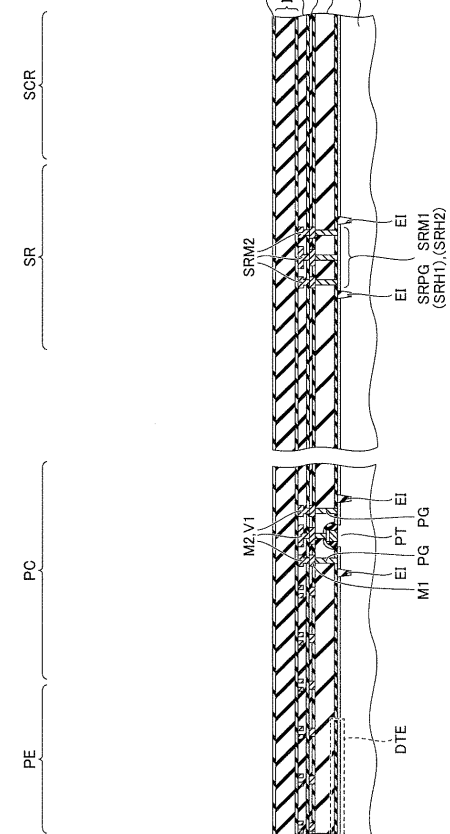
【 10 】

図10



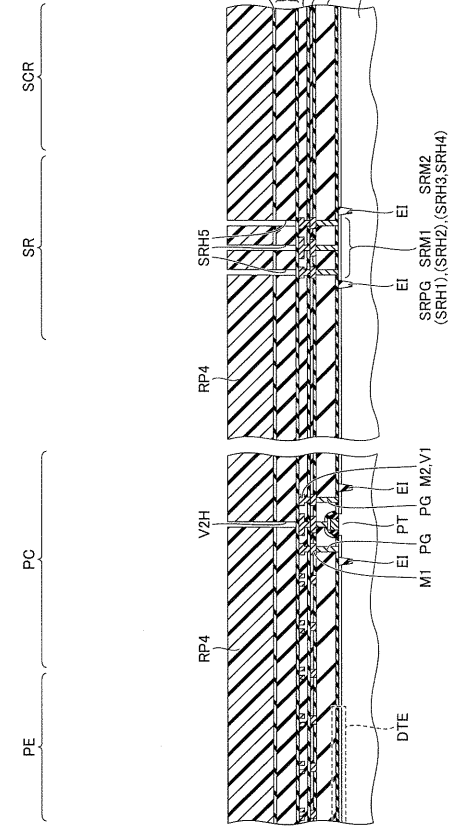
【 11 】

図11



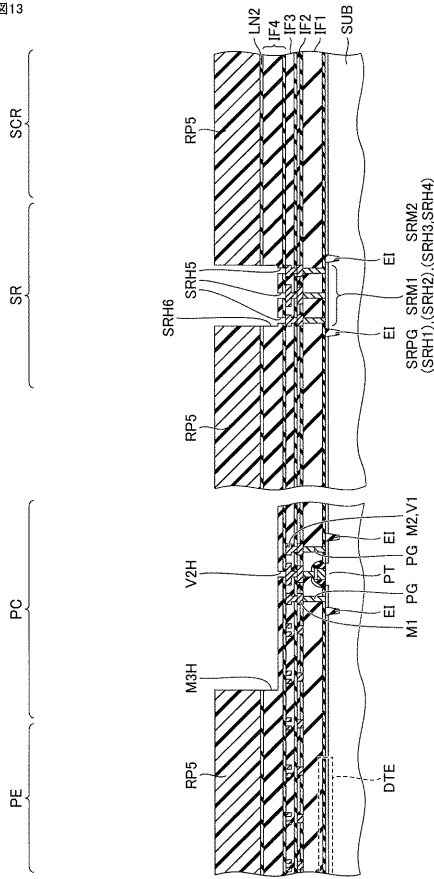
【 12 】

図12



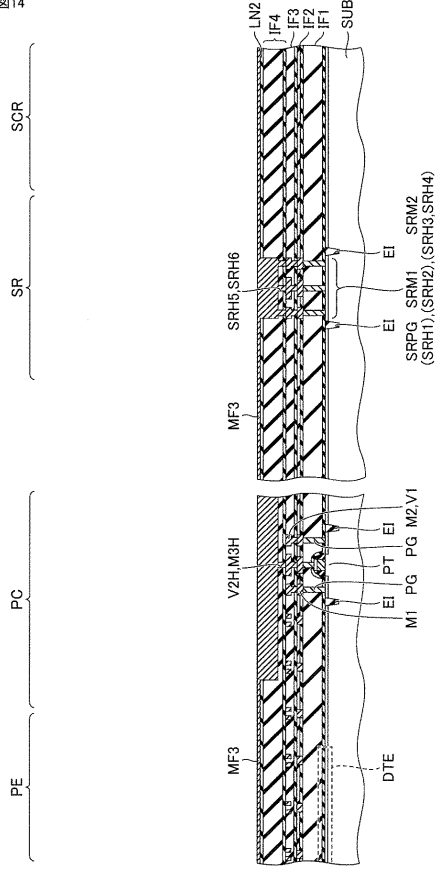
【 13 】

図 3



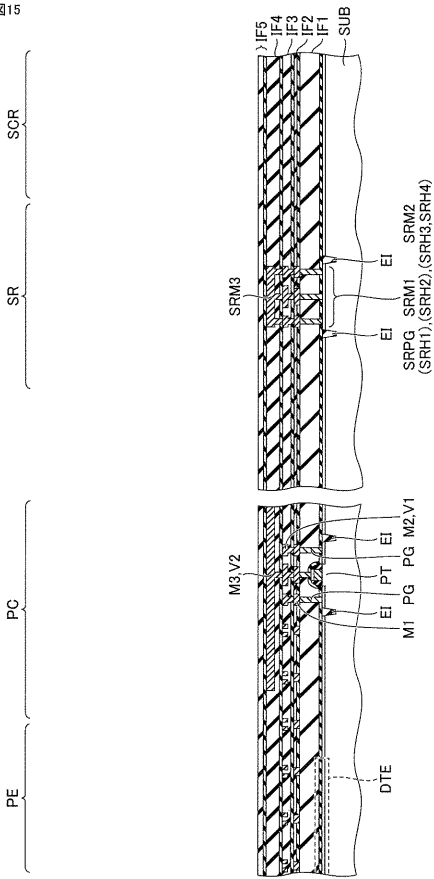
【 14 】

図 4



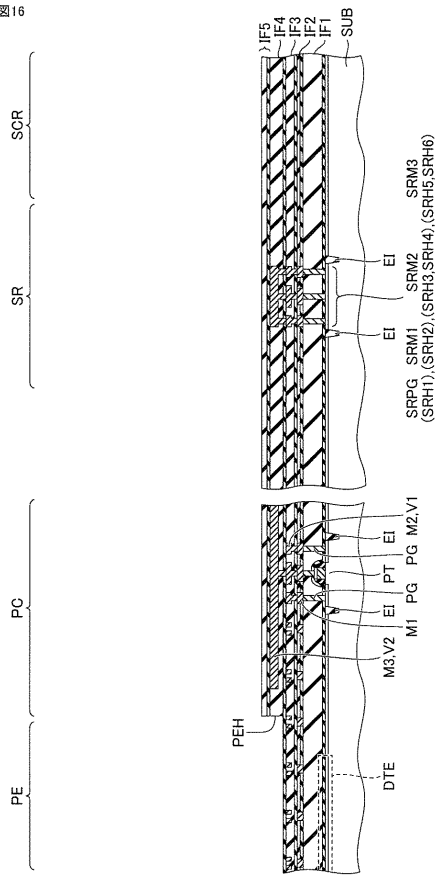
【 15 】

図 5



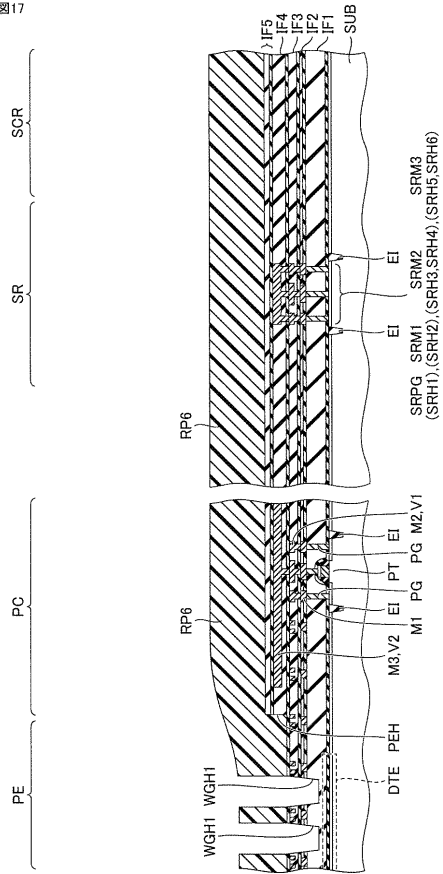
【 16 】

図 6



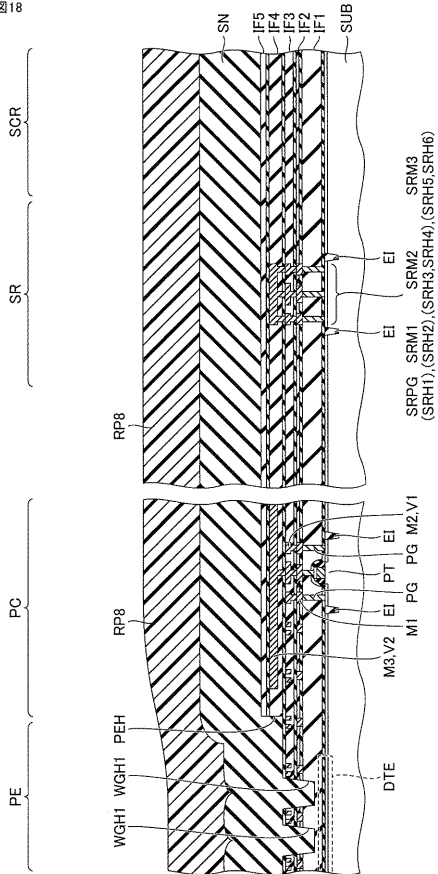
【 17 】

图 17



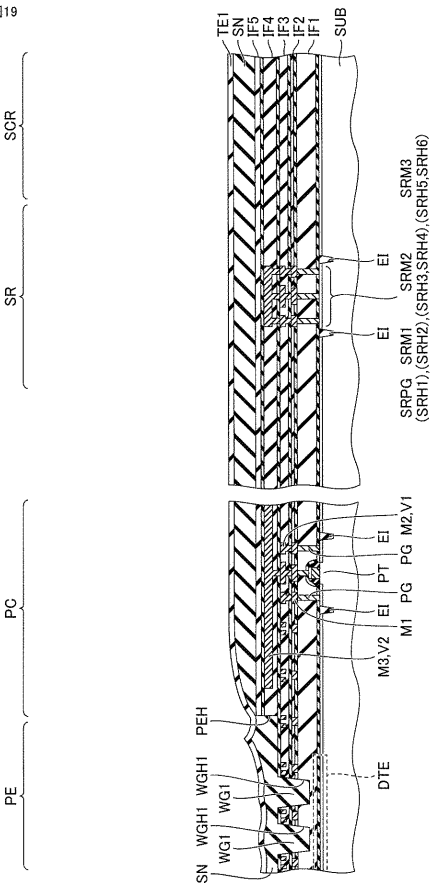
【 18 】

图 18



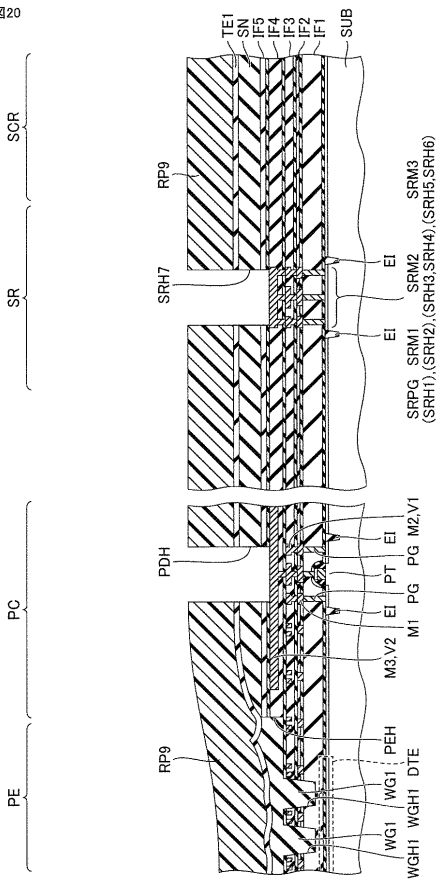
【 19 】

图 19

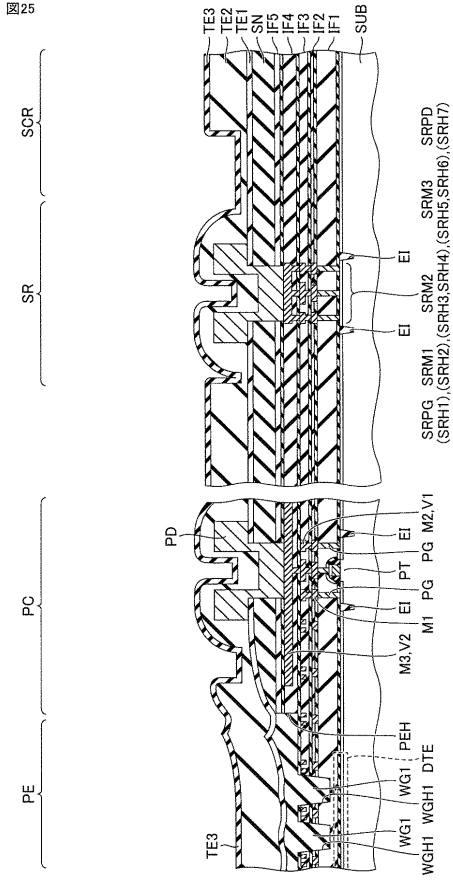


【 20 】

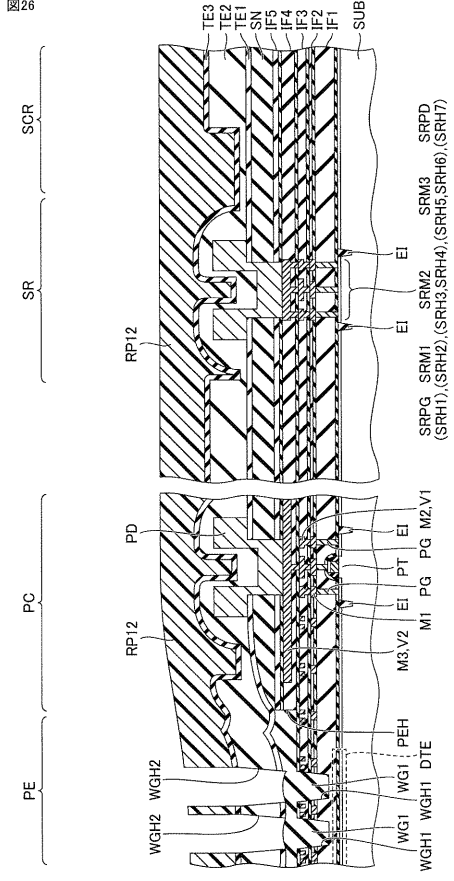
图 20



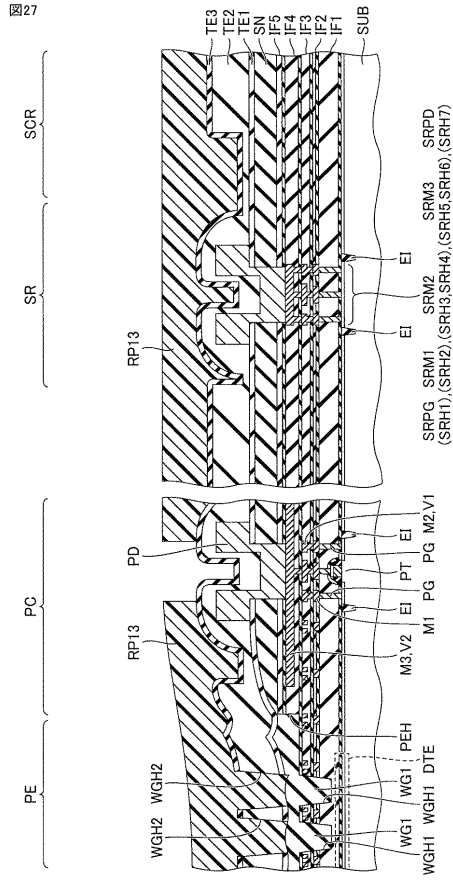
【 25 】



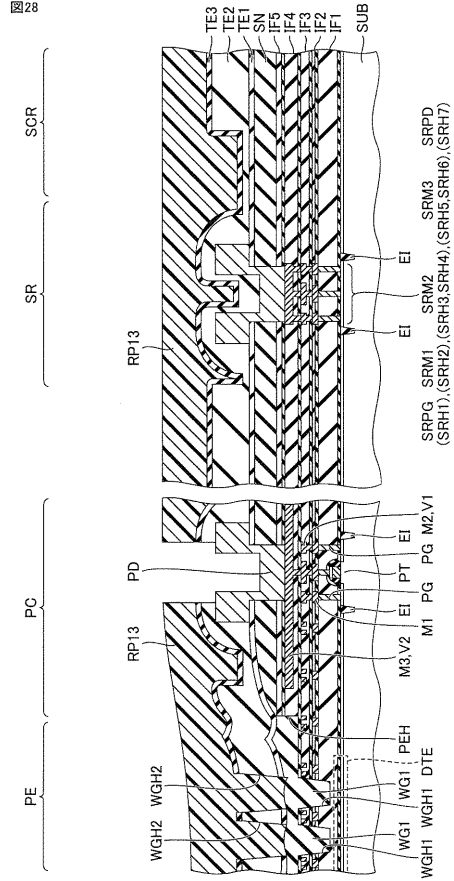
【 26 】



【 27 】

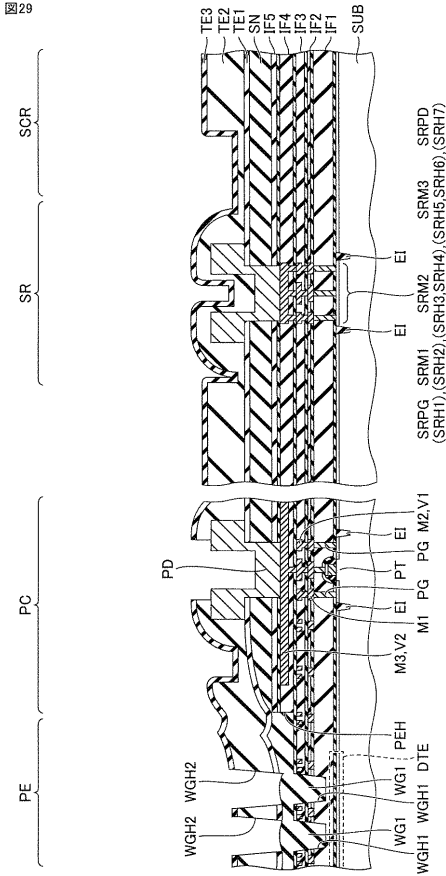


【 28 】



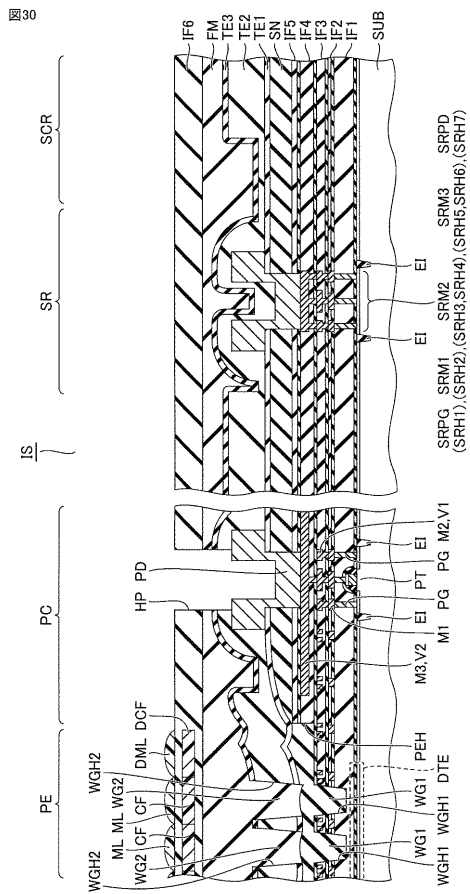
【 29 】

図29



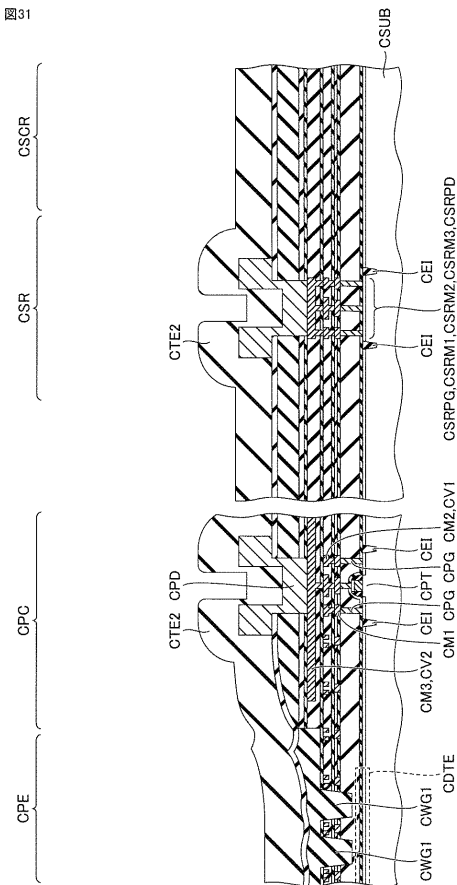
【 30 】

図30



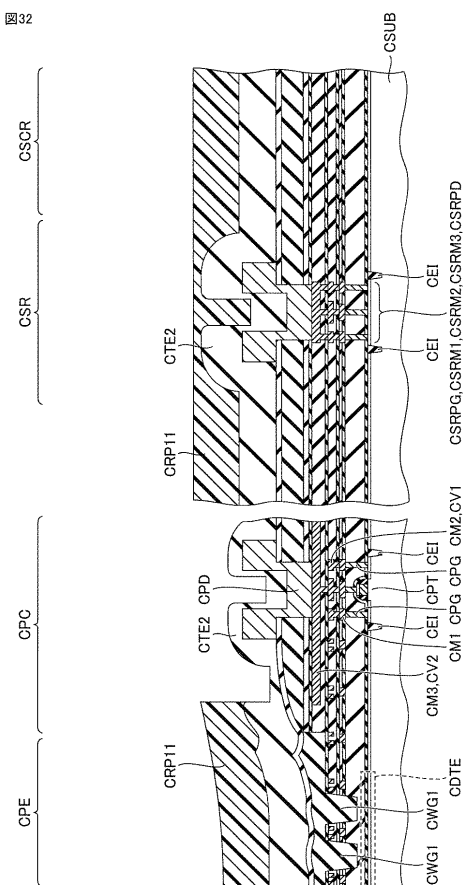
【 31 】

図31



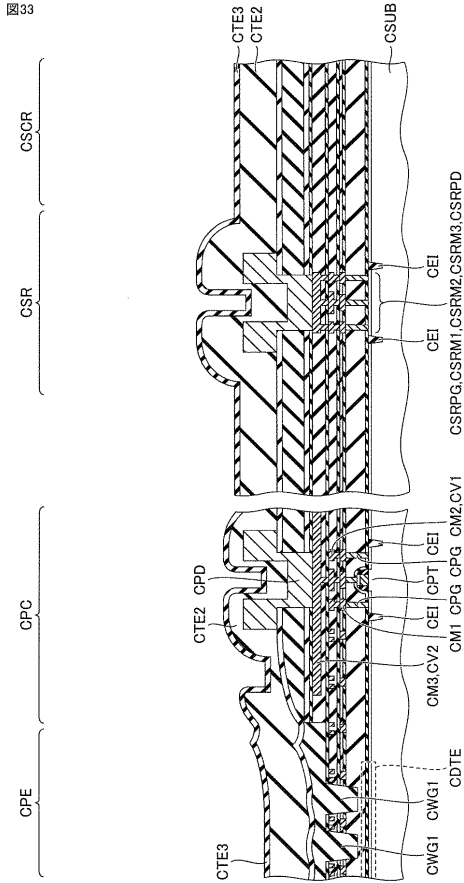
【 32 】

図32



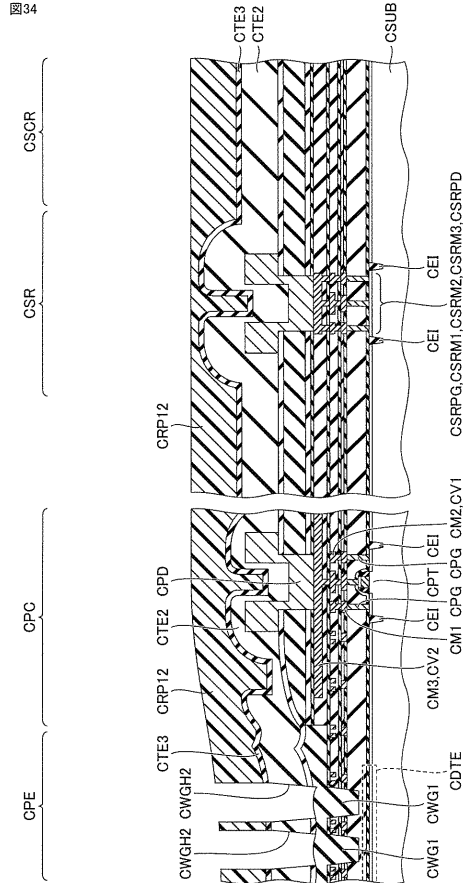
【 3 3 】

図33



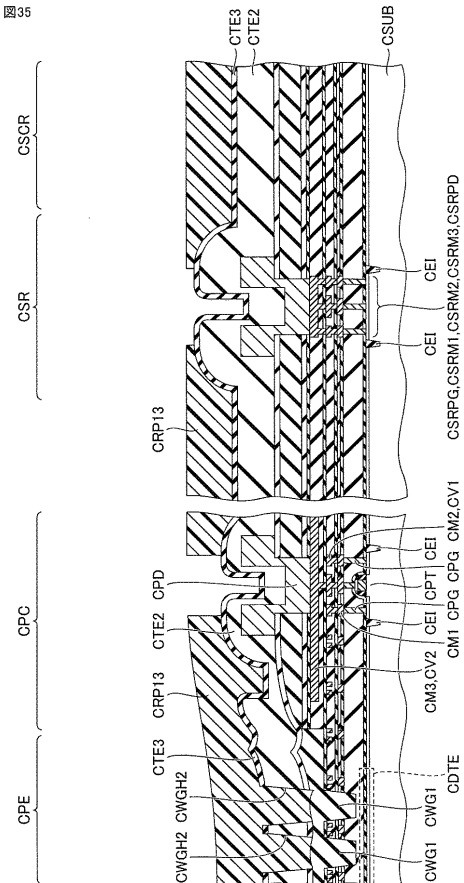
【 3 4 】

図34



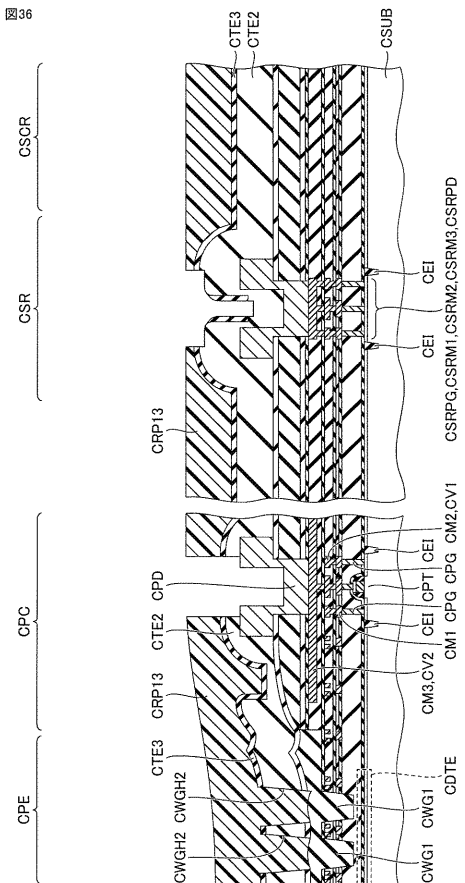
【 3 5 】

図35

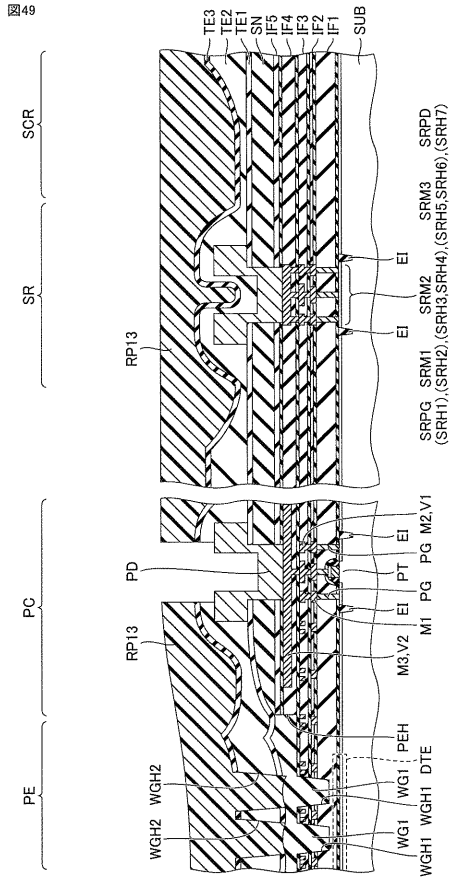


【 3 6 】

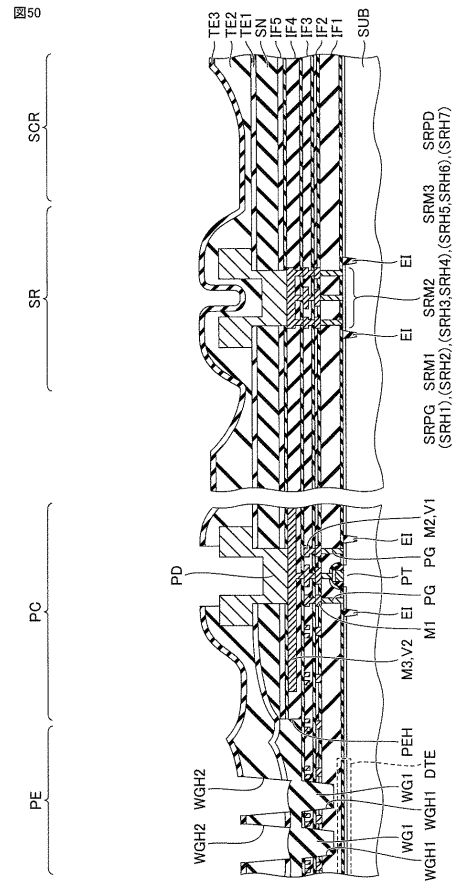
図36



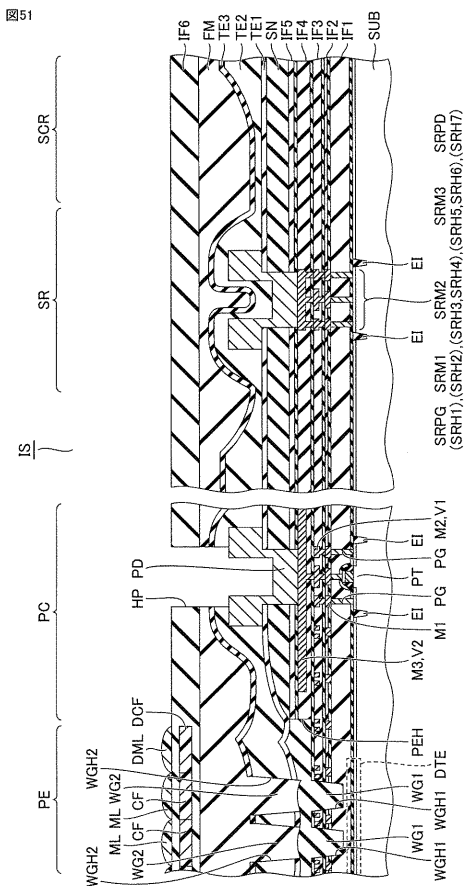
【 49 】



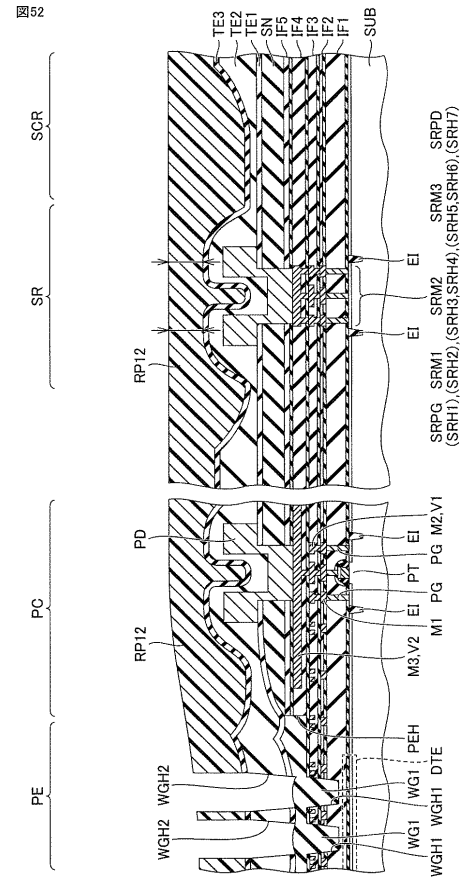
【 50 】



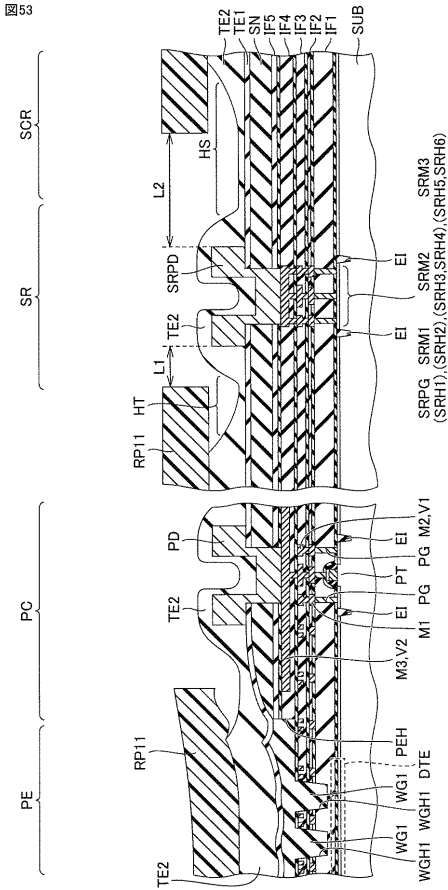
【 51 】



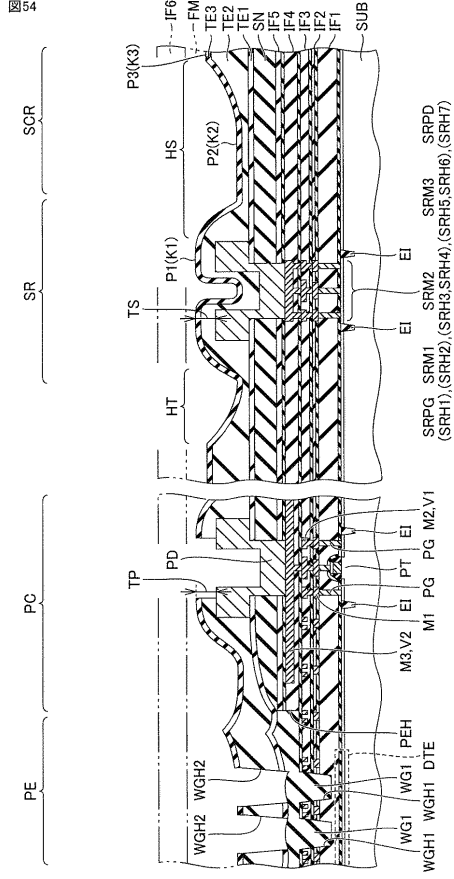
【 52 】



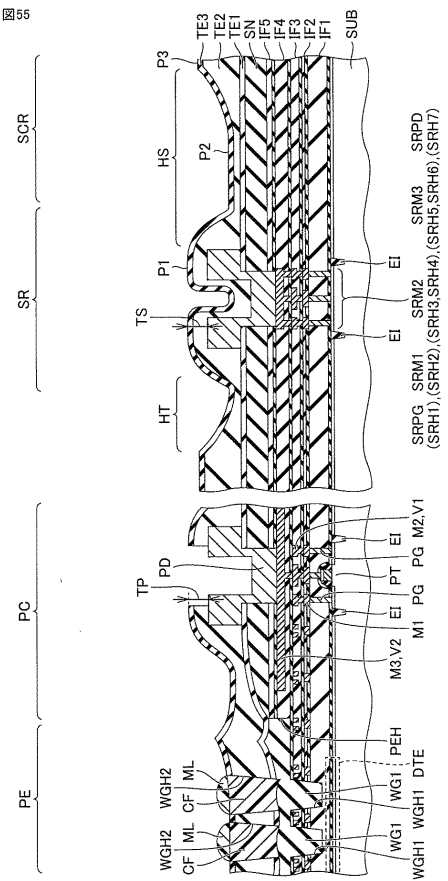
【 5 3 】



【 5 4 】



【 5 5 】



フロントページの続き

(56)参考文献 国際公開第2013/054535(WO, A1)

特開2014-110279(JP, A)

特開2012-227476(JP, A)

特開2012-004368(JP, A)

特開2008-166677(JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/14

H04N 5/335

H01L 27/04

H01L 21/3205

H01L 21/768

H01L 23/522