



(12) 发明专利

(10) 授权公告号 CN 1745487 B

(45) 授权公告日 2010.06.09

(21) 申请号 200380109431.1

(22) 申请日 2003.12.12

(30) 优先权数据

0229191.2 2002.12.14 GB

(85) PCT申请进入国家阶段日

2005.08.01

(86) PCT申请的申请数据

PCT/GB2003/005435 2003.12.12

(87) PCT申请的公布数据

W02004/055920 EN 2004.07.01

(73) 专利权人 造型逻辑有限公司

地址 英国剑桥

(72) 发明人 托马斯·M·布朗

汉宁·司瑞英豪司

(74) 专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 李春晖

(51) Int. Cl.

H01L 51/05 (2006.01)

H01L 51/40 (2006.01)

(56) 对比文件

WO 01/60589 A1, 2001.08.23, 全文.

WO 02/47183 A1, 2002.06.13, 说明书第6页第21行到第7页第2行、附图1.

WO 02/29912 A1, 2002.04.11, 说明书第5页第1行到第10页第23行, 第14页第4行到第16页第18行、附图1,2,4,6.

WO 01/47044 A2, 2001.06.28, 全文.

C. R. Kagan, T. L. Breen, L. L. Kosbar. Patterning organic-inorganic thin-film transistors using microcontact printed templates. APPLIED PHYSICS LETTERS 79 21. 2001, 79(21), 3536-3538.

H. Sirringhaus, T. Kawase, R.H. Friend. High-Resolution Ink-Jet Printing of All-Polymer Transistor Circuits. MRS BULLETIN 26 7. 2001, 26(7), 539-543.

Francis Garnier, Riadh Hajlaoui, Mohamed EI Kassmi. Vertical device architecture by molding of organic-based thin film transistor. APPLIED PHYSICS LETTERS 73 12. 1998, 73(12), 1721-1723.

审查员 朱丽娜

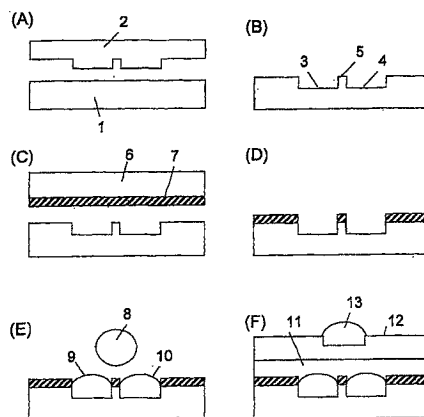
权利要求书 3 页 说明书 13 页 附图 10 页

(54) 发明名称

用于在基片的多层结构中形成电子器件的方法

(57) 摘要

一种用于在多层结构中形成电子器件的方法,包括以下步骤:在横向延伸的第一层中限定表面形状分布;在所述第一层上沉积至少一个非平面化层,以使所述或每个非平面化层的表面的所述表面形状分布与所述横向延伸的第一层的表面形状分布一致;以及在所述最上非平面化层上沉积至少一个附加层的图案,从而通过所述非平面化层的所述表面形状分布的形状限定所述附加层的横向位置,并由所述附加层与在所述第一层中的所述表面形状分布横向对准。



1. 一种用于在基片的多层结构中形成电子器件的方法,包括以下步骤:

沉积横向延伸的第一层以限定所述器件的一个或多个电极,其中所述一个或多个电极端限定表面形状分布的一个或多个相对突出区域,所述表面形状分布还包括一个或多个相对凹入区域;

在所述第一层上沉积至少一个非平面化层,以使所述至少一个非平面化层的表面的表面形状分布与所述横向延伸的第一层的表面形状分布一致;以及

在所述至少一个非平面化层的最上层的表面形状分布的一个或多个相对凹入区域中的一个或多个上选择性地沉积电极材料,以限定所述器件的一个或多个其他电极。

2. 根据权利要求1的方法,其中从溶液沉积所述电极材料。

3. 根据权利要求1或2的方法,其中在沉积所述电极材料的所述步骤之前,所述方法还包括进行表面调节处理的步骤,该处理对所述至少一个非平面化层的最上层的所述一个或多个相对凸出区域和所述至少一个非平面化层的最上层的所述一个或多个相对凹入区域的效果不同,以在所述至少一个非平面化层的最上层的所述一个或多个相对凸出区域和所述一个或多个相对凹入区域之间产生表面能对比。

4. 根据权利要求3的方法,其中所述表面调节处理包括选择性地沉积调节所述至少一个非平面化层的最上层的表面能的表面调节材料。

5. 根据权利要求1或2的方法,其中所述基片包括挠性塑料基片。

6. 根据权利要求5的方法,其中,所述挠性塑料基片是聚(对苯二甲酸乙二醇酯)(PET)、聚醚砜(PES)、或聚萘二甲酸乙二醇酯(PEN)。

7. 根据权利要求3的方法,其中进行所述表面调节处理的所述步骤包括通过将所述至少一个非平面化层的最上层的表面与载有表面调节材料的平坦压模相接触,层压所述至少一个非平面化层的最上层的表面。

8. 根据权利要求7的方法,其中所述表面调节材料是自组装单分子层。

9. 根据权利要求8的方法,其中所述自组装单分子层能够接合到所述至少一个非平面化层的最上层的表面上的功能基,并具有包含一个极性基的尾部。

10. 根据权利要求1或2的方法,其中通过真空沉积技术沉积所述非平面化层。

11. 根据权利要求1或2的方法,其中从溶液沉积所述非平面化层。

12. 根据权利要求7的方法,还包括将机械支撑层施加到所述至少一个非平面化层的最上层的表面的步骤,该步骤用于在进行表面调节处理的所述步骤期间保持所述平坦压模与所述至少一个非平面化层的最上层的相对凹入区域分开。

13. 根据权利要求3的方法,其中在沉积所述电极材料的所述步骤之前,所述方法还包括将表面调节层施加到所述至少一个非平面化层的最上层的相对凸出区域或相对凹入区域中的一个上,从而将所述电极材料限制到所述至少一个非平面化层的最上层的所述相对凸出区域或相对凹入区域中的另一个。

14. 根据权利要求13的方法,其中在施加表面调节层的所述步骤之前,在所述非平面化层的相对凸出区域或相对凹入区域中的一个上有选择地进行表面处理步骤。

15. 根据权利要求13的方法,其中所述表面处理步骤包括将所述至少一个非平面化层的最上层变湿以用于沉积所述电极材料的步骤。

16. 根据权利要求13的方法,其中所述表面调节层是低表面能的聚合物。

17. 根据权利要求 16 的方法,其中所述低表面能的聚合物是含氟聚合物。
18. 根据权利要求 3 的方法,其中进行表面调节处理的所述步骤包括以斜角在所述至少一个非平面化层的最上层上沉积表面调节材料,从而将所述表面调节材料沉积在所述至少一个非平面化层的最上层的所述一个或多个相对凸出区域上,并在沉积所述表面调节材料期间通过所述一个或多个相对凸出区域遮蔽所述相对凹入区域。
19. 根据权利要求 1 或 2 的方法,其中所述电极材料形成所述电子器件的电功能部件。
20. 根据权利要求 13 的方法,其中根据所述表面调节层的表面形状分布调节所述表面调节层的表面能。
21. 根据权利要求 1 或 2 的方法,其中所述第一层形成所述电子器件的栅电极。
22. 根据权利要求 1 或 2 的方法,其中在所述至少一个非平面化层的最上层上沉积的所述电极材料包括所述电子器件的源和漏电极。
23. 根据权利要求 1 或 2 的方法,其中所述第一层形成所述电子器件的源和漏电极。
24. 根据权利要求 1 或 2 的方法,其中在所述至少一个非平面化层的最上层上沉积的所述电极材料包括所述电子器件的栅电极。
25. 根据权利要求 1 或 2 的方法,其中所述电子器件是晶体管。
26. 根据权利要求 1 或 2 的方法,其中沉积至少一个非平面化层的所述步骤包括沉积第一非平面化层和第二非平面化层。
27. 根据权利要求 26 的方法,其中所述第一非平面化层是半导体层。
28. 根据权利要求 27 的方法,其中所述第二非平面化层是电介质层。
29. 根据权利要求 28 的方法,其中所述电介质层是栅电介质层。
30. 根据权利要求 1 或 2 的方法,其中所述电极材料与所述第一层中的所述表面形状分布横向对准,从而所述电极材料的边缘和将所述电极材料限制到其上的所述第一层中的所述表面形状分布的边界之间的横向重叠小于 $10\ \mu\text{m}$ 。
31. 根据权利要求 1 或 2 的方法,其中所述电极材料与所述第一层中的所述表面形状分布横向对准,从而所述电极材料的边缘和将所述电极材料限制到其上的所述第一层中的所述表面形状分布的边界之间的横向重叠小于 $5\ \mu\text{m}$ 。
32. 根据权利要求 1 或 2 的方法,其中所述电极材料与所述第一层中的所述表面形状分布横向对准,从而所述电极材料的边缘和将所述电极材料限制到其上的所述第一层中的所述表面形状分布的边界之间的横向重叠小于 $1\ \mu\text{m}$ 。
33. 根据权利要求 3 的方法,其中对具有包括至少一个相对凸出区域和至少一个相对凹入区域的表面形状分布的表面进行表面调节处理的所述步骤,包括:
在所述表面形状分布上沉积平面化牺牲层;
蚀刻所述牺牲层的表面,以暴露所述表面的所述相对凸出区域,而使所述相对凹入区域被所述牺牲层覆盖,从而限定平面的表面层;
对所述表面层进行表面能调节处理;以及
除去剩余的牺牲层,以暴露所述凹入区域。
34. 根据权利要求 33 的方法,其中通过旋涂来沉积所述平面化牺牲层。
35. 根据权利要求 33 的方法,其中通过聚合物溶液沉积所述平面化牺牲层。
36. 根据权利要求 35 的方法,其中所述聚合物溶液是包含硅氧烷的有机基聚合物溶

液。

37. 根据权利要求 33 的方法,其中所述蚀刻步骤包括氧气等离子体蚀刻步骤。

38. 根据权利要求 33 的方法,其中对所述表面层进行表面能调节处理的所述步骤包括将所述表面层暴露于自组装分子的蒸汽中。

39. 根据权利要求 33 的方法,其中除去剩余的牺牲层的所述步骤包括在溶剂中清洗所述基片,其中所述牺牲层是可溶的,而所述表面层是不可溶的。

用于在基片的多层结构中形成电子器件的方法

技术领域

[0001] 本发明涉及电子器件,尤其是有机电子器件以及形成该器件的方法。

背景技术

[0002] 近来,半导体共扼聚合物薄膜晶体管(TFT)已经在研究中,用于塑料基片上集成的廉价逻辑电路(C. Drury 等人, APL 73,108(1998))和高分辨率有源矩阵显示器中的光电集成器件和象素晶体管开关(H. Sirringhaus 等人, Science 280,1741(1998), A. Dodabalapur 等人, Appl. Phys. Lett. 73,142(1998))。在具有聚合物半导体和无机金属电极以及栅电介质层的测试器件构造中,已经说明了高性能 TFT。已经达到高达 $0.1\text{cm}^2/\text{Vs}$ 的载流子迁移率和 10^6 - 10^8 的 ON-OFF(开-关)电流比,其可与非晶硅 TFT 的性能相比(H. Sirringhaus 等人, Advance in Solid State Physics 39,101(1999))。

[0003] 聚合物半导体的一个优点是它们本身可以经历简单和低成本溶液处理。然而,全聚合物 TFT 器件和集成电路需要形成聚合物导体、半导体和绝缘体的横向图案的能力。已经出现了各种图案技术,如光刻(WO 99/10939 A2),丝网印刷(Z. Bao 等人, Chem. Mat. 9,1299(1997)),软平版印刷(J. A. Rogers, Appl. Phys. Lett. 75,1010(1999)),微铸模(J. A. Rogers, Appl. Phys. Lett. 72,2716(1998)),以及直接喷墨印刷(H. Sirringhaus 等人, UK 0009911.9)。

[0004] 许多直接印刷技术不能提供限定 TFT 的源电极和漏电极所需的图案分辨率。为了获得足够的驱动电流和开关速度,需要小于 $10\mu\text{m}$ 的沟道长度。在喷墨印刷的情况下,通过在包含不同表面自由能的区域的预构图基片上印刷,已经克服了该分辨率问题(H. Sirringhaus 等人, UK 0009915.0)。

[0005] 在专利申请 PCT/GB01/04421 中,公开了一种方法,其允许通过结合直接写印刷和压印来制造聚合物 TFT。该方法基于将包含尖凸出楔阵列的模板(master)压在包含至少一个聚合物层和至少一个导电层的基片上,并微切割导电层以形成 TFT 的源电极和漏电极。该公开的方法还可以应用于包含多于一个导电层的多层结构,并允许形成垂直场效应晶体管(FET)器件,其中在通过压印步骤形成的垂直侧壁上形成晶体管沟道,以及通过沉积的绝缘或半导体膜的厚度而不是通过高分辨率构图步骤来限定 FET 的沟道长度。该方法允许低成本地制造具有亚微米沟道长度的 FET。

[0006] 在专利申请 PCT/GB01/04421 中,还公开了一种用于限定自对准栅电极的方法。该方法基于使用由压印步骤产生的表面形状分布(topographical profile),该压印步骤限定源和漏电极以限制栅电极的沉积。

[0007] 在自对准器件构造中,自动调整栅电极的位置并与源电极和漏电极对准。这对于许多电路应用很有利,因为这减小了源-漏和栅电极之间的寄生电容。这对于印刷的器件尤其重要,其中沉积的导电电极和互连的宽度倾向于较大,即在 20 - $100\mu\text{m}$ 的数量级。此外,在如直接喷墨印刷的技术中滴剂放置的位置精确度通常不足以获得小的重叠电容。通常,为了确保栅电极与有源沟道区域到处重叠,并允许滴剂放置的任何统计偏差,需要相对

大的重叠。在自对准器件中,栅电极被自动限制在源电极和漏电极之间的沟道区域,而不与导电源漏电极区域本身重叠,即重叠面积为约 LW (L :沟道长度, W :沟道宽度),而不是 dW (d :印刷栅极线的宽度)。这样,显著减小了寄生重叠电容。

发明内容

[0008] 根据本发明的第一方面,提供了一种用于在多层结构中形成电子器件的方法,包括将表面形状分布压印到基片中,该基片包括第一和第二凹入(凸出)区域以及将所述第一和第二区域分开的第三凸出(凹入)区域,包括在所述第一和第二区域中沉积导电或半导体材料的溶液的附加步骤。该方法还可以包括在沉积所述导电或半导体材料之前选择性调节(modification)所述压印基片的表面能,以减小所述第三区域中的所述导电或半导体材料的溶液的变湿。

[0009] 根据本发明的另一个方面,提供了一种用于在多层结构中形成自对准电子器件的方法,包括在第一层中限定表面形状分布,在所述第一层上沉积至少一个附加、保形(conformal)层,有选择地调节所述附加层的表面能,并在沉积与所述第一层中的表面形状分布对齐的至少一个附加层的图案。

[0010] 根据本发明的另一个方面,提供了一种用于形成垂直沟道场效应晶体管的方法,包括这样的步骤,压印包含至少一个聚合物层的基片,并将导电电极的一部分推入所述基片中,以形成垂直沟道晶体管的源电极和漏电极。

[0011] 根据本发明的另一个方面,提供了一种用于通过压印形成表面能图案的方法,该方法用于指导用于形成场效应晶体管器件的至少一层的材料沉积。

[0012] 根据本发明的另一个方面,提供了如权利要求所述的方法和器件。

[0013] 本发明的其它方面包括通过上述和其它方法形成的器件,以及集成电路、逻辑电路、显示电路、传感器件和/或包括一个或多个这种器件的存储器器件电路。优选在公共基片上形成所述器件。优选在有机材料的公共层中形成所述器件。

[0014] 本发明的优选方面涉及这样的方法,通过该方法可以使用固态压印来制造聚合物晶体管器件和电路。

附图说明

[0015] 现在将参考附图只作为实例来描述本发明的实施例,其中:

[0016] 图 1 是本发明的一个实施例的示意图,其允许高分辨率地限定平面 FET 的源和漏电极;

[0017] 图 2 是图 1 的实施例的变形的示意图,其中压印模板具有尖凸出楔的形状;

[0018] 图 3 是具有与源电极和漏电极自对准的栅电极的顶部栅极平面 FET 器件的示意图;

[0019] 图 4 是具有与源电极和漏电极自对准的栅电极的底部栅极平面 FET 器件的示意图;

[0020] 图 5 是底部栅极 (a) 和顶部栅极 (b) FET 器件的示意图,其中上层通过由在下层中沉积的电极产生的表面形状分布自对准;

[0021] 图 6 示出了具有自对准栅电极的垂直沟道 FET 的器件结构;

- [0022] 图 7 示出了具有自对准栅电极的垂直沟道 FET 的另一器件结构；
- [0023] 图 8 示出了用于通过压印限定表面能图案的工艺；
- [0024] 图 9 示出了用于通过压印限定表面能图案的另一工艺；
- [0025] 图 10 示出了局部增加电介质层的电容的各种工艺。

具体实施方式

[0026] 图 1 示出了使用压印以限定 FET 器件的临界沟道长度的示意图。基片 1 是挠性塑料基片,如聚(对苯二甲酸乙二酯)(PET)、聚醚砜(PES)、和聚萘二甲酸乙二酯(PEN)。可选地,基片也可以是刚性基片,如覆有聚合物层的玻璃基片。通过将包含凸出细部(feature)阵列的压印工具 2 压到基片中,来压印基片。在升高的温度下进行压印步骤,该温度优选接近基片或基片上的最上层的玻璃转变温度。也可以通过将基片 1 处于其液相,来进行压印步骤。优选,选择聚合物层的厚度大于压印工具的凸出细部的高度。如果聚合物层薄于模板的凸出细部的高度,需要注意减小压印工具的损坏。在压印步骤之后,将导电墨水 8 沉积在压印沟槽中。可以以液滴的形式例如通过喷墨印刷、喷雾沉积(aerosol deposition)或喷洒涂覆,或以连续膜的形式例如通过叶片涂覆(blade coating)、旋转涂覆或浸渍涂覆,来沉积墨水。通过毛细作用,将导电墨水的沉积限制在基片上的沟槽 3、4 中,该沟槽限定了 FET 的源电极和漏电极。在限定器件的沟道长度 L 的窄脊 5 的顶部上没有发生沉积。

[0027] 为了加强沉积的墨水在沟槽中的限制,有选择地调节窄脊 5 的顶部上和基片的其它平坦区域中的表面,以提供在沟槽中的变湿表面和脊 6 的顶部上的低能量、去湿表面之间的表面能对比。这可以这样来实现,首先例如通过使用具有高表面能的极性聚合物层作为基片的压印表面层 1,或通过将基片暴露于 O_2 等离子体或 UV/ 臭氧表面处理,以高能量、变湿状态制备基片的整个表面。随后,将基片与具有自组装单分子层(SAM)7 的平坦印花 6 相接触,该自组装单分子层可以与基片表面上的官能团相接合。合适的 SAM 为例如辛基三氯硅烷($C_8H_{17}SiCl_3$)(OTS)或氟代烷基三氯硅烷($C_nF_{2n+1}C_mF_{2m}SiCl_3$)或等同甲氧基硅烷。由于基片上的表面形状分布,将 SAM 有选择地只转移到基片的平坦区域中或脊 5 上,使这些表面区域不变湿,用于将要沉积墨水,而沟槽 3、4 的底部和侧壁保持变湿。通过基片上的表面形状分布实现的该选择性表面调节提供了很强的限制力,用于沉积导电墨水。导电墨水的例子包括导电聚合物,例如掺有聚苯乙烯磺酸的聚乙烯二氧噻吩(PEDOT/PSS),或用于在溶剂中调配的无机金属的金属纳米颗粒或化学前体溶液的导电无机悬浮液。该表面调节方法将在下面被称为“平坦印花方法”。

[0028] 可选地,使用基片上的表面形状分布的选择性表面调节可以通过其它技术来限定,该技术例如以斜角的表面调节层的真空蒸发。如果不将基片保持与从源蒸发的原子或分子的聚焦束正交,而是一斜角,则基片的凹陷区域被表面的抬升部分遮蔽。表面调节材料只被蒸发到基片的抬升部分,而没有被蒸发到凹陷部分。可以将一些表面调节材料沉积在将抬升区域与凹陷区域分开的基片的侧壁上。

[0029] 在以此方式形成源电极和漏电极 9、10 之后,通过沉积如区域规则型聚(3-己基噻吩)(P3HT)或聚(二辛基氟-共-并噻吩)(F8T2)的半导体材料层 11 以及如聚(甲基丙烯酸甲酯)(PMMA)聚合物层的 12,并通过印刷用于栅电极的导电材料的图案,来完成器件。栅电极 13 可以由如 PEDOT/PSS 或无机金属的导电聚合物形成。也可以构图有源半导体或

介质层,以例如形成器件的有源层岛,以减小相邻器件之间的串扰。

[0030] 由脊 5 的宽度限定的器件的沟道长度优选小于 $20\ \mu\text{m}$,更优选小于 $5\ \mu\text{m}$,最优选小于 $1\ \mu\text{m}$ 。通过分辨率和聚合物基片的机械特性确定最小沟道长度,其中通过分辨率可以限定压印工具上的凸出细部的图案,所述机械特性确定在聚合物基片中压印的柱的最大孔径比。适合获得具有良好孔径比的窄脊的聚合物是 PMMA。

[0031] 可以使用沟槽 3、4 的深度来改变源漏电极的导电性。为了获得半导体有源层的良好电荷注入,希望将沟槽 3、4 填充到沟槽的顶部,从而有效地平面化沉积导电电极之后的基片表面。为了制造低电阻源和漏电极,可以使用深沟槽,以允许将很厚的导电膜沉积到沟槽中。

[0032] 压印沟槽的形状可以是任何形式,例如正方形(图 1),或三角形沟槽(图 2)。在三角形沟槽的情况下,可以获得很高分辨率的构图。此时,尖脊 5 的表面实质上是任意小宽度的线。当通过使该脊与平坦印花相接触调节它的表面能时,只通过平坦表面的弹性形变和通过基片表面上的 SAM 分子的扩散来限制限定晶体管的沟道长度的去湿表面区域的宽度。例如可以通过减小将平坦印花压在基片上的压力,并通过减小接触时间或通过选择在基片表面上具有小扩散系数的 SAM 分子,来实现最小宽度。图 2 中的方法允许容易制造具有亚微米沟道长度的器件。

[0033] 上述方法可以类似地用于底部栅极器件(其中它是压印的栅极绝缘体,而不是基片)。在此情况下,需要注意压印沟槽的深度显著小于栅电介质的厚度,以防止栅电介质的电短路。

[0034] 根据本发明的另一方面,公开了用于形成具有自对准栅电极的 FET 器件的方法。为了实现逻辑电路中的 FET 的快速开关,重要的是减小由于栅电极和源/漏电极之间的几何重叠导致的寄生重叠电容。在传统器件构造中,只能通过减小栅电极的线宽和通过准确地使栅电极与源/漏电极对齐,来减小重叠电容。当使用印刷技术来限定电极时,这通常是一种挑战。为了利用如喷墨印刷的技术获得窄线宽,需要形成具有小液滴体积的液滴,并必须通过与先前沉积的图案准确对准的表面能图案来控制基片上的该液滴的散布。在自对准器件中,栅电极自动地与先前限定的沟道对准,并本身被限制到沟道区域,而不与金属源/漏电极重叠。

[0035] 本发明基于使用在第一层中产生的表面形状表面分布以限定与在第一层中的表面形状分布自对准的上层中的表面能图案。本发明的主要特征是在第一层上沉积一层或多层,而不全部平面化第一层中的表面形状。在本发明的一个实施例(图 3)中,在第一步骤,以与图 1 所述相似的方式限定源/漏电极的图案。然而,在此情况下,沟槽没有被完全填充,并表面表面形状分布保留在沟槽 17、18 中沉积导电材料之后的表面上。

[0036] 如此选择半导体材料 19 和栅电介质材料 20 的沉积条件,以例如保护该表面形状分布,即需要保形覆层。在溶液沉积的情况下,这可以通过调节表面能、聚合物溶液的粘度和聚合物的分子量来实现。可选地(在如并五苯的小分子量有机半导体的情况下),可以通过真空沉积技术来保形地沉积各层。也可以使用如在表面上聚合物刷的生长的溶液自组装技术。

[0037] 如果用在基片中的压印凹陷限定源/漏电极,需要将栅电介质限制到栅电介质的表面上的变湿凸起上。这可以使用不同技术来实现。在本发明的一个实施例中,在未变湿

状态下制备栅电介质的表面,用于导电栅电极的涂墨。然后通过使基片的表面与平坦印花相接触来层压它,该平坦印花包含能够与表面上的官能团相接合并具有包含如羧基团的极性团的尾部的如 SAM 的表面调节材料。与印花相反,然后将脊 21 的顶部变湿,用于导电栅极材料的涂墨,同时沟槽的底部保持未变湿,并可以实现在脊 21 的顶部上的栅极墨水液滴的自对准限制。

[0038] 可选地,在中间步骤,将低表面能聚合物 25/26 印刷到栅电介质的表面上的沟槽中。为了帮助将该聚合物限制在沟槽中,可以通过使用去湿表面调节层 24 的上述技术有选择地调节栅电介质的表面。在疏水聚合物的沉积之后,例如通过低能量 O_2 等离子体或 UV/臭氧暴露,将基片的表面变湿。在该步骤期间,脊 21 的表面再次变湿。如果疏水聚合物是诸如特氟纶 AF 的含氟聚合物,在变湿处理期间疏水聚合物的表面保持低能量。在最后步骤,然后将栅电极印刷并以自对准的方式限制到窄脊 21。可选地,可以使用疏水聚合物 25/26 的表面形状分布来有选择地调节疏水聚合物 25/26 的表面,以在处理之后再次变成疏水,该处理给脊提供变湿特性。这可以通过上述平坦印花方法来实现。

[0039] 图 4 示出了具有自对准栅电极的底部栅极 FET 器件的可选器件构造。在此情况下,首先使用压印的表面形状分布和 SAM 层 29 在基片上限定栅电极,该 SAM 层使基片的平坦部分变湿而沟槽的底部和侧壁保持未变湿。这样,实现了将栅电极限制到通过压印步骤限定的脊。在这之后为介质层 31 的保形、未平面化沉积,该介质层的表面反映了在基片中压印的表面形状分布。然后将介质的表面制备为变湿(例如通过将基片暴露到 O_2 等离子体处理或通过使用为源/漏电极的导电墨水变湿的介质聚合物如在 PEDOT/PSS 情况下为聚乙烯苯酚)。随后,通过使平坦印花与介质的表面接触,有选择地调节表面。该印花包含自组装单分子层 32,该单层使平坦表面区域 34 未变湿。这样,可以将用于源-漏电极 35、36 的墨水沉积限制到压印沟槽。压印脊限定了器件的沟道。该沟道与下面的栅电极自对准。

[0040] 根据本发明的另一方面,可以通过将材料构图沉积在基片本身而不需要压印步骤,来产生将上层中的图案与下层中的图案自对准所需的表面形状分布。在一个实施例中,例如通过如在 UK 0009915.0 中公开的表面能图案 39 的帮助下,在基片上限定电极的第一图案(在图 5(a) 中底部-栅极结构中的栅极以及在图 5(b) 中顶部-栅极结构中的源/漏极)。电极材料的厚度优选大于 50nm,最优选大于 150nm。优选以这种方式来沉积材料,其中厚度在电极的区域上均匀,并且厚度分布在电极的边缘附近突变。随后,以这种方式在基片上保形沉积介质 41 和半导体 46 材料的层,其中由第一电极图案产生的表面形状分布保留在表面上用于第二组电极(在图 5(a) 中的源/漏电极 44/45 以及在图 5(b) 中的栅电极 40) 的自对准沉积。在沉积第二组电极之前,通过使基片与包含 SAM 的平坦印花相接触,有选择地调节基片的表面,该 SAM 被有选择地转移到基片并降低了表面能。在一些情况下,可能需要沉积机械支撑层 42,以避免平坦印花和基片之间在电极区域的接触。如果凸出细部之间的距离超过临界距离,该接触将由印花的下垂来形成,所述临界距离取决于凸起的高度和印花的刚性。如果利用与第一组电极相似的表面形状要求,在第一组电极的级别上沉积机械支撑细部,也可以防止下垂。

[0041] 对于上述平坦压印方法的可选选择性表面调节技术如下。在将要调节的波状表面上,通过例如但不限于旋转涂覆的技术来沉积平面化牺牲连续层。合适的平面化聚合物溶液是 AccuFlo,可以从 Honeywell 商业上获得。然后将基片暴露于蚀刻步骤,例如

暴露于 O_2 等离子体蚀刻步骤,直到再次暴露下面的基片层的抬升部分的表面,同时锯齿状区域保持被牺牲层保护。然后例如通过将基片暴露于自组装分子的蒸汽,调节表面层的表面能。在该步骤期间,表面的锯齿状部分被牺牲层保护。然后以这样的方式除去牺牲层,其中在调节部分中的表面能保持不变。例如可以通过在溶剂中清洗基片来除去牺牲层,在溶剂中牺牲层可溶解,而表面层不可溶解。这样,可以实现选择性表面能构图,而不需要使波状表面与平坦印花物理接触。

[0042] 可选地,可以通过暴露于等离子体例如 CF_4 等离子体,来改变基片或随后沉积的层的表面能。

[0043] 根据本发明的另一方面,公开了用于垂直沟道场效应晶体管的新颖构造以及制造该器件的方法。

[0044] 在垂直 TFT(参见例如,A. Saitoh, Jpn. J. Appl. Phys. 36,668(1997))中,通过沉积的层之一的厚度来限定沟道长度,与在平面 TFT 情况下的高分辨率构图步骤不同。在一个可能的构造中,首先沉积台面型结构,包括由薄介质层分开的源和漏电极层,该介质层的厚度确定 TFT 的沟道长度。然后通过合适的方法如化学蚀刻工艺来形成垂直侧壁。在侧壁上沉积导电和绝缘层,之后沉积栅电极。使用无机材料制造垂直 TFT。它们是有用的,因为它们允许形成亚微米沟道长度而不需要昂贵的光刻工具,而是提供增加的电路速度和驱动电流。

[0045] 制造垂直聚合物 TFT 是困难的,这主要是由于与形成垂直侧壁有关的问题。由于普通有机溶剂中聚合物的高溶度以及缺乏各向异性蚀刻机制,用于形成侧壁的化学蚀刻方法引起问题,所述各向异性蚀刻机制即在无机半导体情况下各向异性蚀刻机制使蚀刻在一个结晶方向比其它方向进行的更快,允许形成限定很好的刻面。如反应离子蚀刻的更具有方向性的物理蚀刻方法在等离子体暴露时经历电功能聚合物的恶化。

[0046] 在 UK PCT/GB01/04421 中说明了一种方法,通过该方法,可以通过利用尖凸出楔微切割聚合物多层结构来限定垂直沟道场效应晶体管,以限定在聚合物多层结构中暴露多层结构中的各层的截面的垂直侧壁。该方法基于形成微切割沟槽,其中在压印步骤期间,材料输送发生在基片的平面中的侧面。各层被微切割,并当模板插入基片时通过塑性流动被推到侧面。

[0047] 在用于形成垂直场效应器件的本方法中,在压印步骤期间的材料输送主要与基片正交,而不是侧面。在本发明的一个实施例(图 6)中,利用包含具有尖边缘的凸出细部阵列的工具 56,压印基片 54 上的导电层 55。基片 54 优选是挠性电绝缘基片如 PET、PEN 或 PES,或是包括至少一个电绝缘的挠性聚合物层的刚性基片。尖边缘的曲率半径优选小于 $100\ \mu\text{m}$,更优选小于 $10\ \mu\text{m}$ 。优选,凸出细部具有矩形形状,尽管也可以是其它凸出形状。在压印步骤期间,将导电层 55 的区域 57 推入基片,将区域 57 与剩余导电区域 58 和 59 电隔离。这样,限定了器件的源电极和漏电极。然后用半导体材料 60 和栅电介质 61 的层保形地覆盖该结构。最后,沉积栅电极 63。优选,栅电极与源漏电极自对准。在本发明的一个实施例中,利用表面能阻挡物 62 的帮助,将栅电极的沉积限制到压印的沟槽,使用平坦压印方法将该阻挡物选择地沉积在基片的平坦区域中。重要的是沟槽中栅电极的厚度充足以允许晶体管沟道沿晶体管沟道的整个长度积聚。

[0048] 在该结构中,通过压印沟槽的深度来限定沟道长度。这可以这样来控制,在将模板

压印到它的最大深度进入基片的情况下,利用压印模板上的凸起的高度,或者在只将模板部分压印到基片中即小于最大深度的情况下,利用压印压力、时间和温度。该方法允许方便限定亚微米沟道长度。

[0049] 在图 6 所示的器件结构中,在压印沟槽的所有侧壁上形成垂直沟道。对于给定表面积的器件,可以通过增加侧壁的长度,例如通过以螺旋形状在压印工具上形成凸起,最大化晶体管电流。

[0050] 在图 6 所示的器件结构中,在栅电极 63 和源 / 漏电极 58/59 之间的重叠电容非常小,而在栅电极和源 / 漏电极 57 之间的重叠电容非常大。当器件用于例如在逻辑电路或在有源矩阵显示器中的快速开关时,应该以这样的方式连接电极,其中优化开关性能。例如在有源矩阵显示器配置中,其中在像素电极和栅电极之间的任何重叠电容由于在切换栅极电压时在像素电极上出现反冲 (kick-back) 电压是不希望的,电极 58 或 59 应该连接到像素电极,而电极 57 应该连接到数据寻址线。

[0051] 图 7 示出了可选器件结构。该结构类似于图 6 的结构,但是此时,半导体材料 65 是压印的基片的一部分。在半导体层的顶部,导电层 66 被粗糙地构图。半导体层的厚度需要与压印到基片的深度一样大,以确保从半导体材料完全形成源 / 漏电极 69 和 68 之间的垂直侧壁。通过沉积栅电介质 71 和栅电极 73 完成该器件。可以使用表面能阻挡物 72 来帮助将栅电极限制到压印沟槽。

[0052] 图 7 中的器件配置的一个有吸引力特征是在压印步骤期间可以沿向下材料输送的方向,即沿器件中电流的方向对准半导体聚合物的链条 (chain)。这导致提高了场效应迁移率和器件性能。

[0053] 图 7 和 6 中的结构与 UK PCT/GB01/04421 相比的主要优势在于在前者的情况下,可以容易获得在沟道中从源和漏电极的有效载流子注入,因为半导体层和源电极及漏电极在很大区域上接触。在 UKPCT/GB01/04421 中描述的器件构造中,至少一个掩埋导电电极只与半导体层在横截的垂直区域接触,该区域的一边由掩埋金属电极的小厚度确定。这可能引起增加寄生源漏接触电阻,特别是在这样的情况下,其中半导体材料的电离势与导电源和漏电极的费米能级相比,对于基于空穴导电的器件较大或对于基于电子导电的器件较小。

[0054] 在凹陷区域与导电层的电接触可以通过打开凹陷区域中的通孔互连来形成。在凹陷区域的宽度对于打开通孔互连而不产生与区域 58、59 中的导电层电短路的风险太窄的情况下,例如限定凹陷区域的压印工具上的凸出楔可能被延伸超过导电层。随后,可以在距区域 58、59 的安全距离,将导电材料的溶液沉积到凹陷沟槽中,溶液被通过毛细作用输送通过沟槽并接触凹陷区域中的导电材料 57。

[0055] 对于图 6 和 7 所示的器件的可选构造是,使用基片的凹陷区域作为浮桥电极。在此情况下,以这种方式设置压印步骤,其中压印工具将导电层的部分推到基片中,并这样中断了在导电层 58 的第一 (未凹陷) 区域和导电层的凹陷区域之间以及在导电层 58 的第一 (未凹陷) 区域和导电层 59 的第二 (未凹陷) 区域之间的导电性。然后使用导电层的第一和第二区域作为晶体管的源 - 漏电极,使用凹陷区域作为晶体管的沟道中的浮桥电极。浮桥电极缩短了晶体管的沟道长度。器件的有源半导体沟道区域只包括沿由压印步骤限定的两个垂直侧壁形成的两个垂直沟道。

[0056] 该器件构造不需要与导电层的凹陷部分接触。它还导致在栅电极和源以及漏电极

之间的非常小的重叠电容。

[0057] 根据本发明的另一方面公开了一种方法,利用该方法,使用压印来限定用于基片上的导电电极的高分辨率溶液沉积的表面能图案。

[0058] 在 UK 0009915.0 中,公开了一种通用方法,用于通过从溶液沉积到基片上高分辨率构图液体半导体或导电材料,该基片被构图具有高和低表面的区域。溶液可以通过如浸渍涂覆、叶片涂覆或喷墨涂覆的技术沉积,并被从低表面 / 界面能的区域除去,并有选择地沉积在基片上的高表面 / 界面能的区域中。通过宽范围的试验技术,例如通过 UK 0116174.4 的热转移印刷,预限定表面能图案。

[0059] 在本发明中,公开了特定技术,以限定基于将表面结构压印到牺牲聚合物层中的表面能图案。

[0060] 在本发明的该方面的一个实施例中,疏水聚合物层 76 沉积在亲水基片上(图 8)。该疏水聚合物的例子可以是厚度为 50nm 的聚酰亚胺层。疏水聚合物也可以具有例如通过机械研磨或通过暴露于线性偏振光加强的对准的分子结构,以用作对准层用于随后沉积的聚合物层。在第二步骤,在顶部沉积牺牲聚合物层 77。牺牲聚合物的例子是厚度为 500nm 的聚乙烯苯酚、酚醛树脂、或聚甲基丙烯酸甲酯 (PMMA)。然后通过将包含凸出细部阵列的压印工具压入基片,来压印牺牲聚合物层。在随后的步骤,通过蚀刻步骤如 O_2 等离子体蚀刻步骤和 / 或更具有方向性的反应离子蚀刻步骤,将压印图案转移到疏水聚合物层中,在由压印工具上的凸出细部限定的区域暴露亲水基片的表面。在压印区域暴露基片的表面之后的很短时间内,停止蚀刻工艺。由于压印和未压印区域之间的厚度差,一些牺牲聚合物保留在未压印区域,在蚀刻期间保护疏水聚合物的表面。在例如通过在牺牲聚合物可溶解的溶剂中清洗基片除去牺牲聚合物层之后,可以使用产生的表面能图案用于源 - 漏电极或栅电极和具有窄线宽的互连的高分辨率限定。例如,在该表面能图案上制造晶体管器件的工艺可以如在 UK0009915.0 中所详述。

[0061] 在另一个实施例中,直接压印疏水聚合物,而在顶部没有牺牲聚合物 77。同样在此情况下,使用如等离子体蚀刻的蚀刻除去保留在压印区域中的疏水聚合物的剩余的材料,并暴露基片表面。在此情况下,将疏水聚合物的表面暴露于蚀刻介质,并需要注意,蚀刻工艺在疏水基片的表面和暴露基片的表面之间保持大的接触角度差。

[0062] 在可选实施例中,也可以通过亲水聚合物如 PVP 或聚乙烯醇将表面能图案限定到疏水基片如 PET 上。可以以上述相同的方式构图亲水聚合物。

[0063] 在本发明的另一实施例(图 9)中,如 PVP、PMMA 或酚醛树脂的牺牲聚合物被沉积到基片 82 上,然后被压印以产生不同厚度的区域。然后使用如湿蚀刻或优选地等离子体蚀刻步骤的蚀刻步骤以在压印区域暴露基片表面。然后将基片暴露于包含反应团的分子蒸汽,在暴露的基片区域中沉积自组装单分子层,该反应团能够与在基片表面上存在的官能团反应并在表面上形成自组装单分子层 (SAM)。例如,在如玻璃烷基氯硅烷的亲水基片的情况下,例如辛基三氯硅烷 (OTS)、烷基甲氧基硅烷或氟代烷基氯硅烷接合到表面上的羟基团并使表面疏水。在暴露于自组装分子之前,基片也可以被处理,以增加表面上的官能团的数目。该处理可以是化学处理或等离子体处理的形式。如果通过 O_2 等离子体蚀刻进行牺牲层的蚀刻,基片的暴露区域自动留有大量羟基团。

[0064] 在基片表面调节步骤之后,通过在良好溶剂中清洗牺牲聚合物层来除去它。需要

注意,完全从基片除去牺牲聚合物,并在基片上没有任何剩余,这将减小在调节的 SAM 和基片的露出区域之间表面能的差别。这在高表面能基片的情况下尤其重要,该基片易于被较低能量的聚合物薄层涂覆。这可以通过合适选择牺牲聚合物来实现,例如在如玻璃的亲水基片的情况下,如 PVP 的极性聚合物是合适的牺牲聚合物。随后,如上所述完成器件。

[0065] 用于通过压印来限定表面能图案的该工艺不仅可以用于构图基片级别上的源和漏电极。它可以用于减小互连线的线宽,或以有源层岛的形式构图半导体层。它还可以用于器件的高级,例如制造底部栅极结构中的源-漏电极或具有由表面能图案限定的窄线宽的互连和栅极线。在此情况下,需要注意避免在压印步骤期间损伤下面的层,以及蚀刻时间需要谨慎控制,因为下面的聚合物层通常不提供自动蚀刻停止层。

[0066] 根据本发明的另一方面公开了一种方法,通过该方法,可以使用电介质层的厚度的局部改变来局部增加电介质层的电容。该方法有用的是,局部增加在晶体管的有源区域中或在具体电容器的区域中的栅电介质的电容,同时在剩余区域中,电介质层的电容保持在低值。这最小化了在不需要高电容的区域中的任何寄生电容。在图 10A 中,通过在基片 90 上沉积源-漏电极 92 来制造顶部栅极晶体管,该基片还可以包括表面能图案 93,以改善分辨率。然后沉积导电有源材料 93 和栅电介质 94 的层。在沉积之后,栅电介质的厚度至少在器件的区域中实质上均匀。然后,压印栅电介质 94,以减小它在晶体管的有源沟道上的区域中的厚度。为了实现最优低寄生源-漏到栅极重叠电容,压印工具需要与源漏电极对准,以及其中介质层厚度减小的区域的宽度应该只略大于并通常尽可能接近源电极和漏电极之间的沟道的长度。随后,沉积导电栅电极 95 的图案。与例如图 5B 示出的自对准方案不同的是,在栅电介质电容局部增加的情况下,栅电极不需要被限制在栅电介质 94 的目标区域。即使没有限制栅电极沉积,重叠电容也较低。

[0067] 也可以使用类似的方法来制造隔离电容器,例如用于显示器中的像素电容器。在图 10B 中,除了在有源沟道区域中的电容外,在与 TFT 的漏电极 92 和接地总线 98 线相连接的像素电极 97 的区域中,电容也得到增强。该电容器在有源矩阵显示器中是有用的,用于减小反冲电压缺陷。

[0068] 在图 10C 中示出了用于底部栅极 TFT 的相关方案。在此情况下,首先在基片上产生表面形状分布 99。通过例如但不限于直接写入沉积、光刻构图或压印等技术产生表面形状分布。表面形状分布是这样的,在晶体管的有源区域中,表面形状图案凸起。然后,在有源沟道区域的凸出区域和相邻的凹陷区域上沉积栅电极图案 100。然后通过沉积栅电介质 101,构图的源和漏电极 102(可以通过表面能图案 103 的帮助)和半导体层 104,完成器件。栅电极需要以这样的方式沉积,其中有效地平面化该结构。可以例如通过调整旋转涂覆栅电介质的配方或通过使用叶片涂覆技术,来沉积平面化栅电介质层的表面的栅电介质。

[0069] 该结构的优势在于,栅电极不需要被限制在有源沟道区域(即表面形状分布的抬升部分),并仍可以获得小重叠电容。这允许使用大宽度的栅电极,其有利于其中需要高导电性的栅电极的应用。

[0070] 用于局部增加电介质层的电容的器件结构仅是示例性的,该结构可以应用于包括底部和顶部栅极构造的不同器件结构的范围。

[0071] 在所有上述技术中,优选在升高的温度下进行压印步骤。压印的基片既可以处于固相,也可以处于液相。在本发明的优选实施例中,在略低于将要压印的基片或层的玻璃转

变温度 T_g 的固相下进行压印步骤。后一温度通常已知,并可以在例如 Polymer Handbook (聚合物手册) (Eds., J. Brandrup, H. Immergut, E. A. Grulke, John Wiley & Sons., 纽约, 1999) 中找到,或可以根据标准热分析方法容易地确定。优选在从 T_g 之下约 50°C 到之上约 50°C 的温度范围内,更优选从所述转变温度之下约 40°C 到之上约 40°C 的温度范围内,进行根据本发明的压印工艺。最优选在 T_g 之下约 25°C 到之上约 25°C 之间的温度范围内。对于半结晶聚合物,在大约玻璃转变温度 T_g 和熔点温度 T_m 之间的温度范围内,进行根据本发明的微结构方法。后一温度通常已知,并可以在例如 polymer Handbook 中找到,或可以根据标准热分析方法容易地确定。优选是从 T_g 下约 50°C 到 T_m 之下 1°C 的温度范围内,更优选从 T_g 之下约 25°C 到 T_m 之下 2°C 的温度范围内,进行微结构工艺。最优选在 T_g 到 T_m 之下约 5°C 之间的温度范围内。其它处理参数如施加在模板上的负载和施加的时间段比较不关键,并可以被容易地调整以确保实现穿过一层或多层的模板的希望地穿透。

[0072] 优选使用约 $1\text{kg}/\text{mm}^2$ 的负载,在 150°C (PVP)、 100°C (聚苯乙烯)、 105°C (PMMA) 下,进行长达 60 分钟的压印。也已经示出了其它处理条件以产生满意的结果。随后,在除去压力和模板之前将样品冷却到室温。

[0073] 该工艺的一个其它重要特征是将要压印的基片或模板可以与软弹性材料接触,通过该材料以均匀的方式转移压印期间的压力,从而在基片上获得均匀深度的微沟槽。

[0074] 微切割工具在其上具有微切割凸起。这些适合地采取尖凸出细部例如脊,锯齿型结构,钉状等形式。这些微切割工具的制造工艺和材料对于微切割工艺不是关键。然而,构成工具材料应该足够硬,以及凸起足够尖,从而工具能够切透层。在工具切割通过多层结构的上层时,凸出细部的高度 h 应该超过该层或将要切割的层的厚度 d 。这些凸出细部的特征尺寸例如凸出细部高度 h 优选在 1mm 和 1nm 之间的范围。更优选这些特征尺寸在约 $100\ \mu\text{m}$ 和 5nm 之间,最优选在 $10\ \mu\text{m}$ 和约 10nm 之间。为了提供合适的锐度,这些细部的凸出边缘的曲率半径优选小于 500nm ,更优选小于 100nm ,以及最优选小于 10nm 。

[0075] 尖凸出细部可以是简单的几何形状(例如线形脊)或更复杂,例如互相交叉的细部。合适几何形状的例子包括圆锥形或金字塔形凸起的阵列,以及线形凸起的阵列。一种有用的配置是线形并相互平行的凸起。

[0076] 压印工具适合包括至少一个切割边缘,但是优选包括多个边缘。后者允许在一个压印/微切割步骤中制造多个器件。凸出边缘可以是相同的几何形状或可以相互不同。例如,根据本发明的微切割工具可以包括线形边缘的阵列,通过该阵列例如可以在一个步骤中切割聚合物基片上的预构造的导电层,从而形成例如用于电子器件如薄膜晶体管的电极阵列。

[0077] 在另一个实例中,压印模板可以是平面或柱面形状,或可以具有任何最适合于将要制造的器件和器件配置以及制造工艺的几何形状。柱面形状的微切割工具尤其有用,因为它们允许在卷带式(reel-to-reel)工艺中压印连续挠性基片。相比于标准批处理,卷带式制造可以提供更高产量,以及更低成本的能力。在本文中,尤其重要的是优选在固态下进行压印,其中在收回压印工具之后,压印的沟槽保持它们的形状。如果在液态下进行压印,需要在除去微切割工具之前降低基片温度,这将难以通过旋转的柱面微切割工具来实现。挠性工具可以被构造为挠性塑料结构,或可以是另一材料的挠性片,例如薄(例如 $20\ \mu\text{m}$ 厚)的硅片。

[0078] 根据本发明的一个实施例的大区域压印工具可以例如通过结合包括相同或不同离隙 (relief) 结构的多个压印工具来制造。柱面形状的压印工具可以通过首先形成平面工具并随后将其成卷或弯曲来制造。

[0079] 适合的模板可以通过各种现有技术公知的方法来制造,该方法包括但不限于各向异性蚀刻技术,光刻方法,电镀,电成形等。

[0080] 微切割工具可以通过首先通过各向异性蚀刻技术在例如硅晶片中形成尖状细部制造。该微形状晶片可以用作工具本身,或随后使该晶片的复制品用作工具。如果晶片被成形为希望工具的负片 (negative),则可以将工具模制在晶片上。如果晶片是希望工具的正版,则形成了晶片的第一复制品,并然后将工具形成为该第一复制品的复制品。该复制品适合于由例如热塑料或热固性聚合物的材料构成。这具有这样的优点,可以在原始模板例如硅晶片中蚀刻出尖沟槽,其通常是比蚀刻尖脊更直接的工艺。该原始材料的聚合物复制品应该足够硬并能够切透将要构造的层。因此,用于复制品制造的聚合物具有优选大于 25°C,更优选大于 110°C 并最优选大于 150°C 的玻璃转变温度。后面的温度通常众所周知,并可以在例如 Polymer handbook (Eds., J. Brandrup, H. Immergut, E. A. Grulke, John Wiley & Sons., 纽约, 1999) 中找到。优选,使用高玻璃转变、热固性树脂来制造复制的微切割工具,例如氰酸酯树脂 (例如,4,4'-亚乙基二苯基二氰酸酯和低聚 (e-亚甲基-1,5-亚苯基氰酸酯),或环氧树脂如四官能的四缩水甘油基二氨基二苯基甲烷)。后者可以与芳族硬化剂如 4,4'-二氨基二苯基砒,DDS 混合。为了制造复制品,通过例如冷却、热或光化学交联,与模板结构接触地浇铸、注入或反应模制并固化如上所述的聚合物熔融物、溶液或预聚合物液体。例如通过使用合适的表面处理使原始模板表面成为疏水性的,从而使它具有非粘附性,所述表面处理如利用自组装单分子层的化学改变 (例如,利用例如十八烷基三氯硅烷、全氟癸基三氯硅烷和烯丙基三甲基硅氧烷,从气相硅烷基化)。可选地,可以在原始模板的表面上采用剥离涂层或化学剂如硅油。也可以将该涂层施加到工具的切割表面。

[0081] 如上所述,可以再次使用原始模板结构的该聚合物复制品来制造第二、第三或更高代的复制品 (“子模板”),其具有与原始模板相同的离隙结构或它的负片。关键是最终的微切割工具包括尖凸出边缘,如尖脊。为了通过例如压印、注入或反应模制来制造该“子模板”,随后其可以用于复制最终的微切割工具,优选采用表现出好的非粘附性的聚合物材料,例如全氟化的聚合物、聚烯烃、聚苯乙烯或硅树脂橡胶 (例如聚二甲基硅氧烷)。显然,该子模板可以被弯曲或成卷或成形为依赖于将要制造的器件和器件结构的最希望的任何几何形状,以形成柱面形状微切割工具或更复杂几何形状的微切割工具。例如,可以使用挠性、聚合物材料,例如聚二甲基硅氧烷或聚烯烃,用于子模板制造。

[0082] 通过首先在聚苯乙烯,PS (不规则聚苯乙烯, $M_w \approx 105 \text{ kg mol}^{-1}$, $T_g \approx 100^\circ \text{C}$; Aldrich) 中形成负片复制品,来制备根据本发明的一个实施例的子模板。为此,在 180°C 下,利用包括尖沟槽 (高度 $h \approx 10 \text{ mm}$, 周期 $\Lambda = 500 \text{ mm}$, 边缘角 $\alpha = 70^\circ$; MikroMasch, Narva mnt. 13, 10151, Tallinn, Estonia) 的硅模板,在其上施加 300 g mm^{-2} 的额定压力保持 5 分钟,来压印 PS 颗粒 (参见, Stutzmann, N. Tervoort, T. A., Bastiaansen, C. W. M. Feldman, K. & Smith, P. Adv. Mater. 12, 577 (2000))。随后,通过在大气中室温下将预聚合的液体施加到这些压印的 PS 膜上并将其固化 24 小时,制造根据本发明的一个实施例第二代聚二甲基硅氧烷 (Sylgard 硅树脂弹性体 184; Dow Corning Corporation) 复制品。通过首先在 110°C

下熔化氰酸酯树脂 PrimasetPT15 (Lonza) 持续 30 分钟、将该熔融物质浇铸在构造的 PDMS 膜上、在 170°C 下使其固化 4 小时、并随后在 200°C 下固化 24 小时, 形成第三代热固树脂复制品, 并最终将 PDMS 复制品从固化的、表面构造的热固树脂除去, 来制造最终的微切割工具。

[0083] 为了使用微切割制造复杂的集成电路, 可以制造具有任意楔图案的微切割工具, 其能够限定任意复杂电路的临界器件尺寸。如果通过各向异性蚀刻结晶晶片来限定该复杂模板, 需要使用如角补偿 (cornercompensation) 的复杂蚀刻技术 (参见, van Kampen, R. P. 和 Wolffenbuttel, R. F. J. *Micromech. Microeng.* 5, 91 (1995), Scheibe, C. 和 Obermeier, E. J. *Micromech. Microeng.* 5, 109 (1995), Enoksson, P. J. *Micromech. Microeng.* 7, 141 (1997)), 以确保用于切割多层叠层的特定层的工具的所有凸出楔具有相同的高度。

[0084] 可选地, 微切割工具具有非常简单的楔图案, 例如平行的线形楔的阵列。在此情况下, 所有临界器件尺寸需要被布图在规则栅格上。然而, 还可以通过适当限定将要切割的层的粗糙图案, 并通过在规则间隔的器件之间沉积适当的互连, 来限定任意复杂性的电路。该工艺尤其适合于基于直接印刷和微切割的结合的卷带式工艺。在第一步骤中, 通过如喷墨印刷的技术写入具有合适互连的源漏电极的规则阵列。然后, 通过微切割限定源 - 漏电极之间的沟道间隙。有源矩阵显示器是该 TFT 规则阵列尤其有用的实例。

[0085] 有利的是, 在施加压力步骤期间将微切割工具保持在与多层结构相同的温度下, 例如在 5°C 内。可选地, 它们可以在不同的温度, 从而在施加压力步骤期间微切割工具的温度与多层结构的温度差大于 5°C。

[0086] 在本发明的一个实施例中, 导电材料是导电聚合物, 例如 PEDOT/PSS 或聚苯胺 (PANI)。然而, 这里所述的工艺和器件并不限于利用溶液处理聚合物制造的器件。在电路或显示器装置 (如下) 中的一些 TFT 的导电电极和 / 或互连可以由无机导体构成, 该无机导体可以通过印刷胶状悬浮物或通过预构图基片上电镀来沉积。在不是所有的层从溶液沉积的器件中, 可以用如真空沉积导体的难溶导电材料代替器件的一个或多个 PEDOT/PSS 部分。

[0087] 对于半导体层, 可以使用任何可处理的共轭聚合或寡聚材料的溶液, 其显示出超过 $10^{-3} \text{cm}^2/\text{Vs}$, 优选超过 $10^{-2} \text{cm}^2/\text{Vs}$ 的足够场效应迁移率。合适的材料是区域规则型聚 3 己基噻吩 (P3HT) 或 F8T2。为了回顾, 参见例如, H. E. Katz, *J. Mater. Chem.* 7, 369 (1997), 或 Z. Bao, *Advanced Materials* 12, 227 (2000)。其它的可能性包括小共扼分子, 可溶解侧链 (J. G. Laquindanum 等人的 *J. Am. Chem. Soc.* 120, 664 (1998))、从溶液自组装的半导体有机 - 无机杂化材料 (C. R. Kagan 等人的 *Science* 286, 946 (1999))、或如 CdSe 纳米颗粒的溶液沉积的无机半导体 (B. A. Ridley 等人的 *Science* 286, 746 (1999))。半导体材料也可以是真空沉积的有机半导体如并五苯。半导体材料的厚度优选小于 200nm, 更优选小于 50nm。

[0088] 半导体材料也可以是无机半导体如通过真空或等离子体沉积技术沉积的薄膜硅。

[0089] 栅电介质优选是溶液处理的聚合物层, 如 PVP, 或 PMMA。可选地, 栅电介质可以是气相沉积的无机介质, 例如 SiO_2 或 Si_3N_4 或 BaTiO_3 。栅电介质的厚度优选小于 $2 \mu\text{m}$, 更优选小于 500nm。

[0090] 优选, 通过直接印刷和溶液处理技术如喷墨印刷、软平版印刷 (J. A. Rogers 等人,

Appl. Phys. Lett. 75, 1010 (1999); S. Brittain 等人 Physics World May 1998, p. 31)、丝网印刷 (Z. Bao 等人, Chem. Mat. 9, 1299 (1997)) 以及光刻构图 (参见, W0 99/10939)、平印、旋涂、叶片涂覆或滴涂覆、掩蔽涂覆、凸凹涂覆、喷涂、挤压法或镀覆, 沉积所有的材料。喷墨印刷被认为尤其适合于具有良好对齐的大面积构图, 尤其用于挠性塑料基片。

[0091] 然而, 一些材料也可以通过气相或其它适合的方法来沉积。

[0092] 可以在任何基片材料如玻璃或 Perspex, 或挠性塑料基片如聚醚砜上, 制造器件。该材料优选为薄片的形式, 优选是聚合物材料, 并是透明和 / 或挠性的。在刚性材料如玻璃的情况下, 优选一层厚度通常为 500nm 到 1 μ m 的聚合物覆盖基片, 以防止损坏压印工具, 如果将压印工具压到刚性基片的表面上, 这种损坏将发生。

[0093] 尽管优选通过溶液处理和印刷技术来沉积和构图器件和电路的所有层和部件, 也可以通过真空沉积技术沉积和 / 或通过光刻工艺构图一个或多个部件如半导电层。

[0094] 当通过连续溶液沉积和印刷步骤来沉积聚合物多层结构时, 层顺序的完整性依赖于聚合物材料和正交溶剂的交替沉积, 以形成很好的受控界面。具体地, 重要的是, 在半导体和栅电介质聚合物之间的有源界面是突变的, 并在任何情况下这样选择用于沉积多层结构的溶剂顺序, 以使前一层在用于沉积下一层的溶剂中的溶解度足够小。从溶液形成多层结构的技术在 PCT/GB00/04934 中已公开。

[0095] 如上所述制造的如 TFT 的器件可以是更加复杂电路或器件的一部分, 其中一个或多个这样的器件可以互相或与其它器件集成在一起。应用的实例包括逻辑电路和用于显示的有源矩阵电路或存储器器件, 或用户限定的门阵列电路。

[0096] 也可以例如通过直接喷墨印刷构图器件的任何半导电或电介质层。具体地, 可以将半导电层构图为有源层岛, 以减小在逻辑电路或有源矩阵显示器中的相邻晶体管之间的串扰和泄漏电流。

[0097] 本发明并不限于上述实例。本发明的各个方面包括这里所述思想的所有新颖和 / 或创造性的方面, 以及这里所述特征的所有新颖和 / 或创造性的结合。

[0098] 本申请人注意这样的实事, 本发明以含蓄的或明确的或其任何综合的方式包括这里公开的任何特征或特征的结合, 而限于上述设定的任何限定的范围。鉴于上述说明, 对于本领域的技术人员来说显而易见的是, 可以在本发明的范围内进行各种修改。

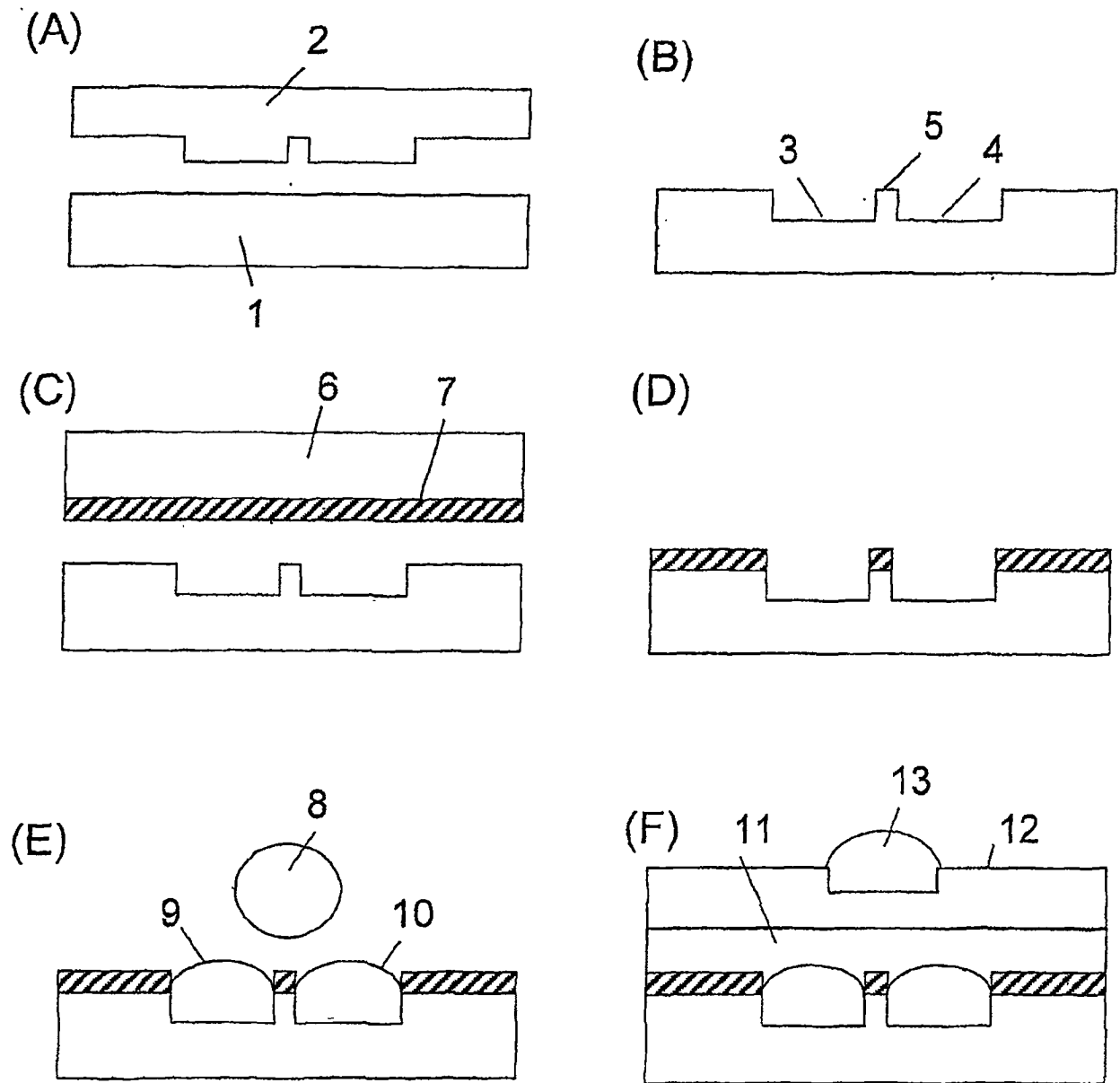


图 1

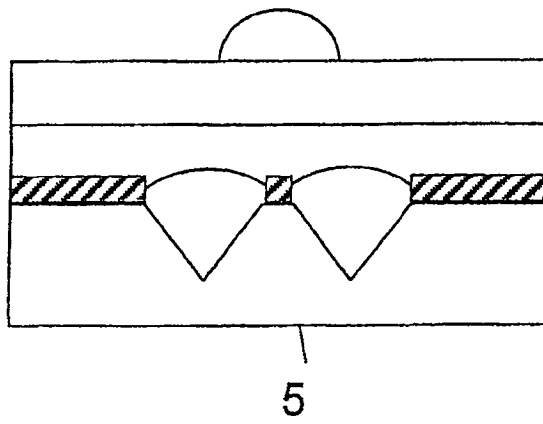


图 2

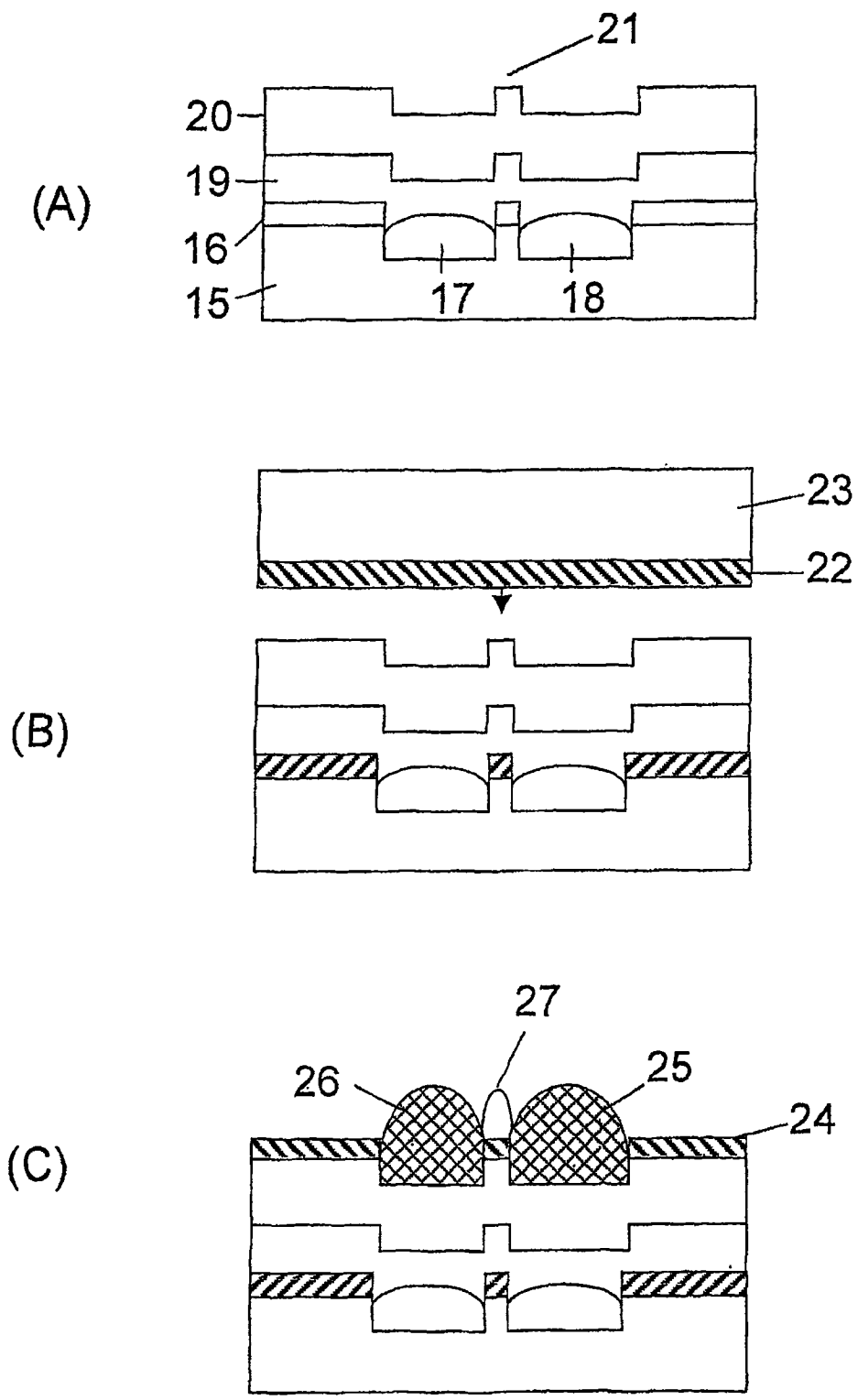


图 3

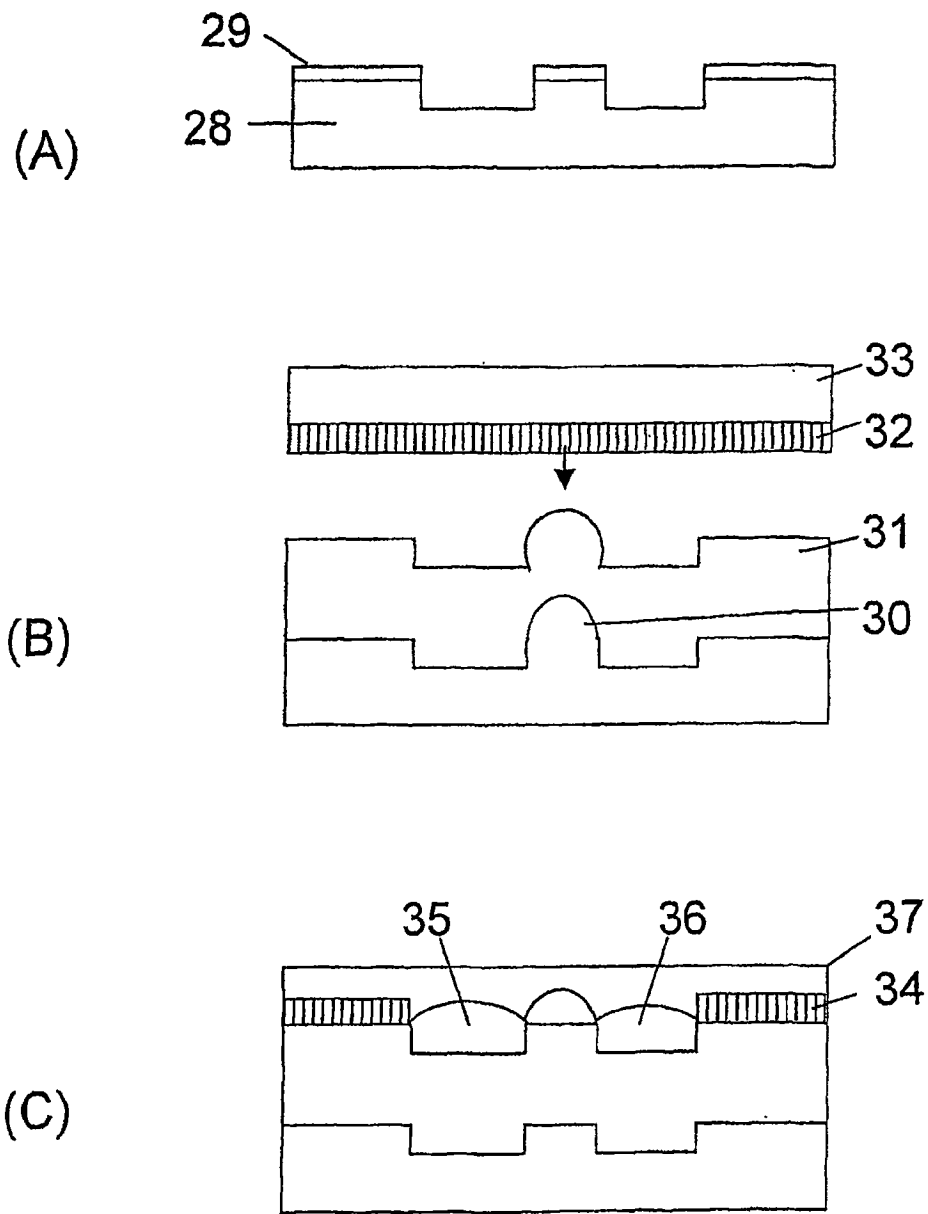


图 4

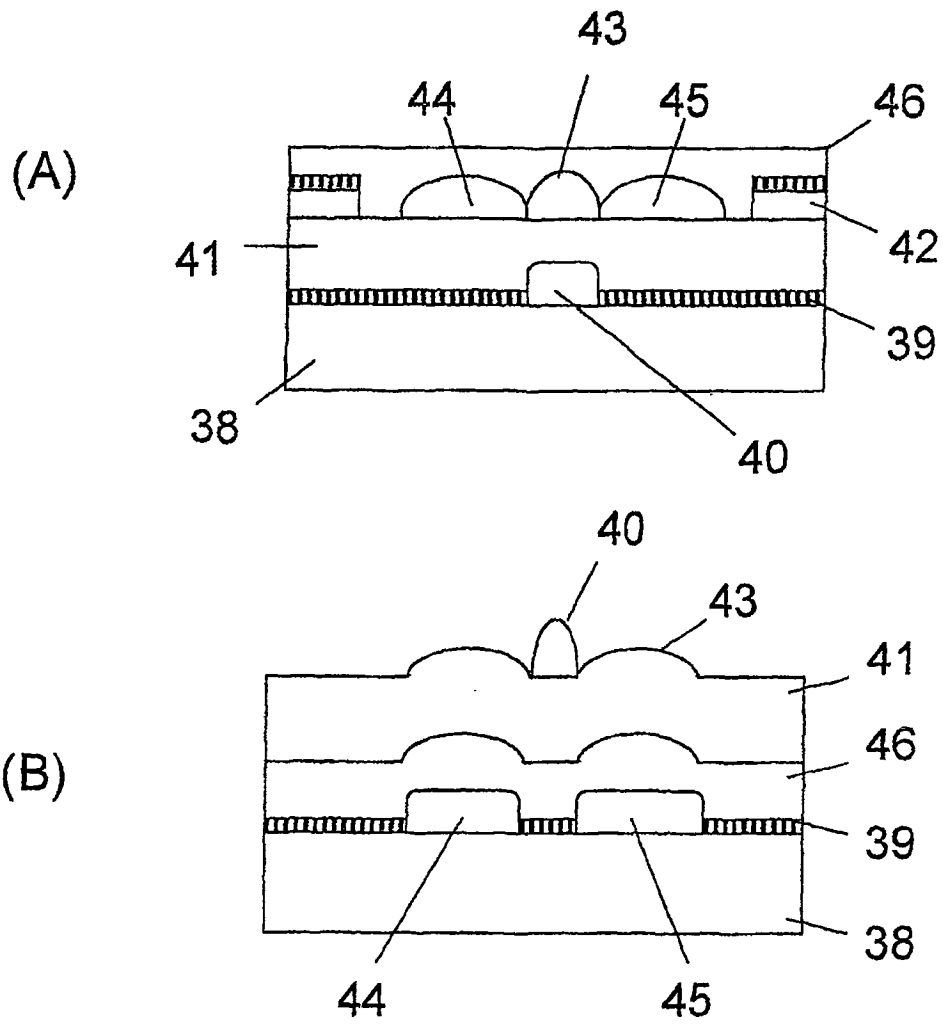


图 5

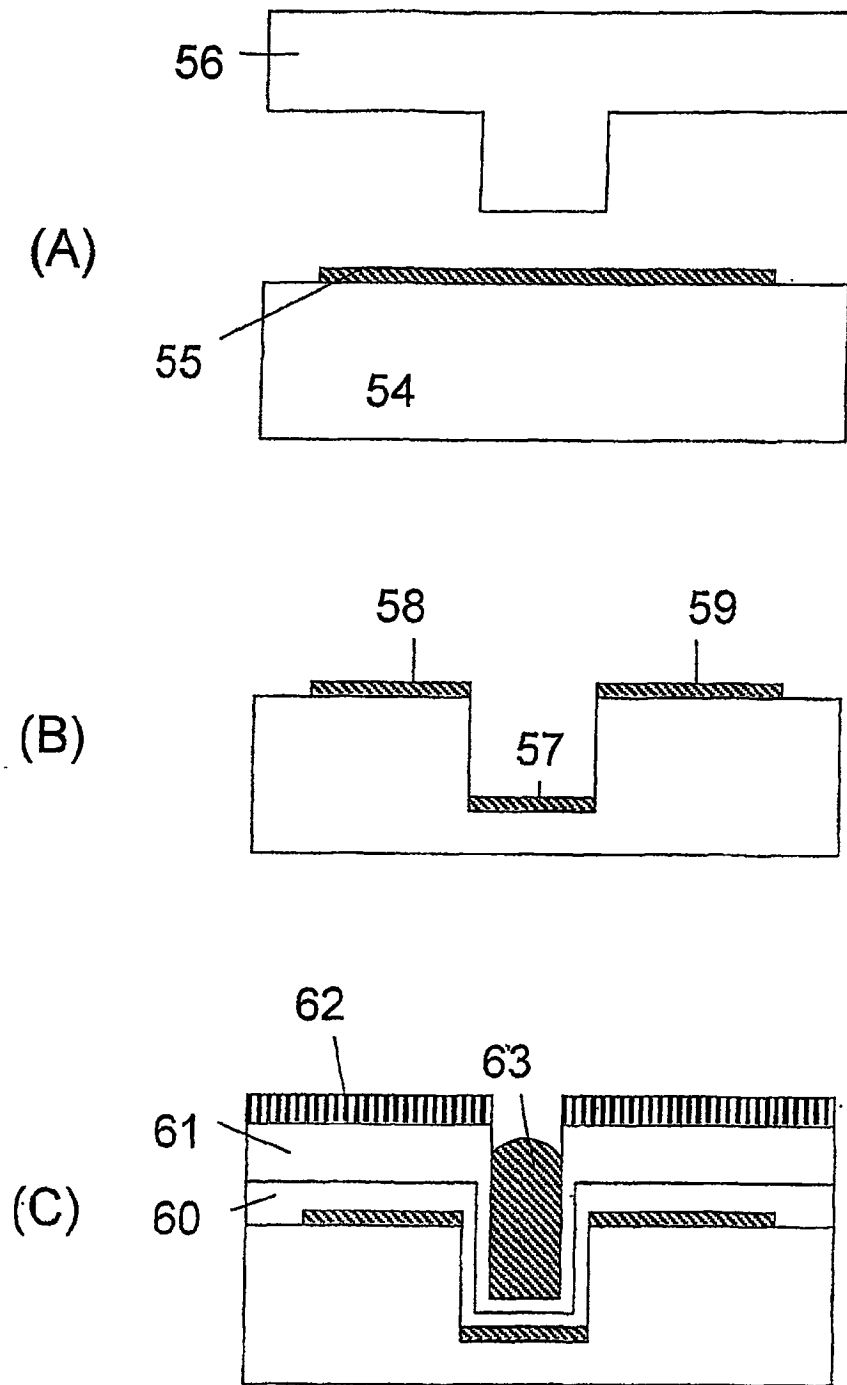


图 6

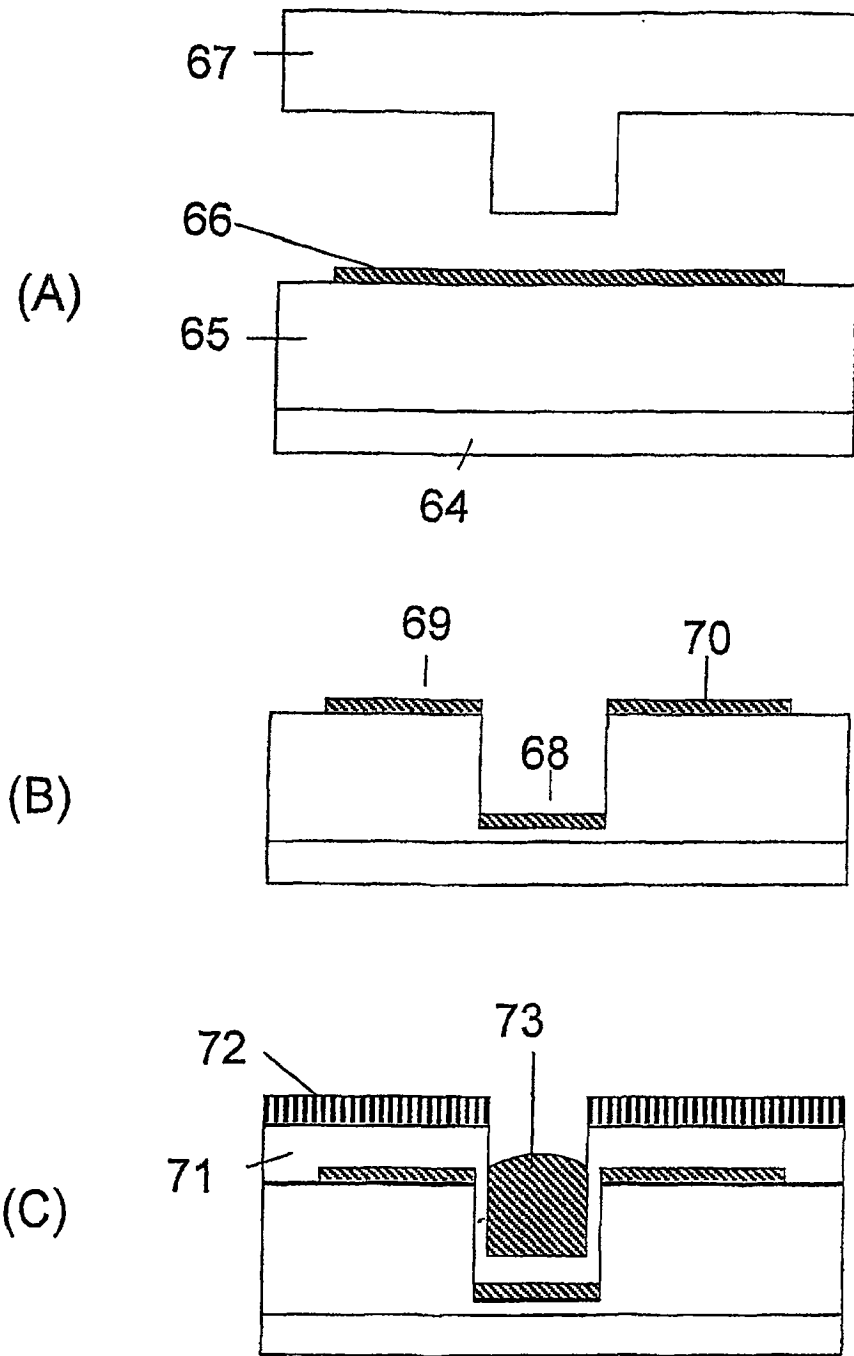


图 7

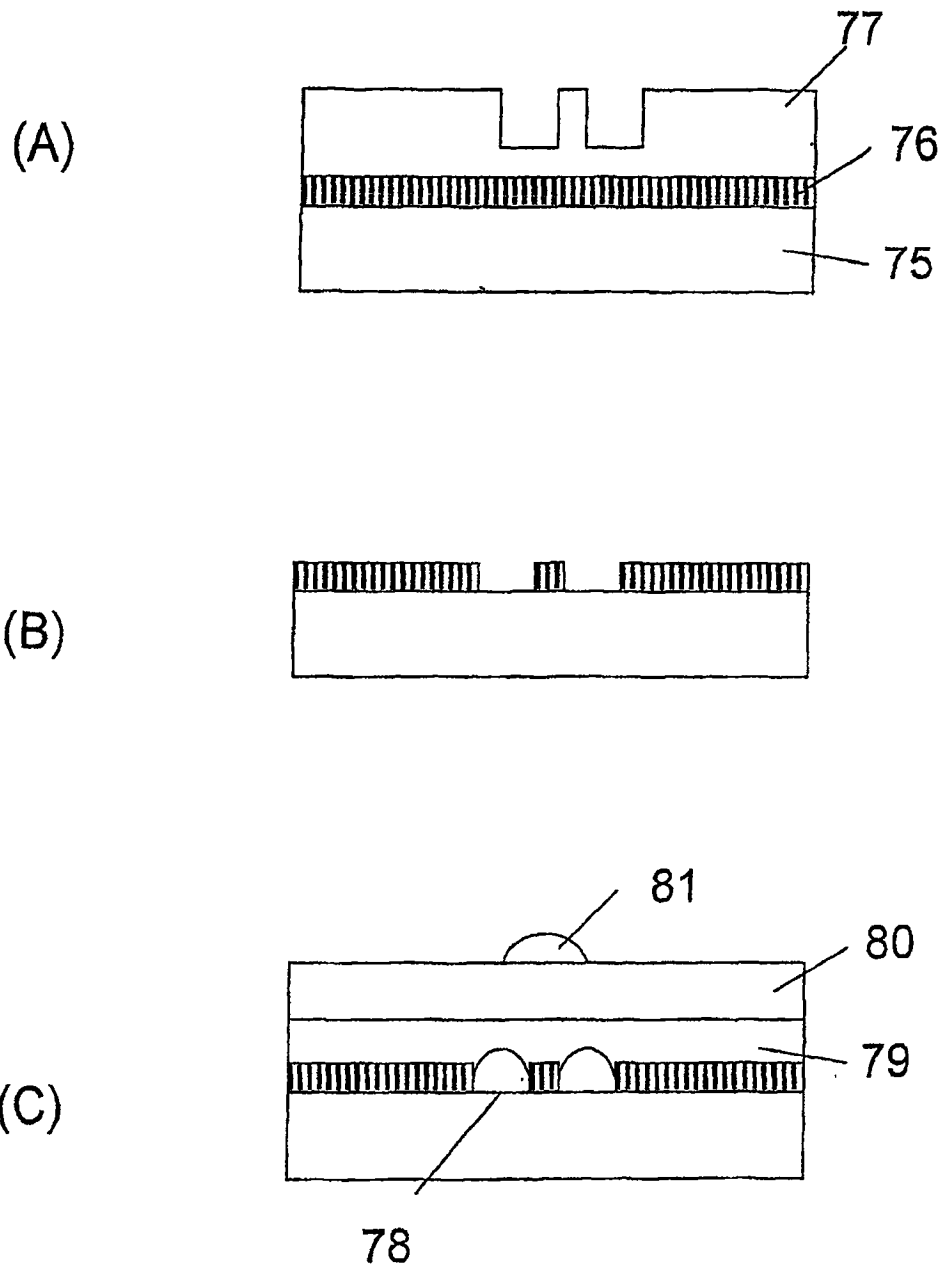


图 8

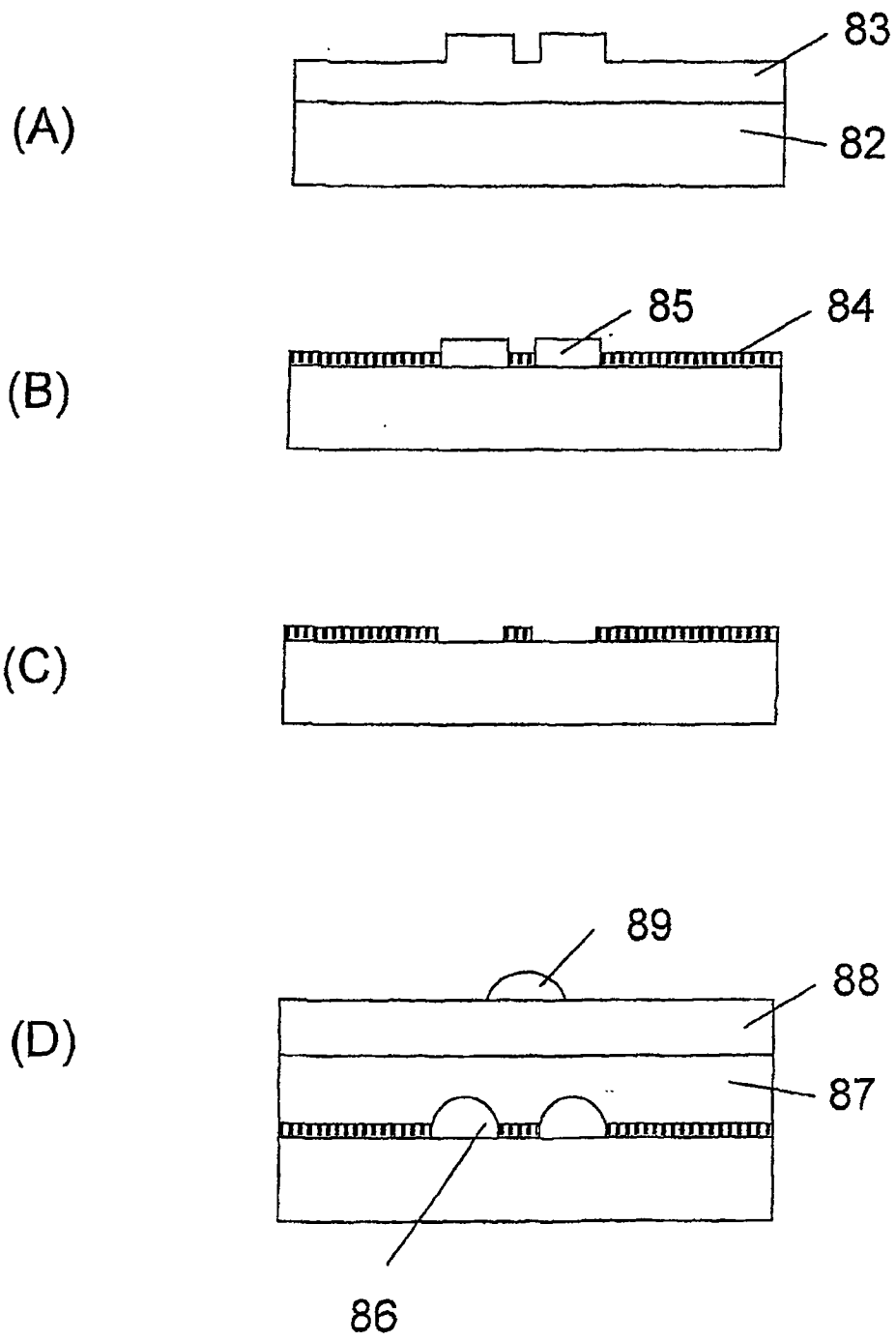


图 9

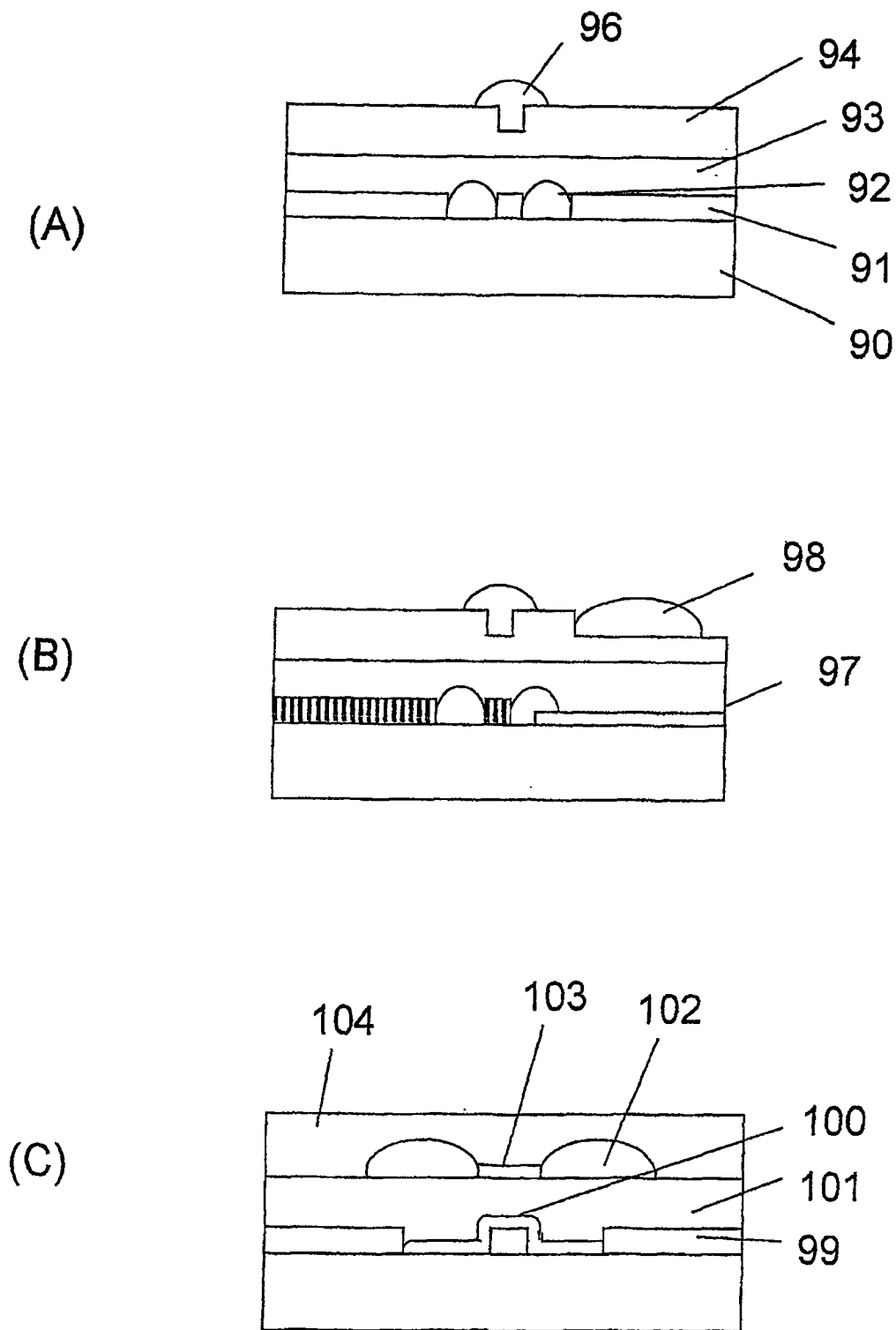


图 10