

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6775281号

(P6775281)

(45) 発行日 令和2年10月28日(2020.10.28)

(24) 登録日 令和2年10月8日(2020.10.8)

(51) Int.Cl. F I
H O 2 M 3/28 (2006.01) H O 2 M 3/28 Q

請求項の数 19 外国語出願 (全 26 頁)

(21) 出願番号	特願2015-91203 (P2015-91203)	(73) 特許権者	508075579
(22) 出願日	平成27年4月28日 (2015.4.28)		ヴァレオ エキブマン エレクトリク モ
(65) 公開番号	特開2015-211638 (P2015-211638A)		トゥール
(43) 公開日	平成27年11月24日 (2015.11.24)		フランス国 エフ-94046 クレテイ
審査請求日	平成30年4月20日 (2018.4.20)		ユ リュ アンドレ・ブル 2
(31) 優先権主張番号	1453865	(74) 代理人	100108453
(32) 優先日	平成26年4月29日 (2014.4.29)		弁理士 村山 靖彦
(33) 優先権主張国・地域又は機関	フランス (FR)	(74) 代理人	100110364
			弁理士 実広 信哉
		(74) 代理人	100133400
			弁理士 阿部 達彦
前置審査		(72) 発明者	ドミニク・オスヴァルト
			フランス・78800・ウイユ・パサージュ
			ユ・デ・フォコニエ・6
			最終頁に続く

(54) 【発明の名称】 電源および電源を制御するための方法

(57) 【特許請求の範囲】

【請求項1】

電圧源(104)に接続されるように意図されるプライマリを含み、漏れインダクタ(L_F)を有する変圧器(106)であって、前記変圧器(106)は、磁化電流(i_M)が横切るように意図される、変圧器(106)と、

磁化電流(i_M)の調整回路(108)であって、前記調整回路(108)は、

前記調整回路(108)が前記磁化電流(i_M)の増加を可能にするように意図される磁化状態と、

前記調整回路(108)が前記磁化電流(i_M)を減少させるように意図される減磁状態との間を切り替えるように意図される、磁化電流(i_M)の調整回路(108)と、

磁化フェーズ(503)および減磁フェーズ(511)を交互に行うために、前記磁化状態から前記減磁状態に交互に前記調整回路(108)を切り替えるように意図される、前記調整回路(108)を制御するための制御装置(110)であって、前記制御装置(110)は、磁化時間(T_F)の間、前記磁化フェーズ(503)を引き延ばすように意図される、装置(110)と、

前記漏れインダクタ(L_F)とともに共振回路を形成するように、前記変圧器(106)のセカンダリに接続される出力コンデンサ(C_S)であって、前記出力コンデンサ(C_S)の端子の間の電圧が、電源(102)の出力電圧(V_S)に対応する、出力コンデンサ(C_S)を含む電源(102)であって、

前記磁化時間(T_F)および前記出力コンデンサ(C_S)の値は、前記磁化フェーズ(503)の共振部分(504)と呼ばれる1つの部分において、前記出力電圧(V_S)が、サイン波部分を描き、

10

20

前記サイン波の中央値(V)より低い初期値(V_{S0})から始まり、前記中央値(V)を通り過ぎるようにするものであることを特徴とする、電源(102)。

【請求項2】

前記共振部分(504)は、前記磁化フェーズ(503)の全体にわたって延在する、請求項1に記載の電源(102)。

【請求項3】

前記磁化時間(T_F)および前記出力コンデンサ(C_S)の値は、前記共振部分(504)において、前記出力電圧(V_S)が前記サイン波の上側ピーク値(V_{Csup})を通り過ぎるようにするものである、請求項1または2に記載の電源(102)。

【請求項4】

前記磁化時間(T_F)および前記出力コンデンサ(C_S)の値は、前記出力電圧(V_S)が、前記サイン波の前記上側ピーク値(V_{Csup})を通り過ぎた後、前記共振部分(504)の残りの間、前記サイン波の前記中央値(V)まで、ただしそれを越えないで減少する、好ましくは前記サイン波の前記上側ピーク値(V_{Csup})と前記中央値(V)の間の差の50%以下である量だけ、より好ましくは前記サイン波の前記上側ピーク値(V_{Csup})と前記中央値(V)の間の差の25%以下である量だけ減少するようにするものである、請求項3に記載の電源(102)。

【請求項5】

前記磁化時間(T_F)は、前記サイン波の周期(T_{osc})の25%と75%の間である、請求項1から4のいずれか一項に記載の電源(102)。

【請求項6】

前記共振部分(504)の間の前記出力電圧(V_S)の変動が、前記出力コンデンサ(C_S)の値によって決まる周期(T_{osc})を有するサイン波部分を描き、

前記出力コンデンサ(C_S)の前記値は、前記周期(T_{osc})が0.1と2マイクロ秒の間であるようにするものである、請求項1から5のいずれか一項に記載の電源(102)。

【請求項7】

前記磁化時間(T_F)は、

【数1】

$$\frac{\pi}{2} \sqrt{L_F C_S}$$

と

$$\frac{3\pi}{2} \sqrt{L_F C_S}$$

の間である、ただし L_F は、前記変圧器(106)の前記漏れインダクタ(L_F)の値であり、 C_S は、前記出力コンデンサ(C_S)の値である、請求項1から6のいずれか一項に記載の電源(102)。

【請求項8】

前記出力コンデンサ(C_S)は、その値が0.5と200ナノファラッドの間である、例えば50ナノファラッドである、請求項1から7のいずれか一項に記載の電源(102)。

【請求項9】

前記変圧器(106)の前記セカンダリは、

高電位をもたらすように意図され、二次電流(i_2 、 i)がそれを介して出力されるように意図されるハイ側端子(106C)と、

前記ハイ側端子(106C)の前記高電位に対して低電位をもたらすように意図されるロー側端子(106D)とを含む、請求項1から8のいずれか一項に記載の電源(102)。

【請求項10】

二次電流(i_2 、 i)が前記変圧器(106)の前記セカンダリにそのハイ側端子(106C)を介して

流れ込まないように防止するように意図されるダイオード(D)をさらに含む、請求項9に記載の電源(102)。

【請求項 1 1】

前記磁化時間(T_F)は、前記磁化状態の終了時、前記二次電流(i_2 、 i)がゼロである、またはそのピーク値の5%以下であるようにするものである、請求項9または10に記載の電源(102)。

【請求項 1 2】

前記調整回路(108)は、

その閉状態が、前記調整回路(108)の前記磁化状態および前記減磁状態の一方に対応し、その開状態が、前記調整回路(108)の前記磁化状態および前記減磁状態の他方に対応するスイッチ(INT)と、

10

前記減磁フェーズ(512)の間、前記磁化電流(i_M)の発振を引き起こすように意図される減磁コンデンサ(C_R)とを含む、請求項1から11のいずれか一項に記載の電源(102)。

【請求項 1 3】

前記減磁コンデンサ(C_R)は、前記スイッチ(INT)と並列である、請求項12に記載の電源(102)。

【請求項 1 4】

前記減磁コンデンサ(C_R)は、前記変圧器(106)の前記プライマリの前記端子の間に接続される、請求項12に記載の電源(102)。

【請求項 1 5】

20

前記減磁コンデンサ(C_R)は、前記ダイオード(D)と並列である、請求項10および12に総合して記載の電源(102)。

【請求項 1 6】

前記減磁コンデンサ(C_R)は、さらに、前記調整回路(108)がその過程で前記減磁状態にある前記減磁フェーズ(512)の間、前記スイッチ(INT)の端子において電圧(V_{INT})の発振を引き起こすように意図され、

前記制御装置(110)は、減磁時間(T_O)の終了時、前記スイッチ(INT)が前記減磁状態から前記磁化状態に移るために閉にされたとき、前記スイッチ(INT)の前記端子における前記電圧(V_{INT})がゼロになる、またはそのピーク値の5%以下になるように、前記減磁時間(T_O)の間、前記減磁フェーズ(512)を引き延ばすように意図される、請求項12から15のいずれか一項に記載の電源(102)。

30

【請求項 1 7】

前記出力電圧(V_S)のピークツーピーク値(V_{CC})を測定するための測定装置(116)をさらに含む、請求項1から16のいずれか一項に記載の電源(102)。

【請求項 1 8】

前記測定装置(116)は、さらに、前記変圧器(106)の前記セカンダリの前記ハイ側端子(106C)に接続される前記出力コンデンサ(C_S)の前記端子から供給される出力電流(i_S)を、前記出力電圧(V_S)の前記ピークツーピーク値(V_{CC})から推定するように意図される、請求項17に記載の電源(102)。

【請求項 1 9】

40

電圧源(104)に接続されるように意図されるプライマリを含み、漏れインダクタ(L_F)を有する変圧器(106)であって、前記変圧器(106)は、磁化電流(i_M)が横切るように意図される、変圧器(106)と、

磁化電流(i_M)の調整回路(108)であって、前記調整回路(108)は、

前記調整回路(108)が、前記磁化電流(i_M)の増加を可能にするように意図される磁化状態と、

前記調整回路(108)が、前記磁化電流(i_M)を減少させるように意図される減磁状態との間を切り替えるように意図される、磁化電流(i_M)の調整回路(108)と、

前記漏れインダクタ(LF)とともに共振回路を形成するように、前記変圧器(106)のセカンダリに接続される出力コンデンサ(C_S)であって、前記出力コンデンサ(C_S)は、その端子

50

の間に出力電圧(V_s)を有する、出力コンデンサ(C_s)とを含む電源(102)を制御するための方法であって、

磁化フェーズ(503)および減磁フェーズ(511)をそれぞれ交互に行うために、前記磁化状態から前記減磁状態に交互に前記調整回路(108)を切り替えるステップであって、

前記磁化フェーズ(503)は、前記磁化フェーズ(503)の共振部分(504)と呼ばれる1つの部分において、前記出力電圧(V_s)が、サイン波部分を描き、前記サイン波の中央値(V)より低い初期値(V_{s0})から始まり、前記中央値(V)を通り過ぎるような様式で出力コンデンサ(C_s)の値の関数である磁化時間(T_F)の間、持続する、ステップを含む、方法。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、電源の分野に関する。具体的には、本発明は、絶縁共振型電源に関する。さらに、本発明は、電気機械に給電するためのインバータに関する。インバータは、ガルバニック絶縁バリアによって分離される高電圧部および低電圧部と、絶縁バリアを介してエネルギーを伝達するための本発明による電源とを含む。

【背景技術】

【0002】

ガルバニック絶縁バリアを介して電気負荷に給電するために、変圧器を含む絶縁型電源を使用することが知られている。変圧器は、電圧源を備えるその端子に接続されるプライマリと電気負荷に接続されるセカンダリとを含む。この知られた電源では、セカンダリの端子に接続される出力コンデンサの目的は、電気エネルギーを蓄えることであり、コンデンサは、それに応じて、その値が、非常に大きい、一般に1マイクロファラッドより大きい。

20

【0003】

具体的に、電源に属するスイッチのゼロ電圧切り替え(zero voltage switching)すなわちZVSのために、コンデンサとインダクタの間の共振を使用する絶縁共振型電源が知られている。IEEE Transactions on Aerospace and Electronic systems、Vol. 31、No 4、1995年10月、1301に発表された文献「リユー他によるDC/DC電源のための新しい共振コンバータトポロジ(A novel resonant converter topology for DC-to-DC power supply by Liu et al.)」に、共振型電源の実施例が開示されている。共振型電源の1つの問題は、その出力電圧が、電源によって給電される電気負荷のインピーダンスによって決められる恐れがあることである。

30

【先行技術文献】

【非特許文献】

【0004】

【非特許文献1】リユー他によるDC/DC電源のための新しい共振コンバータトポロジ(A novel resonant converter topology for DC-to-DC power supply by Liu et al.)、IEEE Transactions on Aerospace and Electronic systems、Vol. 31、No 4、1995年10月、1301

【発明の概要】

【発明が解決しようとする課題】

40

【0005】

したがって、本発明は、出力電圧が電源の出力における負荷のインピーダンスから独立している絶縁共振型電源を獲得することを目的とする。

【課題を解決するための手段】

【0006】

この目的のために、

電圧源に接続されるように意図されるプライマリを含み、漏れインダクタを有する変圧器であって、その変圧器は、磁化電流が横切るように意図される、変圧器と、

磁化電流の調整回路であって、その調整回路は、

調整回路が磁化電流の増加を可能にするように意図される磁化状態と、

50

調整回路が磁化電流を減少させるように意図される減磁状態との間を切り替えるように意図される、磁化電流の調整回路と、

磁化フェーズと減磁フェーズをそれぞれ交互に行うために、磁化状態から減磁状態に交互に調整回路を切り替えるように意図される、調整回路を制御するための装置であって、その制御装置は、磁化時間の間、磁化フェーズを引き延ばすように意図される、装置と、

漏れインダクタとともに共振回路を形成するように、変圧器のセカンダリに接続される出力コンデンサであって、出力コンデンサの端子の間の電圧が、電源の出力電圧に対応する、出力コンデンサとを含む電源が提供され、

その電源は、

磁化時間および出力コンデンサの値は、磁化フェーズの共振部分と呼ばれる1つの部分において、出力電圧がサイン波部分を描き、サイン波の中央値より低い初期値から始まり、前記中央値を通り過ぎるようにするものであることを特徴とする。

具体的には、出力電圧の初期値は、共振フェーズの開始時における出力電圧の値であり、その開始時は、磁化フェーズの開始に対応してもよい。

【0007】

本発明による電源は、特に定電圧を提供するように意図される。定電圧は、より具体的に、出力電圧の平均値に対応する。この出力電圧の平均値は、共振フェーズの際、出力電圧がそれに従うサイン波の中央値と異なることがある。

【0008】

磁化フェーズの少なくとも一部分では、共振型電源は、その出力電圧が、磁化フェーズのこの部分で出力電圧がそれに従うサイン波の下側ピーク値を含む。

【0009】

共振型電源の出力における負荷インピーダンスが増加したとき、サイン波の下側ピーク値は、より低い値に向けてドリフトする。先行技術による共振型電源では、磁化状態は、出力電圧がサイン波の中央値に到達している前に終了する。本発明による電源では、磁化状態は、少なくとも出力電圧がサイン波の中央値に到達している後で終了する。したがって、サイン波の下側ピーク値のより低い値に向かうドリフトは、サイン波の上側ピーク値のより高い値に向かう対応するドリフトによって、少なくとも部分的に補償される。

【0010】

同様に、共振型電源の出力における負荷インピーダンスが減少したとき、サイン波の下側ピーク値のより高い値に向かうドリフトは、サイン波の上側ピーク値のより低い値に向かう対応するドリフトによって、少なくとも部分的に補償される。

【0011】

したがって、出力電圧に対する出力負荷インピーダンスの影響は、先行技術による共振型電源と比べて、減少される。

【0012】

任意選択で、共振部分は、磁化フェーズの全体にわたって延在する。

【0013】

また任意選択で、磁化時間および出力コンデンサの値は、共振部分において、出力電圧がサイン波の上側ピーク値を通り過ぎるようにするものである。

【0014】

したがって、共振型電源の出力における負荷インピーダンスが増加したとき、サイン波の下側ピーク値のより低い値に向かうドリフトは、サイン波の上側ピーク値のより高い値に向かう対応するドリフトによって、ほとんど完全に、または完全にさえ補償される。

【0015】

同様に、共振型電源の出力における負荷インピーダンスが減少したとき、サイン波の下側ピーク値のより高い値に向かうドリフトは、サイン波の上側ピーク値のより低い値に向かう対応するドリフトによって、ほとんど完全に、または完全にさえ補償される。

【0016】

したがって、出力電圧に対する出力負荷インピーダンスの影響は、先行技術による共振

10

20

30

40

50

型電源と比べて、実質的に低い、またはゼロにさえなる。

【0017】

本発明による電源は、特に定電圧を提供するように意図される。定電圧は、より具体的に、出力電圧の平均値に対応する。この出力電圧の平均値は、共振フェーズにおいて出力電圧がそれに従うサイン波の中央値に対応することができる。

【0018】

また任意選択で、磁化時間および出力コンデンサの値は、出力電圧が、サイン波の上側ピーク値を通った後、共振部分の残りの間、サイン波の中央値まで、しかしそれを越さないで減少する、好ましくはサイン波の中央値と中央値の間の差の50%以下の量だけ、より好ましくはサイン波の上側ピーク値と中央値の間の差の25%以下の量だけ減少する。

10

【0019】

また任意選択で、磁化時間は、サイン波周期の25%と75%の間である。

【0020】

任意選択で、共振部分の間の出力電圧の変動は、その周期が出力コンデンサの値によって決まるサイン波部分を描き、出力コンデンサの値は、前記周期が0.1と2マイクロ秒の間であるようにするものである。

【0021】

また任意選択で、磁化時間は、

【0022】

【数1】

20

$$\frac{\pi}{2}\sqrt{L_F C_S}$$

と

$$\frac{3\pi}{2}\sqrt{L_F C_S}$$

【0023】

の間である、ただし、 L_F は、変圧器の漏れインダクタの値であり、 C_S は、出力コンデンサの値である。

【0024】

30

また任意選択で、出力コンデンサは、その値が、0.5と200ナノファラッドの間である、例えば50ナノファラッドである。

【0025】

また任意選択で、変圧器のセカンダリは、高電位をもたらすように意図され、それを介して二次電流が出力されるように意図されるハイ側端子と、ハイ側端子の高電位に対して低電位をもたらすように意図されるロー側端子とを含む。

【0026】

また任意選択で、電源は、

二次電流が変圧器のセカンダリにそのハイ側端子を介して流れ込まないように防止するように意図されるダイオードをさらに含む。

40

【0027】

具体的には、ダイオードは、そのアノードが、変圧器のセカンダリのハイ側端子に接続される。

【0028】

また任意選択で、磁化時間は、磁化状態の終了時、二次電流がゼロになる、またはそのピーク値の5%以下になるようにするものである。

【0029】

また任意選択で、調整回路は、

その閉状態が調整回路の磁化状態および減磁状態の一方に対応し、かつその開状態が調整回路の磁化状態および減磁状態の他方に対応するスイッチと、

50

調整回路がその過程の間減磁状態である減磁フェーズの間、磁化電流の発振を引き起こすように意図される減磁コンデンサとを含む。

【0030】

また任意選択で、減磁コンデンサは、スイッチと並列である。

【0031】

また任意選択で、減磁コンデンサは、変圧器のプライマリの端子の間に接続される。

【0032】

また任意選択で、減磁コンデンサは、ダイオードと並列である。

【0033】

また任意選択で、減磁コンデンサは、さらに、減磁フェーズの間にスイッチの端子で電圧の発振を引き起こすように意図され、そして制御装置は、減磁時間の終了時、スイッチが減磁状態から磁化状態に移るために閉じられたとき、スイッチの端子での電圧がゼロになる、またはそのピーク値の5%以下になるように、減磁時間の間、減磁フェーズを引き延ばすように意図される。

10

【0034】

また任意選択で、電源は、出力電圧のピークツーピーク値を測定するための装置をさらに含む。

【0035】

また任意選択で、測定装置は、さらに、変圧器のセカンダリのハイ側端子に接続される出力コンデンサの端子から供給される出力電流を、出力電圧のピークツーピーク値から推定するように意図される。

20

【0036】

また、本発明は、電圧コンバータに関し、それは、

第1の電気アースにリンクされる第1の部分および第2の電気アースにリンクされる第2の部分を有する回路であって、前記部分は、ガルバニック絶縁によって分離される、回路と、

それらの部分の一方に位置決めされた電気負荷に、他方の部分に生じたエネルギーを、前記ガルバニック絶縁を介して供給するように意図される、本発明による電源とを含む。

【0037】

30

具体的には、コンバータは、電気機械に給電するためのDC/ACコンバータである。また、このコンバータは、DC/DCコンバータでもよい。

【0038】

また、電源を制御するための方法が提供され、その電源は、

電圧源に接続されるように意図されるプライマリを含み、漏れインダクタを有する変圧器であって、その変圧器は、磁化電流が横切るように意図される、変圧器と、

磁化電流の調整回路であって、その調整回路は、

調整回路が磁化電流の増加を可能にするように意図される磁化状態と、

調整回路が磁化電流を減少させるように意図される減磁状態との間を切り替えるように意図される、磁化電流の調整回路と、

40

漏れインダクタとともに共振回路を形成するように、変圧器のセカンダリに接続される出力コンデンサであって、出力コンデンサは、その端子の間に出力電圧を有する、出力コンデンサとを含む、

その方法は、

磁化フェーズと減磁フェーズをそれぞれ交互に行うために、磁化状態から減磁状態に交互に調整回路を切り替えるステップであって、磁化フェーズは、磁化時間の間、持続し、その磁化時間は、磁化フェーズの共振部分と呼ばれる1つの部分において、出力電圧がサイン波部分を描き、サイン波の中央値より低い初期値から始まり、前記中央値を通り過ぎるような様式で出力コンデンサの値の関数である、ステップを含む。

【0039】

50

ここで、本発明の実施形態を、例としてだけで、次の図を参照して述べる。

【図面の簡単な説明】

【0040】

【図1】本発明の第1の実施形態による電源を含む電気回路を表す図である。

【図2】動作状態における図1の電気回路と同等の電気回路を表す図である。

【図3】動作状態における図1の電気回路と同等の電気回路を表す図である。

【図4】動作状態における図1の電気回路と同等の電気回路を表す図である。

【図5】図1の電源に関して実施する方法のブロック図である。

【図6】図1の電気回路の3つの電流量、特に図1の電気回路の出力電圧 V_S のタイミング図を含む図である。

10

【図7】出力電圧 V_S のための図6のタイミング図の拡大図である。

【図8】本発明の別の実施形態における出力電圧 V_S のタイミング図である。

【図9】出力電圧 V_S が本発明の実施形態によって共振状態にあるとき、出力電圧 V_S がそれに従う発振カーブを表し、そのカーブの部分は、共振が停止していることがあるところで強調されている図である。

【図10】出力電圧 V_S が本発明の実施形態によって共振状態にあるとき、出力電圧 V_S がその後に続く発振カーブを表し、そのカーブの部分は、共振が停止していることがあるところで強調されている図である。

【図11】出力電圧 V_S が本発明の実施形態によって共振状態にあるとき、出力電圧 V_S がその後に続く発振カーブを表し、そのカーブの部分は、共振が停止していることがあるところで強調されている図である。

20

【図12】出力電圧 V_S が本発明の実施形態によって共振状態にあるとき、出力電圧 V_S がその後に続く発振カーブを表し、そのカーブの部分は、共振が停止していることがあるところで強調されている図である。

【図13】本発明の他の実施形態による電源を含む電気回路を表す図である。

【図14】本発明の他の実施形態による電源を含む電気回路を表す図である。

【発明を実施するための形態】

【0041】

ここで、図1を参照して、本発明を実施する電気回路100を述べる。

【0042】

30

電気回路100は、電源102と、電源102から給電されるように意図される負荷Zとを含む。

【0043】

電源102は、まず第1に、その正端子(+)とその負端子(-)の間に供給電圧Eをもたらし、かつその正端子(+)を介して供給電流 i_E を提供するように意図される電圧源104を含む。述べる実施例では、供給電圧Eは、連続的で一定である。

【0044】

電源102は、述べる実施例では、電源電圧Eを分割するように意図される変圧器106をさらに含む。

【0045】

変圧器106は、この後は単に「プライマリ」と呼ばれる一次巻線と、この後は単に「セカンダリ」と呼ばれる二次巻線とを含む。

40

【0046】

プライマリは、ハイ側端子106Aおよびロー側端子106Bを有し、ハイ側端子106Aは、ロー側端子106Bの電位より高い電位をもたらすように意図される。

【0047】

セカンダリは、ハイ側端子106Cおよびロー側端子106Dを有し、ハイ側端子106Cは、ロー側端子106Dの電位より高い電位をもたらすように意図される。

【0048】

本発明の文脈では、変圧器106は次の方法でモデル化される。

【0049】

50

変圧器106は、まず第1に、理想プライマリおよび理想セカンダリを含む理想変圧器Tを含む。

【0050】

理想プライマリは、ハイ側端子およびロー側端子を有し、ハイ側端子は、ロー側端子の電位より高い電位をもたらすように意図される。一次電流 i_1 が、そのハイ側端子を介して理想プライマリに入る。理想プライマリは、その端子の間にさらに一次電圧 u_1 をもたらす。

【0051】

理想セカンダリは、ハイ側端子およびロー側端子を有し、ハイ側端子は、ロー側端子の電位より高い電位をもたらすように意図される。二次電流 i_2 が、そのハイ側端子を介して理想プライマリから出る。理想セカンダリは、その端子の間にさらに二次電圧 u_2 をもたらす。

10

【0052】

理想変圧器Tは、次の方法で電流と一次および二次の電圧を結合する変圧比 n をさらにもたらす。

【0053】

【数2】

$$n = \frac{u_2}{u_1} = \frac{i_1}{i_2}$$

20

【0054】

変圧器106は、理想プライマリの端子の間に配列され、磁化電流 i_M がそれを横切る磁化インダクタ L_M をさらに含む。磁化インダクタ L_M は、変圧器106のコアリラクタンスがゼロでないことを反映している。

【0055】

変圧器106は、理想プライマリのハイ側端子に接続される1つの端子を有する漏れインダクタ L_F をさらに含み、漏れインダクタ L_F の他の端子は、変圧器106のハイ側端子106Aに対応する。漏れインダクタ L_F は、変圧器106の磁気回路が、プライマリによって生成される磁場のすべてを全く伝えないということを反映している。言い換えると、磁力線が、変圧器106から逃げ、セカンダリによって使用されない。

30

【0056】

さらにまた、理想プライマリのロー側端子は、変圧器106のロー側端子106Bに対応する。

【0057】

一般に、磁化インダクタ L_M は、非常に大きい、すなわち例えば漏れインダクタ L_F よりも50倍大きい、好ましくは100倍大きい。

【0058】

電源102は、妥当なレベルに、すなわち電源102がそれに関して設計された最大負荷Zに対して予想される一次電流 i_1 より低い、または同じ程度のレベルに磁化電流 i_M を維持するように意図される、磁化電流 i_M を制御するための調整回路108をさらに含む。

40

【0059】

調整回路108は、例えば電圧源104と変圧器106の間に挿入される。述べる実施例では、調整回路108は、変圧器106のプライマリのロー側端子106Bと電圧源104の負端子(-)の間に挿入され、一方変圧器106のプライマリのハイ側端子106Aは、電圧源104の正端子(+)に直接接続される。

【0060】

調整回路108は、それぞれ磁化状態および減磁状態と呼ばれる2つの状態の間を切り替えるように意図される。磁化状態では、調整回路108は、電圧源104が変圧器106を磁化することが可能になるように、すなわち磁化電流 i_M の増加が可能になるように意図される。減

50

磁状態では、調整回路108は、変圧器106を減磁するように、すなわち磁化電流 i_M を減少させるように意図される。

【0061】

述べる実施例では、調整回路108は、まず、電圧源104の負端子(-)を変圧器106のプライマリのロー側端子106Bに接続するスイッチINTと、次に、減磁コンデンサと呼ばれ、スイッチINTと並列であるコンデンサ C_R を含む。

【0062】

それ故、スイッチINTが閉であるとき(これは磁化状態に対応する)、ロー側端子106Bは、コンデンサ C_R を短絡することによって、電圧源104の負端子(-)に直接接続される。したがって、供給電圧Eが、変圧器106のプライマリに印加される。

10

【0063】

スイッチINTが開であるとき(これは減磁状態に対応する)、ロー側端子106Bは、減磁コンデンサ C_R を介して電圧源104の負端子(-)に接続されて、後で述べるように、減磁コンデンサ C_R 、漏れインダクタ L_F および磁化インダクタ L_M の間で共振が生成される。スイッチINTの端子における電圧は、以降電圧 V_{INT} と呼ぶ。

【0064】

電源102は、磁化フェーズ(電気回路108の磁化状態に対応する)と減磁フェーズ(電気回路108の減磁状態に対応する)をそれぞれ交互に行うために、一方の状態から他方の状態に交互に調整回路108を切り替えるように意図される、調整回路108を制御するための装置110をさらに含む。制御装置110は、磁化時間 T_F の間、磁化フェーズを引き延ばし(調整回路108は磁化状態)、減磁時間 T_O の間、減磁フェーズを引き延ばすように(調整回路108は減磁状態)意図される。

20

【0065】

磁化時間 T_F は、その終了時、すなわち磁化状態から減磁状態に移るためにスイッチINTを開にしたとき、二次電流 i_2 がゼロであるように、またはそのピーク値の5%以下であるように選択されることが好ましい。

【0066】

減磁時間 T_O は、その終了時、すなわち減磁状態から磁化状態に移るためにスイッチINTを閉にしたとき、スイッチINTの端子における電圧 V_{INT} がゼロであるように、またはそのピーク値の5%以下であるように選択されることが好ましい。

30

【0067】

述べる実施例では、磁化時間 T_F および減磁時間 T_O は、電源102の特性から、例えば電源が出力において提供するように意図される定電圧などから事前に決定することができる。磁化時間 T_F および減磁時間 T_O は、電源102の動作中に使用するために、制御装置110のメモリ中に記録されることが好ましい。

【0068】

磁化時間 T_F および減磁時間 T_O は、互いに独立に選択することができることを認識されたい。

【0069】

電源102は、変圧器106の出力ステージ112をさらに含む。

40

【0070】

出力ステージ112は、まず第1に、変圧器106のセカンダリのハイ側端子106Cに接続され、二次電流 i_2 が負にならないように、すなわち二次巻線に入らないように防止するように意図されるダイオードDを含む。

【0071】

出力ステージ112は、変圧器106のセカンダリのハイ側端子106CにダイオードDを介して接続される1つの端子と、変圧器106のセカンダリのロー側端子106Dに接続される別の端子とを有する出力コンデンサ C_S をさらに含む。そのように接続される出力コンデンサ C_S は、変圧器106の漏れインダクタ L_F とともに共振回路を形成する。出力コンデンサ C_S は、さらに、その端子の間に電圧 V_S にもたらすように意図され、その電圧の平均値は、具体的には

50

電源が提供しなければならない定電圧に対応する。

【0072】

後でより詳細に述べるように、磁化時間 T_F および出力コンデンサ C_S の値は、磁化フェーズの共振部分において、出力電圧 V_S が、サイン波部分を描き、サイン波の中央値より低い初期値から始まり、前記中央値を通り過ぎるようにするものである。例えば、出力コンデンサ C_S は、その値が、0.5と200ナノファラッドの間である、例えば5と100ナノファラッドの間である、例えば50ナノファラッドに等しい。

【0073】

出力ステージ112は、変圧器106のセカンダリのハイ側端子106Cに接続される出力コンデンサ C_S の端子から出力電流 i_S を供給する。電源102は、出力電流 i_S をフィルタリングするために、出力ステージ112と負荷Zの間に挿入される出力フィルタ114を含むことができる。出力フィルタ114は、出力電流 i_S を受け取り、出力電圧 V_S がそれに印加される。出力フィルタ114は、出力電流 i_S をフィルタリングするように意図され、したがってこの電流は、電源102の動作周波数(周期 T_O+T_F に対応する)において準一定である。出力フィルタ114は、コンデンサが出力ステージ112の後に直接接続されている場合、共振を妨げることになるはずであるそのコンデンサを負荷Zが含むとき、特に役立つ。

【0074】

述べる実施例では、出力フィルタ114は、インダクタ L_{filt} およびコンデンサ C_{filt} を含むLCフィルタである。変形例として、出力フィルタ114は、線形レギュレータ、例えば低ドロップアウトレギュレータ(Low-Dropout Regulator)すなわちLDOと取り換えてもよい。

【0075】

電源102は、出力電圧 V_S のピークツーピーク値を測定するための装置116をさらに含んでもよい。

【0076】

述べる実施例では、測定装置116は、まず第1に、高域フィルタ118を含む。例えば、高域フィルタ118は、RCフィルタを含む。高域フィルタ118は、その後に、例えば、互いに並列であるコンデンサおよび抵抗器がその後に続くダイオードを含むピーク検出回路120が続く。

【0077】

測定装置116は、さらに、出力電圧 V_S のピークツーピーク値の測定から出力電流 i_S を推定するように意図される。実際に、このピークツーピーク値は、電源102の出力コンデンサ C_S 、出力電流 i_S および動作周波数によって直接決まる。出力電流 i_S の推定は、例えば電源102中に過電流保護を設定するために使用することができる。

【0078】

ここで、図2から5を参照して、電気回路100を動作させるための方法500を述べる。

【0079】

説明を簡単にするために、理想変圧器Tの変圧比nが1であると仮定する。したがって、この場合、一次電流 i_1 と二次電流 i_2 は等しい。以降これら電流をプライマリ/セカンダリ電流 i と呼ぶことにする。同様に、一次電圧 u_1 および二次電圧 u_2 は等しい。以降これら電圧をプライマリ/セカンダリ電圧 u と呼ぶことにする。

【0080】

さらに、出力フィルタ114および負荷Zは、定電流源 I_S としてモデル化する。

【0081】

ステップ502で、制御装置110は、スイッチINTを閉にすることによって調整回路108を磁化状態に切り替える。それに応じて、ダイオードDがオンにされ、その端子に電圧 V_D を有する。その結果として得られる回路を図2に表す。

【0082】

スイッチINTを閉にした瞬間、出力電圧 V_S 、磁化電流 i_M 、スイッチINTの電圧 V_{INT} およびプライマリ/セカンダリ電流 i は、その値が次のようである。

【0083】

10

20

30

40

50

【数 3】

$$V_S(0) = V_{S0}$$

$$i_M(0) = i_{M0}$$

$$V_{TNT}(0) = 0$$

$$i(0) = 0$$

【0084】

以降、値 V_{S0} は、「初期共振値」と呼ぶ。

10

【0085】

ステップ502の後に続いて、磁化フェーズ503が開始される。

【0086】

磁化フェーズ503の一部分にわたって行われるステップ504の間、電気量が、ここで述べるような方法で時間とともに進展する。具体的には、述べるように、出力コンデンサ C_S および漏れインダクタ L_F は、出力電圧 V_S が、サイン波部分を描くように、共振回路を形成する。ステップ504は、共振時間 T_{res} の間、持続する。

【0087】

次の方程式が、図2から推論される。

【0088】

20

【数 4】

$$E = L_F i_E' + L_M i_M' = L_F i_E' + V_D + V_S$$

$$i_E = i + i_M$$

$$i = I_S + C_S V_S'$$

【0089】

したがって、磁化インダクタ L_M が漏れインダクタ L_F より非常に大きいことを考慮に入れると、出力電圧 V_S は、次の微分方程式を満たす。

【0090】

30

【数 5】

$$E - V_D = L_F C_S V_S'' + V_S$$

【0091】

したがって、初期条件を考慮に入れると、

【0092】

【数 6】

$$V_S(0) = V_{S0}$$

$$i(0) = 0 = I_S + C_S V_S'(0)$$

40

【0093】

であり、出力電圧 V_S とプライマリ/セカンダリ電流 i は、次の方程式に従って発振する。

【0094】

【数 7】

$$V_S = E - V_D - (E - V_D - V_{S0}) \frac{\cos(\omega_1 t - \varphi_1)}{\cos(\varphi_1)}$$

$$i = I_S + \omega_1 C_S (E - V_D - V_{S0}) \sin(\omega_1 t - \varphi_1) = I_S \left(1 + \frac{\sin(\omega_1 t - \varphi_1)}{\sin(\varphi_1)} \right)$$

ただし、発振パルスは

$$\omega_1 = \frac{1}{\sqrt{L_F C_S}}$$

そして、

$$\varphi_1 = \arctan \left(\frac{I_S}{\omega_1 C_S (E - V_D - V_{S0})} \right)$$

である。

【0095】

したがって、発振パルスに関する式によって、出力電圧 V_S およびプライマリ/セカンダリ電流 i の発振は、漏れインダクタ L_F とともに共振回路を形成する出力コンデンサ C_S が存在することによって引き起こされる。

【0096】

さらに、出力電圧 V_S が、具体的に $E - V_D$ に等しい中央値 V のまわりで発振することを認識されたい。

【0097】

さらにまた、出力電圧 V_S が共振期間504の間に表すサイン波の形状は、その周期 T_{osc} が次の式に等しい。

【0098】

【数 8】

$$T_{osc} = \frac{2\pi}{\omega_1} = 2\pi \sqrt{L_F C_S}$$

【0099】

したがって、サイン波の周期 T_{osc} は、出力コンデンサ C_S の値によって決まる。好ましいのは、出力コンデンサ C_S の値は、サイン波周期 T_{osc} が0.1および2マイクロ秒の間であるようにするものであることである。

【0100】

さらにまた、磁化電流 i_M が、次の方程式に従って進展する。

【0101】

【数 9】

$$i_M = i_{M0} + \frac{E}{L_M} t + \frac{I_S}{\omega_1^2 L_M C_S} \left(1 + \frac{\sin(\omega_1 t - \varphi_1)}{\sin(\varphi_1)} \right)$$

【0102】

サイン波の項は、一般に、線形部分に比べて非常に小さい、したがって磁化電流 i_M は、準線形的な方法で増加する。

【0103】

スイッチINTを閉にした後の時間

【0104】

10

20

30

40

【数 1 0】

$$(\pi + 2\varphi_1)/\omega_1$$

【0 1 0 5】

の終了時に行われるステップ506で、プライマリ/セカンダリ電流*i*は、半発振(half oscillation)を起こして、ゼロに戻り、したがってダイオードDは、オフにされる。その結果得られる回路図を図3に表す。後で述べるように、ダイオードをオフにすると、出力電圧*V_s*のための共振が停止される。

【0 1 0 6】

ダイオードDがオフにされたとき、出力電圧*V_s*は、最終共振値*V_{s1}*に達し、それは、初期共振値*V_{s0}*より大きいことが好ましい。最終共振値*V_{s1}*は、次のものに等しい。

【0 1 0 7】

【数 1 1】

$$V_{s1} = E - V_D + (E - V_D - V_{s0}) = 2E - 2V_D - V_{s0}$$

【0 1 0 8】

さらに、磁化電流*i_M*は、増加して、次に示す値*i_{M1}*に到達する。

【0 1 0 9】

【数 1 2】

$$i_{M1} = i_{M0} + \frac{E}{L_M} \cdot \frac{\pi + 2\varphi_1}{\omega_1} + \frac{2I_S}{\omega_1^2 L_M C_S}$$

20

【0 1 1 0】

磁化フェーズ506の残りの間にわたって行われるステップ508の間、電気量が、ここで述べるような方法で時間とともに進展する。

【0 1 1 1】

出力コンデンサ*C_s*中に蓄えられた電流が、電流発生器*I_s*中に放出され、したがって出力電圧*V_s*が次の方程式に従って減少する。

【0 1 1 2】

【数 1 3】

$$V_s = V_{s1} - \frac{I_S}{C_S} t$$

30

【0 1 1 3】

さらに、電圧源104は、継続して変圧器Tを磁化し、したがって磁化電流*i_M*は、次の方程式に従って線形に増加する。

【0 1 1 4】

【数 1 4】

$$i_M = i_{M1} + \frac{E}{L_F + L_M} t$$

40

【0 1 1 5】

もちろん、磁化時間*T_F*が

【0 1 1 6】

【数 1 5】

$$(\pi + 2\varphi_1)/\omega_1$$

50

【0117】

に等しい、またはそれより短いように選択された場合、すなわち磁化時間が、ダイオードDがオフにされる前に、またはその瞬間に終了した場合、ステップ508は、行われない。この場合、出力電圧 V_s は、磁化フェーズ503の期間中ずっと共振し、共振時間 T_{res} は、磁化時間 T_F に等しい。

【0118】

磁化時間が

【0119】

【数16】

$$(\pi + 2\varphi_1)/\omega_1$$

10

【0120】

より短く選択された場合(プライマリ/セカンダリ電流が解消される時間の前に)、磁化時間 T_F は、プライマリ/セカンダリ電流 i が、次のものに等しいそのピーク値の5%まで、またはそれより低く減少する時間があるように、選択されることが好ましい。

【0121】

【数17】

$$I_s \left(1 + \frac{1}{\sin(\varphi_1)} \right)$$

20

【0122】

磁化時間 T_F が

【0123】

【数18】

$$(\pi + 2\varphi_1)/\omega_1$$

【0124】

30

より長く選択された場合、すなわち磁化時間が、ダイオードDがオフにされた後で終了する場合、出力電圧 V_s の共振は、磁化フェーズ503の終了前に停止し、ステップ508が行われる。そのとき、磁化時間 T_F は、共振時間 T_{res} プラス磁化フェーズ503の持続期間の残りに等しい。

【0125】

一般的に言うと、磁化時間 T_F は、例えば

【0126】

【数19】

$$\frac{\pi}{2} \sqrt{L_F C_S}$$

と

$$\frac{3\pi}{2} \sqrt{L_F C_S}$$

40

【0127】

の間である、すなわち、サイン波周期 T_{osc} の25%と75%の間である。このようにして、共振部分は、周期 T_{osc} の4分の1と周期 T_{osc} の4分の3の間のサイン波部分に対応する時間の間、持続することができる。

【0128】

ステップ510で、磁化時間 T_F の終了時、制御装置110は、スイッチINTを開にすることに

50

よって、調整回路108を減磁状態に切り替える。したがって、磁化時間 T_F は、またスイッチINTの閉期間を表す。

【0 1 2 9】

その結果得られる回路図を図4に表す。

【0 1 3 0】

ステップ510の時間で、出力電圧 V_S は、次に示す値 V_{S2} まで減少しており、

【0 1 3 1】

【数 2 0】

$$V_{S2} = V_{S1} - \frac{I_S}{C_S} \left(T_F - \frac{\pi + 2\varphi_1}{\omega_1} \right) \quad 10$$

【0 1 3 2】

磁化電流 i_M は、次に示す値 i_{M2} まで増加している。

【0 1 3 3】

【数 2 1】

$$i_{M2} = i_{M1} + \frac{E}{L_F + L_M} \left(T_F - \frac{\pi + 2\varphi_1}{\omega_1} \right) \quad 20$$

【0 1 3 4】

もちろん、閉時間 T_F が

【0 1 3 5】

【数 2 2】

$$(\pi + 2\varphi_1) / \omega_1$$

【0 1 3 6】

に等しい場合、これによって $V_{S1}=V_{S2}$ および $i_{M1}=i_{M2}$ が与えられる。

【0 1 3 7】

30

減磁フェーズ511は、スイッチの開ステップ510の後で開始される。

【0 1 3 8】

減磁フェーズ511は、電流量が、その過程中、ここで述べる方法で時間とともに進展するステップ512を含む。

【0 1 3 9】

出力コンデンサ C_S 中に蓄えられた電流は、継続して電流源 I_S 中に放出され、したがって出力電圧 V_S は、継続して次の方程式に従って減少する。

【0 1 4 0】

【数 2 3】

$$V_S = V_{S2} - \frac{I_S}{C_S} t \quad 40$$

【0 1 4 1】

さらにまた、図4によって、電圧 V_{INT} と磁化電流 i_M とは、次の方程式に従ってリンクされる。

【0 1 4 2】

【数 2 4】

$$V_{INT} = E - (L_F + L_M)i_M'$$

$$i_M = C_R V_{INT}'$$

【0 1 4 3】

したがって、磁化インダクタ L_M が、漏れインダクタ L_F より非常に大きいことを考慮に入れると、電圧 V_{INT} は、次の微分方程式を満たす。

【0 1 4 4】

【数 2 5】

$$E = (L_F + L_M)C_R V_{INT}'' + V_{INT}$$

10

【0 1 4 5】

初期条件を考慮に入れると、

【0 1 4 6】

【数 2 6】

$$V_{INT}(0) = 0$$

$$i_M(0) = i_{M2}$$

20

【0 1 4 7】

が与えられ、電圧 V_{INT} および磁化電流 i_M は、次の方程式に従って発振する。

【0 1 4 8】

【数 2 7】

$$V_{INT} = E \left(1 - \frac{\cos(\omega_2 t + \varphi_2)}{\cos(\varphi_2)} \right)$$

$$i_M = i_{M2} \frac{\sin(\omega_2 t + \varphi_2)}{\sin(\varphi_2)}$$

30

ただし、

$$\omega_2 = \frac{1}{\sqrt{L_M C_R}}$$

および

$$\varphi_2 = \arctan \left(\frac{i_{M2}}{C_R E \omega_2} \right)$$

【0 1 4 9】

40

次いで、方法は、スイッチINTを閉にするステップ502に戻る。ステップ502は、スイッチINTの開(ステップ510)の後で減磁時間 T_0 の終了時に実施される。したがって、減磁時間 T_0 は、具体的にスイッチINTの開期間に対応する。

【0 1 5 0】

スイッチINTを閉にするステップ502は、電圧 V_{INT} の解消時に、または電圧 V_{INT} がほぼ解消されたときに、例えば次の式に等しいそのピーク値の5%に、またはそれより低くなったときに実施することが好ましい。

【0 1 5 1】

【数 2 8】

$$V_{INT} = E \left(1 + \frac{1}{\cos(\varphi_2)} \right)$$

【0 1 5 2】

このために、開時間 T_O は、

【0 1 5 3】

【数 2 9】

$$(2\pi - 2\varphi_2)/\omega_2$$

10

【0 1 5 4】

に等しいように、またはほぼその値に、例えばその10%内になるように選択することができる。

【0 1 5 5】

定常状態動作では、スイッチINTを閉にするステップ502に戻ったとき、出力電圧 V_S は、減少して、次の方程式に従って与えられる値 V_{S0} に戻っている。

【0 1 5 6】

【数 3 0】

20

$$V_{S0} = V_{S2} - \frac{I_S}{C_S} T_O$$

【0 1 5 7】

そして磁化電流 i_M は、所定の値に到達する、具体的には次で示す値 i_{M0} まで減少している。

【0 1 5 8】

【数 3 1】

$$i_{M0} = i_{M2} \frac{\sin(\omega_2 T_O + \varphi_2)}{\sin(\varphi_2)}$$

30

【0 1 5 9】

したがって、定常状態では、最小出力電圧 V_{S0} が、先の方程式および次の方程式から推定される。

【0 1 6 0】

【数 3 2】

$$V_{S0} = E - V_D - \frac{I_S}{2C_S} \left(T_F + T_O - \frac{\pi + 2\varphi_1}{\omega_1} \right)$$

40

【0 1 6 1】

最小出力電圧 V_{S0} をこの式中のこの値によって置き換える際、

【0 1 6 2】

【数 3 3】

$$\varphi_1, \varphi_1$$

【0 1 6 3】

は、実際出力電流 I_S から独立していることに留意されたい。

【0 1 6 4】

50

さらに、平均電圧出力 $\langle V_S \rangle$ は、
 【0165】
 【数34】

$$\langle V_S \rangle = \frac{1}{T_F + T_O} \int_0^{T_F + T_O} V_S dt = E - V_D$$

【0166】

である。

10

【0167】

したがって、出力コンデンサ C_S と漏れインダクタ L_F の共振にゆだねたために、平均電圧出力 $\langle V_S \rangle$ は、出力負荷 Z によって影響されない。

【0168】

先のステップと並行して、時間とともに繰り返されるステップ514の間、測定装置116は、出力電圧 V_S のピークツーピーク値を測定し、その測定から二次電流 i を決定する。したがって、時間にわたる二次電流の進展を決定することが可能になる。

【0169】

磁化時間 T_F が

【0170】

20

【数35】

$$(\pi + 2\phi_1)/\omega_1$$

【0171】

に等しい場合、スイッチINTの端子における電圧 V_{INT} 、出力電圧 V_S およびプライマリ/セカンダリ電流 i のタイミング図は、図6に表す。前に述べたように、この場合、磁化フェーズ503は、ステップ504だけを含み、共振時間 T_{res} は、磁化時間 T_F に等しい。

【0172】

磁化フェーズ503の間、プライマリ/セカンダリ電流 i は、ゼロから始まりゼロに戻るサイン波の円弧で移行することを認識されたい。この時間の間、出力電圧 V_S は、正弦曲線状で変動し、中央値 $E - V_D$ より低い初期共振値 V_{S0} から始まり、中央値 $E - V_D$ を通り過ぎる。そのとき、出力電圧 V_S は、中央値 $E - V_D$ より上に位置する最終共振値 V_{S1} に到達する。

30

【0173】

減磁フェーズ511の間、電圧 V_{INT} は、ゼロから始まりゼロに戻るサイン波の円弧で移行する。これは、スイッチINTの開閉を容易にする。この時間の間、出力電圧 V_S は、線形に減少して初期共振値 V_{S0} に戻る。

【0174】

図7を参照して、電圧 V_S の変動をより詳細に述べる。

【0175】

40

磁化フェーズ503の共振部分504において、出力電圧 V_S は、まず第1に、周期 T_{osc} のサイン波カーブに従う。出力電圧 V_S は、初期共振値 V_{S0} から始まる。次いで、それは、減少して、サイン波の下側ピーク値 V_{Cinf} に達する。次いで、出力電圧 V_S は、増加し、中央値 $E - V_D$ を通り過ぎ、次いでサイン波の上側ピーク値 V_{Csup} に到達する。次いで、出力電圧は、減少して、最終共振値 V_{S1} に達する。最終共振値は、サイン波の中央値 $E - V_D$ と上側ピーク値 V_{Csup} の間に位置することを認識されたい。それ自体知られているように、2つの連続するピーク値が、半期によって分離され、したがってピーク値 V_{Cinf} とピーク値 V_{Csup} の間の時間は、 $T_{osc}/2$ に等しい。共振部分は、共振時間 T_{res} の間、持続する。

【0176】

二次電流が解消されて負になったとき、ダイオードDはオフにされ、次いで出力電圧 V_S

50

は、もうサイン波形状を表さない。磁化フェーズ503の残り508の間、出力電圧 V_S は、磁化フェーズ503の終了時、線形に減少して、値 V_{S2} に到達する。スイッチINTの開操作510によって、磁化フェーズ503の終了および減磁フェーズ511の開始が合図される。

【0177】

減磁フェーズの間、出力電圧 V_S は、継続して値 V_{S2} から線形に減少して、減磁時間 T_0 の終了時に初期共振値 V_{S0} に到達する。

【0178】

その瞬間、新しい磁化フェーズ503が開始される。

【0179】

図7に例示する場合では、出力電圧 V_S のピークツーピーク値 V_{CC} 、すなわち動作の周期 $T_F + T_0$ (2つの連続する磁化フェーズおよび減磁フェーズ)にわたって電圧 V_S が取る2つの極値の間の差は、サイン波の下側ピーク値 V_{Cinf} と上側ピーク値 V_{Csup} の間の差に等しい。

【0180】

図8を参照して、ダイオードDがオフにされる前に磁化フェーズ503が終了する場合について、電圧 V_S の変動をより詳細に述べる。

【0181】

この場合、磁化フェーズ503の間、出力電圧 V_S は、まず第1に、周期 T_{osc} のサイン波カーブに従う。出力電圧 V_S は、初期共振値 V_{S0} から始まる。次いで、それは、減少して、サイン波の下側ピーク値 V_{Cinf} に到達する。次いで、出力電圧 V_S は、増加し、中央値 $E - V_D$ を通り過ぎ、次いでサイン波の上側ピーク値 V_{Csup} より低いことがある最終共振値 V_{S1} に到達する。

【0182】

減磁フェーズ511では、スイッチINTが、時間 T_0 の間、開である。次いで、出力電圧 V_S は、最終共振値 V_{S1} から線形に減少して、減磁時間 T_0 の終了時に初期共振値 V_{S0} に到達する。

【0183】

その後、新しい磁化フェーズ503が開始される。

【0184】

図8に例示した場合では、出力電圧 V_S のピークツーピーク値 V_{CC} 、すなわち動作の周期 $T_F + T_0$ にわたって電圧 V_S が取る2つの極値の間の差は、サイン波の下側ピーク値 V_{Cinf} と最終共振値 V_{S1} の間の差に等しい。

【0185】

出力電圧 V_S の共振がそこで停止する、サイン波カーブにおける位置は、図7および8に例示するものに限定されない。

【0186】

図9を参照して、一般に、磁化時間 T_F および出力コンデンサ C_S の値は、磁化フェーズ503の共振部分504において、出力電圧 V_S が、中央値 V を有し、中央値 V より低い初期値 V_{S0} から始まり、中央値 V を通り過ぎるサイン波部分を描くようにするものである。したがって、この場合、共振は、中央値 V を一度越えさえすれば、サイン波カーブ上のいずれかの場所で停止させてもよい。したがって、共振は、サイン波のいくつかの周期にわたって延びてもよい。中央値 V は、具体的に $E - V_D$ に等しい。

【0187】

そのような長い共振は、磁化フェーズ503の間閉にされ、減磁フェーズ511の間開にされる、制御されるスイッチに、図1の電源102のダイオードDを取り換えることによって得ることができる。この場合、磁化時間 T_F は、十分に長いように選択することができる。対照的に、ダイオードDには、サイン波の上側ピーク V_{Csup} のわずかな後で共振を停止させることが求められる。

【0188】

したがって、共振は、電圧 V_S が中央値 $E - V_D$ に到達する第1の時間に対応するポイントAの後のいずれもの瞬間に終了してもよい。共振が停止することがあるサイン波カーブの部分は、太線で示されている。

10

20

30

40

50

【0189】

図10を参照すると、好ましいのは、磁化時間 T_F および出力コンデンサ C_S の値は、共振部分504において、出力電圧 V_S がサイン波の第1の上側ピーク値 V_{Csup} を通り過ぎるようにするものであることである。

【0190】

したがって、共振は、サイン波の上側ピーク V_{Csup} の後のいずれもの瞬間に終了してもよい。共振が停止することがあるサイン波カーブ上の部分は、太線で示されている。

【0191】

図11を参照すると、やはり好ましいのは、磁化時間 T_F および出力コンデンサ C_S の値は、出力電圧 V_S が、サイン波の上側ピーク値 V_{Csup} を通り過ぎた後、共振部分504の残りの間、中央値 $E-V_D$ まで、ただしそれを越えないで減少するようにするものであることである。

10

【0192】

したがって、共振504は、サイン波の上側ピーク V_{Csup} と、出力電圧 V_S が中央値 $E-V_D$ を通り過ぎる第2の時間に対応するポイントBとの間で終了する。共振が停止することがあるサイン波カーブの部分は、太線で示されている。

【0193】

やはり好ましいのは、磁化時間 T_F および出力コンデンサ C_S の値は、出力電圧 V_S が、サイン波の上側ピーク値 V_{Csup} を通り過ぎた後、共振部分504の残りの間、サイン波の上側ピーク値 V_{Csup} と中央値 $E-V_D$ の間の差の50%に等しい、またはそれ以下である量 M だけ減少するようにするものであることである。

20

【0194】

したがって、共振は、サイン波の上側ピーク V_{Csup} と、サイン波の上側ピーク V_{Csup} と中央値 $E-V_D$ の間の中央値 $E-V_D$ に対応するポイントCとの間で終了する。共振が停止することがあるサイン波カーブの部分は、太線で示されている。

【0195】

量 M は、例えば、サイン波の上側ピーク V_{Csup} と中央値 $E-V_D$ の間の差の25%以下である。

【0196】

図13を参照すると、別の実施形態1300では、減磁コンデンサ C_R が、ダイオード D と並列である。

【0197】

図14を参照すると、別の実施形態1400では、減磁コンデンサ C_R が、変圧器106のプライマリの端子106Aと端子106Bの間に接続される。

30

【0198】

本発明は、前に述べた実施形態に限定されない、むしろ後続く請求項によって定義される。実際、変更を本発明に行うことができることは、当業者に明らかになるはずである。

【0199】

例えば、減磁時間 T_0 および磁化時間 T_F を事前に記録する代わりに、測定装置116は、磁化回路をダイナミックに切り替えることができるはずである。この場合、測定装置116は、電圧 V_{INT} を測定し、および/または二次電流 i_2 を測定し、二次電流がゼロと、またはほぼゼロと測定されたとき調整回路108を減磁状態に切り替え、かつ電圧 V_{INT} がゼロと、またはほぼゼロと測定されたとき調整回路108を磁化状態に切り替えるための回路を含むことができるはずである。

40

【0200】

さらに、選択される電気構成要素の特性によって、ダイオード D が、減磁時間 T_0 の終了前にオンにされることが起こり得る。

【0201】

さらにまた、請求項で使用する用語は、前に述べた実施形態の要素に限定されるとして解釈すべきでなく、そうでなく、当業者がこの分野の一般的な知識であるものから推測することができる、すべての同等の要素をカバーしていると理解すべきである。

50

【符号の説明】

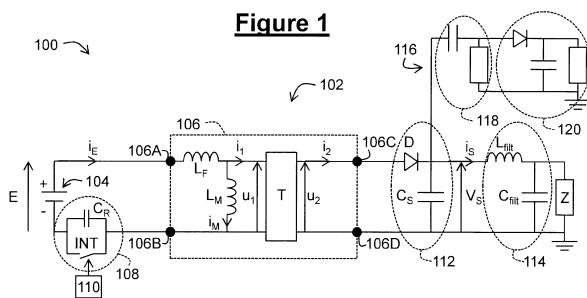
【0202】

100	電気回路	
102	電源	
104	電圧源	
106	変圧器	
106A	ハイ側端子	
106B	ロー側端子	
106C	ハイ側端子	
106D	ロー側端子	10
108	調整回路	
110	装置、制御装置	
112	出力ステージ	
114	出力フィルタ	
116	装置、測定装置	
118	高域フィルタ	
120	ピーク検出回路	
500	方法	
503	磁化フェーズ	
504	共振部分	20
510	開ステップ	
511	減磁フェーズ	
1300	別の実施形態	
1400	別の実施形態	
A	ポイント	
B	ポイント	
C	ポイント	
C_R	減磁コンデンサ	
C_S	出力コンデンサ	
C_{filt}	コンデンサ	30
D	ダイオード	
E	供給電圧	
$E-V_D$	中央値	
INT	スイッチ	
I_s	定電流源	
L_F	漏れインダクタ	
L_M	磁化インダクタ	
L_{filt}	インダクタ	
M	量	
T	理想変圧器	40
T_F	磁化時間	
T_O	減磁時間	
T_{osc}	サイン波の周期	
T_{res}	共振時間	
V	中央値	
V_D	電圧	
V_{CC}	ピークツーピーク値	
V_{Cint}	下側ピーク値	
V_{Csup}	上側ピーク値	
V_{INT}	電圧	50

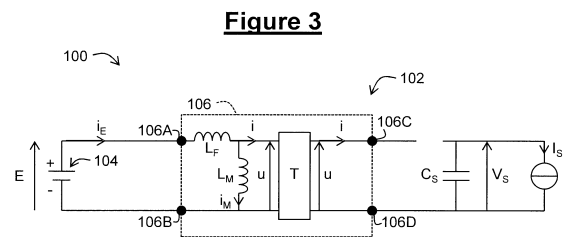
V_S 出力電圧
 V_{S0} 初期共振値
 V_{S1} 最終共振値
 V_{S2} 値
 Z 負荷
 i プライマリ/セカンダリ電流
 i_1 一次電流
 i_2 二次電流
 i_E 供給電流
 i_M 磁化電流
 i_S 出力電流
 u プライマリ/セカンダリ電圧
 u_1 一次電圧
 u_2 二次電圧
 $\langle V_S \rangle$ 平均電圧出力

10

【図 1】

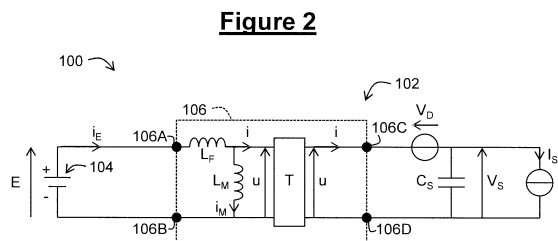
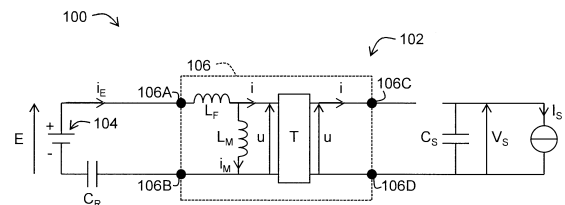


【図 3】

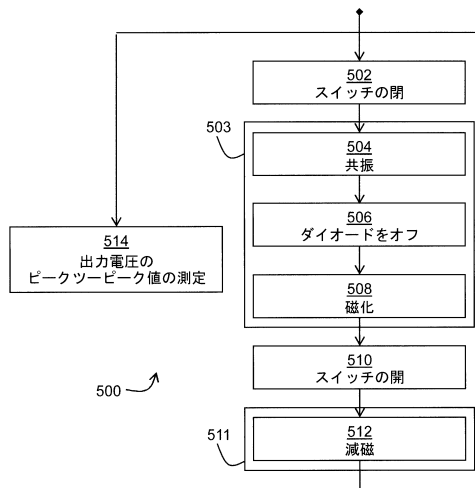


【図 4】

【図 2】

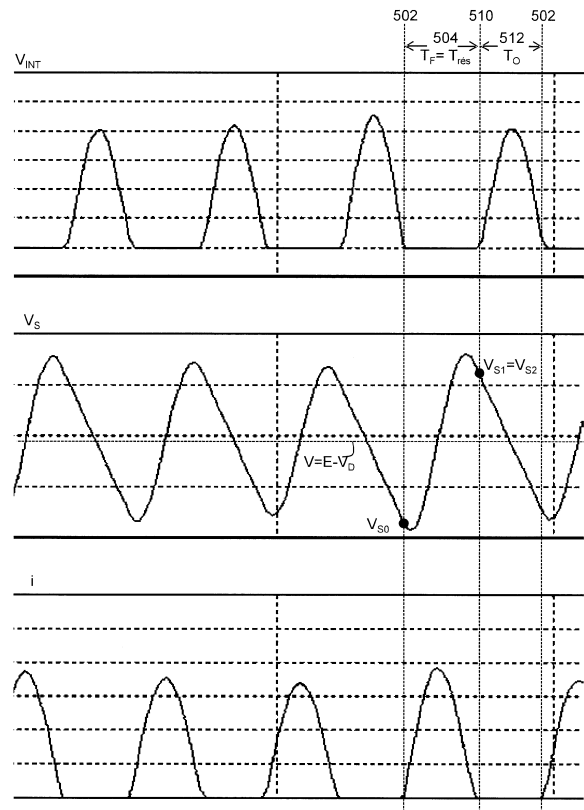
**Figure 4**

【図 5】



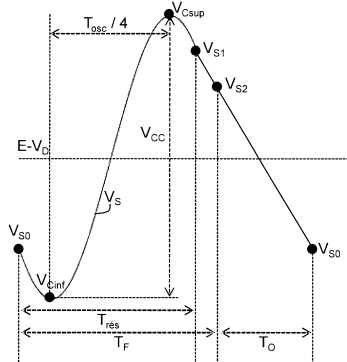
【図 6】

Figure 6



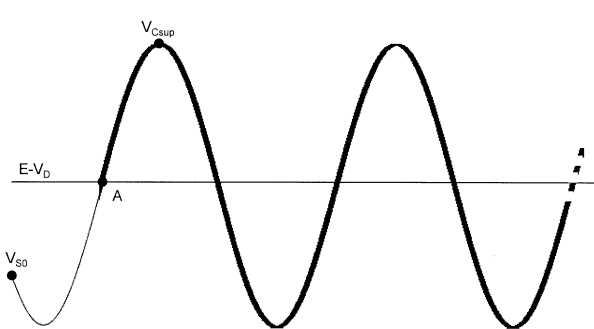
【図 7】

Figure 7



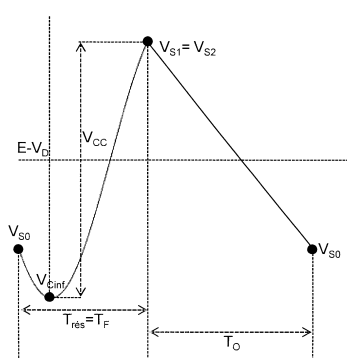
【図 9】

Figure 9



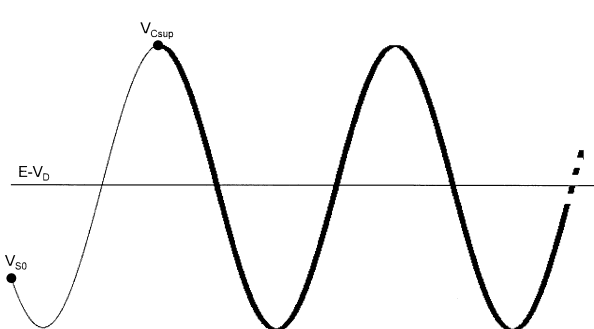
【図 8】

Figure 8



【図 10】

Figure 10



フロントページの続き

(72)発明者 ボリス・ブシェ

フランス・95800・セルジー・ブールヴァール・デ・メルヴェイユ・8

審査官 麻生 哲朗

(56)参考文献 特開平05-304775 (JP, A)

米国特許第04415959 (US, A)

米国特許出願公開第2008/0239761 (US, A1)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28