

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6625328号
(P6625328)

(45) 発行日 令和1年12月25日 (2019. 12. 25)

(24) 登録日 令和1年12月6日 (2019.12.6)

(51) Int. Cl.	F I
H03K 19/173 (2006.01)	H03K 19/173 130
H01L 21/822 (2006.01)	H01L 27/04 F
H01L 27/04 (2006.01)	H01L 21/82 A
H01L 21/82 (2006.01)	

請求項の数 5 (全 52 頁)

(21) 出願番号	特願2015-29202 (P2015-29202)	(73) 特許権者	000153878
(22) 出願日	平成27年2月18日 (2015. 2. 18)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2015-188206 (P2015-188206A)		神奈川県厚木市長谷398番地
(43) 公開日	平成27年10月29日 (2015. 10. 29)	(72) 発明者	岡本 佑樹
審査請求日	平成30年2月19日 (2018. 2. 19)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2014-43550 (P2014-43550)		半導体エネルギー研究所内
(32) 優先日	平成26年3月6日 (2014. 3. 6)	(72) 発明者	黒川 義元
(33) 優先権主張国・地域又は機関	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
(31) 優先権主張番号	特願2014-49713 (P2014-49713)	審査官	及川 尚人
(32) 優先日	平成26年3月13日 (2014. 3. 13)		
(33) 優先権主張国・地域又は機関	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 半導体装置の駆動方法

(57) 【特許請求の範囲】

【請求項 1】

第1のロジックエレメントと、
 前記第1のロジックエレメントと電気的に接続された第1のスイッチと、
 前記第1のスイッチと電気的に接続された第2のロジックエレメントと、を有し、
 少なくとも、前記第1のロジックエレメントは、第2のスイッチを有し、
 前記第2のスイッチは、前記第1のロジックエレメントからの出力電位をLレベルとする機能を有し、
 前記第1のスイッチは、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、容量とを有し、
 前記第2のトランジスタのゲートは、前記第1のトランジスタのソース又はドレインの一方と電気的に接続され、
 前記第2のトランジスタのゲートは、前記容量の第1の電極と電気的に接続され、
 前記第1のトランジスタのゲートは、第1の信号線と電気的に接続され、
 前記第3のトランジスタのゲートは、第2の信号線と電気的に接続され、
 前記第2の信号線からの信号に基づき、第1のコンフィギュレーションデータ及び第2のコンフィギュレーションデータのうち、どちらか一方を選択する機能を有し、
 前記第1のコンフィギュレーションデータを選択する第1の期間と、前記第2のコンフィギュレーションデータを選択する第2の期間と、前記第1の期間から前記第2の期間へ切り替える第3の期間と、を有し、

10

20

前記第 3 の期間において、前記第 1 のロジックエレメントからの出力電位を L レベルとし、

前記第 3 の期間において、前記第 1 のトランジスタのソース又はドレインの他方の電位を H レベルとし、前記第 1 の信号線の電位を H レベルとする半導体装置の駆動方法。

【請求項 2】

第 1 のロジックエレメントと、

前記第 1 のロジックエレメントと電氣的に接続された第 1 のスイッチと、

前記第 1 のスイッチと電氣的に接続された第 2 のロジックエレメントと、を有し、

少なくとも、前記第 1 のロジックエレメントは、論理積回路を有し、

前記論理積回路は、前記第 1 のロジックエレメントからの出力電位を L レベルとする機能
10 能を有し、

前記第 1 のスイッチは、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、容量とを有し、

前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記容量の第 1 の電極と電氣的に接続され、

前記第 1 のトランジスタのゲートは、第 1 の信号線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 2 の信号線と電氣的に接続され、

前記第 2 の信号線からの信号に基づき、第 1 のコンフィギュレーションデータ及び第 2
20 のコンフィギュレーションデータのうち、どちらか一方を選択する機能を有し、

前記第 1 のコンフィギュレーションデータを選択する第 1 の期間と、前記第 2 のコンフィギュレーションデータを選択する第 2 の期間と、前記第 1 の期間から前記第 2 の期間へ切り替える第 3 の期間と、を有し、

前記第 3 の期間において、前記第 1 のロジックエレメントからの出力電位を L レベルとし、

前記第 3 の期間において、前記第 1 のトランジスタのソース又はドレインの他方の電位を H レベルとし、前記第 1 の信号線の電位を H レベルとする半導体装置の駆動方法。

【請求項 3】

第 1 のロジックエレメントと、

前記第 1 のロジックエレメントと電氣的に接続された第 1 のスイッチと、

前記第 1 のスイッチと電氣的に接続された第 2 のロジックエレメントと、を有し、

少なくとも、前記第 1 のロジックエレメントは、AND 回路を有し、

前記 AND 回路は、前記第 1 のロジックエレメントからの出力電位を L レベルとする機能
30 能を有し、

前記第 1 のスイッチは、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、容量とを有し、

前記第 2 のトランジスタのゲートは、前記第 1 のトランジスタのソース又はドレインの一方と電氣的に接続され、

前記第 2 のトランジスタのゲートは、前記容量の第 1 の電極と電氣的に接続され、

前記第 1 のトランジスタのゲートは、第 1 の信号線と電氣的に接続され、

前記第 3 のトランジスタのゲートは、第 2 の信号線と電氣的に接続され、

前記第 2 の信号線からの信号に基づき、第 1 のコンフィギュレーションデータ及び第 2
40 のコンフィギュレーションデータのうち、どちらか一方を選択する機能を有し、

前記第 1 のコンフィギュレーションデータを選択する第 1 の期間と、前記第 2 のコンフィギュレーションデータを選択する第 2 の期間と、前記第 1 の期間から前記第 2 の期間へ切り替える第 3 の期間と、を有し、

前記第 3 の期間において、前記第 1 のロジックエレメントからの出力電位を L レベルとし、

前記第 3 の期間において、前記第 1 のトランジスタのソース又はドレインの他方の電位を H レベルとし、前記第 1 の信号線の電位を H レベルとする半導体装置の駆動方法。

10

20

30

40

50

【請求項 4】

請求項 1 乃至請求項 3 のいずれかーにおいて、

前記第 1 のトランジスタは、酸化物半導体膜を有することを特徴とする半導体装置の駆動方法。

【請求項 5】

請求項 1 乃至請求項 4 のいずれかーにおいて、

前記第 2 のトランジスタは、酸化物半導体膜を有することを特徴とする半導体装置の駆動方法。

【発明の詳細な説明】**【技術分野】**

10

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、例えば、半導体装置、表示装置、発光装置、蓄電装置、それらの駆動方法、または、それらの製造方法に関する。特に、本発明の一態様は、半導体装置に関する。特に、本発明の一態様は、ハードウェアの構成を変更することができるプログラマブルロジックデバイスと、上記プログラマブルロジックデバイスを用いた半導体装置、駆動方法に関する。

【背景技術】**【0002】**

20

プログラマブルロジックデバイス（PLD：Programmable Logic Device）は、製造後に使用者が所望の回路構成を設定し、機能させることができる集積回路である。製造時に全ての回路が固定される集積回路に比べて、開発期間の短縮や設計仕様の変更に対する柔軟性などの利点を有しており、半導体装置への利用が進んでいる。

【0003】

PLDには、小規模回路となるPAL（Programmable Array Logic）やGAL（Generic Array Logic）、大規模回路となるCPLD（Complex Programmable Logic Device）、FPGA（Field Programmable Gate Array）が挙げられる。本明細書においては、PAL、GAL、CPLD、FPGA等を含めて、プログラマブルロジックデバイス（以下、PLDという。）と呼ぶ。

30

【0004】

PLDは、少なくともロジックエレメント（Logic Element。以下、LEという。）を有する。複数のLE間は配線によって電気的に接続されている。各LEの機能を変更することで、PLDの機能を変更することができる。また、LE間の配線の導通状態を変更することで、PLDの機能を変更することができる。

【0005】

PLDは、コンフィギュレーションメモリを搭載することができる。PLDが、複数の組のコンフィギュレーションメモリを搭載する場合には、異なるコンフィギュレーションデータを格納することができる。PLDの動作中にコンフィギュレーションデータを別の組に切り替える方式を、マルチコンテキスト方式と呼ぶ。マルチコンテキスト機能を有するPLDは、コンフィギュレーションデータの組を選択するだけで、高速に、回路構成を変更することができる。また、マルチコンテキスト機能を有するPLDは、選択されたコンフィギュレーションデータに応じた回路動作を行なうが、当該動作の間に、非選択のコンフィギュレーションデータを書き換える、所謂、動的再構成が可能となる。

40

【0006】

下記の特許文献 1 には、マルチコンテキスト方式の PLD について記載されている。PLD が有するパストランジスタのブースティング機能を利用して、ノード SN の電位を昇圧させることができ、従来の SRAM を用いた場合より、スイッチング速度が改善され

50

ることが記載されている。

【先行技術文献】

【非特許文献】

【0007】

【非特許文献1】Y. Okamoto et al., "Novel Application of Crystalline Indium-Gallium-Zinc-Oxide Technology to LSI: Dynamically Reconfigurable Programmable Logic Device Based on Multi-CONTEXT Architecture," ECS Trans., vol. 54, no. 1, pp. 141-149, Jun. 2013.

10

【発明の概要】

【発明が解決しようとする課題】

【0008】

スイッチング速度が改善すると、LE間の信号伝達速度が向上する。信号伝達速度の向上は、PLDなどの半導体装置の性能を評価する上で重要なポイントである。しかしながら、上記非特許文献のパストランジスタのブースティング機能を利用した場合であってもスイッチング速度が改善しないことが懸念される。以下、これを説明する。

【0009】

図10では、LE11と、LE12との間に、第1のスイッチSW11や第2のスイッチSW12を配置した回路構成を示す。第1のスイッチSW11や第2のスイッチSW12をあわせて、スイッチ群SW1と呼ぶことができる。

20

【0010】

第1のスイッチSW11は、LE11及びLE12間の導通、非導通を制御する機能を有する。第2のスイッチSW12は、第1のスイッチSW11と同様な構成及び機能を有することができる。これらスイッチについて説明する。

【0011】

第1のスイッチSW11は、第1のトランジスタM11、第2のトランジスタM12、第3のトランジスタM13、第1の容量C11を有する。第1のトランジスタM11のソース又はドレインの一方は、第2のトランジスタM12のゲートと電氣的に接続される。第1のトランジスタM11のソース又はドレインの一方は、第1の容量C11の一方の電極と電氣的に接続される。第2のトランジスタM12のソース又はドレインの一方は、第3のトランジスタM13のソース又はドレインの一方と電氣的に接続される。第1のトランジスタM11のゲートは、第1の信号線101と電氣的に接続される。第1の信号線101から供給される信号を、WL[0]と表記する。WL[0]に基づいて、第1のトランジスタM11が選択される。第3のトランジスタM13のゲートは、第2の信号線102と電氣的に接続される。第2の信号線102から供給される信号を、CONTEXT[0]と表記する。CONTEXT[0]に基づいて、第3のトランジスタM13が選択される。信号線とは、これら所望の信号を供給することができる配線である。

30

【0012】

第2のスイッチSW12は、第4のトランジスタM14、第5のトランジスタM15、第6のトランジスタM16、第2の容量C12を有する。第4のトランジスタM14のソース又はドレインの一方は、第5のトランジスタM15のゲートと電氣的に接続される。第4のトランジスタM14のソース又はドレインの一方は、第2の容量C12の一方の電極と電氣的に接続される。第5のトランジスタM15のソース又はドレインの一方は、第6のトランジスタM16のソース又はドレインの一方と電氣的に接続される。第4のトランジスタM14のゲートは、第3の信号線103と電氣的に接続される。第3の信号線103から供給される信号を、WL[1]と表記する。WL[1]に基づいて、第4のトランジスタM14が選択される。第6のトランジスタM16のゲートは、第4の信号線104と電氣的に接続される。第4の信号線104から供給される信号を、CONTEXT[

40

50

1]と表記する。CONTEXT[1]に基づいて、第6のトランジスタM16が選択される。信号線とは、これら所望の信号を供給することができる配線である。

【0013】

第1のトランジスタM11と、第4のトランジスタM14とは、互いのソース又はドレインの他方が電氣的に接続されている。互いのソース又はドレインの他方は、第5の信号線105と電氣的に接続されている。第5の信号線105から供給される信号を、BLと表記する。第1のトランジスタM11が選択されている場合、BLに基づいて、第1のトランジスタM11の先のノードSN11の電位を決めることができる。当該電位は、第1の容量C11によって、保持することができる。また第4のトランジスタM14が選択されている場合、BLに基づいて、第4のトランジスタM14の先のノードSN12の電位を決めることができる。当該電位は、第2の容量C12によって、保持することができる。信号線とは、所望の信号を供給することができる配線である。

10

【0014】

第2のトランジスタM12と、第5のトランジスタM15とは、互いのソース又はドレインの他方が電氣的に接続されている。互いのソース又はドレインの他方は、LE11の出力側と電氣的に接続されている。LE11の出力側の端子をノードND11と表記する。第3のトランジスタM13と、第6のトランジスタM16とは、互いのソース又はドレインの他方が、電氣的に接続されている。互いのソース又はドレインの他方は、LE12の入力側と電氣的に接続されている。LE12の入力側の端子をノードND12と表記する。

20

【0015】

このような回路により、少なくとも、以下の動作を行うことができる。WL[0]により、第1のトランジスタM11の導通、非導通が制御される。WL[1]により、第4のトランジスタM14の導通、非導通が制御される。第1のトランジスタM11を介して、第1の容量C11に、BLに対応するコンフィギュレーションデータが書き込まれる。その後、第1のトランジスタM11が非導通となると、ノードSN11にコンフィギュレーションデータが格納される。

【0016】

第4のトランジスタM14を介して、第2の容量C12に、BLに対応するコンフィギュレーションデータが書き込まれる。その後、第4のトランジスタM14が非導通となると、ノードSN12にコンフィギュレーションデータが格納される。ノードSN11に格納されたコンフィギュレーションデータに依存して、第2のトランジスタM12の導通、非導通が制御される。ノードSN12に格納されたコンフィギュレーションデータに依存して、第5のトランジスタM15の導通、非導通が制御される。

30

【0017】

また、CONTEXT[0]により、第3のトランジスタM13の導通、非導通を制御することで、所望の回路構成を選択することができる。また、CONTEXT[1]により、第6のトランジスタM16の導通、非導通を制御することで、所望の回路構成を選択することができる。

【0018】

図11に、図10の回路におけるタイミングチャートを示す。図11は、第5の信号線105から供給されるBLのタイミングチャートを示す。図11は、第1の信号線101、第3の信号線103からそれぞれ供給されるWL[0]、WL[1]のタイミングチャートを示す。図11は、第2の信号線102から供給されるCONTEXT[0]のタイミングチャートを示す。図11は、第4の信号線104から供給されるCONTEXT[1]のタイミングチャートを示す。

40

【0019】

CONTEXT[0]が"H"レベルであり、CONTEXT[1]が"L"レベルの状態を第1のコンフィギュレーションデータを選択するとし、CONTEXT[0]が"L"レベルであり、CONTEXT[1]が"H"レベルの状態を第2のコンフィギュレ

50

ーションデータを選択すると表記する。第1のコンフィギュレーションデータと、第2のコンフィギュレーションデータとは、いずれか一方しか選択できない。たとえば第1のコンフィギュレーションデータが選択されるときは、第2のコンフィギュレーションデータは非選択である。たとえば第2のコンフィギュレーションデータが選択されるときは、第1のコンフィギュレーションデータは非選択である。

【0020】

図11において、トランジスタM11、トランジスタM12、トランジスタM13、トランジスタM14、トランジスタM15、トランジスタM16のゲートに印加した際、導通状態となる電位を“H”レベルとして表し、非導通状態となる電位を“L”レベルとして表す。“H”レベルの電位をVDDとし、“L”レベルの電位をGNDとするが、相対的な電位差があればよく、VDDやGNDに限定されるものではない。よって、第1の電位と、第1の電位より低い第2の電位や第1の電位と、第1の電位より高い第2の電位として、表現することができる。

10

【0021】

図11において、ノードND11の電位が“L”レベルの間を時刻T0からT1とする。BLを“H”レベルとし、次いでWL[0]を“H”レベルとすることで、ノードSN11及び第1の容量C11を用いて、“H”レベルに相当するコンフィギュレーションデータを書き込むことができる。その後、WL[0]を“L”レベルとし、第1のトランジスタM11を非導通とすることで、ノードSN11及び第1の容量C11を用いて、コンフィギュレーションデータを格納することができる。WL[0]が“L”レベルとなった以降であれば、BLは“H”レベルであっても、“L”レベルであっても、第1のトランジスタM11を非導通とすることができる。ここでは、BLは、“L”レベルとする。

20

【0022】

時刻T1にて、第1のコンフィギュレーションデータを選択する。具体的には、CONTEXT[0]を“H”レベルとし、第3のトランジスタM13を導通させる。

【0023】

また、LE11側のノードND11を“L”レベルの電位から“H”レベルの電位へ変化させることで、第2のトランジスタM12のゲート容量を介した容量結合により、ノードSN11の電位は、たとえば約2VDDへ昇圧される。第2のトランジスタM12のソース・ゲート間電圧が約2VDDとなり、かつ第3のトランジスタM13は導通しているため、LE12側のノードND12の電位は、速やかに“H”レベルとなる。その結果、上記昇圧が行われない場合と比較して、ノードND11とノードND12間の信号伝達速度は向上する。

30

【0024】

時刻T2にて、LE11側のノードND11を“H”レベルの電位から“L”レベルの電位へ変化させると、第2のトランジスタM12のゲート容量を介した容量結合により、ノードSN11の電位はVDDまで降圧される。第2のトランジスタM12のソース・ゲート間電圧がVDDとなり、かつ第3のトランジスタM13は導通しているため、GNDレベルの場合と比較して、ノードND12の電位は速やかに“L”レベルとなる。

【0025】

図11からわかるように、第1のコンフィギュレーションデータを選択している間、ノードND11とノードND12間の信号伝達速度は向上し続ける。すなわち、一度、第2のトランジスタM12のゲート容量を介した容量結合により、ノードSN11の電位が昇圧又は降圧されれば、LE11とLE12間の信号伝達速度は向上し続ける。

40

【0026】

次にノードND11の電位が“L”レベルとなる間を時刻T3からT4とする。時刻T3からT4では、BLを“H”レベルとし、WL[1]を“H”レベルとすることで、ノードSN12及び第2の容量C12を用いて、“H”レベルに相当するコンフィギュレーションデータを書き込むことができる。その後、WL[1]を“L”レベルとし、第4のトランジスタM14を非導通とすることで、ノードSN12及び第2の容量C12を用い

50

て、コンフィギュレーションデータを格納することができる。WL[1]が" L "レベルとなった以降であれば、BLは" H "レベルであっても、" L "レベルであっても、第4のトランジスタM14は非導通とすることができる。ここでは、BLは、" L "レベルとする。

【0027】

時刻T4以降、第1のコンフィギュレーションデータを非選択にし、第2のコンフィギュレーションデータを選択する。具体的には、CONTEXT[0]を" L "レベルとし、第3のトランジスタM13を非導通にさせ、CONTEXT[1]を" H "レベルとし、第6のトランジスタM16を導通させる。

【0028】

また、LE11側のノードND11を" L "レベルの電位から" H "レベルの電位へ変化させることで、第5のトランジスタM15のゲート容量を介した容量結合により、ノードSN12の電位は、たとえば約2VDDへ昇圧される。第5のトランジスタM15のソース・ゲート間電圧が約2VDDとなり、かつ第6のトランジスタM16は導通しているため、LE12側のノードND12の電位は、速やかに" H "レベルとなる。その結果、上記昇圧が行われない場合と比較して、ノードND11とノードND12間の信号伝達速度が向上する。

【0029】

時刻T5にて、LE11側のノードND11を" H "レベルの電位から" L "レベルの電位へ変化させると、第5のトランジスタM15のゲート容量を介した容量結合により、ノードSN12の電位はVDDまで降圧される。第5のトランジスタM15ソース・ゲート間電圧がVDDとなり、かつ第6のトランジスタM16は導通しているため、ノードND12の電位は速やかに" L "レベルとなる。

【0030】

図11からわかるように、第2のコンフィギュレーションデータを選択している間、ノードND11とノードND12間の信号伝達速度は向上し続ける。すなわち、一度、第5のトランジスタM15のゲート容量を介した容量結合により、ノードSN12の電位が昇圧又は降圧されれば、LE11とLE12間の信号伝達速度は向上し続ける。

【0031】

図12を用いて、図11とは、別の条件を考える。

【0032】

図12において、ノードND11の電位が" L "レベルの間を時刻T0'からT1'とする。図11と同様に考えることができ、時刻T0'からT1'では、ノードND11の電位が" L "レベルの間に、BLを" H "レベルとし、WL[0]を" H "レベルとすることで、第1の容量C11に" H "レベルに相当するコンフィギュレーションデータを書き込み、その後、WL[0]を" L "レベルとし、BLを" L "レベルとし、第1のトランジスタM11を非導通とすることで、ノードSN11のコンフィギュレーションデータを格納する。

【0033】

時刻T1'にて、第1のコンフィギュレーションデータを選択する。具体的には、CONTEXT[0]を" H "レベルとし、第3のトランジスタM13を導通させる。

【0034】

また、LE11側のノードND11を" L "レベルの電位から" H "レベルの電位へ変化させることで、第2のトランジスタM12のゲート容量を介した容量結合により、ノードSN11の電位は、たとえば約2VDDへ昇圧される。その結果、図11と同様に、上記昇圧が行われない場合と比較して、ノードND11とノードND12間の信号伝達速度は向上する。

【0035】

時刻T2'にて、LE11側のノードND11を" H "レベルの電位から" L "レベルの電位へ変化させることで、第2のトランジスタM12のゲート容量を介した容量結合に

10

20

30

40

50

より、ノードS N 1 1の電位はV D Dまで降圧される。第2のトランジスタM 1 2のゲート・ソース間電圧がV D Dとなるため、ノードN D 1 2の電位は速やかに" L "レベルとなる。

【 0 0 3 6 】

次にノードN D 1 1の電位が" H "レベルとなっている時刻T 3 'からT 4 'とする。時刻T 3 'からT 4 'では、ノードN D 1 1の電位が" H "レベルの間に、B Lを" H "レベルとし、W L [1]を" H "レベルとすることで、ノードS N 1 2及び第2の容量C 1 2を用いて、" H "レベルに相当するコンフィギュレーションデータを書き込むことができる。その後、W L [1]を" L "レベルとし、第4のトランジスタM 1 4を非導通とすることで、ノードS N 1 2及び第2の容量C 1 2を用いて、コンフィギュレーションデータを格納することができる。

10

【 0 0 3 7 】

時刻T 4 '以降、第1のコンフィギュレーションデータを非選択にし、第2のコンフィギュレーションデータを選択する。具体的には、C O N T E X T [0]を" L "レベルとし、第3のトランジスタM 1 3を非導通にさせ、C O N T E X T [1]を" H "レベルとし、第6のトランジスタM 1 6を導通させる。

【 0 0 3 8 】

このとき、L E 1 1側のノードN D 1 1が" H "レベルの状態、上記時刻T 4 'の動作を迎えてしまうと、その後、L E 1 1側のノードN D 1 1が" H "レベルの電位から" L "レベルの電位へ変化することとなる。この場合、ノードS N 1 2の電位は昇圧されず、第5のトランジスタM 1 5のゲート容量を介した容量結合により、ノードS N 1 2の電位はV D Dより小さく、G N D近くまで降圧されてしまう。

20

【 0 0 3 9 】

時刻T 5 'にて、L E 1 1側のノードN D 1 1を" L "レベルの電位から" H "レベルの電位へ変化させる。ノードS N 1 2の電位は、時刻T 4 'に降圧され、V D Dよりも小さな値となったままであり、第5のトランジスタM 1 5の駆動能力は小さくなる。このように、ノードN D 1 1とノードN D 1 2間の信号伝達速度が低下してしまう場合がある。

【 0 0 4 0 】

また、ノードS N 1 2の電位の降圧幅が大きい場合、ノードS N 1 2の電位は" H "レベルから" L "レベルに変化することもある。この場合、ノードN D 1 1とノードN D 1 2間において、正しい論理信号が伝達されないことさえ懸念される。

30

【 0 0 4 1 】

以上より、選択されたコンフィギュレーションデータに対応した動作時に、非選択のコンフィギュレーションデータを書き換えるマルチコンテキスト方式の場合、ノードN D 1 1の電位に依存して、ノードN D 1 1とノードN D 1 2間の信号伝達速度が低下する場合があった。

【 0 0 4 2 】

本発明の一態様は少なくとも上述した新たな一課題を認識し、当該一課題を解決するために、L E の出力電位を" L "レベルとする回路構成及びその駆動方法を提案する。または、本発明の一態様は新規な回路を提案する。または、本発明の一態様は新規な回路の駆動方法を提案する。または、本発明の一態様は新規な半導体装置を提案する。なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの課題の全てを解決する必要はない。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

40

【課題を解決するための手段】

【 0 0 4 3 】

本発明の一態様は、第1のロジックエレメントと、記第1のロジックエレメントと電気的に接続された第1のスイッチと、記第1のスイッチと電気的に接続された第2のロジックエレメントと、を有し、少なくとも、第1のロジックエレメントは、第2のスイッチを

50

有し、第2のスイッチは、第1のロジックエレメントからの出力電位をLレベルとする機能を有する半導体装置である。

【0044】

本発明の一態様は、第1のロジックエレメントと、第1のロジックエレメントと電氣的に接続された第1のスイッチと、第1のスイッチと電氣的に接続された第2のロジックエレメントと、を有し、少なくとも、第1のロジックエレメントは、論理積回路を有し、論理積回路は、前記第1のロジックエレメントからの出力電位をLレベルとする機能を有する半導体装置である。

【0045】

本発明の一態様は、第1のロジックエレメントと、第1のロジックエレメントと電氣的に接続された第1のスイッチと、第1のスイッチと電氣的に接続された第2のロジックエレメントと、を有し、少なくとも、第1のロジックエレメントは、AND回路を有し、AND回路は、第1のロジックエレメントからの出力電位をLレベルとする機能を有する半導体装置である。

【0046】

本発明の一態様において、第1のスイッチは、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、容量とを有し、第2のトランジスタのゲートは、第1のトランジスタのソース又はドレインの一方と電氣的に接続され、第2のトランジスタのゲートは、容量の第1の電極と電氣的に接続され、第1のトランジスタのゲートは、第1の信号線と電氣的に接続され、第3のトランジスタのゲートは、第2の信号線と電氣的に接続され、第2の信号線からの信号に基づき、複数のコンテキストのうち、いずれか一を選択する機能を有することができる。

【0047】

本発明の一態様において、第1のトランジスタは、酸化物半導体層を有することができ、第2のトランジスタは、酸化物半導体層を有することができる。

【0048】

本発明の一態様は、第1のロジックエレメントと、第1のロジックエレメントと電氣的に接続された、スイッチと、スイッチと電氣的に接続された、第2のロジックエレメントとを有し、少なくとも、第1のロジックエレメントは、レジスタと電氣的に接続されたメモリを有し、メモリは、レジスタのデータを保持する機能を有し、レジスタは、メモリにデータを保持したあと、出力電位をLレベルとする機能を有する半導体装置である。

【0049】

本発明の一態様において、メモリは、酸化物半導体層を有するトランジスタを有することができる。

【発明の効果】

【0050】

本発明の一態様によれば、コンフィギュレーションを行う際に、容量結合による電荷保持ノードの昇圧効果を用いて、信号伝達速度が向上した半導体装置及びその駆動方法を提供することができる。

【0051】

本発明の一態様によれば、上記信号伝達速度を低下させることのない半導体装置及びその駆動方法を提供することができる。または、本発明の一態様によれば、新規な半導体装置を提供することができる。または、本発明の一態様によれば、新規な半導体装置の駆動方法を提供することができる。なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0052】

【図 1】本実施の形態に係る半導体装置の構成を説明する図。
 【図 2】本実施の形態に係る半導体装置の構成を説明する図。
 【図 3】本実施の形態に係る半導体装置の構成を説明する図。
 【図 4】本実施の形態に係るタイミングチャートを説明する図。
 【図 5】本実施の形態に係る半導体装置の構成を説明する図。
 【図 6】本実施の形態に係る半導体装置の構成を説明する図。
 【図 7】本実施の形態に係る半導体装置の構成を説明する図。
 【図 8】本実施の形態に係る半導体装置の構成を説明する図。
 【図 9】本実施の形態に係る電子機器等の構成を説明する図。
 【図 10】半導体装置の構成を説明する図。
 【図 11】タイミングチャートを説明する図。
 【図 12】タイミングチャートを説明する図。
 【図 13】本実施の形態に係る半導体装置の構成を説明する図。
 【図 14】本実施の形態に係る半導体装置の構成を説明する図。
 【図 15】本実施の形態に係る半導体装置の構成を説明する図。
 【図 16】本実施の形態に係るタイミングチャートを説明する図。
 【図 17】本実施の形態に係る半導体装置の構成を説明する図。
 【図 18】本実施の形態に係る半導体装置の構成を説明する図。
 【発明を実施するための形態】

10

【0053】

20

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

【0054】

ここで、先に説明した図 11 のタイミングチャートと、図 12 のタイミングチャートとの違いから、本発明者等は、ノード ND 11 とノード ND 12 間の信号伝達速度が向上するためには、少なくとも、コンフィギュレーションデータを書き込む際（図 11 の時刻 T 4、図 12 の時刻 T 4'）に、LE 11 の出力電位であるノード ND 11 の電位が "L" レベルとなっていることが好ましいことを見出した。

30

【0055】

（実施の形態 1）

本実施の形態では、コンフィギュレーションデータを書き込む際に、LE の出力電位が "L" レベルとなる半導体装置の一構成について説明する。

【0056】

図 1 に、本発明の一態様における PLD の回路構成を示す。図 1 に示すように、複数の LE（LE 21、LE 22、・・・、LE 2n）、複数のスイッチ（SW 21-21、SW 21-22、・・・、SW 21-2n、SW 22-21、SW 22-22、・・・、SW 22-2n、・・・、SW 2n-21、SW 2n-22、・・・、SW 2n-2n）、第 1 のドライバ、第 2 のドライバを有する。第 1 のドライバは、ビットドライバ（BD 2）として機能する。第 2 のドライバは、ワードドライバ（WD 2）として機能する。複数の SW はそれぞれ、複数の LE 間を電氣的に接続している。

40

【0057】

LE は内部にコンフィギュレーションメモリを有する。当該コンフィギュレーションメモリに格納されたコンフィギュレーションデータに基づき、入力された信号に応じて、特定の出力信号を出力する機能を有する。

【0058】

複数の SW は、複数の LE 間の導通状態（オンとオフ）を制御する機能を有する。図 1

50

では、 $LE21$ と電氣的に接続される SW は、少なくとも $SW21-21$ 、 $SW22-21 \cdots SW2n-21$ 、 $SW21-22$ 、 $\cdots SW21-2n$ がある。 $SW21-21$ 、 $SW22-21 \cdots SW2n-21$ は、少なくとも、 $LE21$ の入力側と電氣的に接続されている。 $SW21-21$ 、 $SW21-22$ 、 $\cdots SW21-2n$ は、少なくとも $LE21$ の入力側及び出力側に電氣的に接続されている。図1のような回路構成のため、 SW は、 LE よりも多く配置される。

【0059】

図1において、 $LE21$ への入力端子は1端子で説明されるが、入力端子は複数あってもよく、4つの入力端子を配置することができる。この場合、 $LE21$ と電氣的に接続されるスイッチの数が、図1で示された回路構成よりも増加することとなる。

10

【0060】

ビットドライバ($BD2$)、ワードドライバ($WD2$)は、 LE 及び SW のコンフィギュレーションを制御する機能を有する。ワードドライバ($WD2$)は、 WL を出力する機能、当該 WL を出力する信号線を選択する機能を有する。ビットドライバ($BD2$)、ワードドライバ($WD2$)以外に、コントローラ等を有する。

【0061】

コンフィギュレーションが行なわれる複数の SW は、 WL によって選択される。図1に示す回路構成において、コンフィギュレーションが行なわれる SW は、2種類の信号($WL[0]$ 、 $WL[1]$)によって選択される。選択された SW は、 BL の電位に依存したコンフィギュレーションデータによりコンフィギュレーションが行われる。具体的に、 $SW21-22$ を用いて説明すると、 $SW21-22$ は2種類の信号($WL22[0]$ 、 $WL22[1]$)に基づいて選択され、選択されたとき、 $BL21$ の電位に依存したコンフィギュレーションデータにより、コンフィギュレーションが行われる。

20

【0062】

図2では、図1の2つの LE とその間の1つの SW について、より具体的に説明する。2つの LE をそれぞれ、 $LE21$ 、 $LE22$ とする。 $LE21$ と、 $LE22$ との間にある、スイッチを $SW21-22$ と示す。

【0063】

本発明の一態様の LE は、少なくともスイッチを有することが特徴となる。図2では、 $LE21$ にスイッチ201を設けた場合で説明するが、 $LE22$ にも同様なスイッチを設けることができる。図1で示された LE にも、同様なスイッチを設けることができる。

30

【0064】

上記スイッチ201は論理積回路を有する。論理積回路は、2個以上の入力端子と、1個の出力端子を有する。すべての入力端子に入力1が入る場合にだけ、出力端子に出力1が出力され、それ以外の場合は0を出力することができる回路である。論理積回路には、たとえばAND回路を用いることができる。

【0065】

スイッチ201は、コントローラから出力された信号($SWITCH$)によって制御される。 $SWITCH$ は、第11の信号線211からスイッチ201へ入力される。レジスタ203の出力信号が" H "レベルであっても、 $SWITCH$ を" L "レベルとすることで、スイッチ201からは、" L "レベルの信号が出力されることになる。

40

【0066】

上記したように、少なくとも、スイッチ201を有することで、 $LE21$ からの信号を、" L "レベルとすることができる。

【0067】

レジスタ203は、ルックアップテーブル(以下、 LUT)202からの出力信号を保持し、第10の信号線210からの信号(クロック信号であって、以下 CLK と記す)に同期して、対応する出力値を出力する機能を有する。

【0068】

$LUT202$ と、レジスタ203との間を、ノード $ND21$ とする。レジスタ203と

50

、スイッチ 201 との間を、ノード N D 2 2 とする。

【0069】

その他、L E 2 1 は、記憶装置 204 を有する。記憶装置 204 が有するコンフィギュレーションデータに従って、L U T 202 では、実行される論理演算が定義される。L U T 202 は、複数の入力信号に対して、定められた一つの出力信号を出力する。

【0070】

記憶装置 204 は、第 2 の信号線 102 及び第 4 の信号線 104 と電氣的に接続される。第 2 の信号線 102 には、第 1 のコンフィギュレーションデータを選択するための信号 C O N T E X T [0] が供給される。第 4 の信号線 104 には、第 2 のコンフィギュレーションデータを選択するための信号 C O N T E X T [1] が供給される。C O N T E X T [0] や C O N T E X T [1] は、コントローラから出力される。

10

【0071】

C O N T E X T [0] が " H " レベルであり、C O N T E X T [1] が " L " レベルの状態を第 1 のコンフィギュレーションデータを選択するとし、C O N T E X T [0] が " L " レベルであり、C O N T E X T [1] が " H " レベルの状態を第 2 のコンフィギュレーションデータを選択すると表記する。第 1 のコンフィギュレーションデータと、第 2 のコンフィギュレーションデータとは、いずれか一方しか選択できない。たとえば第 1 のコンフィギュレーションデータが選択されるときは、第 2 のコンフィギュレーションデータは非選択である。たとえば第 2 のコンフィギュレーションデータが選択されるときは、第 1 のコンフィギュレーションデータは非選択である。

20

【0072】

第 1 のコンフィギュレーションデータ及び第 2 のコンフィギュレーションデータのうち、どちらか一方を選択することで、所望の回路構成を得ることができる。また、選択したコンフィギュレーションデータに対応した回路動作時に、非選択のコンフィギュレーションデータを変更することができる。すなわち、半導体装置はマルチコンテキスト機能を有する。

【0073】

本実施の形態において、コンフィギュレーションデータを選択する際の電位を " H " レベルとして表し、非選択する際の電位を " L " レベルとして表す。" H " レベルの電位を V D D とし、" L " レベルの電位を G N D とするが、相対的な電位差があればよく、V D D や G N D に限定されるものではない。

30

【0074】

L E 2 2 は、上記した L E 2 1 と同じ構成を有することができる。L E 2 2 もスイッチ 201 を有することができる。

【0075】

L E 2 1 と L E 2 2 との間には、スイッチ S W 2 1 - 2 2 が設けられている。スイッチ S W 2 1 - 2 2 は、第 2 の信号線 102 及び第 4 の信号線 104 と電氣的に接続されている。

【0076】

L E 2 1 と、スイッチ S W 2 1 - 2 2 と間を、ノード N D 2 3 とする。スイッチ S W 2 1 - 2 2 と、L E 2 2 と間を、ノード N D 2 4 とする。

40

【0077】

図 3 に、スイッチ S W 2 1 - 2 2 の回路構成を例示す。スイッチ S W 2 1 - 2 2 は、第 1 のスイッチ S W 2 1 及び第 2 のスイッチ S W 2 2 を有する。スイッチ S W 2 1 - 2 2 は、複数のスイッチを有することができ、スイッチ群と呼ぶことができる。第 1 のスイッチ S W 2 1 は、L E 2 1 及び L E 2 2 間の導通、非導通を制御する機能を有する。第 2 のスイッチ S W 2 2 は、第 1 のスイッチ S W 2 1 と同様な構成及び機能を有することができる。これらスイッチについて説明する。

【0078】

第 1 のスイッチ S W 2 1 は、第 1 のトランジスタ M 2 1、第 2 のトランジスタ M 2 2、

50

第3のトランジスタM23、第1の容量C21を有する。第1のトランジスタM21のソース又はドレインの一方は、第2のトランジスタM22のゲートと電氣的に接続される。第1のトランジスタM21のソース又はドレインの一方は、第1の容量C21の一方の電極と電氣的に接続される。第2のトランジスタM22のソース又はドレインの一方は、第3のトランジスタM23のソース又はドレインの一方と電氣的に接続される。第1のトランジスタM21のゲートは、第1の信号線301と電氣的に接続される。第1の信号線301から供給される信号を、WL[0]と表記する。WL[0]に基づいて、第1のトランジスタM21が選択される。第3のトランジスタM23のゲートは、第2の信号線302と電氣的に接続される。第2の信号線302から供給される信号を、CONTEXT[0]と表記する。CONTEXT[0]に基づいて、第3のトランジスタM23が選択される。信号線とは、これら所望の信号を供給することができる配線である。

10

【0079】

第2のスイッチSW22は、第4のトランジスタM24、第5のトランジスタM25、第6のトランジスタM26、第2の容量C22を有する。第4のトランジスタM24のソース又はドレインの一方は、第5のトランジスタM25のゲートと電氣的に接続される。第4のトランジスタM24のソース又はドレインの一方は、第2の容量C22の一方の電極と電氣的に接続される。第5のトランジスタM25のソース又はドレインの一方は、第6のトランジスタM26のソース又はドレインの一方と電氣的に接続される。第4のトランジスタM24のゲートは、第3の信号線303と電氣的に接続される。第3の信号線303から供給される信号を、WL[1]と表記する。第6のトランジスタM26のゲートは、第4の信号線304と電氣的に接続される。第4の信号線304から供給される信号を、CONTEXT[1]と表記する。信号線とは、これら所望の信号を供給することができる配線である。

20

【0080】

第1のトランジスタM21と、第4のトランジスタM24とは、互いのソース又はドレインの他方が電氣的に接続されている。互いのソース又はドレインの他方は、第5の信号線305と電氣的に接続されている。第5の信号線305から供給される信号を、BLと表記する。第1のトランジスタM21が選択されている場合、BLに基づいて、第1のトランジスタM21の先のノードSN21の電位を決めることができる。当該電位は、第1の容量C21によって、保持することができる。また第4のトランジスタM24が選択されている場合、BLに基づいて、第4のトランジスタM24の先のノードSN22の電位を決めることができる。当該電位は、第2の容量C22によって、保持することができる。信号線とは、所望の信号を供給することができる配線である。

30

【0081】

第2のトランジスタM22と、第5のトランジスタM25とは、互いのソース又はドレインの他方が電氣的に接続されている。互いのソース又はドレインの他方は、LE21の出力側と電氣的に接続されている。LE21の出力側の端子をノードND23と表記する。第3のトランジスタM23と、第6のトランジスタM26とは、互いのソース又はドレインの他方が、電氣的に接続されている。互いのソース又はドレインの他方は、LE22の入力側と電氣的に接続されている。LE22の入力側の端子をノードND24と表記する。

40

【0082】

このような回路により、少なくとも、以下の動作を行うことができる。WL[0]により、第1のトランジスタM21の導通、非導通を制御することができ、ノードSN21及び第1の容量C21を用いて、第5の信号線305から供給される信号に対応するコンフィギュレーションデータを書き込むことができる。ノードSN21に格納されたコンフィギュレーションデータに依存して、第2のトランジスタM22の導通、非導通が制御される。また、CONTEXT[0]により、第3のトランジスタM23の導通、非導通を制御することで、所望の回路構成を選択することができる。

【0083】

50

W L [1] により、第 4 のトランジスタ M 2 4 の導通、非導通を制御し、ノード S N 2 2 および第 2 の容量 C 2 2 を用いて、B L に対応するコンフィギュレーションデータを書き込むことができる。ノード S N 2 2 に格納されたコンフィギュレーションデータに依存して、第 5 のトランジスタ M 2 5 の導通、非導通が制御される。また、C O N T E X T [1]、第 6 のトランジスタ M 2 6 の導通、非導通を制御することで、所望の回路構成を選択することができる。

【 0 0 8 4 】

図 4 に図 3 の回路におけるタイミングチャートを示す。ここで、L U T 2 0 2 の出力値としてノード N D 2 1 のような出力波形が出力されるとする。また、“H”レベルに相当する電位を V D D、“L”レベルに相当する電位を G N D とする場合で説明するが、相対的な電位差があればよく、V D D や G N D に限定されるものではない。よって、第 1 の電位と、第 1 の電位より低い第 2 の電位や第 1 の電位と、第 1 の電位より高い第 2 の電位として、表現することができる。

【 0 0 8 5 】

時刻 T 0 から T 1 の間、すなわちノード N D 2 3 の電位が“L”レベルの間に、B L を、“H”レベルとし、W L [0] を“H”レベルとすることで、ノード S N 2 1 及び第 1 の容量 C 2 1 を用いて、“H”レベルに相当するコンフィギュレーションデータを書き込むことができる。その後、W L [0] を“L”レベルとし、B L を“L”レベルとし、第 1 のトランジスタ M 2 1 を非導通とすることで、ノード S N 2 1 及び第 1 の容量 C 2 1 を用いて、コンフィギュレーションデータを格納することができる。コンフィギュレーションデータは一定期間格納される必要があるため、オフ電流が非常に小さい、酸化物半導体を有するトランジスタを、第 1 のトランジスタ M 2 1 に適用するとよい。酸化物半導体を有するトランジスタのオフ電流は非常に小さいものであるため、第 1 の容量 C 2 1 は設けなくともよいと考えることもできる。

【 0 0 8 6 】

なお、W L [0] が“L”レベルとなった以降であれば、B L は“H”レベルであっても、“L”レベルであっても、第 1 のトランジスタ M 2 1 を非導通とすることができる。

【 0 0 8 7 】

時刻 T 1 にて、第 1 のコンフィギュレーションデータを選択する。具体的には、C O N T E X T [0] を“H”レベルとし、第 3 のトランジスタ M 2 3 を導通させる。

【 0 0 8 8 】

また、L E 2 1 側のノード N D 2 3 を“L”レベルの電位から“H”レベルの電位へ変化させることで、第 2 のトランジスタ M 2 2 のゲート容量を介した容量結合により、ノード S N 2 1 の電位は、たとえば約 2 V D D にまで昇圧される。第 2 のトランジスタ M 2 2 のソース・ゲート間電圧が約 2 V D D となり、かつ第 3 のトランジスタ M 2 3 は導通しているため、L E 2 2 側のノード N D 2 4 の電位は、速やかに“H”レベルとなる。その結果、上記昇圧が行われない場合と比較して、ノード N D 2 3 とノード N D 2 4 間の信号伝達速度は向上する。

【 0 0 8 9 】

ノード S N 2 1 の昇圧幅は、第 1 の容量 C 2 1 の容量値が小さいほど、大きくなる。その結果、信号伝達速度がより向上する。酸化物半導体を用いて第 1 のトランジスタ M 2 1 を構成する場合、第 1 の容量 C 2 1 の容量値はシリコン半導体を用いて構成した場合より、小さくすることができ、好ましい。

【 0 0 9 0 】

第 2 のトランジスタ M 2 2 は、酸化物半導体を有するトランジスタやシリコンを有するトランジスタ等、どのようなトランジスタを用いてもよい。第 2 のトランジスタ M 2 2 のソース・ゲート間電圧を昇圧させることができるため、たとえば、シリコンを有するトランジスタより、オン電流が小さいとされる酸化物半導体を有するトランジスタを適用しても、信号伝達速度を向上させることができるため、好ましい。

【 0 0 9 1 】

時刻 T 2 にて、L E 2 1 側のノード N D 2 3 を " H " レベルの電位から " L " レベルの電位へ変化させると、第 2 のトランジスタ M 2 2 のゲート容量を介した容量結合により、ノード S N 2 1 の電位は V D D まで降圧される。第 2 のトランジスタ M 2 2 のゲート・ソース間電圧が V D D となり、かつ第 3 のトランジスタ M 2 3 は導通しているため、G N D レベルの場合と比較して、ノード N D 2 4 の電位は速やかに " L " レベルとなる。

【 0 0 9 2 】

図 4 からわかるように、第 1 のコンフィギュレーションデータを選択している間、ノード N D 2 3 とノード N D 2 4 間の信号伝達速度は向上し続ける。すなわち、一度、第 2 のトランジスタ M 2 2 のゲート容量を介した容量結合により、ノード S N 2 1 の電位が昇圧又は降圧されれば、L E 2 1 と L E 2 2 間の信号伝達速度は向上し続けることとなる。

10

【 0 0 9 3 】

次に時刻 T 3 から T 4 の間に第 2 のコンフィギュレーションデータのコンフィギュレーションを開始する。この時、ノード N D 2 1 及びノード N D 2 2 は " H " レベルの電位であるが、第 1 1 の信号線 2 1 1 からの信号 (S W I T C H) を " L " レベルにすれば、論理積回路の出力を " L " レベルとすることができる。その結果、ノード N D 2 3 の電位を、論理積回路がない場合と比較して、確実に " L " レベルとすることができる。

【 0 0 9 4 】

ノード N D 2 4 についても同様に考えることができる。ノード N D 2 4 の電位を " L " レベルとすることができる。

【 0 0 9 5 】

20

したがって、時刻 T 3 から T 4 の間、ノード N D 2 3 の電位を " L " レベルとすることができ、この間に、B L を " H " レベルとし、W L [1] を " H " レベルとすることで、ノード S N 2 2 及び第 2 の容量 C 2 2 を用いて、" H " レベルに相当するコンフィギュレーションデータを書き込むことができる。その後、W L [1] を " L " レベルとし、B L を " L " レベルとし、第 4 のトランジスタ M 2 4 を非導通とすることで、ノード S N 2 2 及び第 2 の容量 C 2 2 を用いて、コンフィギュレーションデータを格納することができる。

【 0 0 9 6 】

なお、第 2 のコンフィギュレーションデータのコンフィギュレーション中に、ノード N D 2 3 の電位を " L " レベルにできればよいと、第 1 1 の信号線 2 1 1 (S W I T C H) を " L " レベルの電位に変えるタイミングは、第 2 のコンフィギュレーションデータのコンフィギュレーション直前からでもよい。

30

【 0 0 9 7 】

第 2 のコンフィギュレーションデータのコンフィギュレーション終了後、第 1 のコンフィギュレーションデータを非選択にするため、C O N T E X T [0] を " L " レベルとして、第 3 のトランジスタ M 2 3 を非導通にさせる。

【 0 0 9 8 】

また、第 1 1 の信号線 2 1 1 (S W I T C H) を " H " レベルとすることで、図 2 に示したノード N D 2 2 の論理信号が、ノード N D 2 3 に伝播する。すなわち、ノード N D 2 3 の電位は " L " レベルから " H " レベルへ変化する。従って、第 5 のトランジスタ M 2 5 のゲート容量を介した容量結合により、ノード S N 2 2 の電位は、たとえば約 2 V D D へ昇圧される。第 5 のトランジスタ M 2 5 のソース・ゲート間電圧が約 2 V D D となる。

40

【 0 0 9 9 】

時刻 T 4 にて、第 2 のコンフィギュレーションデータを選択する。具体的には、C O N T E X T [1] を " H " レベルとし、第 6 のトランジスタ M 2 6 を導通させることでノード N D 2 3 の論理信号がノード N D 2 4 に伝播される。このとき、ノード S N 2 2 の電位は昇圧されているため、昇圧が行われない場合と比較して、ノード N D 2 3 とノード N D 2 4 間の信号伝達速度は向上する。

【 0 1 0 0 】

ノード N D 2 4 は、ノード N D 2 3 と同様に考えることができる。第 1 1 の信号線 2 1

50

1 (S W I T C H) を " L " レベルとすると、ノード N D 2 4 の電位を " L " レベルとすることができる。

【 0 1 0 1 】

図 4 では時刻 T 3 から T 4 の間、ノード N D 2 4 の電位は、" L " レベルとなっているため、L E 2 2 が有するレジスタ 2 0 3 のデータが間違っただけに更新されることが懸念される。しかしながら、時刻 T 3 から T 5 の間、第 1 0 の信号線 2 1 0 からの信号 (C L K) を停止させることで、L E 2 2 が有するレジスタ 2 0 3 のデータは、時刻 T 3 の直前のデータのままだけ保持される。すなわち、第 1 1 の信号線 2 1 1 の信号 (S W I T C H) により、L E 2 1 の出力信号を " L " レベルとしても、L E 2 2 へ間違っただけ論理信号が伝播されることを抑制することができる。

10

【 0 1 0 2 】

時刻 T 6 にて、L E 2 1 側のノード N D 2 3 が " H " レベルの電位から " L " レベルの電位へ変化することで、第 5 のトランジスタ M 2 5 のゲート容量を介した容量結合により、ノード S N 2 2 の電位は V D D まで降圧される。第 5 のトランジスタ M 2 5 のゲート・ソース間電圧は V D D であるため、ノード N D 2 4 の電位は速やかに " L " レベルとなる。

【 0 1 0 3 】

図 4 からわかるように、第 2 のコンフィギュレーションデータを選択している間、ノード N D 2 3 とノード N D 2 4 間の信号伝達速度は向上し続ける。すなわち、一度、第 5 のトランジスタ M 2 5 のゲート容量を介した容量結合により、ノード S N 2 2 の電位が昇圧又は降圧されれば、L E 2 1 と L E 2 2 間の信号伝達速度は向上し続ける。

20

【 0 1 0 4 】

本実施の形態では、コンテキスト数を 2 で説明したが、コンテキスト数は 3 以上でもよい。

【 0 1 0 5 】

(実施の形態 2)

本実施の形態では、コンフィギュレーションデータを書き込む際に、L E の出力電位が " L " レベルとなる半導体装置の一構成について説明する。

【 0 1 0 6 】

図 1 3 に、本発明の一態様における P L D の回路構成を示す。図 1 3 に示すように、複数の L E (L E 2 1 、 L E 2 2 、 . . . 、 L E 2 n) 、複数のスイッチ (S W 2 1 - 2 1 、 S W 2 1 - 2 2 、 . . . 、 S W 2 1 - 2 n 、 S W 2 2 - 2 1 、 S W 2 2 - 2 2 、 . . . 、 S W 2 2 - 2 n 、 . . . 、 S W 2 n - 2 1 、 S W 2 n - 2 2 、 . . . 、 S W 2 n - 2 n) 、第 1 のドライバ、第 2 のドライバを有する。第 1 のドライバは、ビットドライバ (B D 2) として機能する。第 2 のドライバは、ワードドライバ (W D 2) として機能する。複数の S W はそれぞれ、複数の L E 間を電氣的に接続している。

30

【 0 1 0 7 】

L E は内部にコンフィギュレーションメモリを有する。当該コンフィギュレーションメモリに格納されたコンフィギュレーションデータに基づき、入力された信号に応じて、特定の出力信号を出力する機能を有する。

40

【 0 1 0 8 】

複数の S W は、複数の L E 間の導通状態 (オンとオフ) を制御する機能を有する。図 1 3 では、L E 2 1 と電氣的に接続される S W は、少なくとも S W 2 1 - 2 1 、 S W 2 2 - 2 1 . . . S W 2 n - 2 1 、 S W 2 1 - 2 2 、 . . . S W 2 1 - 2 n がある。S W 2 1 - 2 1 、 S W 2 2 - 2 1 . . . S W 2 n - 2 1 は、少なくとも、L E 2 1 の入力側と電氣的に接続されている。S W 2 1 - 2 1 、 S W 2 1 - 2 2 、 . . . S W 2 1 - 2 n は、少なくとも L E 2 1 の入力側及び出力側に電氣的に接続されている。図 1 3 のような回路構成のため、S W は、L E よりも多く配置される。

【 0 1 0 9 】

図 1 3 において、L E 2 1 への入力 は 1 端子で説明されるが、入力の端子は複数あって

50

もよく、例えば4つの入力端子を配置することができる。この場合、LE21と電氣的に接続されるスイッチの数が、図13で示された回路構成よりも増加することとなる。

【0110】

ビットドライバ(BD2)、ワードドライバ(WD2)は、LE及びSWのコンフィギュレーションを制御する機能を有する。ワードドライバ(WD2)は、WLを出力する機能や当該WLを出力する信号線を選択する機能を有する。

【0111】

コンフィギュレーションが行なわれる複数のSWは、WLによって選択される。図13に示す回路構成において、コンフィギュレーションが行なわれるSWは、2種類の信号(WL[0]、WL[1])によって選択される。選択されたSWは、BLの電位に依存したコンフィギュレーションデータによりコンフィギュレーションが行われる。具体的に、SW21-22を用いて説明すると、SW21-22は2種類の信号(WL22[0]、WL22[1])に基づいて選択され、選択されたとき、BL21の電位に依存したコンフィギュレーションデータにより、コンフィギュレーションが行われる。

10

【0112】

図14では、図13の2つのLEとその間の1つのSWについて、より具体的に説明する。2つのLEをそれぞれ、LE21、LE22とする。LE21と、LE22との間にある、スイッチをSW21-22と示す。

【0113】

本発明の一態様のLEは、内部に第2の記憶装置(単にメモリと呼ぶ)を有する。図14では、LE21に第2のメモリに設ける構成を説明するが、LE22にも同様な第2のメモリを設けることができる。図13で示されたLEにも、同様な第2のメモリを設けることができる。

20

【0114】

上記第2のメモリは、少なくとも、レジスタ203のデータを保持することと、レジスタ203のデータをリセットする("L"レベルにする)ことができればよい。不揮発性メモリなどを適用してもよいが、データの退避及び復帰を繰り返すため、酸化物半導体を用いたメモリ回路が好ましい。酸化物半導体を用いたメモリ回路等の具体例は、以下の<第2のメモリ306の例>にて説明する。レジスタ203のデータを"L"レベルにすることで、LE21からは"L"レベルの信号が出力されることになる。レジスタ203は順序回路であって、入力されたデータを保持する機能を有する。

30

【0115】

上記したように、少なくとも、第2のメモリを有することで、レジスタ203のデータを失うことなく、LE21からの信号を、"L"レベルとすることができる。

【0116】

レジスタ203は、第20の信号線220からの信号(RESET)により、レジスタ203のデータ及び出力をリセットする("L"レベルにする)機能を有する。ここでは、第20の信号線220が"H"レベルの時に、当該レジスタ203のデータ及び出力をリセットすることとする。第2のメモリ306は、第21の信号線221からの信号(SAVE)により、レジスタ203のデータを、第2のメモリ306の内部のメモリに保存する機能を有する。また第2のメモリ306は、第22の信号線222からの信号(LOAD)により、必要なときに当該レジスタ203のデータを読み出す機能を有する。ここでは、第21の信号線221からの信号(SAVE)が"H"レベルの時に、当該レジスタ203のデータを保存し、第22の信号線222からの信号(LOAD)が"H"レベルの時に当該レジスタ203のデータを読み出すこととする。

40

【0117】

レジスタ203は、ルックアップテーブル(以下、LUT)202からの出力信号を保持し、第10の信号線210からの信号(クロック信号であって、以下CLKと記す)に同期して、対応する出力値を出力する機能を有する。

【0118】

50

LUT202と、レジスタ203との間を、ノードND31とする。レジスタ203と、スイッチSW21-22との間を、ノードND32とする。

【0119】

その他、LE21は、記憶装置（単に第1のメモリとも呼ぶことができる）204を有する。記憶装置204が有するコンフィギュレーションデータに従って、LUT202では、実行される論理演算が定義される。従ってLUT202は、複数の入力信号に対して、定められた一つの出力信号を出力する。

【0120】

記憶装置204は、第2の信号線102及び第4の信号線104と電氣的に接続される。第2の信号線102には、第1のコンフィギュレーションデータを選択するための信号CONTEXT[0]が供給される。第4の信号線104には、第2のコンフィギュレーションデータを選択するための信号CONTEXT[1]が供給される。

10

【0121】

CONTEXT[0]が“H”レベルであり、CONTEXT[1]が“L”レベルの状態を第1のコンフィギュレーションデータを選択するとし、CONTEXT[0]が“L”レベルであり、CONTEXT[1]が“H”レベルの状態を第2のコンフィギュレーションデータを選択すると表記する。第1のコンフィギュレーションデータと、第2のコンフィギュレーションデータとは、いずれか一方しか選択できない。たとえば第1のコンフィギュレーションデータが選択されるときは、第2のコンフィギュレーションデータは非選択である。たとえば第2のコンフィギュレーションデータが選択されるときは、第1のコンフィギュレーションデータは非選択である。

20

【0122】

第1のコンフィギュレーションデータ及び第2のコンフィギュレーションデータのうち、どちらか一方を選択することで、所望の回路構成を得ることができる。また、選択したコンフィギュレーションデータに対応した回路動作時に、非選択のコンフィギュレーションデータを変更することができる。すなわち、マルチコンテキスト機能を有する半導体装置である。

【0123】

本実施の形態において、コンフィギュレーションデータを選択する際の電位を“H”レベルとして表し、非選択する際の電位を“L”レベルとして表す。“H”レベルの電位をVDDとし、“L”レベルの電位をGNDとするが、相対的な電位差があればよく、VDDやGNDに限定されるものではない。

30

【0124】

LEは複数設けられており、LE22は、上記したLE21と同じ構成を有することができる。すなわち、LE22も第2のメモリを有することができる。

【0125】

LE21とLE22の間には、スイッチSW21-22が設けられている。スイッチSW21-22は、第2の信号線102及び第4の信号線104と電氣的に接続されている。

【0126】

40

LE21と、スイッチSW21-22と間を、ノードND32とする。スイッチSW21-22と、LE22と間を、ノードND33とする。

【0127】

図15に、スイッチSW21-22の回路構成を例示す。スイッチSW21-22は、第1のスイッチSW31及び第2のスイッチSW32を有する。スイッチSW21-22は、複数のスイッチを有することができ、スイッチ群と呼ぶことができる。第1のスイッチSW31は、LE21及びLE22間の導通、非導通を制御する機能を有する。第2のスイッチSW32は、第1のスイッチSW31と同様な構成及び機能を有することができる。これらスイッチについて説明する。

【0128】

50

第1のスイッチSW31は、第1のトランジスタM31、第2のトランジスタM32、第3のトランジスタM33、第1の容量C31を有する。第1のトランジスタM31のソース又はドレインの一方は、第2のトランジスタM32のゲートと電氣的に接続される。第1のトランジスタM31のソース又はドレインの一方は、第1の容量C31の一方の電極と電氣的に接続される。第2のトランジスタM32のソース又はドレインの一方は、第3のトランジスタM33のソース又はドレインの一方と電氣的に接続される。第1のトランジスタM31のゲートは、第1の信号線301と電氣的に接続される。第1の信号線301から供給される信号を、WL[0]と表記する。WL[0]に基づいて、第1のトランジスタM31が選択される。第3のトランジスタM33のゲートは、第2の信号線302と電氣的に接続される。第2の信号線302から供給される信号を、CONTEXT[0]と表記する。CONTEXT[0]に基づいて、第3のトランジスタM33が選択される。信号線とは、これら所望の信号を供給することができる配線である。

10

【0129】

第2のスイッチSW32は、第4のトランジスタM34、第5のトランジスタM35、第6のトランジスタM36、第2の容量C32を有する。第4のトランジスタM34のソース又はドレインの一方は、第5のトランジスタM35のゲートと電氣的に接続される。第4のトランジスタM34のソース又はドレインの一方は、第2の容量C32の一方の電極と電氣的に接続される。第5のトランジスタM35のソース又はドレインの一方は、第6のトランジスタM36のソース又はドレインの一方と電氣的に接続される。第4のトランジスタM34のゲートは、第3の信号線303と電氣的に接続される。第3の信号線303から供給される信号を、WL[1]と表記する。第6のトランジスタM36のゲートは、第4の信号線304と電氣的に接続される。第4の信号線304から供給される信号を、CONTEXT[1]と表記する。信号線とは、これら所望の信号を供給することができる配線である。

20

【0130】

第1のトランジスタM31と、第4のトランジスタM34とは、互いのソース又はドレインの他方が電氣的に接続されている。互いのソース又はドレインの他方は、第5の信号線305と電氣的に接続されている。第5の信号線305から供給される信号を、BLと表記する。第1のトランジスタM31が選択されている場合、BLに基づいて、第1のトランジスタM31の先のノードSN31の電位を決めることができる。当該電位は、第1の容量C31によって、保持することができる。また第4のトランジスタM34が選択されている場合、BLに基づいて、第4のトランジスタM34の先のノードSN32の電位を決めることができる。当該電位は、第2の容量C32によって、保持することができる。信号線とは、所望の信号を供給することができる配線である。

30

【0131】

第2のトランジスタM32と、第5のトランジスタM35とは、互いのソース又はドレインの他方が電氣的に接続されている。互いのソース又はドレインの他方は、LE21の出力側と電氣的に接続されている。LE21の出力側の端子をノードND32と表記する。第3のトランジスタM33と、第6のトランジスタM36とは、互いのソース又はドレインの他方が、電氣的に接続されている。互いのソース又はドレインの他方は、LE22の入力側と電氣的に接続されている。LE22の入力側の端子をノードND33と表記する。

40

【0132】

このような回路により、少なくとも、以下の動作を行うことができる。WL[0]により、第1のトランジスタM31の導通、非導通を制御することができ、ノードSN31及び第1の容量C31を用いて、第5の信号線305から供給される信号に対応するコンフィギュレーションデータを書き込むことができる。ノードSN31に格納されたコンフィギュレーションデータに依存して、第2のトランジスタM32の導通、非導通が制御される。また、CONTEXT[0]により、第3のトランジスタM33の導通、非導通を制御することで、所望の回路構成を選択することができる。

50

【 0 1 3 3 】

W L [1] により、第 4 のトランジスタ M 3 4 の導通、非導通を制御し、ノード S N 3 2 を用いて、B L に対応するコンフィギュレーションデータを書き込むことができる。ノード S N 3 2 に格納されたコンフィギュレーションデータに依存して、第 5 のトランジスタ M 3 5 の導通、非導通が制御される。また、C O N T E X T [1]、第 6 のトランジスタ M 3 6 の導通、非導通を制御することで、所望の回路構成を選択することができる。

【 0 1 3 4 】

図 1 6 に、図 1 5 の回路におけるタイミングチャートを示す。ここで、L U T 2 0 2 の出力値としてノード N D 3 1 のような出力波形が出力されるとする。また、“H”レベルに相当する電位を V D D、“L”レベルに相当する電位を G N D とする場合で説明するが、相対的な電位差があればよく、V D D や G N D に限定されるものではない。よって、第 1 の電位と、第 1 の電位より低い第 2 の電位や第 1 の電位と、第 1 の電位より高い第 2 の電位として、表現することができる。

【 0 1 3 5 】

時刻 T 0 から T 1 の間、すなわちノード N D 3 2 の電位が“L”レベルの間に、B L を“H”レベルとし、W L [0] を“H”レベルとすることで、ノード S N 3 1 及び第 1 の容量 C 3 1 を用いて、“H”レベルに相当するコンフィギュレーションデータを書き込むことができる。その後、W L [0] を“L”レベルとし、B L を“L”レベルとし、第 1 のトランジスタ M 3 1 を非導通とすることで、ノード S N 3 1 及び第 1 の容量 C 3 1 を用いて、コンフィギュレーションデータを格納することができる。コンフィギュレーションデータは一定期間格納される必要があるため、オフ電流が非常に小さい、酸化物半導体を有するトランジスタを、第 1 のトランジスタ M 3 1 に適用するとよい。酸化物半導体を有するトランジスタのオフ電流は非常に小さいものであるため、第 1 の容量 C 3 1 は設けなくともよいと考えることもできる。

【 0 1 3 6 】

なお、W L [0] が“L”レベルとなった以降であれば、B L は“H”レベルであっても、“L”レベルであっても、第 1 のトランジスタ M 3 1 を非導通とすることができる。

【 0 1 3 7 】

時刻 T 1 にて、第 1 のコンフィギュレーションデータを選択する。具体的には、C O N T E X T [0] を“H”レベルとし、第 3 のトランジスタ M 3 3 を導通させる。

【 0 1 3 8 】

また、L E 2 1 側のノード N D 3 2 を“L”レベルの電位から“H”レベルの電位へ変化させることで、第 2 のトランジスタ M 3 2 のゲート容量を介した容量結合により、ノード S N 3 1 の電位は、たとえば約 2 V D D にまで昇圧される。第 2 のトランジスタ M 3 2 のソース・ゲート間電圧が約 2 V D D となり、かつ第 3 のトランジスタ M 3 3 は導通しているため、L E 2 2 側のノード N D 3 3 の電位は、速やかに“H”レベルとなる。その結果、上記昇圧が行われない場合と比較して、ノード N D 3 2 とノード N D 3 3 間の信号伝達速度は向上する。

【 0 1 3 9 】

ノード S N 3 1 の昇圧幅は、第 1 の容量 C 3 1 の容量値が小さいほど、大きくなる。その結果、信号伝達速度がより向上する。酸化物半導体を用いて第 1 のトランジスタ M 3 1 を構成する場合、第 1 の容量 C 3 1 の容量値はシリコン半導体を用いて構成した場合より、小さくすることができ、好ましい。

【 0 1 4 0 】

第 2 のトランジスタ M 3 2 は、酸化物半導体を有するトランジスタやシリコンを有するトランジスタ等、どのようなトランジスタを用いてもよい。第 2 のトランジスタ M 3 2 のソース・ゲート間電圧を昇圧させることができるため、たとえば、シリコンを有するトランジスタより、オン電流が小さいとされる酸化物半導体を有するトランジスタを適用しても、信号伝達速度を向上させることができるため、好ましい。

【 0 1 4 1 】

時刻 T 2 にて、L E 2 1 側のノード N D 3 2 を " H " レベルの電位から " L " レベルの電位へ変化させると、第 2 のトランジスタ M 3 2 のゲート容量を介した容量結合により、ノード S N 3 1 の電位は約 V D D まで降圧される。第 2 のトランジスタ M 3 2 のゲート・ソース間電圧が V D D となり、かつ第 3 のトランジスタ M 3 3 は導通しているため、G N D レベルの場合と比較して、ノード N D 3 3 の電位は速やかに " L " レベルとなる。

【 0 1 4 2 】

図 1 6 からわかるように、第 1 のコンフィギュレーションデータを選択している間、ノード N D 3 2 とノード N D 3 3 間の信号伝達速度は向上し続ける。すなわち、一度、第 2 のトランジスタ M 3 2 のゲート容量を介した容量結合により、ノード S N 3 1 の電位が昇圧又は降圧されれば、L E 2 1 と L E 2 2 間の信号伝達速度は向上し続けることとなる。

10

【 0 1 4 3 】

時刻 T 3 から T 4 の間に、レジスタ 2 0 3 のデータを第 2 のメモリ 3 0 6 に退避させる。すなわち、S A V E を " H " レベルの電位にすることで、第 2 のメモリ 3 0 6 にノード N D 3 2 のデータ (" H " レベルの電位) を保存することができる。

【 0 1 4 4 】

時刻 T 4 から T 5 の間に第 2 のコンフィギュレーションデータのコンフィギュレーションを開始する。この時、ノード N D 3 1 は " H " レベルの電位であるが、R E S E T を " H " レベルの電位に変える事で、レジスタ 2 0 3 のデータ及び出力を、" L " レベルとすることができる。すなわちノード N D 3 2 の電位を強制的に " L " レベルとすることができる。

20

【 0 1 4 5 】

トランジスタ M 3 2 、トランジスタ M 3 3 が導通状態であるため、ノード N D 3 2 とノード N D 3 3 間は導通する。したがって、ノード N D 3 3 は " L " レベルとなる。

【 0 1 4 6 】

したがって、時刻 T 4 から T 5 の間、すなわちノード N D 3 2 の電位が " L " レベルの間に、B L に " H " レベルの信号を、W L [1] に " H " レベルの信号を与えることで、ノード S N 3 2 及び第 2 の容量 C 3 2 を用いて、" H " レベルに相当するコンフィギュレーションデータを書き込むことができる。その後、B L に " L " レベルの信号を、W L [1] に " L " レベルの信号を与え、第 4 のトランジスタ M 3 4 を非導通とすることで、ノード S N 3 2 及び第 2 の容量 C 3 2 を用いて、コンフィギュレーションデータを格納することができる。

30

【 0 1 4 7 】

なお、第 2 のコンフィギュレーションデータのコンフィギュレーション中に、ノード N D 3 2 の電位を " L " レベルにできればよいため、R E S E T を " H " レベルの電位に変えるタイミングは、S A V E の電位を " H " レベルとし、レジスタ 2 0 3 のデータを退避させた後であれば、第 2 のコンフィギュレーションデータのコンフィギュレーション前からでもよい。

【 0 1 4 8 】

第 2 のコンフィギュレーションデータのコンフィギュレーション終了後、第 1 のコンフィギュレーションデータを非選択にするため、C O N T E X T [0] を " L " レベルとして、第 3 のトランジスタ M 3 3 を非導通にさせる。

40

【 0 1 4 9 】

また、時刻 T 5 から T 6 の間に、第 2 のメモリ 3 0 6 に退避させたデータをレジスタ 2 0 3 に復帰させる。L O A D を " H " レベルの電位にすることで、時刻 T 3 から T 4 の間に第 2 のメモリ 3 0 6 に退避させていたデータ (" H " レベルの電位) をレジスタ 2 0 3 に復元することができる。すなわち、ノード N D 3 2 の電位は " L " レベルから " H " レベルへ変化する。従って、第 5 のトランジスタ M 3 5 のゲート容量を介した容量結合により、ノード S N 3 2 の電位は、たとえば約 2 V D D へ昇圧される。第 5 のトランジスタ M 3 5 のソース・ゲート間電圧が約 2 V D D となる。

【 0 1 5 0 】

50

その後、CONTEXT[1]を”H”レベルとし、第6のトランジスタM36を導通させることでノードND32の論理信号がノードND33に伝播される。このとき、ノードSN32の電位は昇圧されているため、昇圧が行われない場合と比較して、ノードND32とノードND33間の信号伝達速度は向上する。

【0151】

ノードND33は、ノードND32と同様に考えることができる。第2のメモリにデータを退避させた後から復帰させるまでの間に、ノードND33の電位を”L”レベルとすることができる。

【0152】

時刻T7にて、ノードND32が”H”レベルの電位から”L”レベルの電位へ変化することで、第5のトランジスタM35のゲート容量を介した容量結合により、ノードSN32の電位はVDDまで降圧される。第5のトランジスタM35のゲート・ソース間電圧はVDDであるため、GNDの場合と比較しても、ノードND33の電位は速やかに”L”レベルとなる。

【0153】

図16からわかるように、第2のコンフィギュレーションデータを選択している間、ノードND32とノードND33間の信号伝達速度は向上し続ける。すなわち、一度、ノードND32の電位がLレベルの間に第2のコンフィギュレーションデータにコンフィギュレーションすることができれば、LE21とLE22間の信号伝達速度は向上し続ける。

【0154】

また、図15等を示す回路を用いた場合、時刻T3からT4の間のレジスタ203のデータは第2のメモリ306に退避させているため、第10の信号線210からの信号CLKに同期してレジスタ203のデータが変更しても問題ない。すなわち、図16等を示す回路を用いた場合、第10の信号線210からの信号CLKを止めることができる。または第10の信号線210からのクロック周波数を遅くすることができる。

【0155】

本実施の形態では、コンテキスト数を2で説明したが、コンテキスト数は3以上でもよい。

【0156】

<第2のメモリ306の例>

図17には、第2のメモリ306の回路例を示す。レジスタ203と電氣的に接続された第2のメモリ306は、少なくとも、第1のインバータ68、第1のトランジスタ70、第2のトランジスタ74、第3のトランジスタ76、容量72を有する回路を複数有する。当該回路の一つを回路66A、その他を回路66Bと表記する。回路66Aは、第2のインバータ54を介して、回路66Bと電氣的に接続されており、回路66A及び回路66Bの組で、レジスタ203の”H”レベルのデータ又は”L”レベルのデータを保持することができる。

【0157】

第1のインバータ68の入力端子は、レジスタ203と電氣的に接続される。第1のインバータ68の出力端子は、第1のトランジスタ70のソース又はドレインの一方と電氣的に接続される。第1のトランジスタ70のゲートは、第21の信号線221と電氣的に接続され、SAVE信号が入力される。第2のトランジスタ74のゲートは、第1のトランジスタ70のソース又はドレインの他方と電氣的に接続される。第1のトランジスタ70のソース又はドレインの他方は、容量72の第1の電極と電氣的に接続される。ここをノードF1と呼ぶ。第3のトランジスタ76のゲートは、第22の信号線222と電氣的に接続され、LOAD信号が入力される。第3のトランジスタ76のソース又はドレインの一方は、第2のトランジスタ74のソース又はドレインの一方と電氣的に接続される。第3のトランジスタ76のソース又はドレインの他方は、第1のインバータ68の入力端子と電氣的に接続される。

【0158】

このような第2のメモリ306において、第1のトランジスタ70は酸化物半導体を用いるとよい。酸化物半導体を用いたトランジスタは、オフ電流が非常に小さいため、オフ電流が流れやすいシリコンを用いたトランジスタと比べても、ノードF1と容量72とを用いて、データを確実に保持することができる。

【0159】

第2のトランジスタ74及び第3のトランジスタ76は、酸化物半導体を用いたトランジスタを用いることができる。また、第2のトランジスタ74及び第3のトランジスタ76は、シリコン半導体を用いたトランジスタを用いることができる。

【0160】

図16のようにSAVEが”H”レベルとなると、第1のトランジスタ70は導通する。保持するレジスタ203のデータに応じて、第1のトランジスタ70のソース電位は、”H”レベル電位、又は”L”レベル電位となっており、これに応じて、ノードF1の電位も”H”レベル又は”L”レベルとなる。そして、当該電位を容量72に書き込むことができる。SAVEが”L”レベルとなると、第1のトランジスタ70は非導通となり、容量72にデータを格納することができる。

10

【0161】

図16のようにLOADが”H”レベルとなると、第3のトランジスタ76は導通する。第2のトランジスタ74は、ノードF1の電位に応じて導通する。第2のトランジスタ74及び第3のトランジスタ76が導通しているとき、レジスタ203にデータを復帰することができる。

20

【0162】

このように第2のメモリにも、酸化物半導体を用いたトランジスタを適用することができる。酸化物半導体を用いたトランジスタを有する回路は、フラッシュメモリと異なり、データの書き込みによる絶縁膜の劣化はなく、書き込み回数の制限もない。容量72に格納したデータは、第1のトランジスタ70のオフ電流が非常に小さいため、長期にわたって保持することができる。

【0163】

(実施の形態3)

本実施の形態では、本発明の一態様の半導体装置の構成について、図面を参照しながら説明する。

30

【0164】

半導体装置の断面構造の例

図5に、図2、図3で示したスイッチSW21-22の断面構造を、一例として示す。図5におけるトランジスタ23は、たとえば、図3における第2のトランジスタM22、第5のトランジスタM25に適用することができる。図5におけるトランジスタ22は、たとえば、図3における第1のトランジスタM21、第4のトランジスタM24に適用することができる。

【0165】

図5において、破線A1-A2で示す領域では、トランジスタ22及びトランジスタ23のチャンネル長方向における構造を示しており、破線A3-A4で示す領域では、トランジスタ22及びトランジスタ23のチャンネル幅方向における構造を示している。ただし、本発明の一態様では、トランジスタ22のチャンネル長方向とトランジスタ23のチャンネル長方向とが、必ずしも一致していなくともよい。

40

【0166】

なお、チャンネル長方向とは、ソース領域及びドレイン領域として機能する一対の不純物領域間において、キャリアが最短距離で移動する方向を意味し、チャンネル幅方向は、基板と水平な面内において、チャンネル長方向に対して垂直の方向を意味する。

【0167】

また、図5では、酸化物半導体膜にチャンネル形成領域を有するトランジスタ22が、単結晶のシリコン基板にチャンネル形成領域を有するトランジスタ23上に形成されている場

50

合を例示している。

【0168】

トランジスタ23は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ23は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ22はトランジスタ23上に積層されていなくとも良く、トランジスタ22とトランジスタ23とは、同一の層に形成されていても良い。

【0169】

シリコンの薄膜を用いてトランジスタ23を形成する場合、当該薄膜には、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0170】

トランジスタ23が形成される基板400は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図5では、単結晶シリコン基板を基板400として用いる場合を例示している。

【0171】

また、トランジスタ23は、素子分離法により電氣的に分離されている。素子分離法として、トレンチ分離法(STI法: Shallow Trench Isolation)等を用いることができる。図5では、トレンチ分離法を用いてトランジスタ23を電氣的に分離する場合を例示している。具体的に、図5では、エッチング等により基板400に形成されたトレンチに、酸化珪素などが含まれる絶縁物を埋め込んだ後、当該絶縁物をエッチング等により部分的に除去することで形成される素子分離領域401により、トランジスタ23を素子分離させる場合を例示している。

【0172】

また、トレンチ以外の領域に存在する基板400の凸部には、トランジスタ23の不純物領域402及び不純物領域403と、不純物領域402及び不純物領域403に挟まれたチャネル形成領域404とが設けられている。さらに、トランジスタ23は、チャネル形成領域404を覆う絶縁膜405と、絶縁膜405を間に挟んでチャネル形成領域404と重なるゲート電極406とを有する。

【0173】

トランジスタ23では、チャネル形成領域404における凸部の側部及び上部と、ゲート電極406とが絶縁膜405を間に挟んで重なることで、チャネル形成領域404の側部と上部を含めた広い範囲においてキャリアが流れる。そのため、トランジスタ23の基板上における占有面積を小さく抑えつつ、トランジスタ23におけるキャリアの移動量を増加させることができる。その結果、トランジスタ23は、オン電流が大きくなると共に、電界効果移動度が高められる。特に、チャネル形成領域404における凸部のチャネル幅方向の長さ(チャネル幅)をW、チャネル形成領域404における凸部の膜厚をTとすると、チャネル幅Wに対する膜厚Tの比に相当するアスペクト比が高い場合、キャリアが流れる範囲はより広くなるため、トランジスタ23のオン電流をより大きくすることができ、電界効果移動度もより高められる。

【0174】

なお、バルクの半導体基板を用いたトランジスタ23の場合、アスペクト比は0.5以上であることが望ましく、1以上であることがより望ましい。

【0175】

トランジスタ23上には、絶縁膜411が設けられている。絶縁膜411には開口部が形成されている。そして、上記開口部には、不純物領域402、不純物領域403にそれ

10

20

30

40

50

ぞれ電氣的に接続されている導電膜 4 1 2、導電膜 4 1 3 と、ゲート電極 4 0 6 に電氣的に接続されている導電膜 4 1 4 とが、形成されている。

【 0 1 7 6 】

そして、導電膜 4 1 2 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 6 に電氣的に接続されており、導電膜 4 1 3 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 7 に電氣的に接続されており、導電膜 4 1 4 は、絶縁膜 4 1 1 上に形成された導電膜 4 1 8 に電氣的に接続されている。

【 0 1 7 7 】

導電膜 4 1 6 乃至導電膜 4 1 8 上には、絶縁膜 4 2 0 が設けられている。そして、絶縁膜 4 2 0 上には、酸素、水素、水の拡散を防ぐブロッキング効果を有する絶縁膜 4 2 1 が設けられている。絶縁膜 4 2 1 は、密度が高く緻密である程、また未結合手が少なく化学的に安定である程、より高いブロッキング効果を示す。酸素、水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 4 2 1 として、例えば、酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム等を用いることができる。水素、水の拡散を防ぐブロッキング効果を示す絶縁膜 4 2 1 として、例えば、窒化シリコン、窒化酸化シリコン等を用いることができる。

【 0 1 7 8 】

絶縁膜 4 2 1 上には絶縁膜 4 2 2 が設けられており、絶縁膜 4 2 2 上には、トランジスタ 2 2 が設けられている。

【 0 1 7 9 】

トランジスタ 2 2 は、絶縁膜 4 2 2 上に、酸化物半導体を含む半導体膜 4 3 0 と、半導体膜 4 3 0 に電氣的に接続された、ソース電極またはドレイン電極として機能する導電膜 4 3 2 及び導電膜 4 3 3 と、半導体膜 4 3 0 を覆っているゲート絶縁膜 4 3 1 と、ゲート絶縁膜 4 3 1 を間に挟んで半導体膜 4 3 0 と重なるゲート電極 4 3 4 と、を有する。なお、絶縁膜 4 2 0 乃至絶縁膜 4 2 2 には開口部が設けられており、導電膜 4 3 3 は、上記開口部において導電膜 4 1 8 に接続されている。

【 0 1 8 0 】

なお、図 5 において、トランジスタ 2 2 は、ゲート電極 4 3 4 を半導体膜 4 3 0 の片側において少なくとも有していれば良いが、絶縁膜 4 2 2 を間に挟んで半導体膜 4 3 0 と重なるゲート電極を、さらに有していても良い。

【 0 1 8 1 】

トランジスタ 2 2 が、一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【 0 1 8 2 】

また、図 5 では、トランジスタ 2 2 が、一のゲート電極 4 3 4 に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ 2 2 は、電氣的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【 0 1 8 3 】

また、図 5 に示すように、トランジスタ 2 2 は、半導体膜 4 3 0 が、絶縁膜 4 2 2 上において順に積層された酸化物半導体膜 4 3 0 a 乃至酸化物半導体膜 4 3 0 c を有する場合を例示している。ただし、本発明の一態様では、トランジスタ 2 2 が有する半導体膜 4 3 0 が、単膜の金属酸化物膜で構成されていても良い。

【 0 1 8 4 】

トランジスタについて

次いで、酸化物半導体膜にチャネル形成領域を有するトランジスタ 22 の構成例について説明する。

【0185】

図 6 に、酸化物半導体膜にチャネル形成領域を有するトランジスタ 22 の構成を、一例として示す。図 6 (A) には、トランジスタ 22 の上面図を示す。なお、図 6 (A) では、トランジスタ 22 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 6 (A) に示した上面図の、破線 A1 - A2 における断面図を図 6 (B) に示し、破線 A3 - A4 における断面図を図 6 (C) に示す。

【0186】

図 6 に示すように、トランジスタ 22 は、絶縁表面 97 に形成された絶縁膜 91 上において順に積層された酸化物半導体膜 92a 及び酸化物半導体膜 92b と、酸化物半導体膜 92b に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜 93 及び導電膜 94 と、酸化物半導体膜 92b、導電膜 93 及び導電膜 94 上の酸化物半導体膜 92c と、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜 92c 上に位置する絶縁膜 95 と、ゲート電極としての機能を有し、なおかつ絶縁膜 95 上において酸化物半導体膜 92a 乃至酸化物半導体膜 92c と重なる導電膜 96 とを有する。なお、絶縁表面 97 は、ガラス基板や半導体基板などの表面であってもよいし、ガラス基板や半導体基板上に半導体素子が形成された素子基板の表面であってもよい。

【0187】

また、トランジスタ 22 の、具体的な構成の別の一例を、図 7 に示す。図 7 (A) には、トランジスタ 22 の上面図を示す。なお、図 7 (A) では、トランジスタ 22 のレイアウトを明確にするために、各種の絶縁膜を省略している。また、図 7 (A) に示した上面図の、破線 A1 - A2 における断面図を図 7 (B) に示し、破線 A3 - A4 における断面図を図 7 (C) に示す。

【0188】

図 7 に示すように、トランジスタ 22 は、絶縁膜 91 上において順に積層された酸化物半導体膜 92a 乃至酸化物半導体膜 92c と、酸化物半導体膜 92c に電氣的に接続され、ソース電極またはドレイン電極としての機能を有する導電膜 93 及び導電膜 94 と、ゲート絶縁膜としての機能を有し、なおかつ酸化物半導体膜 92c、導電膜 93 及び導電膜 94 上に位置する絶縁膜 95 と、ゲート電極としての機能を有し、なおかつ絶縁膜 95 上において酸化物半導体膜 92a 乃至酸化物半導体膜 92c と重なる導電膜 96 とを有する。

【0189】

なお、図 6 及び図 7 では、積層された酸化物半導体膜 92a 乃至酸化物半導体膜 92c を用いるトランジスタ 22 の構成を例示している。トランジスタ 22 が有する酸化物半導体膜は、積層された複数の酸化物半導体膜で構成されているとは限らず、単膜の酸化物半導体膜で構成されていても良い。

【0190】

酸化物半導体膜 92a 乃至酸化物半導体膜 92c が順に積層されている半導体膜をトランジスタ 22 が有する場合、酸化物半導体膜 92a 及び酸化物半導体膜 92c は、酸化物半導体膜 92b を構成する金属元素の少なくとも 1 つを、その構成要素に含み、伝導帯下端のエネルギーが酸化物半導体膜 92b よりも 0.05 eV 以上、0.07 eV 以上、0.1 eV 以上または 0.15 eV 以上、かつ 2 eV 以下、1 eV 以下、0.5 eV 以下または 0.4 eV 以下、真空準位に近い酸化物膜である。さらに、酸化物半導体膜 92b は、少なくともインジウムを含むと、キャリア移動度が高くなるため好ましい。

【0191】

上記構成の半導体膜をトランジスタ 22 が有する場合、ゲート電極に電圧を印加することで、半導体膜に電界が加わると、半導体膜のうち、伝導帯下端のエネルギーが小さい酸化物半導体膜 92b にチャネル領域が形成される。即ち、酸化物半導体膜 92b と絶縁膜 95 との間に酸化物半導体膜 92c が設けられていることによって、絶縁膜 95 と離隔し

10

20

30

40

50

ている酸化物半導体膜 9 2 b に、チャネル領域を形成することができる。

【 0 1 9 2 】

また、酸化物半導体膜 9 2 c は、酸化物半導体膜 9 2 b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 c の界面では、界面散乱が起こりにくい。従って、当該界面においてキャリアの動きが阻害されにくいいため、トランジスタ 2 2 の電界効果移動度が高くなる。

【 0 1 9 3 】

また、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 a の界面に界面準位が形成されると、界面近傍の領域にもチャネル領域が形成されるために、トランジスタ 2 2 の閾値電圧が変動してしまう。しかし、酸化物半導体膜 9 2 a は、酸化物半導体膜 9 2 b を構成する金属元素の少なくとも 1 つをその構成要素に含むため、酸化物半導体膜 9 2 b と酸化物半導体膜 9 2 a の界面には、界面準位が形成されにくい。よって、上記構成により、トランジスタ 2 2 の閾値電圧等の電気的特性のばらつきを、低減することができる。

【 0 1 9 4 】

また、酸化物半導体膜間に不純物が存在することによって、各膜の界面にキャリアの流れを阻害する界面準位が形成されることがないよう、複数の酸化物半導体膜を積層させることが望ましい。積層された酸化物半導体膜の膜間に不純物が存在していると、酸化物半導体膜間における伝導帯下端のエネルギーの連続性が失われ、界面近傍において、キャリアがトラップされるか、あるいは再結合により消滅してしまうからである。膜間における不純物を低減させることで、主成分である一の金属を少なくとも共に有する複数の酸化物半導体膜を、単に積層させるよりも、連続接合（ここでは特に伝導帯下端のエネルギーが各膜の間で連続的に変化する U 字型の井戸構造を有している状態）が形成されやすくなる。

【 0 1 9 5 】

連続接合を形成するためには、ロードロック室を備えたマルチチャンバー方式の成膜装置（スパッタリング装置）を用いて各膜を大気に触れさせることなく連続して積層することが必要となる。スパッタリング装置における各チャンバーは、酸化物半導体にとって不純物となる水等を可能な限り除去すべくクライオポンプのような吸着式の真空排気ポンプを用いて高真空排気（ 5×10^{-7} Pa 以上 1×10^{-4} Pa 以下の程度まで）することが好ましい。または、ターボ分子ポンプとコールドトラップを組み合わせて排気系からチャンバー内に気体が逆流しないようにしておくことが好ましい。

【 0 1 9 6 】

高純度の真性な酸化物半導体を得るためには、各チャンバー内を高真空排気するのみならず、スパッタリングに用いるガスの高純度化も重要である。上記ガスとして用いる酸素ガスやアルゴンガスの露点を、 -40 以下、好ましくは -80 以下、より好ましくは -100 以下とし、使用するガスの高純度化を図ることで、酸化物半導体膜に水分等が取り込まれることを可能な限り防ぐことができる。具体的に、酸化物半導体膜 9 2 b が In - M - Zn 酸化物（M は、Ga、Y、Zr、La、Ce、または Nd）の場合、酸化物半導体膜 9 2 b を成膜するために用いるターゲットにおいて、金属元素の原子数比を $\text{In} : \text{M} : \text{Zn} = x_1 : y_1 : z_1$ とすると、 x_1 / y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であって、 z_1 / y_1 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_1 / y_1 を 1 以上 6 以下とすることで、酸化物半導体膜 9 2 b として C A A C - O S 膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $\text{In} : \text{M} : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{M} : \text{Zn} = 3 : 1 : 2$ 等がある。

【 0 1 9 7 】

具体的に、酸化物半導体膜 9 2 a、酸化物半導体膜 9 2 c が In - M - Zn 酸化物（M は、Ga、Y、Zr、La、Ce、または Nd）の場合、酸化物半導体膜 9 2 a、酸化物半導体膜 9 2 c を成膜するために用いるターゲットにおいて、金属元素の原子数比を $\text{In} : \text{M} : \text{Zn} = x_2 : y_2 : z_2$ とすると、 $x_2 / y_2 < x_1 / y_1$ であって、 z_2 / y_2 は、 $1/3$ 以上 6 以下、さらには 1 以上 6 以下であることが好ましい。なお、 z_2 / y_2

を1以上6以下とすることで、酸化物半導体膜92a、酸化物半導体膜92cとしてCAAC-OS膜が形成されやすくなる。ターゲットの金属元素の原子数比の代表例としては、 $In:M:Zn=1:3:2$ 、 $In:M:Zn=1:3:4$ 、 $In:M:Zn=1:3:6$ 、 $In:M:Zn=1:3:8$ 等がある。

【0198】

なお、酸化物半導体膜92a及び酸化物半導体膜92cの厚さは、3nm以上100nm以下、好ましくは3nm以上50nm以下とする。また、酸化物半導体膜92bの厚さは、3nm以上200nm以下、好ましくは3nm以上100nm以下であり、さらに好ましくは3nm以上50nm以下である。

【0199】

3層構造の半導体膜において、酸化物半導体膜92a乃至酸化物半導体膜92cは、非晶質または結晶質の両方の形態を取りうる。ただし、チャネル領域が形成される酸化物半導体膜92bが結晶質であることにより、トランジスタ22に安定した電気的特性を付与することができるため、酸化物半導体膜92bは結晶質であることが好ましい。

【0200】

なお、チャネル形成領域とは、トランジスタ22の半導体膜のうち、ゲート電極と重なり、かつソース電極とドレイン電極に挟まれる領域を意味する。また、チャネル領域とは、チャネル形成領域において、電流が主として流れる領域をいう。

【0201】

例えば、酸化物半導体膜92a及び酸化物半導体膜92cとして、スパッタリング法により形成したIn-Ga-Zn酸化物膜を用いる場合、酸化物半導体膜92a及び酸化物半導体膜92cの成膜には、In-Ga-Zn酸化物($In:Ga:Zn=1:3:2$ [原子数比])であるターゲットを用いることができる。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力0.4Paとし、基板温度を200とし、DC電力0.5kWとすればよい。

【0202】

また、酸化物半導体膜92bをCAAC-OS膜とする場合、酸化物半導体膜92bの成膜には、In-Ga-Zn酸化物($In:Ga:Zn=1:1:1$ [原子数比])を含む多結晶ターゲットを用いることが好ましい。成膜条件は、例えば、成膜ガスとしてアルゴンガスを30sccm、酸素ガスを15sccm用い、圧力を0.4Paとし、基板の温度300とし、DC電力0.5kWとすることができる。

【0203】

なお、酸化物半導体膜92a乃至92cは、スパッタリング法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD(Metal Organic Chemical Vapor Deposition)法やALD(Atomic Layer Deposition)法を使っても良い。

【0204】

なお、電子供与体(ドナー)となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体(purified Oxide Semiconductor)は、キャリア発生源が少ないため、i型(真性半導体)又はi型に限りなく近くすることができる。そのため、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタは、オフ電流が著しく小さく、信頼性が高い。そして、当該酸化物半導体膜にチャネル形成領域が形成されるトランジスタは、閾値電圧がプラスとなる電気的特性(ノーマリーオフ特性ともいう。)になりやすい。

【0205】

具体的に、高純度化された酸化物半導体膜にチャネル形成領域を有するトランジスタのオフ電流が小さいことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6 \mu m$ でチャネル長が10 μm の素子であっても、ソース電極とドレイン電極間の電圧(ドレイン電圧)が1Vから10Vの範囲において、オフ電流が、半導体パラメータ

10

20

30

40

50

ナライザの測定限界以下、すなわち 1×10^{-13} A 以下という特性を得ることができる。この場合、トランジスタのチャネル幅で規格化したオフ電流は、 $100 \text{ zA} / \mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、高純度化された酸化物半導体膜を上記トランジスタのチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース電極とドレイン電極間の電圧が 3 V の場合に、数十 $\text{yA} / \mu\text{m}$ という、さらに小さいオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく小さい。

10

【0206】

なお、半導体膜として酸化物半導体膜を用いる場合、酸化物半導体としては、少なくともインジウム (In) あるいは亜鉛 (Zn) を含むことが好ましい。また、該酸化物半導体膜を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム (Ga) を有することが好ましい。また、スタビライザーとしてスズ (Sn) を有することが好ましい。また、スタビライザーとしてハフニウム (Hf) を有することが好ましい。また、スタビライザーとしてアルミニウム (Al) を有することが好ましい。また、スタビライザーとしてジルコニウム (Zr) を含むことが好ましい。

20

【0207】

酸化物半導体の中でも In - Ga - Zn 酸化物、In - Sn - Zn 酸化物などは、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、スパッタリング法や湿式法により電気的特性の優れたトランジスタを作製することが可能であり、量産性に優れるといった利点がある。また、炭化シリコン、窒化ガリウム、または酸化ガリウムとは異なり、上記 In - Ga - Zn 酸化物は、ガラス基板上に、電気的特性の優れたトランジスタを作製することが可能である。また、基板の大型化にも対応が可能である。

【0208】

また、他のスタビライザーとして、ランタノイドである、ランタン (La)、セリウム (Ce)、プラセオジウム (Pr)、ネオジウム (Nd)、サマリウム (Sm)、ユウロピウム (Eu)、ガドリニウム (Gd)、テルビウム (Tb)、ジスプロシウム (Dy)、ホルミウム (Ho)、エルビウム (Er)、ツリウム (Tm)、イッテルビウム (Yb)、ルテチウム (Lu) のいずれか一種または複数種を含んでいてもよい。

30

【0209】

例えば、酸化物半導体として、酸化インジウム、酸化ガリウム、酸化スズ、酸化亜鉛、In - Zn 酸化物、Sn - Zn 酸化物、Al - Zn 酸化物、Zn - Mg 酸化物、Sn - Mg 酸化物、In - Mg 酸化物、In - Ga 酸化物、In - Ga - Zn 酸化物 (IGZO とも表記する)、In - Al - Zn 酸化物、In - Sn - Zn 酸化物、Sn - Ga - Zn 酸化物、Al - Ga - Zn 酸化物、Sn - Al - Zn 酸化物、In - Hf - Zn 酸化物、In - La - Zn 酸化物、In - Pr - Zn 酸化物、In - Nd - Zn 酸化物、In - Ce - Zn 酸化物、In - Sm - Zn 酸化物、In - Eu - Zn 酸化物、In - Gd - Zn 酸化物、In - Tb - Zn 酸化物、In - Dy - Zn 酸化物、In - Ho - Zn 酸化物、In - Er - Zn 酸化物、In - Tm - Zn 酸化物、In - Yb - Zn 酸化物、In - Lu - Zn 酸化物、In - Sn - Ga - Zn 酸化物、In - Hf - Ga - Zn 酸化物、In - Al - Ga - Zn 酸化物、In - Sn - Al - Zn 酸化物、In - Sn - Hf - Zn 酸化物、In - Hf - Al - Zn 酸化物を用いることができる。

40

【0210】

なお、例えば、In - Ga - Zn 酸化物とは、In と Ga と Zn を含む酸化物という意味であり、In と Ga と Zn の比率は問わない。また、In と Ga と Zn 以外の金属元素を含んでいてもよい。In - Ga - Zn 酸化物は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、移動度も高い。

50

【0211】

例えば、In-Sn-Zn酸化物では比較的容易に高い移動度が得られる。しかしながら、In-Ga-Zn酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0212】

また、トランジスタ22において、ソース電極及びドレイン電極に用いられる導電性材料によっては、ソース電極及びドレイン電極中の金属が、酸化物半導体膜から酸素を引き抜くことがある。この場合、酸化物半導体膜のうち、ソース電極及びドレイン電極に接する領域が、酸素欠損の形成によりn型化される。n型化された領域は、ソース領域またはドレイン領域として機能するため、酸化物半導体膜とソース電極及びドレイン電極との間におけるコンタクト抵抗を下げることができる。よって、n型化された領域が形成されることで、トランジスタ22の移動度及びオン電流を高めることができ、それにより、トランジスタ22を用いた半導体装置の高速動作を実現することができる。

10

【0213】

高速動作が実現する酸化物半導体膜を有するトランジスタは、図5のトランジスタ23として使用することができる。このようにトランジスタ23も酸化物半導体膜を有する場合、トランジスタ23は、トランジスタ22と同層に形成するとよい。すなわち、共通の出発膜を酸化物半導体層として、エッチングしたものをを用いて、トランジスタ22と、トランジスタ23を構成することができる。なお酸化物半導体膜を有するトランジスタ23上に、酸化物半導体膜を有するトランジスタ22を形成する場合、集積度を高めることができる。

20

【0214】

また本発明の一態様は、信号伝達速度を向上させることができるため、n型化された領域を有さない酸化物半導体膜を有するトランジスタであっても、図5のトランジスタ23に適用することができる。

【0215】

なお、ソース電極及びドレイン電極中の金属による酸素の引き抜きは、ソース電極及びドレイン電極をスパッタリング法などにより形成する際に起こりうるし、ソース電極及びドレイン電極を形成した後に行われる加熱処理によっても起こりうる。また、n型化される領域は、酸素と結合し易い導電性材料をソース電極及びドレイン電極に用いることで、より形成されやすくなる。上記導電性材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wなどが挙げられる。

30

【0216】

複数の積層された酸化物半導体膜を有する半導体膜をトランジスタ22に用いる場合、n型化される領域は、チャネル領域となる酸化物半導体膜92bにまで達していることが、トランジスタ22の移動度及びオン電流を高め、半導体装置の高速動作を実現する上で好ましい。

【0217】

絶縁膜91は、加熱により上記酸素の一部を酸化物半導体膜92a乃至酸化物半導体膜92cに供給する機能を有する絶縁膜であることが望ましい。また、絶縁膜91は、欠陥が少ないことが好ましく、代表的には、ESR測定により得られる、シリコンのダングリングボンドに由来する $g = 2.001$ を持つスピンの密度が $1 \times 10^{18} \text{ spins/cm}^3$ 以下であることが好ましい。

40

【0218】

絶縁膜91は、加熱により上記酸素の一部を酸化物半導体膜92a乃至酸化物半導体膜92cに供給する機能を有するため、酸化物であることが望ましく、例えば、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。絶縁膜91は、プラズマCVD (Chemical Vapor Deposition) 法またはスパッタリン

50

グ法等により、形成することができる。

【0219】

なお、本明細書中において、酸化窒化物は、その組成として、窒素よりも酸素の含有量が多い材料を指し、窒化酸化物は、その組成として、酸素よりも窒素の含有量が多い材料を指す。

【0220】

なお、図6及び図7に示すトランジスタ22は、チャネル領域が形成される酸化物半導体膜92bの端部のうち、導電膜93及び導電膜94とは重ならない端部、言い換えると、導電膜93及び導電膜94が位置する領域とは異なる領域に位置する端部と、導電膜96とが、重なる構成を有する。酸化物半導体膜92bの端部は、当該端部を形成するためのエッチングでプラズマに曝されるときに、エッチングガスから生じた塩素ラジカル、フッ素ラジカル等が、酸化物半導体を構成する金属元素と結合しやすい。よって、酸化物半導体膜の端部では、当該金属元素と結合していた酸素が脱離しやすい状態にあるため、酸素欠損が形成され、n型化しやすいと考えられる。しかし、図6及び図7に示すトランジスタ22では、導電膜93及び導電膜94とは重ならない酸化物半導体膜92bの端部と、導電膜96とが重なるため、導電膜96の電位を制御することにより、当該端部にかかる電界を制御することができる。よって、酸化物半導体膜92bの端部を介して導電膜93と導電膜94の間に流れる電流を、導電膜96に与える電位によって制御することができる。このようなトランジスタ22の構造を、Surrounded Channel (S-Channel) 構造とよぶ。

【0221】

具体的に、S-Channel構造の場合、トランジスタ22がオフとなるような電位を導電膜96に与えたときは、当該端部を介して導電膜93と導電膜94の間に流れるオフ電流を小さく抑えることができる。そのため、トランジスタ22では、大きなオン電流を得るためにチャネル長を短くし、その結果、酸化物半導体膜92bの端部における導電膜93と導電膜94の間の長さが短くなっても、トランジスタ22のオフ電流を小さく抑えることができる。よって、トランジスタ22は、チャネル長を短くすることで、オンのときには大きいオン電流を得ることができ、オフのときにはオフ電流を小さく抑えることができる。

【0222】

また、具体的に、S-Channel構造の場合、トランジスタ22がオンとなるような電位を導電膜96に与えたときは、当該端部を介して導電膜93と導電膜94の間に流れる電流を大きくすることができる。当該電流は、トランジスタ22の電界効果移動度とオン電流の増大に寄与する。そして、酸化物半導体膜92bの端部と、導電膜96とが重なることで、酸化物半導体膜92bにおいてキャリアの流れる領域が、絶縁膜95に近い酸化物半導体膜92bの界面近傍のみでなく、酸化物半導体膜92bの広い範囲においてキャリアが流れるため、トランジスタ22におけるキャリアの移動量が増加する。この結果、トランジスタ22のオン電流が大きくなる共に、電界効果移動度が高くなり、代表的には電界効果移動度が $10\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、さらには $20\text{ cm}^2/\text{V}\cdot\text{s}$ 以上となる。なお、ここでの電界効果移動度は、酸化物半導体膜の物性値としての移動度の近似値ではなく、トランジスタの飽和領域における電流駆動力の指標であり、見かけ上の電界効果移動度である。

【0223】

以下では、酸化物半導体膜の構造について説明する。

【0224】

酸化物半導体膜は、単結晶酸化物半導体膜と非単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、非晶質酸化物半導体膜、微結晶酸化物半導体膜、多結晶酸化物半導体膜、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜などをいう。

【0225】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶成分を有さない酸化物半導体膜である。微小領域においても結晶部を有さず、膜全体が完全な非晶質構造の酸化物半導体膜が典型である。

【0226】

微結晶酸化物半導体膜は、例えば、1 nm以上10 nm未満の大きさの微結晶（ナノ結晶ともいう。）を含む。従って、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも原子配列の規則性が高い。そのため、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。

【0227】

C A A C - O S 膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って、C A A C - O S 膜に含まれる結晶部は、一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさの場合も含まれる。C A A C - O S 膜は、微結晶酸化物半導体膜よりも欠陥準位密度が低いという特徴がある。C A A C - O S 膜を透過型電子顕微鏡（T E M : T r a n s m i s s i o n E l e c t r o n M i c r o s c o p e）によって観察すると、結晶部同士の明確な境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、C A A C - O S 膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0228】

C A A C - O S 膜を、試料面と概略平行な方向からT E Mによって観察（断面T E M観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、C A A C - O S 膜の膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、C A A C - O S 膜の被形成面または上面と平行に配列する。

【0229】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。また、「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0230】

一方、C A A C - O S 膜を、試料面と概略垂直な方向からT E Mによって観察（平面T E M観察）すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0231】

断面T E M観察および平面T E M観察より、C A A C - O S 膜の結晶部は配向性を有していることがわかる。

【0232】

C A A C - O S 膜に対し、X線回折（X R D : X - R a y D i f f r a c t i o n）装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、回折角（ 2θ ）が 31° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、C A A C - O S 膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0233】

一方、C A A C - O S 膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、 2θ が 56° 近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（110）面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、 2θ を 56° 近傍に固定し、試料面の法線ベクトルを軸（ ω 軸）として試料を回転させながら分析（ ω スキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが6本観察される。これに対し、C A A C - O S 膜の場合は、 2θ を

56°近傍に固定して スキャンした場合でも、明瞭なピークが現れない。

【0234】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0235】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0236】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることがある。また、CAAC-OS膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0237】

なお、InGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、2θが36°近傍にもピークが現れる場合がある。2θが36°近傍のピークは、CAAC-OS膜中の一部に、c軸配向性を有さない結晶が含まれることを示している。CAAC-OS膜は、2θが31°近傍にピークを示し、2θが36°近傍にピークを示さないことが好ましい。

【0238】

CAAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動が小さい。よって、当該トランジスタは、信頼性が高い。

【0239】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0240】

また、CAAC-OS膜を成膜するために、以下の条件を適用することが好ましい。

【0241】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、処理室内に存在する不純物濃度（水素、水、二酸化炭素、及び窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が一80℃以下、好ましくは一100℃以下である成膜ガスを用いる。

【0242】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を100℃以上740℃以下、好ましくは200℃以上500℃以下として成膜する。成膜時の基板加熱温度を高めることで、平板状又はペレット状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

【0243】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、30体積%以上、好ましくは100体積%とする。

【0244】

ターゲットの一例として、In-Ga-Zn酸化物ターゲットについて以下に示す。

【0245】

InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末を所定の mol 数比で混合し、加圧処理後、 1000 以上 1500 以下の温度で加熱処理をすることで多結晶である In-Ga-Zn 酸化物ターゲットとする。なお、 x 、 y 及び z は任意の正数である。ここで、所定の mol 数比は、例えば、 InO_x 粉末、 GaO_y 粉末及び ZnO_z 粉末が、 $2:2:1$ 、 $8:4:3$ 、 $3:1:1$ 、 $1:1:1$ 、 $4:2:3$ 、 $2:1:3$ または $3:1:2$ である。なお、粉末の種類、及びその混合する mol 数比は、作製するターゲットによって適宜変更すればよい。特に、 In 、 Ga 、 Zn の mol 数比が $2:1:3$ のターゲットを用いて作製された CAAC-OS 膜は、一定の範囲における CAAC-OS の回折パターンが観測される領域の割合 (CAAC 化率ともいう) を高くすることができるので、当該 CAAC-OS 膜にチャネル形成領域を有するトランジスタの周波数特性 ($f_{\text{特}}$) を高めることができる。

10

【0246】

なお、アルカリ金属は酸化物半導体を構成する元素ではないため、不純物である。アルカリ土類金属も、酸化物半導体を構成する元素ではない場合において、不純物となる。特に、アルカリ金属のうち Na は、酸化物半導体膜に接する絶縁膜が酸化物である場合、当該絶縁膜中に拡散して Na^+ となる。また、 Na は、酸化物半導体膜内において、酸化物半導体を構成する金属と酸素の結合を分断する、或いは、その結合中に割り込む。その結果、例えば、閾値電圧がマイナス方向にシフトすることによるノーマリオン化、移動度の低下等の、トランジスタの電気的特性の劣化が起こり、加えて、特性のばらつきも生じる。具体的に、二次イオン質量分析法による Na 濃度の測定値は、 $5 \times 10^{16} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{16} / \text{cm}^3$ 以下、更に好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、 Li 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。同様に、 K 濃度の測定値は、 $5 \times 10^{15} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{15} / \text{cm}^3$ 以下とするとよい。

20

【0247】

また、インジウムを含む金属酸化物が用いられている場合に、酸素との結合エネルギーがインジウムよりも大きいシリコンや炭素が、インジウムと酸素の結合を切断し、酸素欠損を形成することがある。そのため、シリコンや炭素が酸化物半導体膜に混入していると、アルカリ金属やアルカリ土類金属の場合と同様に、トランジスタの電気的特性の劣化が起こりやすい。よって、酸化物半導体膜中におけるシリコンや炭素の濃度は低いことが望ましい。具体的に、二次イオン質量分析法による C 濃度の測定値、または Si 濃度の測定値は、 $1 \times 10^{18} / \text{cm}^3$ 以下とするとよい。上記構成により、トランジスタの電気的特性の劣化を防ぐことができ、半導体装置の信頼性を高めることができる。

30

【0248】

半導体装置の断面構造の例

図8に、図2、図3で示したスイッチ SW_{21-22} の断面構造を、一例として示す。

【0249】

なお、図8では、酸化物半導体膜にチャネル形成領域を有するトランジスタ22が、単結晶のシリコン基板にチャネル形成領域を有するトランジスタ23上に形成されている場合を例示している。

40

【0250】

トランジスタ23は、非晶質、微結晶、多結晶または単結晶である、シリコン又はゲルマニウムなどの半導体膜または半導体基板に、チャネル形成領域を有していても良い。或いは、トランジスタ23は、酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有していても良い。全てのトランジスタが酸化物半導体膜または酸化物半導体基板に、チャネル形成領域を有している場合、トランジスタ22はトランジスタ23上に積層されていなくとも良く、トランジスタ22とトランジスタ23とは、同一の層に形成されていても良い。

【0251】

シリコンの薄膜を用いてトランジスタ23を形成する場合、当該薄膜には、プラズマ C

50

V D法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0252】

トランジスタ23が形成される半導体基板601は、例えば、シリコン基板、ゲルマニウム基板、シリコンゲルマニウム基板等を用いることができる。図8では、単結晶シリコン基板を半導体基板601として用いる場合を例示している。

【0253】

また、トランジスタ23は、素子分離法により電氣的に分離されている。素子分離法として、選択酸化法(LOCOS法: Local Oxidation of Silicon法)、トレンチ分離法(STI法: Shallow Trench Isolation)等を用いることができる。図8では、トレンチ分離法を用いてトランジスタ23を電氣的に分離する場合を例示している。具体的に、図8では、半導体基板601にエッチング等によりトレンチを形成した後、酸化珪素などを含む絶縁物を当該トレンチに埋め込むことで形成される素子分離領域610により、トランジスタ23を素子分離させる場合を例示している。

【0254】

トランジスタ23上には、絶縁膜611が設けられている。絶縁膜611には開口部が形成されている。そして、上記開口部には、トランジスタ23のソース及びドレインにそれぞれ電氣的に接続されている導電膜625及び導電膜626と、トランジスタ23のゲートに電氣的に接続されている導電膜627とが、形成されている。

【0255】

そして、導電膜625は、絶縁膜611上に形成された導電膜634に電氣的に接続されており、導電膜626は、絶縁膜611上に形成された導電膜635に電氣的に接続されており、導電膜627は、絶縁膜611上に形成された導電膜636に電氣的に接続されている。

【0256】

導電膜634乃至導電膜636上には、絶縁膜612が形成されている。絶縁膜612には開口部が形成されており、上記開口部に、導電膜636に電氣的に接続された導電膜637が形成されている。そして、導電膜637は、絶縁膜612上に形成された導電膜651に、電氣的に接続されている。

【0257】

また、導電膜651上には、絶縁膜613が形成されている。絶縁膜613には開口部が形成されており、上記開口部に、導電膜651に電氣的に接続された導電膜652が形成されている。そして、導電膜652は、絶縁膜613上に形成された導電膜653に、電氣的に接続されている。また、絶縁膜613上には、導電膜644が形成されている。

【0258】

導電膜653及び導電膜644上には絶縁膜661が形成されている。そして、図8では、絶縁膜661上にトランジスタ22が形成されている。

【0259】

トランジスタ22は、絶縁膜661上に、酸化物半導体を含む半導体膜701と、半導体膜701上の、ソースまたはドレインとして機能する導電膜721及び導電膜722と、半導体膜701、導電膜721及び導電膜722上のゲート絶縁膜662と、ゲート絶縁膜662上に位置し、導電膜721と導電膜722の間において半導体膜701と重なっているゲート電極731と、を有する。なお、導電膜722は、絶縁膜661に設けられた開口部において、導電膜653に電氣的に接続されている。

【0260】

そして、トランジスタ22では、半導体膜701において、導電膜721に重なる領域と、ゲート電極731に重なる領域との間に、領域710が存在する。また、トランジスタ

10

20

30

40

50

タ２２では、半導体膜７０１において、導電膜７２２に重なる領域と、ゲート電極７３１に重なる領域との間に、領域７１１が存在する。領域７１０及び領域７１１に、導電膜７２１、導電膜７２２、及びゲート電極７３１をマスクとしてアルゴン等の希ガス、ｐ型の導電型を半導体膜７０１に付与する不純物、或いは、ｎ型の導電型を半導体膜７０１に付与する不純物を添加することで、半導体膜７０１のうちゲート電極７３１に重なる領域よりも、領域７１０及び領域７１１の抵抗率を下げるができる。

【０２６１】

そして、トランジスタ２２上に、絶縁膜６６３が設けられている。

【０２６２】

なお、図８において、トランジスタ２２は、ゲート電極７３１を半導体膜７０１の片側において少なくとも有していれば良いが、半導体膜７０１を間に挟んで存在する一対のゲート電極を有していても良い。

10

【０２６３】

トランジスタ２２が、半導体膜７０１を間に挟んで存在する一対のゲート電極を有している場合、一方のゲート電極には導通状態または非導通状態を制御するための信号が与えられ、他方のゲート電極は、電位が他から与えられている状態であっても良い。この場合、一対のゲート電極に、同じ高さの電位が与えられていても良いし、他方のゲート電極にのみ接地電位などの固定の電位が与えられていても良い。他方のゲート電極に与える電位の高さを制御することで、トランジスタの閾値電圧を制御することができる。

【０２６４】

20

また、図８では、トランジスタ２２が、一のゲート電極７３１に対応した一のチャネル形成領域を有する、シングルゲート構造である場合を例示している。しかし、トランジスタ２２は、電気的に接続された複数のゲート電極を有することで、一の活性層にチャネル形成領域を複数有する、マルチゲート構造であっても良い。

【０２６５】

半導体装置の断面構造の例

図１８に、図１４、図１５で示したスイッチＳＷ２１－２２の断面構造を、一例として示す。

【０２６６】

図１８では、第１のトランジスタＭ３１と、第２のトランジスタＭ３２と、第１の容量Ｃ３１の断面構造を示す。第１のトランジスタＭ３１は、半導体層の下側にゲートがあるボトムゲート構造で、第２のトランジスタＭ３２は、半導体層の上側にゲートがあるトップゲート構造を有する。

30

【０２６７】

基板５２０は、上記した基板４００と同様な構成を有することができる。

【０２６８】

基板５２０上には、トランジスタ５２１、トランジスタ５２２、容量５２３が設けられている。トランジスタ５２１は、第１のトランジスタＭ３１に適用することができる。トランジスタ５２２は、第２のトランジスタＭ３２に適用することができる。容量５２３は、第１の容量Ｃ３１に適用することができる。

40

【０２６９】

基板５２０上に、導電膜を形成する。所定の形状に加工し、第１の導電層５２４、第２の導電層５２５とすることができる。第１の導電層５２４は、トランジスタ５２１のゲートとして機能することができる。第２の導電層５２５は、容量５２３の一方の電極として機能することができる。これらは出発膜を同じ導電膜として、形成されたものである。導電膜は、上記導電性材料と同様な材料を有することができる。

【０２７０】

第１の導電層５２４、第２の導電層５２５上に、絶縁膜５２８を形成する。絶縁膜５２８は、トランジスタ５２１において、ゲート絶縁膜として機能する領域を有し、容量５２３において、誘電体として機能する領域を有し、トランジスタ５２２において、下地膜と

50

して機能する領域を有する。絶縁膜 5 2 8 は、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。

【 0 2 7 1 】

絶縁膜 5 2 8 上に、半導体膜を形成する。所定の形状に加工し、第 1 の半導体層 5 3 4、第 2 の半導体層 5 3 5 とすることができる。第 1 の半導体層 5 3 4 は、少なくとも、トランジスタ 5 2 1 のチャネル形成領域となる領域を有する。第 2 の半導体層 5 3 5 は、少なくとも、トランジスタ 5 2 2 のチャネル形成領域となる領域を有する。半導体膜は、上記した酸化物半導体膜と同様な構成を有することができる。半導体膜に C A A C - O S 膜を適用すると、オフ電流が非常に小さくなり、少なくとも、第 1 のトランジスタ M 3 1 に好適である。

10

【 0 2 7 2 】

上記半導体層上に、導電膜を形成する。所定の形状に加工し、第 3 の導電層 5 3 0、第 4 の導電層 5 3 1、第 5 の導電層 5 3 2、第 6 の導電層 5 3 3 とすることができる。第 3 の導電層 5 3 0 は、トランジスタ 5 2 1 のソース又はドレインの一方として、機能することができる。第 4 の導電層 5 3 1 は、トランジスタ 5 2 1 のソース又はドレインの他方として、機能することができる。第 4 の導電層 5 3 1 は、容量 5 2 3 の他方の電極として、機能することができる。第 5 の導電層 5 3 2 は、トランジスタ 5 2 2 のソース又はドレインの一方として、機能することができる。第 6 の導電層 5 3 3 は、トランジスタ 5 2 2 のソース又はドレインの他方として、機能することができる。これらは出発膜を同じ導電膜として、形成されたものである。導電膜は、上記導電性材料と同様な材料を有することができる。

20

【 0 2 7 3 】

第 3 の導電層 5 3 0 乃至第 6 の導電層 5 3 3 上に、絶縁膜 5 3 6 を形成する。絶縁膜 5 3 6 は、トランジスタ 5 2 1 において、保護膜として機能することができる。絶縁膜 5 3 6 は、トランジスタ 5 2 2 において、ゲート絶縁膜として機能することができる。絶縁膜 5 3 6 は、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジウム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。

30

【 0 2 7 4 】

絶縁膜 5 3 6 に開口部 5 3 7 を形成する。

【 0 2 7 5 】

絶縁膜 5 3 6 上に、導電膜を形成する。所定の形状に加工して、第 7 の導電層 5 3 9、第 8 の導電層 5 4 0 とすることができる。第 7 の導電層 5 3 9 は、トランジスタ 5 2 1 のソース又はドレインの一方と、トランジスタ 5 2 2 のゲートとを電氣的に接続する配線として機能することができる。第 8 の導電層 5 4 0 は、トランジスタ 5 2 2 のゲートとして機能することができる。これらは出発膜を同じ導電膜として、形成されたものである。導電膜は、上記導電性材料と同様な材料を有することができる。

40

【 0 2 7 6 】

トランジスタ 5 2 2 において、少なくとも第 5 の導電層 5 3 2、第 6 の導電層 5 3 3、第 8 の導電層 5 4 0 をマスクとして、元素を半導体層 5 3 5 に添加してもよい。当該元素にはアルゴン等の希ガス、燐、ボロン等が挙げられる。当該元素が添加された領域 5 4 1 は、添加されていない領域よりも、抵抗が下がることとなる。その結果、トランジスタ 5 2 2 のオン電流を向上させることができる。

【 0 2 7 7 】

第 7 の導電層 5 3 9、第 8 の導電層 5 4 0 上に、絶縁膜 5 4 3 を形成する。絶縁膜 5 4 3 は、酸化アルミニウム、酸化マグネシウム、酸化珪素、酸化窒化珪素、窒化酸化珪素、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン

50

、酸化ネオジム、酸化ハフニウムおよび酸化タンタルなどを用いることができる。

【0278】

このような構成を、第1のトランジスタM31、第2のトランジスタM32、第1の容量C31に適用することができる。同様に、第4のトランジスタM34、第5のトランジスタM35、第2の容量C32に適用することができる。

【0279】

電子機器の例

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはDVD: Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ATM）、自動販売機、医療機器などが挙げられる。これら電子機器の具体例を図9に示す。

10

【0280】

図9（A）は携帯型ゲーム機であり、筐体5001、筐体5002、表示部5003、表示部5004、マイクロホン5005、スピーカー5006、操作キー5007、スタイラス5008等を有する。本発明の一態様にかかる半導体装置は、携帯型ゲーム機の各種集積回路に用いることができる。なお、図9（A）に示した携帯型ゲーム機は、2つの表示部5003と表示部5004とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

【0281】

図9（B）は携帯情報端末であり、第1筐体5601、第2筐体5602、第1表示部5603、第2表示部5604、接続部5605、操作キー5606等を有する。本発明の一態様にかかる半導体装置は、携帯情報端末の各種集積回路に用いることができる。第1表示部5603は第1筐体5601に設けられており、第2表示部5604は第2筐体5602に設けられている。そして、第1筐体5601と第2筐体5602とは、接続部5605により接続されており、第1筐体5601と第2筐体5602の間の角度は、接続部5605により変更が可能である。第1表示部5603における映像を、接続部5605における第1筐体5601と第2筐体5602との間の角度に従って、切り替える構成としても良い。また、第1表示部5603及び第2表示部5604の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることで、付加することができる。

30

【0282】

図9（C）はノート型パーソナルコンピュータであり、筐体5401、表示部5402、キーボード5403、ポインティングデバイス5404等を有する。本発明の一態様にかかる半導体装置は、ノート型パーソナルコンピュータの各種集積回路に用いることができる。

40

【0283】

図9（D）は電気冷凍冷蔵庫であり、筐体5301、冷蔵室用扉5302、冷凍室用扉5303等を有する。本発明の一態様にかかる半導体装置は、電気冷凍冷蔵庫の各種集積回路に用いることができる。

【0284】

図9（E）はビデオカメラであり、第1筐体5801、第2筐体5802、表示部5803、操作キー5804、レンズ5805、接続部5806等を有する。本発明の一態様

50

にかかる半導体装置は、ビデオカメラの各種集積回路に用いることができる。操作キー 5804 及びレンズ 5805 は第 1 筐体 5801 に設けられており、表示部 5803 は第 2 筐体 5802 に設けられている。そして、第 1 筐体 5801 と第 2 筐体 5802 とは、接続部 5806 により接続されており、第 1 筐体 5801 と第 2 筐体 5802 の間の角度は、接続部 5806 により変更が可能である。表示部 5803 における映像を、接続部 5806 における第 1 筐体 5801 と第 2 筐体 5802 との間の角度に従って切り替える構成としても良い。

【0285】

図 9 (F) は普通自動車であり、車体 5101、車輪 5102、ダッシュボード 5103、ライト 5104 等を有する。本発明の一態様にかかる半導体装置は、普通自動車の各種集積回路に用いることができる。

10

【0286】

<その他>

なお、本明細書等において、X と Y とが接続されている、と明示的に記載する場合は、X と Y とが電氣的に接続されている場合と、X と Y とが機能的に接続されている場合と、X と Y とが直接接続されている場合とを含むものとする。したがって、所定の接続関係、例えば、図または文章に示された接続関係に限定されるものではない。

【0287】

ここで、X、Y は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

20

【0288】

X と Y とが電氣的に接続されている場合の一例としては、X と Y との電氣的な接続を可能とする素子（例えば、スイッチ、トランジスタ、容量素子、インダクタ、抵抗素子、ダイオード、表示素子、発光素子、負荷など）が、X と Y との間に 1 個以上接続されることが可能である。なお、スイッチは、オンオフが制御される機能を有している。つまり、スイッチは、導通状態（オン状態）、または、非導通状態（オフ状態）になり、電流を流すか流さないかを制御する機能を有している。または、スイッチは、電流を流す経路を選択して切り替える機能を有している。

【0289】

X と Y とが機能的に接続されている場合の一例としては、X と Y との機能的な接続を可能とする回路（例えば、論理回路（インバータ、NAND 回路、NOR 回路など）、信号変換回路（DA 変換回路、AD 変換回路、ガンマ補正回路など）、電位レベル変換回路（電源回路（昇圧回路、降圧回路など）、信号の電位レベルを変えるレベルシフト回路など）、電圧源、電流源、切り替え回路、増幅回路（信号振幅または電流量などを大きく出来る回路、オペアンプ、差動増幅回路、ソースフォロワ回路、バッファ回路など）、信号生成回路、記憶回路、制御回路など）が、X と Y との間に 1 個以上接続されることが可能である。なお、一例として、X と Y との間に別の回路を挟んでいても、X から出力された信号が Y へ伝達される場合は、X と Y とは機能的に接続されているものとする。

30

【0290】

なお、X と Y とが接続されている、と明示的に記載する場合は、X と Y とが電氣的に接続されている場合（つまり、X と Y との間に別の素子又は別の回路を挟んで接続されている場合）と、X と Y とが機能的に接続されている場合（つまり、X と Y との間に別の回路を挟んで機能的に接続されている場合）と、X と Y とが直接接続されている場合（つまり、X と Y との間に別の素子又は別の回路を挟まずに接続されている場合）とを含むものとする。つまり、電氣的に接続されている、と明示的に記載する場合は、単に、接続されている、とのみ明示的に記載されている場合と同じであるとする。

40

【0291】

なお、例えば、トランジスタのソース（又は第 1 の端子など）が、Z1 を介して（又は介さず）、X と電氣的に接続され、トランジスタのドレイン（又は第 2 の端子など）が、Z2 を介して（又は介さず）、Y と電氣的に接続されている場合や、トランジスタのソー

50

ス（又は第１の端子など）が、Ｚ１の一部と直接的に接続され、Ｚ１の別の一部がＸと直接的に接続され、トランジスタのドレイン（又は第２の端子など）が、Ｚ２の一部と直接的に接続され、Ｚ２の別の一部がＹと直接的に接続されている場合には、以下のように表現することが出来る。

【０２９２】

例えば、「ＸとＹとトランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とは、互いに電氣的に接続されており、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第１の端子など）は、Ｘと電氣的に接続され、トランジスタのドレイン（又は第２の端子など）はＹと電氣的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この順序で電氣的に接続されている」と表現することができる。または、「Ｘは、トランジスタのソース（又は第１の端子など）とドレイン（又は第２の端子など）とを介して、Ｙと電氣的に接続され、Ｘ、トランジスタのソース（又は第１の端子など）、トランジスタのドレイン（又は第２の端子など）、Ｙは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第１の端子など）と、ドレイン（又は第２の端子など）とを、区別して、技術的範囲を決定することができる。なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、Ｘ、Ｙ、Ｚ１、Ｚ２は、対象物（例えば、装置、素子、回路、配線、電極、端子、導電膜、層、など）であるとする。

【０２９３】

なお、回路図上は独立している構成要素同士が電氣的に接続しているように図示されている場合であっても、１つの構成要素が、複数の構成要素の機能を併せ持っている場合もある。例えば配線の一部が電極としても機能する場合は、一の導電膜が、配線の機能、及び電極の機能の両方の構成要素の機能を併せ持っている。したがって、本明細書における電氣的に接続とは、このような、一の導電膜が、複数の構成要素の機能を併せ持っている場合も、その範囲に含める。

【０２９４】

なお、ある一つの実施の形態の中で述べる内容（一部の内容でもよい）は、その実施の形態で述べる別の内容（一部の内容でもよい）、及び／又は、一つ若しくは複数の別の実施の形態で述べる内容（一部の内容でもよい）に対して、適用、組み合わせ、又は置き換えなどを行うことが出来る。

【０２９５】

なお、実施の形態の中で述べる内容とは、各々の実施の形態において、様々な図を用いて述べる内容、又は明細書に記載される文章を用いて述べる内容のことである。

【０２９６】

なお、ある一つの実施の形態において述べる図（一部でもよい）は、その図の別の部分、その実施の形態において述べる別の図（一部でもよい）、及び／又は、一つ若しくは複数の別の実施の形態において述べる図（一部でもよい）に対して、組み合わせることにより、さらに多くの図を構成させることが出来る。

【０２９７】

なお、明細書の中の図面や文章において規定されていない内容について、その内容を除くことを規定した発明の一態様を構成することが出来る。または、ある値について、上限値と下限値などで示される数値範囲が記載されている場合、その範囲を任意に狭めることで、または、その範囲の中の一点を除くことで、その範囲を一部除いた発明の一態様を規定することができる。これらにより、例えば、従来技術が本発明の一態様の技術的範囲内に入らないことを規定することができる。

【０２９８】

具体例としては、ある回路において、第１乃至第５のトランジスタを用いている回路図

が記載されているとする。その場合、その回路が、第6のトランジスタを有していないことを発明として規定することが可能である。または、その回路が、容量素子を有していないことを規定することが可能である。さらに、その回路が、ある特定の接続構造をとっているような第6のトランジスタを有していない、と規定して発明を構成することができる。または、その回路が、ある特定の接続構造をとっている容量素子を有していない、と規定して発明を構成することができる。例えば、ゲートが第3のトランジスタのゲートと接続されている第6のトランジスタを有していない、と発明を規定することが可能である。または、例えば、第1の電極が第3のトランジスタのゲートと接続されている容量素子を有していない、と発明を規定することが可能である。

【0299】

別の具体例としては、ある値について、例えば、「ある電圧が、3 V以上10 V以下であることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明の一態様を規定することが可能である。なお、例えば、その電圧が、5 V以上8 V以下であると発明を規定することも可能である。なお、例えば、その電圧が、概略9 Vであると発明を規定することも可能である。なお、例えば、その電圧が、3 V以上10 V以下であるが、9 Vである場合を除くと発明を規定することも可能である。なお、ある値について、「このような範囲であることが好ましい」、「これらを満たすことが好適である」となどと記載されていたとしても、ある値は、それらの記載に限定されない。つまり、「好ましい」、「好適である」などと記載されていたとしても、必ずしも、それらの記載には、限定されない。

【0300】

別の具体例としては、ある値について、例えば、「ある電圧が、10 Vであることが好適である」と記載されているとする。その場合、例えば、ある電圧が、-2 V以上1 V以下である場合を除く、と発明の一態様を規定することが可能である。または、例えば、ある電圧が、13 V以上である場合を除く、と発明の一態様を規定することが可能である。

【0301】

別の具体例としては、ある物質の性質について、例えば、「ある膜は、絶縁膜である」と記載されているとする。その場合、例えば、その絶縁膜が、有機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その絶縁膜が、無機絶縁膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、導電膜である場合を除く、と発明の一態様を規定することが可能である。または、例えば、その膜が、半導体膜である場合を除く、と発明の一態様を規定することが可能である。

【0302】

別の具体例としては、ある積層構造について、例えば、「A膜とB膜との間に、ある膜が設けられている」と記載されているとする。その場合、例えば、その膜が、4層以上の積層膜である場合を除く、と発明を規定することが可能である。または、例えば、A膜とその膜との間に、導電膜が設けられている場合を除く、と発明を規定することが可能である。

【0303】

なお、本明細書等においては、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有するすべての端子について、その接続先を特定しなくても、当業者であれば、発明の一態様を構成することは可能な場合がある。つまり、接続先を特定しなくても、発明の一態様が明確であると言える。そして、接続先が特定された内容が、本明細書等に記載されている場合、接続先を特定しない発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。特に、端子の接続先が複数のケース考えられる場合には、その端子の接続先を特定の箇所に限定する必要はない。したがって、能動素子（トランジスタ、ダイオードなど）、受動素子（容量素子、抵抗素子など）などが有する一部の端子についてのみ、その接続先を特定することによって、発明

の一態様を構成することが可能な場合がある。

【0304】

なお、本明細書等においては、ある回路について、少なくとも接続先を特定すれば、当業者であれば、発明を特定することが可能な場合がある。または、ある回路について、少なくとも機能を特定すれば、当業者であれば、発明を特定することが可能な場合がある。つまり、機能を特定すれば、発明の一態様が明確であると言える。そして、機能が特定された発明の一態様が、本明細書等に記載されていると判断することが可能な場合がある。したがって、ある回路について、機能を特定しなくても、接続先を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。または、ある回路について、接続先を特定しなくても、機能を特定すれば、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。

10

【0305】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、その一部分を取り出して、発明の一態様を構成することは可能である。したがって、ある部分を述べる図または文章が記載されている場合、その一部分の図または文章を取り出した内容も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能であるものとする。そして、その発明の一態様は明確であると言える。そのため、例えば、能動素子（トランジスタ、ダイオードなど）、配線、受動素子（容量素子、抵抗素子など）、導電層、絶縁層、半導体層、有機材料、無機材料、部品、装置、動作方法、製造方法などが単数もしくは複数記載された図面または文章において、その一部分を取り出して、発明の一態様を構成することが可能であるものとする。例えば、 N 個（ N は整数）の回路素子（トランジスタ、容量素子等）を有して構成される回路図から、 M 個（ M は整数で、 $M < N$ ）の回路素子（トランジスタ、容量素子等）を抜き出して、発明の一態様を構成することは可能である。別の例としては、 N 個（ N は整数）の層を有して構成される断面図から、 M 個（ M は整数で、 $M < N$ ）の層を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、 N 個（ N は整数）の要素を有して構成されるフローチャートから、 M 個（ M は整数で、 $M < N$ ）の要素を抜き出して、発明の一態様を構成することは可能である。さらに別の例としては、「 A は、 B 、 C 、 D 、 E 、または、 F を有する」と記載されている文章から、一部の要素を任意に抜き出して、「 A は、 B と E とを有する」、「 A は、 E と F とを有する」、「 A は、 C と E と F とを有する」、または、「 A は、 B と C と D と E とを有する」などの発明の一態様を構成することは可能である。

20

30

【0306】

なお、本明細書等においては、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念を導き出すことは、当業者であれば容易に理解される。したがって、ある一つの実施の形態において述べる図または文章において、少なくとも一つの具体例が記載される場合、その具体例の上位概念も、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は、明確であると言える。

【0307】

40

なお、本明細書等においては、少なくとも図に記載した内容（図の中の一部でもよい）は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。したがって、ある内容について、図に記載されていれば、文章を用いて述べていなくても、その内容は、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。同様に、図の一部を取り出した図についても、発明の一態様として開示されているものであり、発明の一態様を構成することが可能である。そして、その発明の一態様は明確であると言える。

【符号の説明】

【0308】

C 1 1 容量

50

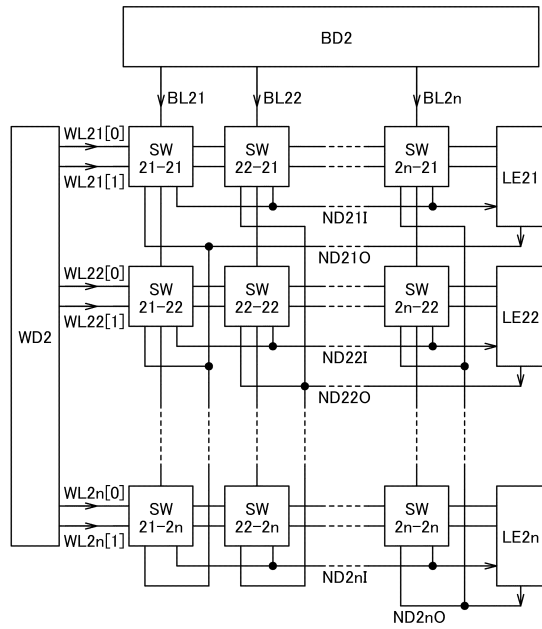
C 1 2	容量	
C 2 1	容量	
C 2 2	容量	
C 3 1	容量	
C 3 2	容量	
F 1	ノード	
M 1 1	トランジスタ	
M 1 2	トランジスタ	
M 1 3	トランジスタ	
M 1 4	トランジスタ	10
M 1 5	トランジスタ	
M 1 6	トランジスタ	
M 2 1	トランジスタ	
M 2 2	トランジスタ	
M 2 3	トランジスタ	
M 2 4	トランジスタ	
M 2 5	トランジスタ	
M 2 6	トランジスタ	
M 3 1	トランジスタ	
M 3 2	トランジスタ	20
M 3 3	トランジスタ	
M 3 4	トランジスタ	
M 3 5	トランジスタ	
M 3 6	トランジスタ	
N 2 3	ノード	
N 2 4	ノード	
N 3 3	トランジスタ	
N D 1 1	ノード	
N D 1 2	ノード	
N D 2 1	ノード	30
N D 2 2	ノード	
N D 2 3	ノード	
N D 2 4	ノード	
N D 3 1	ノード	
N D 3 2	ノード	
N D 3 3	ノード	
S N 1 1	ノード	
S N 1 2	ノード	
S N 2 1	ノード	
S N 2 2	ノード	40
S N 3 1	ノード	
S N 3 2	ノード	
S W 1	スイッチ群	
S W 1 1	スイッチ	
S W 1 2	スイッチ	
S W 2 1	スイッチ	
S W 2 1 - 2 2	スイッチ	
S W 2 2	スイッチ	
S W 3 1	スイッチ	
S W 3 2	スイッチ	50

2 n - 2 n	S W	
2 n - 2 1	S W	
2 n - 2 2	S W	
2 1 - 2 n	S W	
2 1 - 2 1	S W	
2 1 - 2 2	S W	
2 2	トランジスタ	
2 2 - 2 n	S W	
2 2 - 2 1	S W	
2 2 - 2 2	S W	10
2 3	トランジスタ	
3 2	ノード	
3 3	ノード	
5 4	インバータ	
6 6 A	回路	
6 6 B	回路	
6 8	インバータ	
7 0	トランジスタ	
7 2	容量	
7 4	トランジスタ	20
7 6	トランジスタ	
9 1	絶縁膜	
9 2 a	酸化物半導体膜	
9 2 b	酸化物半導体膜	
9 2 c	酸化物半導体膜	
9 3	導電膜	
9 4	導電膜	
9 5	絶縁膜	
9 6	導電膜	
9 7	絶縁表面	30
1 0 1	信号線	
1 0 2	信号線	
1 0 3	信号線	
1 0 4	信号線	
1 0 5	信号線	
2 0 1	スイッチ	
2 0 2	L U T	
2 0 3	レジスタ	
2 0 4	記憶装置	
2 1 0	信号線	40
2 1 1	信号線	
2 2 0	信号線	
2 2 1	信号線	
2 2 2	信号線	
3 0 1	信号線	
3 0 2	信号線	
3 0 3	信号線	
3 0 4	信号線	
3 0 5	信号線	
3 0 6	メモリ	50

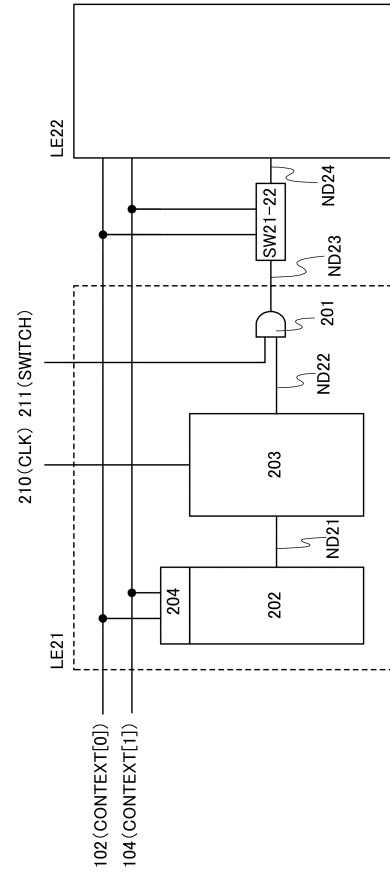
4 0 0	基板	
4 0 1	素子分離領域	
4 0 2	不純物領域	
4 0 3	不純物領域	
4 0 4	チャネル形成領域	
4 0 5	絶縁膜	
4 0 6	ゲート電極	
4 1 1	絶縁膜	
4 1 2	導電膜	
4 1 3	導電膜	10
4 1 4	導電膜	
4 1 6	導電膜	
4 1 7	導電膜	
4 1 8	導電膜	
4 2 0	絶縁膜	
4 2 1	絶縁膜	
4 2 2	絶縁膜	
4 3 0	半導体膜	
4 3 0 a	酸化物半導体膜	
4 3 0 c	酸化物半導体膜	20
4 3 1	ゲート絶縁膜	
4 3 2	導電膜	
4 3 3	導電膜	
4 3 4	ゲート電極	
5 2 0	基板	
5 2 1	トランジスタ	
5 2 2	トランジスタ	
5 2 3	容量	
5 2 4	導電層	
5 2 5	導電層	30
5 2 8	絶縁膜	
5 3 0	導電層	
5 3 1	導電層	
5 3 2	導電層	
5 3 3	導電層	
5 3 4	半導体層	
5 3 5	半導体層	
5 3 6	絶縁膜	
5 3 7	開口部	
5 3 9	導電層	40
5 4 0	導電層	
5 4 1	領域	
5 4 3	絶縁膜	
6 0 1	半導体基板	
6 1 0	素子分離領域	
6 1 1	絶縁膜	
6 1 2	絶縁膜	
6 1 3	絶縁膜	
6 2 5	導電膜	
6 2 6	導電膜	50

6 2 7	導電膜	
6 3 4	導電膜	
6 3 5	導電膜	
6 3 6	導電膜	
6 3 7	導電膜	
6 4 4	導電膜	
6 5 1	導電膜	
6 5 2	導電膜	
6 5 3	導電膜	
6 6 1	絶縁膜	10
6 6 2	ゲート絶縁膜	
6 6 3	絶縁膜	
7 0 1	半導体膜	
7 1 0	領域	
7 1 1	領域	
7 2 1	導電膜	
7 2 2	導電膜	
7 3 1	ゲート電極	
5 0 0 1	筐体	
5 0 0 2	筐体	20
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 1 0 1	車体	
5 1 0 2	車輪	
5 1 0 3	ダッシュボード	
5 1 0 4	ライト	30
5 3 0 1	筐体	
5 3 0 2	冷蔵室用扉	
5 3 0 3	冷凍室用扉	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	40
5 6 0 4	表示部	
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	筐体	
5 8 0 3	表示部	
5 8 0 4	操作キー	
5 8 0 5	レンズ	
5 8 0 6	接続部	

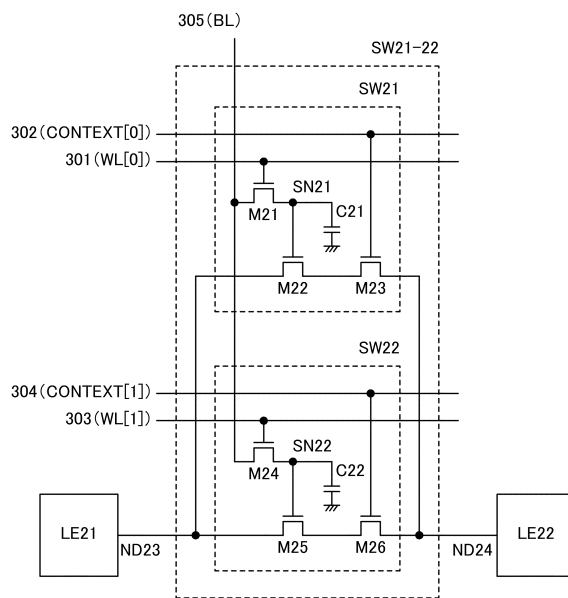
【図 1】



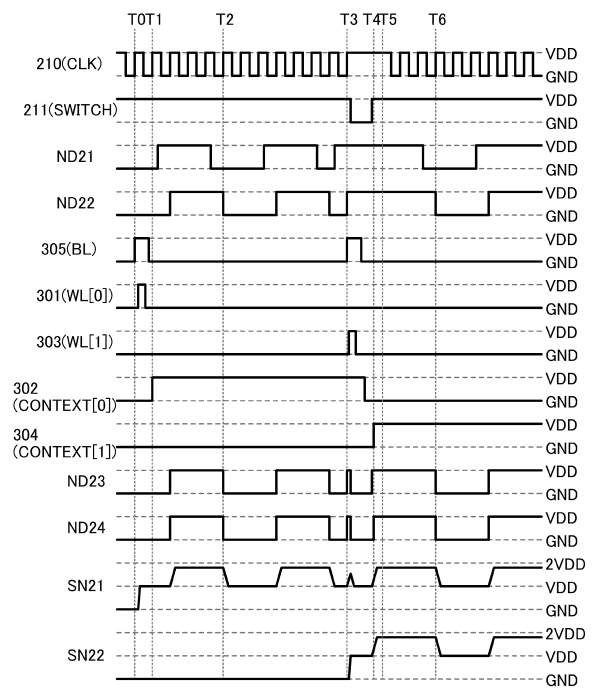
【図 2】



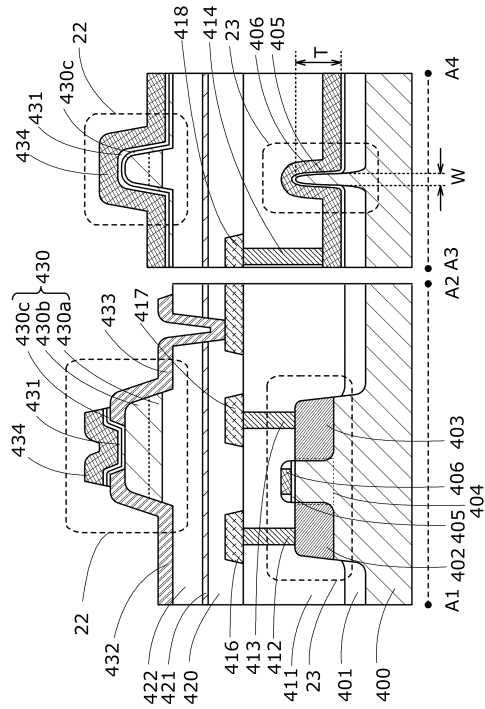
【図 3】



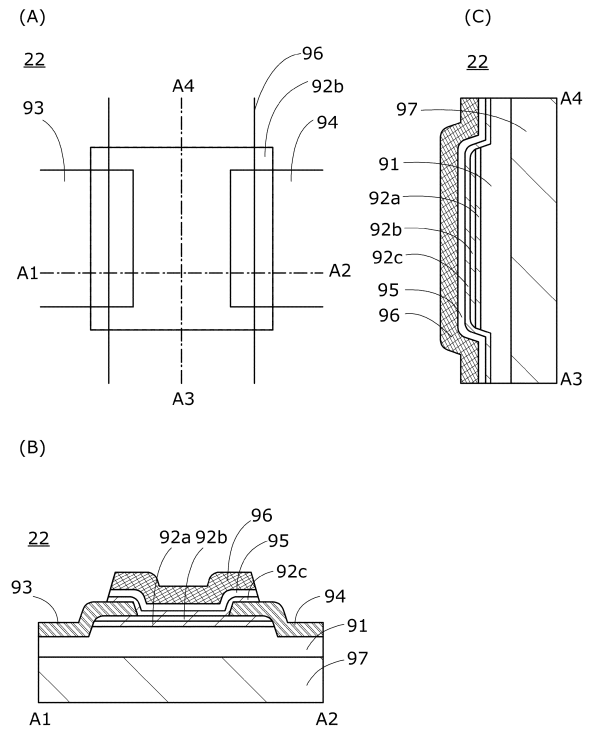
【図 4】



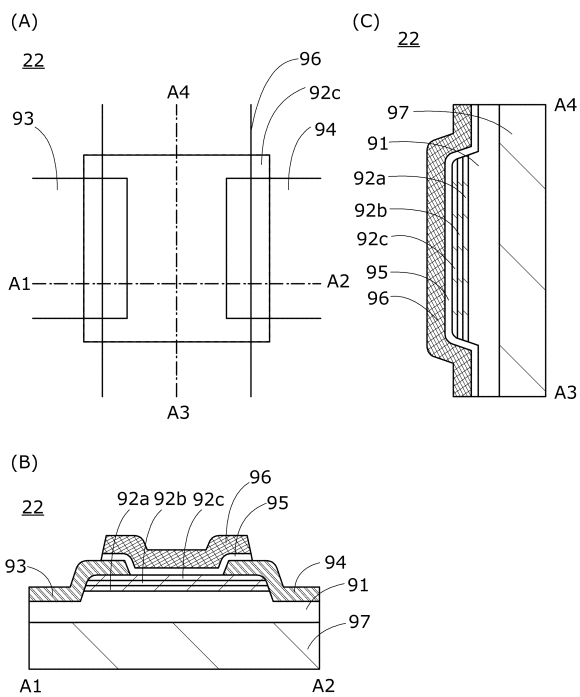
【図 5】



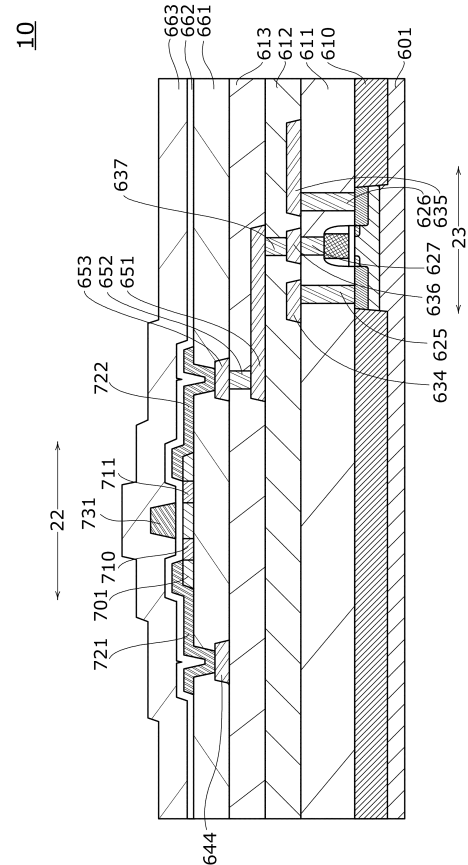
【図 6】



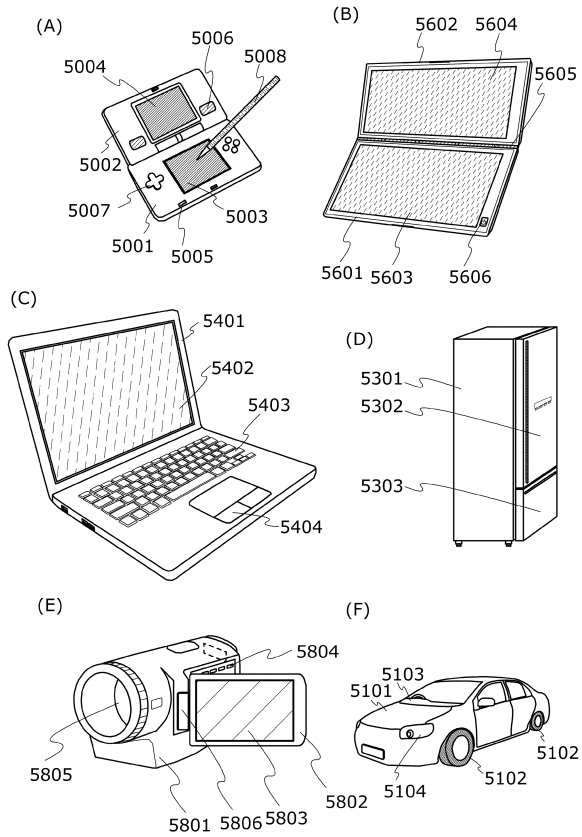
【図 7】



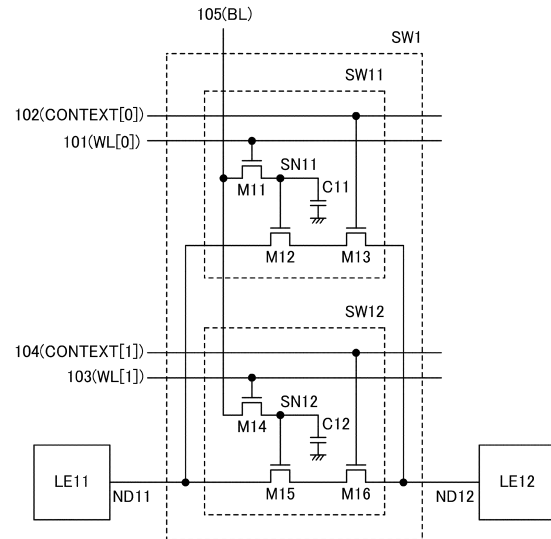
【図 8】



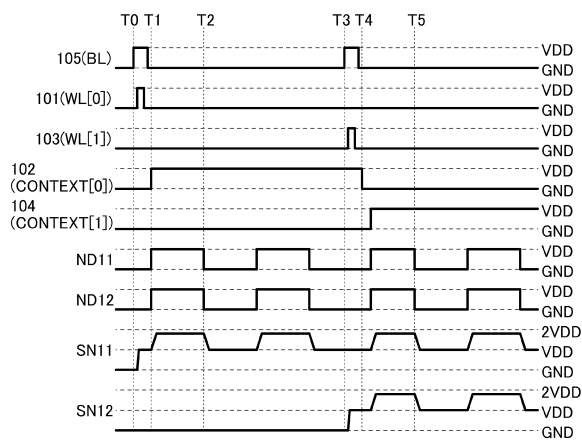
【図 9】



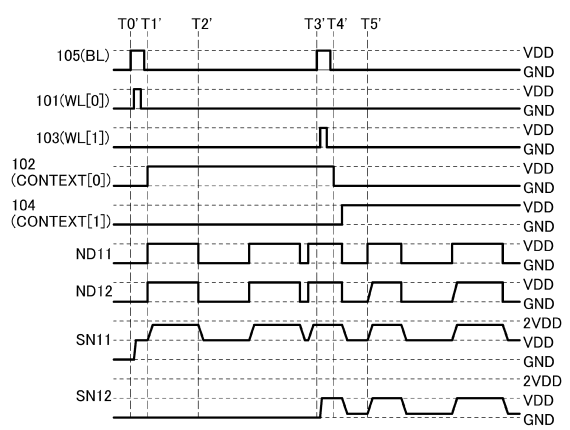
【図 10】



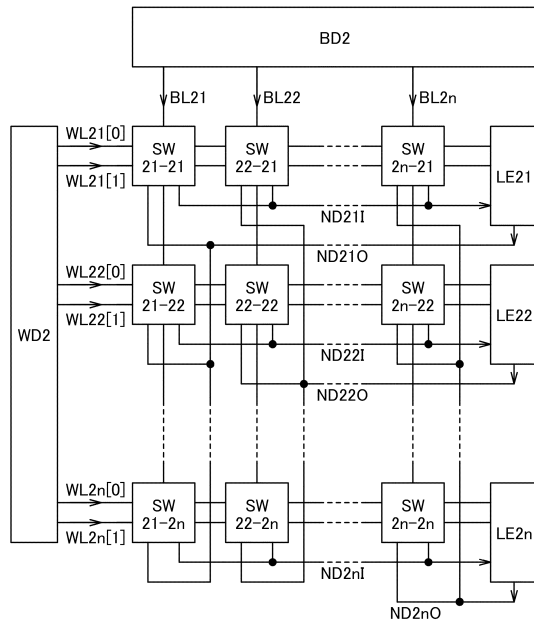
【図 11】



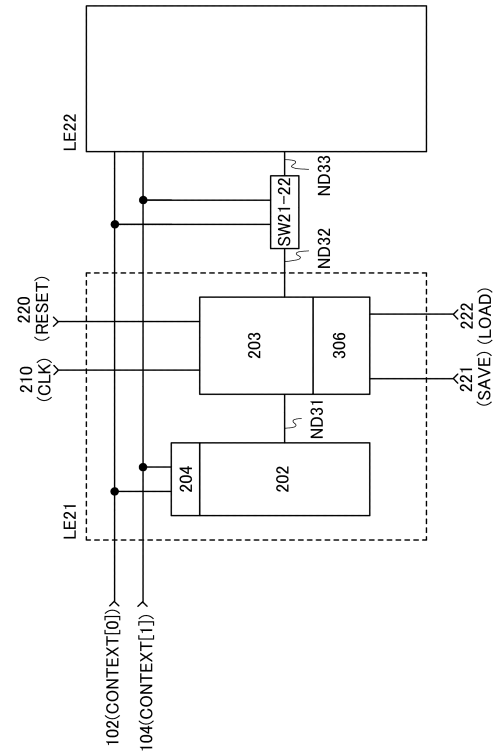
【図 12】



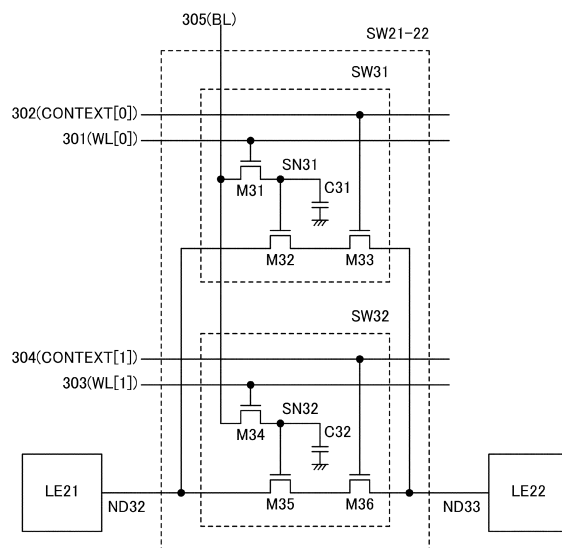
【図 13】



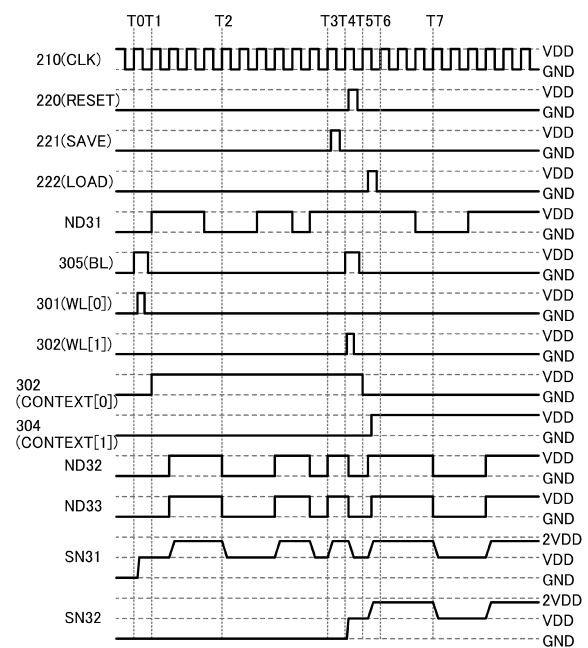
【図 14】



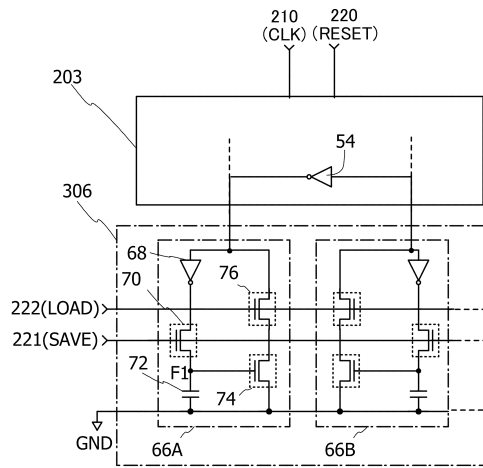
【図 15】



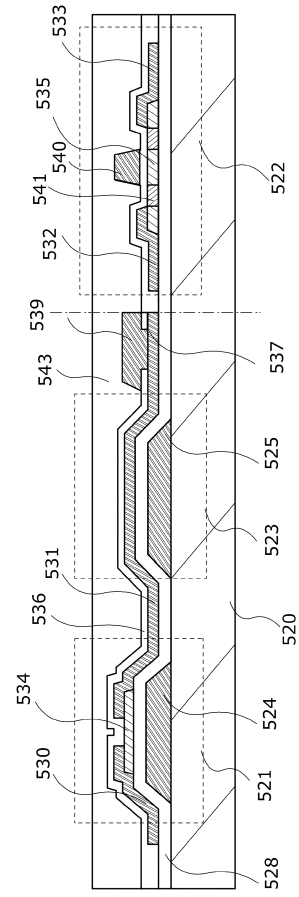
【図 16】



【図 17】



【図 18】



フロントページの続き

(56)参考文献 特開 2013 - 251894 (JP, A)
特開 2014 - 038684 (JP, A)
特開 2012 - 257236 (JP, A)
特開 2012 - 217158 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H03K	19/098 - 19/23
H01L	21/82
H01L	21/822
H01L	27/04