



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I782941 B

(45)公告日：中華民國 111 (2022) 年 11 月 11 日

(21)申請案號：107101053

(22)申請日：中華民國 107 (2018) 年 01 月 11 日

(51)Int. Cl. : H01L21/28 (2006.01)

H01L29/40 (2006.01)

(71)申請人：聯華電子股份有限公司 (中華民國) UNITED MICROELECTRONICS CORP. (TW)  
 新竹市新竹科學工業園區力行二路三號

(72)發明人：劉仕佑 LIU, SHI-YOU (TW)；溫在宇 WEN, TSAI-YU (TW)；李靜宜 LI, CHING-I (TW)；蕭雅茵 HSIAO, YA-YIN (TW)；吳誌強 WU, CHIH-CHIANG (TW)；劉毓鈞 LIU, YU-CHUN (TW)；陳倬彬 CHEN, TI-BIN (TW)；陳紹平 CHEN, SHAO-PING (TW)；馬煥淇 MA, HUAN-CHI (TW)；游建文 YU, CHIEN-WEN (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

CN 102446855B

US 7176530B1

US 2014/0103429A1

審查人員：陳章德

申請專利範圍項數：7 項 圖式數：6 共 17 頁

(54)名稱

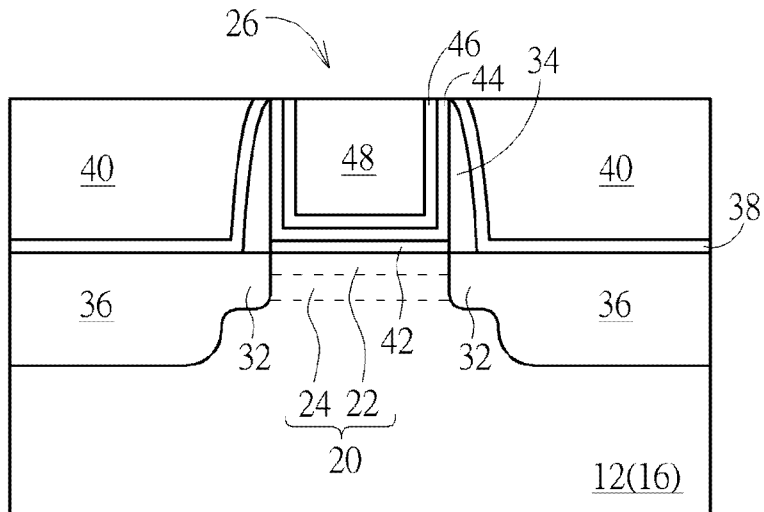
製作 P 型場效電晶體的方法

(57)摘要

本發明揭露一種製作 P 型場效電晶體的方法，其主要先提供一基底，然後形成一襯墊層於基底上，形成一井區於基底內，進行一離子佈植製程將鍺離子植入基底內以形成一通道區，再進行一退火製程將該通道區分隔為一上半部以及一下半部。隨後去除襯墊層，形成一閘極結構於基底上，再形成一輕摻雜汲極於閘極結構兩側。

A method for fabricating p-type field effect transistor (FET) includes the steps of first providing a substrate, forming a pad layer on the substrate, forming a well in the substrate, performing an ion implantation process to implant germanium ions into the substrate to form a channel region, and then conducting an anneal process to divide the channel region into a top portion and a bottom portion. After removing the pad layer, a gate structure is formed on the substrate and a lightly doped drain (LDD) is formed adjacent to two sides of the gate structure.

指定代表圖：



符號簡單說明：

12:基底

16:N 井

20:通道區

22:上半部

24:下半部

26:閘極結構

32:輕摻雜汲極

34:側壁子

36:源極/汲極區域

38:接觸洞蝕刻停止層

40:層間介電層

42:介質層

44:高介電常數介電層

46:功函數金屬層

48:低阻抗金屬層

第6圖



I782941

## 【發明摘要】

【中文發明名稱】 製作P型場效電晶體的方法

【英文發明名稱】 METHOD FOR FABRICATING P-TYPE FIELD EFFECT

TRANSISTOR

## 【中文】

本發明揭露一種製作P型場效電晶體的方法，其主要先提供一基底，然後形成一襯墊層於基底上，形成一井區於基底內，進行一離子佈植製程將鍺離子植入基底內以形成一通道區，再進行一退火製程將該通道區分隔為一上半部以及一下半部。隨後去除襯墊層，形成一閘極結構於基底上，再形成一輕摻雜汲極於閘極結構兩側。

## 【英文】

A method for fabricating p-type field effect transistor (FET) includes the steps of first providing a substrate, forming a pad layer on the substrate, forming a well in the substrate, performing an ion implantation process to implant germanium ions into the substrate to form a channel region, and then conducting an anneal process to divide the channel region into a top portion and a bottom portion. After removing the pad layer, a gate structure is formed on the substrate and a lightly doped drain (LDD) is formed adjacent to two sides of the gate structure.

【指定代表圖】第（ 6 ）圖。

【代表圖之符號簡單說明】

12	基底	16	N井
20	通道區	22	上半部
24	下半部	26	閘極結構
32	輕摻雜汲極	34	側壁子
36	源極/汲極區域	38	接觸洞蝕刻停止層
40	層間介電層	42	介質層
44	高介電常數介電層	46	功函數金屬層
48	低阻抗金屬層		

【特徵化學式】

無

## 【發明說明書】

### 【中文發明名稱】

製作P型場效電晶體的方法

### 【英文發明名稱】

METHOD FOR FABRICATING P-TYPE FIELD EFFECT TRANSISTOR

### 【技術領域】

【0001】 本發明是關於一種金氧半導體元件及其製作方法，尤指一種利用離子佈植製程於基底內形成通道層的方法。

### 【先前技術】

【0002】 在習知半導體產業中，多晶矽係廣泛地應用於半導體元件如金氧半導體(metal-oxide-semiconductor, MOS)電晶體中，作為標準的閘極填充材料選擇。然而，隨著MOS電晶體尺寸持續地微縮，傳統多晶矽閘極因硼穿透(boron penetration)效應導致元件效能降低，及其難以避免的空乏效應(depletion effect)等問題，使得等效的閘極介電層厚度增加、閘極電容值下降，進而導致元件驅動能力的衰退等困境。因此，半導體業界更嘗試以新的閘極填充材料，例如利用功函數(work function)金屬來取代傳統的多晶矽閘極，用以作為匹配高介電常數(High-K)閘極介電層的控制電極。

【0003】 然而，隨著半導體技術急速微縮到奈米等級，即便是功函數 (work function) 金屬閘極結構也將達到其物理與電性限制，因此可能衍生出例如閘極結構的電性不穩定，負偏壓溫度不穩定性 (negative bias temperature instability, NBTI) 效應等問題。

【0004】 NBTI 效應主要因為電荷在矽基底與矽氧化物層間介面累積，而在施加負電壓於閘極時造成影響。由於 P 型金氧半導體電晶體主要施加負閘極偏壓，使靠近閘極氧化物的金屬閘極面上產生電子，進而排斥 N 型基底表面的電子，並於 N 型基底表面形成電洞及閘極結構下形成電洞通道，使源極/汲極的電洞流過這個通道來傳導電流，因此 NBTI 對於 PMOS 電晶體或者包含 PMOS 結構的 CMOS 長期穩定性會造成顯著影響。

#### 【發明內容】

【0005】 本發明一實施例揭露一種製作 P 型場效電晶體的方法，其要先提供一基底，然後形成一襯墊層於基底上，形成一井區於基底內，進行一離子佈植製程將銻離子植入基底內以形成一通道區，再進行一退火製程將該通道區分隔為一上半部以及一下半部。隨後去除襯墊層，形成一閘極結構於基底上，再形成一輕摻雜汲極於閘極結構兩側。

【0006】 本發明另一實施例揭露一種 P 型場效電晶體，其主要包含一閘極結構設於基底上，一通道區設於閘極結構正下方之基底內以及一源極/汲極區域設於閘極結構兩側。在本實施例中，通道區較佳包含一

上半部以及一下半部，其中下半部之鍺濃度低於上半部之鍺濃度，另外上半部的深度較佳等於下半部的深度。

### 【圖式簡單說明】

#### 【0007】

第1圖至第6圖為本發明一實施例製作半導體元件之方法示意圖。

### 【實施方式】

【0008】 請參照第1圖至第6圖，第1圖至第6圖為本發明一實施例製作半導體元件之方法示意圖。如第1圖所示，首先提供一基底12，例如一半導體或更具體而言一矽基底或矽覆絕緣(silicon-on-insulator, SOI)基底。基底12上可定義有一電晶體區，例如本實施例用來製備一P型場效電晶體之PMOS電晶體區，且基底12中可設有例如由氧化矽所構成的淺溝隔離(shallow trench isolation, STI)隔開電晶體區。

【0009】 需注意的是，本實施例雖以製作平面型(planar)場效電晶體為例，但不侷限於此，本發明又可應用至一般非平面型場效電晶體(non-planar)鰭狀結構場效電晶體，例如可於基底12上形成至少一鰭狀結構，而鰭狀結構的底部則較佳被淺溝隔離所圍繞，此實施例也屬本發明所涵蓋的範圍。

【0010】 依據本發明一實施例，鰭狀結構較佳透過側壁圖案轉移(sidewall image transfer, SIT)技術製得，其程序大致包括：提供一佈局

圖案至電腦系統，並經過適當地運算以將相對應之圖案定義於光罩中。後續可透過光微影及蝕刻製程，以形成多個等距且等寬之圖案化犧牲層於基底上，使其個別外觀呈現條狀。之後依序施行沉積及蝕刻製程，以於圖案化犧牲層之各側壁形成側壁子。繼以去除圖案化犧牲層，並在側壁子的覆蓋下施行蝕刻製程，使得側壁子所構成之圖案被轉移至基底內，再伴隨鰭狀結構切割製程(fin cut)而獲得所需的圖案化結構，例如條狀圖案化鰭狀結構。

**【0011】** 除此之外，鰭狀結構之形成方式又可包含先形成一圖案化遮罩(圖未示)於基底12上，再經過一蝕刻製程，將圖案化遮罩之圖案轉移至基底12中以形成鰭狀結構。另外，鰭狀結構之形成方式也可以先形成一圖案化硬遮罩層(圖未示)於基底12上，並利用磊晶製程於暴露出於圖案化硬遮罩層之基底12上成長出例如包含矽鍺的半導體層，而此半導體層即可作為相對應的鰭狀結構。這些形成鰭狀結構的實施例均屬本發明所涵蓋的範圍。

**【0012】** 然後形成一襯墊層14於基底12表面。在本實施例中，襯墊層14較佳為單層結構，其中襯墊層14可選自例如由氧化矽所構成的介電材料，但不侷限於此。需注意的是，本實施例所揭露的襯墊層14雖較佳以單層結構為例，但襯墊層14的層數又可依據製程或產品需求調整，例如可於基底12表面形成複數個襯墊層，其中襯墊層可選自由氧化矽以及氮化矽所構成的群組，此實施例也屬本發明所涵蓋的範圍。

**【0013】** 然後進行一離子佈植製程，將離子穿過襯墊層14植入基底12

內以形成一井區。以本實施例用來製備一P型場效電晶體元件為例，離子佈植製程較佳將N型摻質植入基底12內以形成一N井16。

【0014】 如第2圖所示，接著進行另一離子佈植製程18，將銻離子穿過襯墊層14植入基底12內形成一由銻化矽所構成的通道區20。值得注意的是，本實施例將銻離子植入基底12內的當下所形成的通道區20中銻離子較佳呈現一梯度分佈(*gradient distribution*)，例如靠近襯墊層14以及通道區20交界處的銻離子濃度較佳高於靠近通道區20以及基底12交界處的銻離子濃度，但在此階段較高濃度區以及較低濃度區之間並無明顯分隔。

【0015】 另外在本實施例中，離子佈植製程18所植入銻離子的濃度較佳介於 $5 \times 10^{13}$ 離子/平方公分至 $1 \times 10^{17}$ 離子/平方公分，離子佈植製程18的能量較佳介於0.5KeV至20KeV，且離子佈植製程18較佳為一低溫離子佈植製程，例如其溫度較佳介於攝氏0度至120度。

【0016】 隨後如第3圖所示，進行一退火製程活化通道區20內的銻離子，並同時將通道區20更明顯地分隔為上半部22以及下半部24，其中上半部22的深度較佳等於下半部24的深度，例如上半部22以及下半部24的深度各較佳介於13埃至17埃或最佳約15埃，但不侷限於此。

【0017】 另外在本實施例中，退火製程的溫度較佳大於攝氏1000度或更具體而言介於攝氏1000度至1200度，下半部24的銻濃度經由退火製程擴散後較佳略低於上半部22的銻濃度，其中上半部22的銻濃度較佳

介於 $0.9 \times 10^{22}$ 離子/立方公分至 $1.1 \times 10^{22}$ 離子/立方公分或最佳約 $1.0 \times 10^{22}$ 離子/立方公分，下半部24的鍍濃度則較佳介於 $0.9 \times 10^{18}$ 離子/立方公分至 $1.1 \times 10^{18}$ 離子/立方公分或最佳約 $1.0 \times 10^{18}$ 離子/立方公分。

【0018】 然後如第4圖所示，進行一蝕刻製程去除襯墊層14並暴露出基底12或通道區20表面。在本實施例中，用來去除襯墊層14的蝕刻製程較佳利用例如稀釋氫氟酸(diluted hydrofluoric acid, dHF)來去除基底12表面的襯墊層14，並可同時去除基底12表面的雜質或不純物。

【0019】 如第5圖所示，接著於基底12表面上形成閘極結構26或虛置閘極。在本實施例中，閘極結構26之製作方式可依據製程需求以先閘極(gate first)製程、後閘極(gate last)製程之先高介電常數介電層(high-k first)製程以及後閘極製程之後高介電常數介電層(high-k last)製程等方式製作完成。以本實施例之後高介電常數介電層製程為例，可先依序形成一閘極介電層或介質層、一由多晶矽所構成之閘極材料層以及一選擇性硬遮罩於基底12上，並利用一圖案化光阻(圖未示)當作遮罩進行一圖案轉移製程，以單次蝕刻或逐次蝕刻步驟，去除部分閘極材料層與部分閘極介電層，然後剝除圖案化光阻，以於基底12表面上形成各由圖案化之閘極介電層28與圖案化之閘極材料層30所構成的閘極結構26。

【0020】 然後在閘極結構26兩側的基底12內形成輕摻雜汲極32，於閘極結構26側壁形成至少一側壁子34，接著於側壁子34兩側的基底12中形成源極/汲極區域36及/或磊晶層，並可選擇性於源極/汲極區域36及/

或磊晶層的表面形成一金屬矽化物(圖未示)。在本實施例中，側壁子34可為單一側壁子或複合式側壁子，例如可細部包含一偏位側壁子以及一主側壁子。其中偏位側壁子與主側壁子可包含相同或不同材料，且兩者均可選自由氧化矽、氮化矽、氮氧化矽以及氮碳化矽所構成的群組。輕摻雜汲極32以及源極/汲極區域36可依據所置備電晶體的導電型式而包含不同摻質，例如以本實施例製備P型場效電晶體為例輕摻雜汲極32以及源極/汲極區域36較佳包含P型摻質。

**【0021】** 接著先形成一接觸洞蝕刻停止層38並覆蓋閘極結構26，再形成一層間介電層40於接觸洞蝕刻停止層38上。然後進行一平坦化製程，例如利用化學機械研磨(chemical mechanical polishing, CMP)去除部分層間介電層40以及部分接觸洞蝕刻停止層38並暴露出由多晶矽材料所構成的閘極材料層30，使閘極材料層30上表面與層間介電層40上表面齊平。

**【0022】** 如第6圖所示，隨後進行一金屬閘極置換製程將閘極結構26轉換為金屬閘極。舉例來說，可先進行一選擇性之乾蝕刻或濕蝕刻製程，例如利用氨水(ammonium hydroxide,  $\text{NH}_4\text{OH}$ )或氫氧化四甲銨(Tetramethylammonium Hydroxide, TMAH)等蝕刻溶液來去除閘極結構26中的閘極材料層30甚至閘極介電層28，以於層間介電層40中形成凹槽(圖未示)。

**【0023】** 接著依序形成一選擇性的介質層42或閘極介電層、一高介電常數介電層44、一功函數金屬層46以及一低阻抗金屬層48於凹槽內，

然後進行一平坦化製程，例如利用CMP去除部分低阻抗金屬層48、部分功函數金屬層46以及部分高介電常數介電層44以形成由金屬閘極所構成的閘極結構26。以本實施例利用後高介電常數介電層製程所製作的閘極結構26為例，所形成的金屬閘極較佳包含一介質層42或閘極介電層、一U型的高介電常數介電層44、一U型的功函數金屬層46以及一低阻抗金屬層48。

【0024】 在本實施例中，高介電常數介電層44包含介電常數大於4的介電材料，例如選自氧化鈦(hafnium oxide,  $\text{HfO}_2$ )、矽酸鈦氧化化合物(hafnium silicon oxide,  $\text{HfSiO}_4$ )、矽酸鈦氮氧化化合物(hafnium silicon oxynitride,  $\text{HfSiON}$ )、氧化鋁(aluminum oxide,  $\text{Al}_2\text{O}_3$ )、氧化鑷(lanthanum oxide,  $\text{La}_2\text{O}_3$ )、氧化鉭(tantalum oxide,  $\text{Ta}_2\text{O}_5$ )、氧化釷(yttrium oxide,  $\text{Y}_2\text{O}_3$ )、氧化鋯(zirconium oxide,  $\text{ZrO}_2$ )、鈦酸鋇(strontium titanate oxide,  $\text{SrTiO}_3$ )、矽酸鋯氧化化合物(zirconium silicon oxide,  $\text{ZrSiO}_4$ )、鋯酸鈦(hafnium zirconium oxide,  $\text{HfZrO}_4$ )、鋇鉍鉭氧化物(strontium bismuth tantalate,  $\text{SrBi}_2\text{Ta}_2\text{O}_9$ , SBT)、鋯鈦酸鉛(lead zirconate titanate,  $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ , PZT)、鈦酸鋇鋇(barium strontium titanate,  $\text{Ba}_x\text{Sr}_{1-x}\text{TiO}_3$ , BST)、或其組合所組成之群組。

【0025】 功函數金屬層46較佳用以調整形成金屬閘極之功函數，使其適用於N型電晶體(NMOS)或P型電晶體(PMOS)。若電晶體為N型電晶體，功函數金屬層46可選用功函數為3.9電子伏特(eV)~4.3 eV的金屬材料，如鋁化鈦(TiAl)、鋁化鋯(ZrAl)、鋁化鎢(WAl)、鋁化鉭(TaAl)、鋁化鈦(HfAl)或TiAlC (碳化鈦鋁)等，但不以此為限；若電晶體為P型

電晶體，功函數金屬層46可選用功函數為4.8 eV~5.2 eV的金屬材料，如氮化鈦(TiN)、氮化鉭(TaN)或碳化鉭(TaC)等，但不以此為限。功函數金屬層46與低阻抗金屬層48之間可包含另一阻障層(圖未示)，其中阻障層的材料可包含鈦(Ti)、氮化鈦(TiN)、鉭(Ta)、氮化鉭(TaN)等材料。低阻抗金屬層48則可選自銅(Cu)、鋁(Al)、鎢(W)、鈦鋁合金(TiAl)、鈷鎢磷化物(cobalt tungsten phosphide, CoWP)等低電阻材料或其組合。

**【0026】** 請繼續參照第6圖，第6圖又揭露本發明一實施例之P型場效電晶體之結構示意圖。如第6圖所示，P型場效電晶體主要包含一由金屬閘極所構成的閘極結構26設於基底12上、一通道區20設於閘極結構26正下方的基底12內、一輕摻雜汲極32設於閘極結構26兩側的基底12內以及源極/汲極區域36設於側壁子34兩側的基底12內。

**【0027】** 從細部來看，通道區20較佳由鍺化矽所構成且又包含一上半部22以及一下半部24，其中下半部24的鍺濃度較佳低於上半部22的鍺濃度，例如上半部22的鍺濃度較佳介於 $0.9 \times 10^{22}$ 離子/立方公分至 $1.1 \times 10^{22}$ 離子/立方公分或最佳約 $1.0 \times 10^{22}$ 離子/立方公分，下半部24的鍺濃度則較佳介於 $0.9 \times 10^{18}$ 離子/立方公分至 $1.1 \times 10^{18}$ 離子/立方公分或最佳約 $1.0 \times 10^{18}$ 離子/立方公分。另外上半部22的深度也較佳等於下半部24的深度，例如本實施例所揭露的上半部22以及下半部24的深度各較佳介於13埃至17埃或最佳約15埃，但不侷限於此。

**【0028】** 綜上所述，本發明主要揭露一種製作矽鍺通道的方法，其主要於基底表面形成由氧化矽所構成的襯墊層之後利用離子佈植製程將

銻離子植入基底內以形成一通道區，接著利用退火製程將通道區內的銻離子分隔為上半部以及下半部，其中下半部的銻濃度較佳低於上半部的銻濃度。藉由此製作方式將通道區內的銻離子進行濃度分離 (segregate)，本發明可藉此改善 P 型場效電晶體施加負閘極偏壓時因 NBTI 效應對元件穩定性產生的影響。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【符號說明】

#### 【0029】

12	基底	14	襯墊層
16	N井	18	離子佈植製程
20	通道區	22	上半部
24	下半部	26	閘極結構
28	閘極介電層	30	閘極材料層
32	輕摻雜汲極	34	側壁子
36	源極/汲極區域	38	接觸洞蝕刻停止層
40	層間介電層	42	介質層
44	高介電常數介電層	46	功函數金屬層
48	低阻抗金屬層		

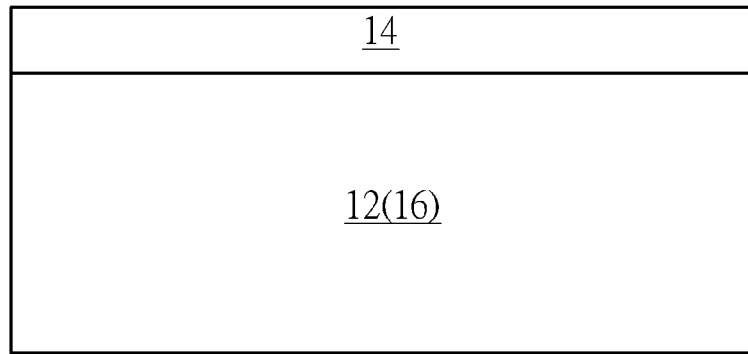
## 【發明申請專利範圍】

- 【第1項】 一種製作P型場效電晶體的方法，包含：
- 提供一基底；
  - 形成一襯墊層於該基底上；
  - 進行一離子佈植製程將銻離子通過該襯墊層植入該基底內以形成一通道區；
  - 進行一退火製程，以將該通道區分隔為一上半部以及一下半部；以及
  - 形成一閘極結構於該基底上。
- 【第2項】 如申請專利範圍第1項所述之方法，另包含：
- 於進行該離子佈植製程之前形成一井區於該基底內。
- 【第3項】 如申請專利範圍第2項所述之方法，其中該襯墊層包含氧化矽。
- 【第4項】 如申請專利範圍第2項所述之方法，另包含於進行該退火製程之後去除該襯墊層。
- 【第5項】 如申請專利範圍第4項所述之方法，另包含：
- 於去除該襯墊層之後形成該閘極結構於該基底上；以及
  - 形成一輕摻雜汲極於該閘極結構兩側。

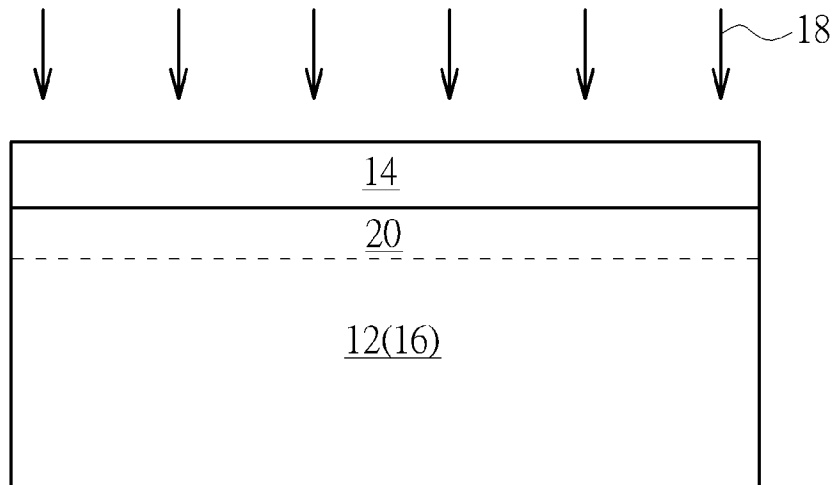
【第6項】 如申請專利範圍第1項所述之方法，其中該下半部之鍍濃度低於該上半部之鍍濃度。

【第7項】 如申請專利範圍第1項所述之方法，其中該上半部之深度等於該下半部之深度。

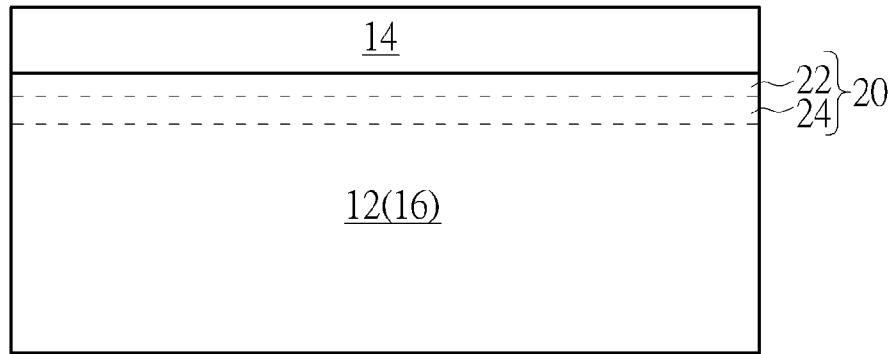
【發明圖式】



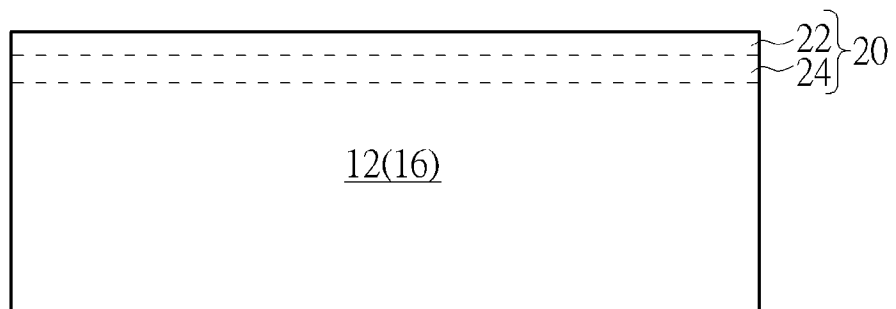
第1圖



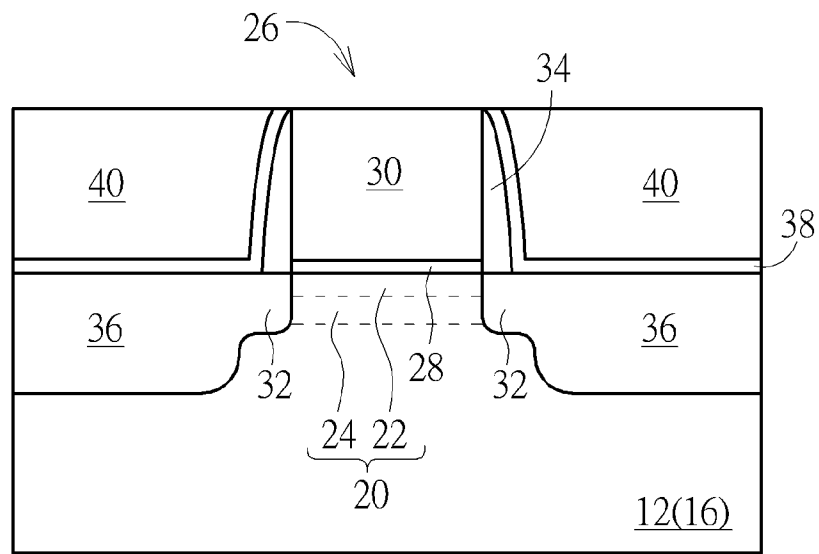
第2圖



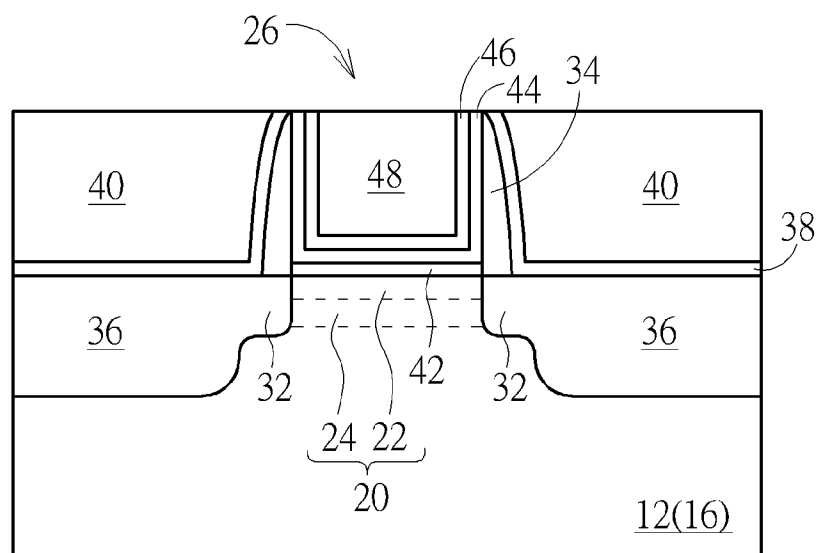
第3圖



第4圖



第5圖



第6圖