

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5652407号
(P5652407)

(45) 発行日 平成27年1月14日 (2015. 1. 14)

(24) 登録日 平成26年11月28日 (2014. 11. 28)

(51) Int. Cl.	F I
H O 1 L 29/78 (2006. 01)	H O 1 L 29/78 6 5 2 H
H O 1 L 21/336 (2006. 01)	H O 1 L 29/78 6 5 2 J
H O 1 L 29/06 (2006. 01)	H O 1 L 29/78 6 5 3 A
	H O 1 L 29/78 6 5 8 G
	H O 1 L 29/78 6 5 8 E
請求項の数 21 (全 38 頁) 最終頁に続く	

(21) 出願番号	特願2011-551946 (P2011-551946)	(73) 特許権者	000005234
(86) (22) 出願日	平成23年1月28日 (2011. 1. 28)		富士電機株式会社
(86) 国際出願番号	PCT/JP2011/051831		神奈川県川崎市川崎区田辺新田1番1号
(87) 国際公開番号	W02011/093473	(74) 代理人	100104190
(87) 国際公開日	平成23年8月4日 (2011. 8. 4)		弁理士 酒井 昭徳
審査請求日	平成24年7月18日 (2012. 7. 18)	(72) 発明者	大西 泰彦
(31) 優先権主張番号	特願2010-17901 (P2010-17901)		神奈川県川崎市川崎区田辺新田1番1号
(32) 優先日	平成22年1月29日 (2010. 1. 29)		富士電機株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	北村 睦美
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内
		(72) 発明者	杉 祥夫
			神奈川県川崎市川崎区田辺新田1番1号
			富士電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置および半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1主面側に設けられた素子活性部と、

第2主面側に設けられた低抵抗層と、

前記素子活性部と前記低抵抗層との間に設けられ、第1導電型領域および第2導電型領域が交互に配置された並列 p n 層と、

前記第2導電型領域の前記第1主面側に設けられ、当該第2導電型領域よりも高い不純物濃度を有する第2導電型ベース領域と、

前記第1導電型領域の前記第1主面側に設けられ、前記第2導電型ベース領域の前記第2主面側の端部よりも当該第2主面側に位置し、当該第1導電型領域の当該第2主面側の不純物濃度よりも高い不純物濃度を有する、当該第2導電型ベース領域の当該第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域の厚さの1/3以下の厚さの第1導電型高濃度領域と、

を備えたことを特徴とする半導体装置。

【請求項 2】

前記第1導電型高濃度領域は、前記第2導電型ベース領域の前記第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域のうち、当該第1導電型高濃度領域を除く領域の1. 2倍以上3倍以下の不純物濃度を有することを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記第1導電型領域の前記第1主面側の隣り合う前記第2導電型ベース領域の間に設けられ、前記第1導電型高濃度領域の前記第1主面側の端部に接する第1導電型表面領域を、さらに備えることを特徴とする請求項1に記載の半導体装置。

【請求項4】

前記第1導電型表面領域は、前記第2導電型ベース領域と同じ深さ、または前記第2導電型ベース領域よりも前記第1主面側に浅く設けられていることを特徴とする請求項3に記載の半導体装置。

【請求項5】

前記第1導電型表面領域は、前記第1導電型高濃度領域よりも高い不純物濃度を有することを特徴とする請求項3に記載の半導体装置。

10

【請求項6】

前記第1導電型高濃度領域は、前記第1導電型表面領域も含めて、前記第2導電型ベース領域の第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域のうち、当該第1導電型高濃度領域を除く領域の1.2倍以上3倍以下の不純物濃度を有することを特徴とする請求項3に記載の半導体装置。

【請求項7】

前記第1導電型高濃度領域は、前記第2導電型ベース領域の前記第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域の厚さの $1/8$ 以上 $1/4$ 以下の厚さを有することを特徴とする請求項1に記載の半導体装置。

【請求項8】

20

前記第1導電型高濃度領域は、前記第2導電型領域のうち当該第1導電型高濃度領域に隣接する領域の1.2倍以上3倍以下の不純物濃度を有することを特徴とする請求項1に記載の半導体装置。

【請求項9】

前記第2導電型領域のうち、前記第2主面側の不純物濃度よりも高い不純物濃度を有する、前記第2導電型ベース領域の当該第2主面側の端部から当該第2導電型領域の厚さの $1/8$ 以上 $1/2$ 以下の厚さの前記第1主面側の第2導電型高濃度領域を、さらに備えることを特徴とする請求項1に記載の半導体装置。

【請求項10】

前記第2導電型領域のうち、前記第2主面側の不純物濃度よりも高い不純物濃度を有する、前記第1導電型高濃度領域と同じ厚さの前記第1主面側の第2導電型高濃度領域を、さらに備えることを特徴とする請求項1に記載の半導体装置。

30

【請求項11】

前記第2導電型領域のうち、前記第2主面側の不純物濃度よりも高い不純物濃度を有する、前記第1導電型高濃度領域の前記第2主面側の端部よりも当該第2主面側に深く設けられている、前記第1主面側の第2導電型高濃度領域を、さらに備えることを特徴とする請求項1に記載の半導体装置。

【請求項12】

前記第1導電型高濃度領域は、前記第2導電型ベース領域の前記第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域のうち、当該第1導電型高濃度領域を除く領域の1.5倍以上3倍以下の不純物濃度を有することを特徴とする請求項9～11のいずれか一つに記載の半導体装置。

40

【請求項13】

前記第2導電型領域のうち前記第2導電型高濃度領域を除く領域は、前記第1導電型領域のうち前記第1導電型高濃度領域を除く領域と同じ不純物量を有することを特徴とする請求項9～11のいずれか一つに記載の半導体装置。

【請求項14】

前記第2導電型領域のうち前記第2導電型高濃度領域を除く領域は、前記第1主面側から前記第2主面側にかけて、不純物濃度が徐々に低くなっていることを特徴とする請求項9～11のいずれか一つに記載の半導体装置。

50

【請求項 15】

前記第1導電型高濃度領域および前記第2導電型高濃度領域が、前記第1主面側から前記第2主面側にかけて、不純物濃度が徐々に低くなっていることを特徴とする請求項9～11のいずれか一つに記載の半導体装置。

【請求項 16】

前記第2導電型高濃度領域のうち、前記第1導電型高濃度領域の前記第2主面側の端部よりも当該第2主面側に深く設けられている領域は、当該領域の隣接する前記第1導電型領域よりも高い不純物濃度を有し、かつ当該領域を除く当該第2導電型高濃度領域よりも低い不純物濃度を有することを特徴とする請求項11に記載の半導体装置。

【請求項 17】

前記第2導電型高濃度領域のうち、前記第1導電型高濃度領域の前記第2主面側の端部よりも当該第2主面側に深く設けられている領域は、当該領域の隣接する前記第1導電型領域の1.2倍以上の不純物濃度を有することを特徴とする請求項11に記載の半導体装置。

【請求項 18】

前記第1導電型領域および前記第2導電型領域の平面形状は、ストライプ状、六方格子状または正方状であることを特徴とする請求項1～17のいずれか一つに記載の半導体装置。

【請求項 19】

低抵抗層となる第1導電型領域に、第1導電型低濃度領域、当該第1導電型低濃度領域の不純物濃度よりも高い不純物濃度を有する第1導電型高濃度領域を順に堆積する第1の工程と、

前記第1導電型高濃度領域を貫通し、前記第1導電型低濃度領域に、トレンチを選択的に形成する第2の工程と、

形成されたトレンチの内部に、底面が前記第1導電型低濃度領域の高さと等しい高さの凹部を形成するように第2導電型低濃度領域をエピタキシャル成長し、前記第1導電型低濃度領域および前記第2導電型低濃度領域が交互に配置された並列pn層を形成する第3の工程と、

形成された第2導電型低濃度領域の上に、当該第2導電型低濃度領域の不純物濃度よりも高い不純物濃度を有する第2導電型高濃度領域をエピタキシャル成長する第4の工程と

前記第1導電型高濃度領域および前記第2導電型高濃度領域を研磨して平坦化する第5の工程と、

平坦化された前記第1導電型高濃度領域および前記第2導電型高濃度領域に第2導電型ベース領域を形成する第6の工程と、

平坦化された表面上に素子活性部を形成する第7の工程と、
を含み、

前記トレンチは、前記第2導電型ベース領域の前記第1導電型領域側の端部から、前記第1導電型高濃度領域の厚さの3倍以上の深さまで達するトレンチであることを特徴とする半導体装置の製造方法。

【請求項 20】

低抵抗層となる第1導電型領域に、第1導電型低濃度領域、当該第1導電型低濃度領域の不純物濃度よりも高い不純物濃度を有する第1導電型高濃度領域を順に堆積する第1の工程と、

前記第1導電型高濃度領域を貫通し、前記第1導電型低濃度領域に、トレンチを選択的に形成する第2の工程と、

形成されたトレンチの内部に、底面が前記第1導電型低濃度領域の高さより低い高さの凹部を形成するように第2導電型低濃度領域をエピタキシャル成長し、前記第1導電型低濃度領域および前記第2導電型低濃度領域が交互に配置された並列pn層を形成する第3の工程と、

形成された第2導電型低濃度領域の上に、当該第2導電型低濃度領域の不純物濃度よりも高い不純物濃度を有する第2導電型高濃度領域をエピタキシャル成長する第4の工程と、

前記第1導電型高濃度領域および前記第2導電型高濃度領域を研磨して平坦化する第5の工程と、

平坦化された前記第1導電型高濃度領域および前記第2導電型高濃度領域に第2導電型ベース領域を形成する第6の工程と、

平坦化された表面上に素子活性部を形成する第7の工程と、
を含み、

前記トレンチは、前記第2導電型ベース領域の前記第1導電型領域側の端部から、前記第1導電型高濃度領域の厚さの3倍以上の深さまで達するトレンチであることを特徴とする半導体装置の製造方法。

10

【請求項21】

前記第3の工程は、エピタキシャル成長させて形成した第2導電型低濃度領域の前記凹部をエッチバックすることにより、当該第2導電型低濃度領域の高さを調整することの特徴とする請求項19または20に記載の半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関する。

20

【背景技術】

【0002】

一般に、半導体装置は、電極が半導体基板の片面に形成された横型の素子と、半導体基板の両面に電極を有する縦型の素子に分類される。縦型半導体装置は、オン状態のときにドリフト電流が流れる方向と、オフ状態のときに逆バイアス電圧による空乏層が伸びる方向とが同じである。通常のプレーナ型のnチャネル縦型MOSFET(MOSFET: Metal Oxide Semiconductor Field Effect Transistor: MOS型電界効果トランジスタ)では、高抵抗のn⁻ドリフト層の部分は、オン状態のときに、縦方向にドリフト電流を流す領域として働く。従って、このn⁻ドリフト層の電流経路を短くすれば、ドリフト抵抗が低くなるので、MOSFETの実質的なオン抵抗を下げることができるという効果が得られる。

30

【0003】

その一方で、高抵抗のn⁻ドリフト層の部分は、オフ状態のときには空乏化して耐圧を高める。従って、n⁻ドリフト層が薄くなると、pベース領域とn⁻ドリフト層との間のpn接合から進行するドレインベース間空乏層の広がる幅が狭くなり、耐圧が低下してしまう。逆に、耐圧の高い半導体装置では、n⁻ドリフト層が厚いため、オン抵抗が大きくなり、導通損失が増えてしまう。このように、オン抵抗と耐圧との間には、トレードオフ関係がある。

【0004】

このトレードオフ関係は、IGBT(Insulated Gate Bipolar Transistor: 絶縁ゲート型バイポーラトランジスタ)やバイポーラトランジスタやダイオード等の半導体装置においても同様に成立することが知られている。また、このトレードオフ関係は、オン状態のときにドリフト電流が流れる方向と、オフ状態のときの逆バイアスによる空乏層の伸びる方向とが異なる横型半導体装置にも共通である。

40

【0005】

本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。

【0006】

50

図39は、従来の超接合半導体装置を示す断面図である。上述したトレードオフ関係による問題の解決法として、ドリフト層を、不純物濃度を高めたn型領域101とp型領域102とを交互に繰り返し接合した構成の並列pn層120とした超接合（Super Junction：SJ）半導体装置が公知である。素子活性部には、素子の表面構造として、pベース領域103、n型表面領域104、p⁺コンタクト領域105、n⁺ソース領域106、ゲート絶縁膜107、ゲート電極108、層間絶縁膜109およびソース電極110が設けられている。第2主面には、n⁺ドレイン領域111に接するドレイン電極112が設けられている（例えば、下記特許文献1、下記特許文献2、下記特許文献3参照。）。並列pn層120は、素子の表面構造とn⁺ドレイン領域111との間に設けられている。

10

【0007】

図40は、図39に示す超接合半導体装置の不純物濃度分布を示す特性図である。図40には、n型表面領域104の第1主面側の端部（以下、上端とする）から第2主面側方向（以下、深さ方向とする）におけるn型不純物濃度分布（切断線AA-AA'）と、p⁺コンタクト領域105の上端から深さ方向におけるp型不純物濃度分布（切断線BB-BB'）とを示す。第1深さd₀は、pベース領域103の上端からpベース領域103の第2主面側の端部（以下、下端とする）までの深さである。第2深さd₁₀は、pベース領域103の下端からp型領域102の下端までの深さである。図39では、n型領域101およびp型領域102の不純物濃度は、深さ方向に均一となっている。

20

【0008】

このような構造の半導体装置では、並列pn層の不純物濃度が高くても、オフ状態のときに、空乏層が、並列pn層の縦方向に伸びる各pn接合から横方向に広がり、ドリフト層全体を空乏化するため、高耐圧化を図ることができる。

【0009】

また、耐圧向上やオン抵抗の低減を図った別の超接合半導体装置として、次のような装置が提案されている。n⁺型ドレイン層上に、第1n型ピラー層と、p型ピラー層と、第2n型ピラー層とを周期的に交互に配置してなるスーパージャンクション構造を有している。p型ピラー層、第2n型ピラー層は、ドレイン電極の側よりもソース電極の側の方が不純物濃度が大きい（例えば、下記特許文献4参照。）。

30

【0010】

また、別の装置として、次のような装置が提案されている。第1導電型半導体基板の主面に形成された第1導電型の第1半導体ピラー層と第1半導体ピラー層に隣接した第2導電型の第2半導体ピラー層と、第2半導体ピラー層に隣接した第1導電型の第3半導体ピラー層と、第2半導体ピラー層の上部表面に設けられた第2導電型の半導体ベース層とを有し、半導体ベース層にMOSトランジスタが形成されている。第1乃至第3半導体ピラー層の上側領域のキャリア濃度が下側領域のキャリア濃度より高く設定されている（例えば、下記特許文献5参照。）。

【0011】

また、別の装置として、次のような装置が提案されている。n⁺ドレイン領域の上にn型ドリフト領域とp型仕切り領域とを交互に配置した並列pn構造部があり、そのp型仕切り領域の上にpベース領域が形成され、そのpベース領域の表面層に選択的にn⁺ソース領域とp⁺コンタクト領域とが形成されている。n型ドリフト領域の上方には不純物濃度の高い表面n型ドリフト領域が形成されている。表面n型ドリフト領域とn⁺ソース領域とに挟まれたpベース領域の表面上にはゲート絶縁膜を介してゲート電極が設けられている。n⁺ソース領域とp⁺コンタクト領域との表面に共通に接触してソース電極が設けられ、n⁺ドレイン領域の裏面に接してドレイン電極が設けられている。ゲート電極とソース電極とを絶縁するための絶縁膜が設けられている（例えば、下記特許文献6参照。）。

40

【0012】

また、別の装置として、次のような装置が提案されている。縦型パワーMOSFETであって、a) 当該MOSFETの一の表面に設けられたドレインコンタクトであって、当

50

該ドレインコンタクト上に第1導電型の高度にドーパされた基板を備えるドレインコンタクトと、b)前記ドレインコンタクトの反対側の前記基板上に設けられたブロッキング層であって、i)第1の複数の縦型セクションそれぞれが、6つの四角形の面を有する平行六面体であり、前記ブロッキング層の縦方向の厚さよりも短い水平方向の厚さを有する第1の複数の縦型セクションであって、ii)P導電型の縦型セクションとN導電型の縦型セクションが交互に配置された第1の複数の縦型セクションを具えるブロッキング層と、c)前記基板と反対側の前記ブロッキング層の一の面に設けられた、前記第1導電型と反対の第2導電型の第2の複数のウェル領域と、d)前記第1導電型の第3の複数の高度にドーパされたソース領域であって、当該ソース領域のうちの2つが前記第2の複数の各ウェル領域内に配置された、前記第3の複数の高度にドーパされたソース領域と、e)前記基板と反対側の前記ブロッキング層の一の面に設けられた前記第1導電型の第4の複数の領域であって、当該領域がそれぞれ、前記第2の複数のウェル領域の2つのウェル領域の間に延在する前記第1導電型の第4の複数の領域と、f)第5の複数のゲートポリ領域であって、当該ゲートポリ領域がそれぞれ、2つの隣接する各ウェル領域内の一のソース領域と、前記第4の複数の領域のうちの一つに覆い被さる第5の複数のゲートポリ領域と、を具える(例えば、下記特許文献7参照。)

10

【0013】

また、別の装置として、次のような装置が提案されている。第1導電型の第1の半導体層と、前記第1の半導体層に電氣的に接続された第1の主電極と、前記第1の半導体層内に形成され、横方向に周期的に配置され、縦方向における不純物量の分布が前記第1の半導体層内の縦方向における不純物量の分布とは異なる第2導電型の第2の半導体層と、前記第1の半導体層および第2の半導体層の表面に選択的に形成された第2導電型の第3の半導体層と、前記第3の半導体層の表面に選択的に形成された第1導電型の第4の半導体層と、前記第3の半導体層および前記第4の半導体層の表面に接合するように形成された第2の主電極と、前記第1の半導体層、第3の半導体層および第4の半導体層の表面にゲート絶縁膜を介して形成された制御電極とを具備する。前記第1の半導体層は、前記第2の主電極から前記第1の主電極に向かう縦方向において不純物濃度が大きくなる分布を有し、前記第2の半導体層は、前記第2の主電極から前記第1の主電極に向かう縦方向において不純物濃度が一定である(例えば、下記特許文献8参照。)

20

【0014】

また、別の装置として、次のような装置が提案されている。第1と第2の主面と、第1と第2の主面にそれぞれ設けられた主電極と、第1と第2の主面間に第1導電型低抵抗層と、第1導電型領域と第2導電型領域とを交互に配置した並列pn層とを備える半導体素子において、第1主面側における前記第2導電型領域の不純物濃度が隣接する第1導電型領域の不純物濃度より高く、第2主面側における前記第2導電型領域の不純物濃度が隣接する第1導電型領域の不純物濃度より低くなっている。前記第2導電型領域の不純物濃度が厚さ方向に均一であり、かつ第1主面側における前記第1導電型領域の不純物濃度が第2主面側における前記第1導電型領域の不純物濃度より低くなっている(例えば、下記特許文献9参照。)

30

【0015】

また、別の装置として、次のような装置が提案されている。装置は、第1導電型の第1半導体層上に交互に配設された、第1導電型の第2半導体層と第2導電型の第3半導体層とを有する。装置は更に、第2半導体層間で第3半導体層の上部と夫々接するように配設された第2導電型の第4半導体層と、第4半導体層の表面にそれぞれ形成された第1導電型の第5半導体層と、を有する。第1半導体層は第2半導体層よりも第1導電型の不純物の濃度が低い。第3半導体層は、基本部分と、深さ方向において不純物量が基本部分よりも大きくなるように局所的に形成された高不純物量部分とを含む(例えば、下記特許文献10参照。)

40

【先行技術文献】**【特許文献】**

50

【0016】

【特許文献1】米国特許第5216275号明細書

【特許文献2】米国特許第5438215号明細書

【特許文献3】特開平9-266311号公報

【特許文献4】特開2007-019146号公報

【特許文献5】特開2006-066421号公報

【特許文献6】特許第4304433号公報

【特許文献7】特許第4263787号公報

【特許文献8】特開2004-119611号公報

【特許文献9】特開2004-072068号公報

【特許文献10】特開2006-179598号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0017】

パワーMOSFETはスイッチングデバイスとして使用されるため、オン状態のときに発生する導通損失を低減することに加え、スイッチング時に発生するスイッチング損失を低減することが求められる。スイッチング損失を増大させる主な要因として、例えばターンオフ損失が挙げられる。ターンオフ損失を低減するためには、例えばターンオフ時のドレイン電圧の時間変化率（以下、ターンオフ dv/dt とする）を高めればよい。しかし、ターンオフ dv/dt を高くすることは、ノイズを発生させる原因となる。このため、

20

【0018】

しかしながら、上述した超接合半導体装置では、50～100V程度の低いドレイン電圧で、並列pn層に空乏層が完全に拡がりきってしまう。このため、ゲートドレイン間容量（ミラー容量）が極端に低くなり、ターンオフ dv/dt は高くなる。ゲート抵抗を用いることでターンオフ dv/dt を低くすることができるが、SJ-MOSFETのゲートドレイン間容量が非常に小さいため、従来のMOSFETよりも大きなゲート抵抗を用いる必要がある。ゲート抵抗を大きくした場合、ミラー期間が長くなり、ターンオフ損失が増大してしまう。

30

【0019】

図41は、従来の超接合半導体装置におけるターンオフ時の電気的特性を示す特性図である。図41は、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係を示すシミュレーション結果である。図41に示す結果では、ターンオフ dv/dt が電源高調波規制を満たす例えば10kV/ μ sのときに、従来のSJ-MOSFETのターンオフ損失は0.5mJ程度となった。従来のMOSFETのターンオフ損失は0.1mJ程度となった。

【0020】

つまり、従来の超接合半導体装置では、従来の半導体装置に比べて、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係が5倍程度悪化してしまう。このため、例えばオン抵抗を1/5程度に低減することができたとしても、その効果は損なわれてしまう。このように、超接合半導体装置では、オン抵抗と耐圧とのトレードオフ関係を改善することができる反面、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係が悪化してしまう。

40

【0021】

また、超接合半導体装置では、並列pn層のチャージバランスを、装置の耐圧が最も高くなるチャージバランス条件とした場合、ドレインソース間に流れる電流が増加したときにドレイン電圧が低下してしまう。つまり、アバランシェ突入時に負性抵抗が発生し、アバランシェ耐量が低減してしまう。

【0022】

50

この発明は、上述した従来技術による問題点を解消するため、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係を改善する半導体装置を提供することを目的とする。また、アバランシェ耐量を向上する半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0023】

上述した課題を解決し、目的を達成するため、請求項1の発明にかかる半導体装置は、以下の特徴を有する。第1主面側に設けられた素子活性部と、第2主面側に設けられた低抵抗層と、前記素子活性部と前記低抵抗層との間に設けられ、第1導電型領域および第2導電型領域が交互に配置された並列pn層と、前記第2導電型領域の前記第1主面側に設けられ、当該第2導電型領域よりも高い不純物濃度を有する第2導電型ベース領域と、前記第1導電型領域の前記第1主面側に設けられ、前記第2導電型ベース領域の前記第2主面側の端部よりも当該第2主面側に位置し、当該第1導電型領域の当該第2主面側の不純物濃度よりも高い不純物濃度を有する、当該第2導電型ベース領域の当該第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域の厚さの1/3以下の厚さの第1導電型高濃度領域と、を備える。

10

【0024】

また、請求項2の発明にかかる半導体装置は、請求項1に記載の発明において、前記第1導電型高濃度領域は、前記第2導電型ベース領域の前記第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域のうち、当該第1導電型高濃度領域を除く領域の1.2倍以上3倍以下の不純物濃度を有することを特徴とする。

20

【0025】

また、請求項3の発明にかかる半導体装置は、請求項1に記載の発明において、前記第1導電型領域の前記第1主面側の隣り合う前記第2導電型ベース領域の間に設けられ、前記第1導電型高濃度領域の前記第1主面側の端部に接する第1導電型表面領域を、さらに備えることを特徴とする。

【0026】

また、請求項4の発明にかかる半導体装置は、請求項3に記載の発明において、前記第1導電型表面領域は、前記第2導電型ベース領域と同じ深さ、または前記第2導電型ベース領域よりも前記第1主面側に浅く設けられていることを特徴とする。

30

【0027】

また、請求項5の発明にかかる半導体装置は、請求項3に記載の発明において、前記第1導電型表面領域は、前記第1導電型高濃度領域よりも高い不純物濃度を有することを特徴とする。

【0028】

また、請求項6の発明にかかる半導体装置は、請求項3に記載の発明において、前記第1導電型高濃度領域は、前記第1導電型表面領域も含めて、前記第2導電型ベース領域の第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域のうち、当該第1導電型高濃度領域を除く領域の1.2倍以上3倍以下の不純物濃度を有することを特徴とする。

40

【0030】

また、請求項7の発明にかかる半導体装置は、請求項1に記載の発明において、前記第1導電型高濃度領域は、前記第2導電型ベース領域の前記第2主面側の端部から前記第2導電型領域の第2主面側の端部までの深さに位置する前記第1導電型領域の厚さの1/8以上1/4以下の厚さを有することを特徴とする。

【0031】

また、請求項8の発明にかかる半導体装置は、請求項1に記載の発明において、前記第1導電型高濃度領域は、前記第2導電型領域のうち当該第1導電型高濃度領域に隣接する領域の1.2倍以上3倍以下の不純物濃度を有することを特徴とする。

【0032】

50

また、請求項 9 の発明にかかる半導体装置は、請求項 1 に記載の発明において、前記第 2 導電型領域のうち、前記第 2 主面側の不純物濃度よりも高い不純物濃度を有する、前記第 2 導電型ベース領域の当該第 2 主面側の端部から当該第 2 導電型領域の厚さの $1/8$ 以上 $1/2$ 以下の厚さの前記第 1 主面側の第 2 導電型高濃度領域を、さらに備えることを特徴とする。

【0033】

また、請求項 10 の発明にかかる半導体装置は、請求項 1 に記載の発明において、前記第 2 導電型領域のうち、前記第 2 主面側の不純物濃度よりも高い不純物濃度を有する、前記第 1 導電型高濃度領域と同じ厚さの前記第 1 主面側の第 2 導電型高濃度領域を、さらに備えることを特徴とする。

10

【0034】

また、請求項 11 の発明にかかる半導体装置は、請求項 1 に記載の発明において、前記第 2 導電型領域のうち、前記第 2 主面側の不純物濃度よりも高い不純物濃度を有する、前記第 1 導電型高濃度領域の前記第 2 主面側の端部よりも当該第 2 主面側に深く設けられている、前記第 1 主面側の第 2 導電型高濃度領域を、さらに備えることを特徴とする。

【0035】

また、請求項 12 の発明にかかる半導体装置は、請求項 9 ~ 11 のいずれか一つに記載の発明において、前記第 1 導電型高濃度領域は、前記第 2 導電型ベース領域の前記第 2 主面側の端部から前記第 2 導電型領域の第 2 主面側の端部までの深さに位置する前記第 1 導電型領域のうち、当該第 1 導電型高濃度領域を除く領域の 1.5 倍以上 3 倍以下の不純物濃度を有することを特徴とする。

20

【0036】

また、請求項 13 の発明にかかる半導体装置は、請求項 9 ~ 11 のいずれか一つに記載の発明において、前記第 2 導電型領域のうち前記第 2 導電型高濃度領域を除く領域は、前記第 1 導電型領域のうち前記第 1 導電型高濃度領域を除く領域と同じ不純物量を有することを特徴とする。

【0037】

また、請求項 14 の発明にかかる半導体装置は、請求項 9 ~ 11 のいずれか一つに記載の発明において、前記第 2 導電型領域のうち前記第 2 導電型高濃度領域を除く領域は、前記第 1 主面側から前記第 2 主面側にかけて、不純物濃度が徐々に低くなっていることを特徴とする。

30

【0038】

また、請求項 15 の発明にかかる半導体装置は、請求項 9 ~ 11 のいずれか一つに記載の発明において、前記第 1 導電型高濃度領域および前記第 2 導電型高濃度領域が、前記第 1 主面側から前記第 2 主面側にかけて、不純物濃度が徐々に低くなっていることを特徴とする。

【0040】

また、請求項 16 の発明にかかる半導体装置は、請求項 11 に記載の発明において、前記第 2 導電型高濃度領域のうち、前記第 1 導電型高濃度領域の前記第 2 主面側の端部よりも当該第 2 主面側に深く設けられている領域は、当該領域の隣接する前記第 1 導電型領域よりも高い不純物濃度を有し、かつ当該領域を除く当該第 2 導電型高濃度領域よりも低い不純物濃度を有することを特徴とする。

40

【0041】

また、請求項 17 の発明にかかる半導体装置は、請求項 11 に記載の発明において、前記第 2 導電型高濃度領域のうち、前記第 1 導電型高濃度領域の前記第 2 主面側の端部よりも当該第 2 主面側に深く設けられている領域は、当該領域の隣接する前記第 1 導電型領域の 1.2 倍以上の不純物濃度を有することを特徴とする。

【0042】

また、請求項 18 の発明にかかる半導体装置は、請求項 1 ~ 17 のいずれか一つに記載の発明において、前記第 1 導電型領域および前記第 2 導電型領域の平面形状は、ストライ

50

プ状、六方格子状または正方状であることを特徴とする。また、上述した課題を解決し、目的を達成するため、請求項19の発明にかかる半導体装置の製造方法は、低抵抗層となる第1導電型領域に、第1導電型低濃度領域、当該第1導電型低濃度領域の不純物濃度よりも高い不純物濃度を有する第1導電型高濃度領域を順に堆積する第1の工程と、前記第1導電型高濃度領域を貫通し、前記第1導電型低濃度領域に、トレンチを選択的に形成する第2の工程と、形成されたトレンチの内部に、底面が前記第1導電型低濃度領域の高さと等しい高さの凹部を形成するように第2導電型低濃度領域をエピタキシャル成長し、前記第1導電型低濃度領域および前記第2導電型低濃度領域が交互に配置された並列pn層を形成する第3の工程と、形成された第2導電型低濃度領域の上に、当該第2導電型低濃度領域の不純物濃度よりも高い不純物濃度を有する第2導電型高濃度領域をエピタキシャル成長する第4の工程と、前記第1導電型高濃度領域および前記第2導電型高濃度領域を研磨して平坦化する第5の工程と、平坦化された前記第1導電型高濃度領域および前記第2導電型高濃度領域に第2導電型ベース領域を形成する第6の工程と、平坦化された表面上に素子活性部を形成する第7の工程と、を含み、前記トレンチは、前記第2導電型ベース領域の前記第1導電型領域側の端部から、前記第1導電型高濃度領域の厚さの3倍以上の深さまで達するトレンチであることを特徴とする。

10

また、請求項20の発明にかかる半導体装置の製造方法は、低抵抗層となる第1導電型領域に、第1導電型低濃度領域、当該第1導電型低濃度領域の不純物濃度よりも高い不純物濃度を有する第1導電型高濃度領域を順に堆積する第1の工程と、前記第1導電型高濃度領域を貫通し、前記第1導電型低濃度領域に、トレンチを選択的に形成する第2の工程と、形成されたトレンチの内部に、底面が前記第1導電型低濃度領域の高さより低い高さの凹部を形成するように第2導電型低濃度領域をエピタキシャル成長し、前記第1導電型低濃度領域および前記第2導電型低濃度領域が交互に配置された並列pn層を形成する第3の工程と、形成された第2導電型低濃度領域の上に、当該第2導電型低濃度領域の不純物濃度よりも高い不純物濃度を有する第2導電型高濃度領域をエピタキシャル成長する第4の工程と、前記第1導電型高濃度領域および前記第2導電型高濃度領域を研磨して平坦化する第5の工程と、平坦化された前記第1導電型高濃度領域および前記第2導電型高濃度領域に第2導電型ベース領域を形成する第6の工程と、平坦化された表面上に素子活性部を形成する第7の工程と、を含み、前記トレンチは、前記第2導電型ベース領域の前記第1導電型領域側の端部から、前記第1導電型高濃度領域の厚さの3倍以上の深さまで達するトレンチであることを特徴とする。

20

30

また、請求項21の発明にかかる半導体装置の製造方法は、請求項19または20に記載の発明において、前記第3の工程は、エピタキシャル成長させて形成した第2導電型低濃度領域の前記凹部をエッチバックすることにより、当該第2導電型低濃度領域の高さを調整することを特徴とする。

【0043】

上述した発明によれば、第1導電型領域の第1主面側に第1導電型高濃度領域を設けることで、第1導電型領域の第1主面側を第2主面側よりもn型不純物量が多い構成としている。これにより、並列pn層の第1主面側で空乏層が拡がりにくくなり、低いドレイン電圧で並列pn層が完全に空乏化することを防ぐことができる。このため、ゲート・ドレイン容量が極端に低くなることを防止することができ、ターンオフ dv/dt が高くなることを回避することができる。したがって、ターンオフ dv/dt を低くするためにゲート抵抗を大きくする必要がなくなるので、ターンオフ損失が増大することを防止することができる。

40

【0044】

また、請求項11～17の発明によれば、第2導電型高濃度領域を、第1導電型高濃度領域よりも第2主面側に深く設けることで、並列pn層の第1主面側のp型不純物量がn型不純物量よりも多くなる構成としている。これにより、アバランシェ時の電流－電圧の負性抵抗を回避することができ、アバランシェ耐量を向上することができる。

【発明の効果】

50

【0045】

本発明にかかる半導体装置によれば、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係を改善することができるという効果を奏する。また、アバランシェ耐量を向上することができるという効果を奏する。

【図面の簡単な説明】

【0046】

【図1】図1は、実施の形態1にかかる半導体装置を示す断面図である。

【図2】図2は、実施の形態1にかかる半導体装置の不純物濃度分布を示す特性図である。

。

【図3】図3は、実施の形態2にかかる半導体装置を示す断面図である。

10

【図4】図4は、実施の形態3にかかる半導体装置を示す断面図である。

【図5】図5は、実施の形態3にかかる半導体装置の不純物濃度分布を示す特性図である。

。

【図6】図6は、実施の形態4にかかる半導体装置を示す断面図である。

【図7】図7は、実施の形態4にかかる半導体装置の不純物濃度分布を示す特性図である。

。

【図8】図8は、実施の形態5にかかる半導体装置を示す断面図である。

【図9】図9は、実施の形態5にかかる半導体装置の不純物濃度分布を示す特性図である。

。

【図10】図10は、実施の形態6にかかる半導体装置を示す断面図である。

20

【図11】図11は、実施の形態6にかかる半導体装置の不純物濃度分布を示す特性図である。

【図12】図12は、実施例1の半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図13】図13は、実施例2にかかる半導体装置のn型不純物濃度分布を示す特性図である。

【図14】図14は、実施例2の半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図15】図15は、実施例2にかかる半導体装置の空乏層の拡がりを示す概念図である。

。

【図16】図16は、実施例2にかかる半導体装置の空乏層の拡がりを示す概念図である。

30

。

【図17】図17は、実施例2にかかる半導体装置の空乏層の拡がりを示す概念図である。

。

【図18】図18は、実施例2にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図19】図19は、実施例3にかかる半導体装置における耐圧とオン抵抗との関係を示す特性図である。

【図20】図20は、実施例4にかかる半導体装置における電気的特性を示す特性図である。

40

【図21】図21は、実施例4にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図22】図22は、実施例5にかかる半導体装置のp型不純物濃度分布を示す特性図である。

【図23】図23は、実施例5にかかる半導体装置における電気的特性を示す特性図である。

【図24】図24は、実施例5にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図25】図25は、実施例6にかかる半導体装置の不純物濃度分布を示す特性図である。

。

50

【図 2 6】図 2 6 は、実施例 6 にかかる半導体装置における電気的特性を示す特性図である。

【図 2 7 - 1】図 2 7 - 1 は、実施例 6 にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図 2 7 - 2】図 2 7 - 2 は、実施例 6 にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図 2 8 - 1】図 2 8 - 1 は、実施例 7 にかかる半導体装置における電気的特性を示す特性図である。

【図 2 8 - 2】図 2 8 - 2 は、実施例 7 にかかる半導体装置における電気的特性を示す特性図である。

10

【図 2 9 - 1】図 2 9 - 1 は、実施例 7 にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図 2 9 - 2】図 2 9 - 2 は、実施例 7 にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図 3 0】図 3 0 は、実施例 8 にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【図 3 1】図 3 1 は、実施の形態 7 にかかる半導体装置の製造工程（その 1）を示す断面図である。

【図 3 2】図 3 2 は、実施の形態 7 にかかる半導体装置の製造工程（その 2）を示す断面図である。

20

【図 3 3】図 3 3 は、実施の形態 8 にかかる半導体装置の製造工程を示す断面図である。

【図 3 4】図 3 4 は、実施の形態 9 にかかる半導体装置の製造工程を示す断面図である。

【図 3 5】図 3 5 は、実施の形態 1 0 にかかる半導体装置の製造工程を示す断面図である。

。

【図 3 6】図 3 6 は、実施の形態 1 1 にかかる半導体装置の製造工程（その 1）を示す断面図である。

【図 3 7】図 3 7 は、実施の形態 1 1 にかかる半導体装置の製造工程（その 2）を示す断面図である。

【図 3 8】図 3 8 は、実施の形態 1 2 にかかる半導体装置の製造工程を示す断面図である。

30

【図 3 9】図 3 9 は、従来の超接合半導体装置を示す断面図である。

【図 4 0】図 4 0 は、図 3 9 に示す超接合半導体装置の不純物濃度分布を示す特性図である。

【図 4 1】図 4 1 は、従来の超接合半導体装置におけるターンオフ時の電気的特性を示す特性図である。

【発明を実施するための形態】

【0 0 4 7】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

40

【0 0 4 8】

（実施の形態 1）

図 1 は、実施の形態 1 にかかる半導体装置を示す断面図である。図 1 に示す半導体装置は、第 1 主面側に素子活性部を有し、第 2 主面側に n^+ ドレイン領域（低抵抗層）1 1 を有する。素子活性部には、例えばプレーナ型 MOS FET の表面構造として、p ベース領域（第 2 導電型ベース領域）3、n 型表面領域（第 1 導電型表面領域）4、 p^+ コンタクト領域 5、 n^+ ソース領域 6、ゲート絶縁膜 7、ゲート電極 8、層間絶縁膜 9 およびソース電極 1 0 が設けられている。第 2 主面には、 n^+ ドレイン領域 1 1 に接するドレイン電極 1 2 が設けられている。

【0 0 4 9】

50

素子活性部と n^+ ドレイン領域11との間には、ドリフト層として、並列pn層20が設けられている。並列pn層20は、n型領域（第1導電型領域）1とp型領域（第2導電型領域）2とが交互に繰り返し接合されてできている。p型領域2は、 n^+ ドレイン領域11に達しないように設けられている。n型領域1およびp型領域2の平面形状は、ストライプ状、六方格子状または正方状である。

【0050】

pベース領域3は、p型領域2の第1主面側に設けられている。また、pベース領域3は、p型領域2よりも高い不純物濃度を有する。n型表面領域4は、n型領域1の第1主面側に設けられている。つまり、n型表面領域4は、隣り合うpベース領域3の間に設けられ、pベース領域3に隣接する。n型表面領域4は、後述するn型高濃度領域21よりも高い不純物濃度を有していてもよいし、同じ不純物濃度を有していてもよい。また、n型表面領域4は、pベース領域3と同じ深さで設けられてもよいし、pベース領域3よりも浅く設けられてもよい。n型表面領域4をpベース領域3よりも浅く設けることで、pベース領域3の第2主面側のコーナー近傍の不純物濃度を、p型領域2の第1主面側の不純物濃度と同じ不純物濃度にすることができる。これにより、pベース領域3の第2主面側のコーナー近傍に電界が集中することを防ぎ、耐圧が低減することを防止することができる。

10

【0051】

p^+ コンタクト領域5および n^+ ソース領域6は、pベース領域3の表面層に設けられ、互いに接する。ゲート電極8は、ゲート絶縁膜7を介して、 n^+ ソース領域6、pベース領域3およびn型領域1に跨がっている。ソース電極10は、 p^+ コンタクト領域5および n^+ ソース領域6に接する。また、ソース電極10は、層間絶縁膜9によってゲート電極8と絶縁されている。

20

【0052】

n型高濃度領域（第1導電型高濃度領域）21は、n型領域1の第1主面側に設けられている。n型高濃度領域21は、n型表面領域4の第2主面側の端部（以下、下端とする）に接する。また、n型高濃度領域21は、pベース領域3の下端からp型領域2の下端までの深さに位置するn型領域1のうち、n型高濃度領域21を除く領域（以下、n型低濃度領域とする）22よりも高い不純物濃度を有する。

30

【0053】

また、n型高濃度領域21は、pベース領域3の下端からp型領域2の下端までの深さに位置するn型領域1の厚さ（以下、n型領域1のうち、p型領域2に隣接する領域の厚さとする）の $1/3$ 以下の厚さを有する。望ましくは、n型高濃度領域21は、n型領域1のうち、p型領域2に隣接する領域の厚さの $1/8$ 以上 $1/4$ 以下の厚さを有するのがよい。n型高濃度領域21をこのような厚さで設けることで、並列pn層20の第1主面側の接合部でチャージインバランスとなることを低減し、耐圧が低下することを防止する。n型高濃度領域21の厚さは例えば $5.5\mu\text{m}$ であってもよい。p型領域2の厚さは例えば $40\mu\text{m}$ であってもよい。このとき、n型領域1のうち、p型領域2に隣接する領域の厚さは例えば $40\mu\text{m}$ である。

40

【0054】

次に、n型領域1およびp型領域2の不純物濃度分布について説明する。図2は、実施の形態1にかかる半導体装置の不純物濃度分布を示す特性図である。図2には、図1の切断線A-A'におけるn型不純物濃度分布と、図1の切断線B-B'におけるp型不純物濃度分布を示す。n型不純物濃度分布は、n型表面領域4の第1主面側の端部（以下、上端とする）から第2主面側方向（以下、深さ方向とする）におけるn型領域1の不純物濃度分布である。p型不純物濃度分布は、 p^+ コンタクト領域5の上端から深さ方向におけるp型領域2の不純物濃度分布である（以下、実施の形態2～実施の形態6において同様）。

【0055】

第1深さ d_0 は、pベース領域3の上端から下端までの深さである。第2深さ d_1 は、p

50

ベース領域 3 の下端から n 型高濃度領域 2 1 の下端までの深さである。第 3 深さ d_2 は、n 型高濃度領域 2 1 の下端から p 型領域 2 の下端までの深さである。そして、図 2 に示す n 型不純物濃度分布は、p ベース領域 3 (第 1 深さ d_0) の下端から第 2 主面側にかけて、n 型高濃度領域 2 1 (第 2 深さ d_1) および n 型低濃度領域 2 2 (第 3 深さ d_2) がこの順に存在する不純物濃度分布を示している。また、図 2 に示す p 型不純物濃度分布は、p ベース領域 3 の下端から第 2 主面側にかけて、p 型領域 2 (第 2 深さ d_1 + 第 3 深さ d_2) が存在する不純物濃度分布を示している。

【0056】

図 2 に示すように、n 型領域 1 は、p ベース領域 3 の下端から第 2 主面側の領域で、n 型高濃度領域 2 1 と n 型低濃度領域 2 2 とからなる異なる 2 段の不純物濃度分布を有する。n 型高濃度領域 2 1 は、n 型低濃度領域 2 2 の 1. 2 倍以上 3 倍以下好ましくは 2. 5 倍以下の不純物濃度を有するのがよい。つまり、n 型領域 1 は、第 1 主面側で n 型不純物量が多い構成となっている。n 型高濃度領域 2 1 の不純物濃度は、例えば $4.8 \times 10^{15} / \text{cm}^3$ であってもよい。n 型低濃度領域 2 2 の不純物濃度は、例えば $3.0 \times 10^{15} / \text{cm}^3$ であってもよい。

【0057】

また、n 型領域 1 は、n 型表面領域 4、n 型高濃度領域 2 1 および n 型低濃度領域 2 2 とからなる異なる 3 段の不純物濃度分布を有してもよい。つまり、図 2 に示す n 型不純物濃度分布では、第 1 主面側から第 2 主面側にかけて、n 型表面領域 4 (第 1 深さ d_0)、n 型高濃度領域 2 1 (第 2 深さ d_1) および n 型低濃度領域 2 2 (第 3 深さ d_2) がこの順に存在する 3 段の不純物濃度分布であってもよい。この場合、n 型高濃度領域 2 1 は、n 型表面領域 4 も含めて、n 型低濃度領域 2 2 の 1. 2 倍以上 3 倍以下好ましくは 2. 5 倍以下の不純物濃度を有していてもよい。

【0058】

p 型領域 2 は、均一な不純物濃度分布を有する。つまり、n 型高濃度領域 2 1 の不純物濃度は、p 型領域 2 のうち n 型高濃度領域 2 1 の隣接する領域の 1. 2 倍以上 3 倍以下好ましくは 2. 5 倍以下の不純物濃度を有する。

【0059】

以上、説明したように、実施の形態 1 によれば、n 型領域 1 の第 1 主面側に n 型高濃度領域 2 1 を設けることで、n 型領域 1 の第 1 主面側を第 2 主面側よりも n 型不純物量が多い構成としている。これにより、並列 pn 層 2 0 の第 1 主面側で空乏層が拡がりにくくなり、低いドレイン電圧で並列 pn 層 2 0 が完全に空乏化することを防ぐことができる。このため、ゲート・ドレイン容量が極端に低くなることを防止することができ、ターンオフ d_v / d_t が高くなることを回避することができる。したがって、ターンオフ d_v / d_t を低くするためにゲート抵抗を大きくする必要がなくなるので、ターンオフ損失が増大することを防止することができる。すなわち、ターンオフ損失とターンオフ d_v / d_t とのトレードオフ関係を、従来よりも改善することができる。

【0060】

(実施の形態 2)

図 3 は、実施の形態 2 にかかる半導体装置を示す断面図である。実施の形態 1 において、トレンチ構造を適用してもよい。

【0061】

実施の形態 2 では、n 型領域 1 の上端側に、トレンチの内部にゲート絶縁膜 1 7 を介してゲート電極 1 8 が設けられたトレンチ構造が構成されている。p ベース領域 3 および n⁺ ソース領域 6 は、トレンチ側壁に設けられたゲート絶縁膜 1 7 に接する。ソース電極 1 0 は、層間絶縁膜 1 9 によって、ゲート電極 1 8 と絶縁されている。n 型表面領域は設けられていない。

【0062】

図 3 の切断線 C - C' における n 型領域 1 の n 型不純物濃度分布は、実施の形態 1 の切断線 A - A' における n 型領域 1 の n 型不純物濃度分布と同様である (図 1、図 2 参照)

。図3に示す半導体装置では、n型表面領域が設けられていないため、n型不純物濃度分布は、第2深さ d_1 および第3深さ d_2 のみとなる。また、切断線D-D'におけるp型領域2のp型不純物濃度分布は、実施の形態1の切断線B-B'におけるp型領域2のp型不純物濃度分布と同様である。それ以外の構成は、実施の形態1と同様である。

【0063】

以上、説明したように、実施の形態2によれば、トレンチゲート構造を有する半導体装置においても、実施の形態1と同様の効果を得ることができる。

【0064】

(実施の形態3)

図4は、実施の形態3にかかる半導体装置を示す断面図である。図4では、並列pn層20のうち、1つのpn接合のみを示す（以下、図6および図8においても同様）。実施の形態1において、p型領域2の第1主面側の不純物濃度を、p型領域2の第2主面側の不純物濃度よりも高くしてもよい。

【0065】

実施の形態3では、p型高濃度領域（第2導電型高濃度領域）23は、p型領域2の第1主面側に設けられている。p型高濃度領域23は、pベース領域3の下端に接する。また、p型高濃度領域23は、p型領域2のうちp型高濃度領域23を除く領域（以下、p型低濃度領域とする）24よりも高い不純物濃度を有する。

【0066】

また、p型高濃度領域23は、n型高濃度領域21と同様の厚さを有する。望ましくは、p型高濃度領域23は、p型領域2の厚さの $1/8$ 以上 $1/2$ 以下の厚さを有する。p型高濃度領域23の厚さは例えば $11\mu\text{m}$ であってもよい。p型領域2の厚さは例えば $37\mu\text{m}$ であってもよい。また、n型高濃度領域21は、n型低濃度領域22の 1.5 倍以上 3 倍以下好ましくは 2.5 倍以下の不純物濃度を有するのが望ましい。

【0067】

次に、p型領域2およびn型領域1の不純物濃度分布について説明する。図5は、実施の形態3にかかる半導体装置の不純物濃度分布を示す特性図である。図5には、第1深さ d_0 の下端から第2主面側にかけての図4の切断線E-E'におけるn型不純物濃度分布と、図4の切断線F-F'におけるp型不純物濃度分布を示す。切断線E-E'におけるn型領域1のn型不純物濃度分布は、実施の形態1と同様である（図2参照）。図5に示すp型不純物濃度分布は、pベース領域3（第1深さ d_0 ）の下端から第2主面側にかけて、p型高濃度領域23（第2深さ d_1 ）およびp型低濃度領域24（第3深さ d_2 ）がこの順に存在する不純物濃度分布を示している。

【0068】

図5に示すように、p型領域2は、p型高濃度領域23とp型低濃度領域24とからなる異なる2段の不純物濃度分布を有する。つまり、p型領域2は、第1主面側でp型不純物量が多い構成となっている。p型高濃度領域23は、n型高濃度領域21とほぼ同じ深さでほぼ同じ不純物濃度を有する。p型低濃度領域24は、n型低濃度領域22とほぼ同じ深さでほぼ同じ不純物濃度を有する。つまり、p型領域2のp型不純物濃度分布は、n型領域1のn型不純物濃度分布と同じ分布形状となる。p型高濃度領域23の不純物濃度は、例えば $4.7 \times 10^{15} / \text{cm}^3$ であってもよい。p型低濃度領域24の不純物濃度は、例えば $2.7 \times 10^{15} / \text{cm}^3$ であってもよい。それ以外の構成は、実施の形態1と同様である。

【0069】

以上、説明したように、実施の形態3によれば、実施の形態1と同様の効果を得ることができる。また、p型領域2の第1主面側にp型高濃度領域23を設けることで、p型領域2の第1主面側を第2主面側よりもp型不純物量が多い構成としている。また、p型高濃度領域23を、n型高濃度領域21とほぼ同じ深さで、かつn型高濃度領域21とほぼ同じ不純物濃度で設けている。このため、並列pn層20の第1主面側の接合面でチャージインバランスとなることを回避することができる。これにより、耐圧が低下することを

防止することができる。

【0070】

(実施の形態4)

図6は、実施の形態4にかかる半導体装置を示す断面図である。実施の形態3において、p型高濃度領域23を、n型高濃度領域21の下端よりも第2主面側に深く設けてもよい。

【0071】

実施の形態4では、p型高濃度領域23が、n型高濃度領域21と同じ不純物濃度で、n型高濃度領域21の下端よりも第2主面側に深く設けられている。このため、p型高濃度領域23の厚さとn型高濃度領域21の厚さの差分だけ、第1主面側におけるp型不純物量をn型不純物量よりも多くすることができる。n型高濃度領域21の厚さは例えば9 μm であってもよい。p型高濃度領域23の厚さは例えば16 μm であってもよい。p型領域2の厚さは例えば37 μm であってもよい。

【0072】

次に、p型領域2のn型不純物濃度分布について説明する。図7は、実施の形態4にかかる半導体装置の不純物濃度分布を示す特性図である。図7には、第1深さ d_0 の下端から第2主面側にかけての図6の切断線G-G'におけるn型不純物濃度分布と、図6の切断線H-H'におけるp型不純物濃度分布とを示す。切断線G-G'におけるn型領域1のn型不純物濃度分布は、実施の形態1と同様である(図2参照)。第4深さ d_3 は、n型高濃度領域21の下端からp型高濃度領域23の下端までの深さである。第5深さ d_4 は、p型高濃度領域23の下端からp型領域2の下端までの深さである。

【0073】

図7に示すように、p型領域2は、n型高濃度領域21の下端から第4深さ d_3 だけ深く設けられたp型高濃度領域23(第2深さ d_1 +第4深さ d_3)と、p型低濃度領域24(第5深さ d_4)とからなる異なる2段の不純物濃度分布を有する。つまり、p型領域2のp型不純物濃度分布は、n型領域1のn型不純物濃度分布と異なる分布形状となる。p型高濃度領域23の不純物濃度は、例えば $5.0 \times 10^{15} / \text{cm}^3$ であってもよい。p型低濃度領域24の不純物濃度は、例えば $3.0 \times 10^{15} / \text{cm}^3$ であってもよい。また、p型高濃度領域23は、n型高濃度領域21とほぼ同じ不純物濃度を有する。p型低濃度領域24は、n型低濃度領域22とほぼ同じ不純物濃度を有する。それ以外の構成は、実施の形態3と同様である。

【0074】

以上、説明したように、実施の形態4によれば、実施の形態3と同様の効果を得ることができる。また、p型高濃度領域23を、n型高濃度領域21よりも第2主面側に深く設けることで、並列pn層20の第1主面側のp型不純物量がn型不純物量よりも多くなる構成としている。これにより、アバランシェ時の負性抵抗を発生しにくくすることができる。アバランシェ耐量を向上することができる。したがって、ドレインソース間に流れる電流が増加したときに、ドレイン電圧が低下することを防止することができる。

【0075】

(実施の形態5)

図8は、実施の形態5にかかる半導体装置を示す断面図である。実施の形態4において、p型高濃度領域23のうち、n型高濃度領域21の下端よりも第2主面側に深く設けた領域を、n型高濃度領域21の下端よりも第1主面側のp型高濃度領域23よりも低い不純物濃度としてもよい。

【0076】

実施の形態5では、p型高濃度領域23とp型低濃度領域24の間に、p型高濃度領域23よりも低い不純物濃度を有し、かつn型低濃度領域22よりも高い不純物濃度を有する領域(以下、p型中濃度領域)25が設けられている。p型中濃度領域25は、n型低濃度領域22の第1主面側において、n型低濃度領域22に隣接する。p型高濃度領域23は、n型高濃度領域21と同じ厚さで設けられている。p型高濃度領域23の厚さは例

えば $9\ \mu\text{m}$ であってもよい。p 型中濃度領域 25 の厚さは例えば $7\ \mu\text{m}$ であってもよい。

【0077】

次に、p 型領域 2 の n 型不純物濃度分布について説明する。図 9 は、実施の形態 5 にかかる半導体装置の不純物濃度分布を示す特性図である。図 9 には、第 1 深さ d_0 の下端から第 2 主面側にかけての図 8 の切断線 I-I' における n 型不純物濃度分布と、図 8 の切断線 J-J' における p 型不純物濃度分布とを示す。切断線 I-I' における n 型領域 1 の n 型不純物濃度分布は、実施の形態 1 と同様である（図 2 参照）。第 5 深さ d_4 は、p 型中濃度領域 25 の下端から p 型領域 2 の下端までの深さである。

【0078】

図 9 に示すように、p 型領域 2 は、p 型高濃度領域 23（第 2 深さ d_1 ）、p 型中濃度領域 25（第 4 深さ d_3 ）および p 型低濃度領域 24（第 5 深さ d_4 ）からなる異なる 3 段の不純物濃度分布を有する。つまり、p 型領域 2 の p 型不純物濃度分布は、n 型領域 1 の n 型不純物濃度分布と異なる分布形状となる。また、p 型中濃度領域 25 は、n 型領域 1 のうち、p 型中濃度領域 25 の隣接する領域の 1.2 倍以上の不純物濃度を有するのがよい。p 型中濃度領域 25 の不純物濃度は、例えば $4 \times 10^{15} / \text{cm}^3$ であってもよい。それ以外の構成は、実施の形態 4 と同様である。

【0079】

以上、説明したように、実施の形態 5 によれば、実施の形態 4 と同様の効果を得ることができる。

【0080】

（実施の形態 6）

図 10 は、実施の形態 6 にかかる半導体装置を示す断面図である。実施の形態 3 において、p 型低濃度領域 24 は、第 1 主面側から第 2 主面側にかけて徐々に低くなる不純物濃度分布を有してもよい。

【0081】

実施の形態 6 では、並列 pn 層 20 は、例えばエピタキシャル層が積層されてなる構成を有する。n 型領域 1 および p 型領域 2 は、導入した不純物が拡散して形成される例えば略円弧状の pn 接合面を有する並列 pn 層 20 が積層されてなる波型の不純物濃度分布（以下、波型の不純物濃度分布とする）を有する。さらに、p 型低濃度領域 24 は、第 1 主面側から第 2 主面側にかけて徐々に低くなる不純物濃度分布を有する。p 型低濃度領域 24 の全体の不純物量は、n 型低濃度領域 22 の全体の不純物量と同様である。

【0082】

次に、n 型領域 1 および p 型領域 2 の n 型不純物濃度分布について説明する。図 11 は、実施の形態 6 にかかる半導体装置の不純物濃度分布を示す特性図である。図 11 には、図 10 の切断線 K-K' における n 型不純物濃度分布と、図 10 の切断線 L-L' における p 型不純物濃度分布を示す。切断線 K-K' における n 型領域 1 の n 型不純物濃度分布は、波型の不純物濃度分布形状である点を除き、実施の形態 1 と同様である。つまり、n 型領域 1 は、n 型高濃度領域 21 と n 型低濃度領域 22 とからなる異なる 2 段の不純物濃度分布を有する。また、p 型領域 2 は、p 型高濃度領域 23 と、第 1 主面側から第 2 主面側にかけて徐々に低くなる不純物濃度分布を有する p 型低濃度領域 24 とからなる異なる 2 段の不純物濃度分布を有する。

【0083】

次に、半導体装置の製造方法について説明する。まず、n 型エピタキシャル層を積層する。ついで、エピタキシャル層全体に n 型不純物を導入して熱拡散を行う。ついで、p 型領域 2 の形成領域が開口したマスクを形成する。ついで、p 型領域 2 の形成領域に、p 型不純物を導入して熱拡散を行う。これにより、p 型領域 2 が形成される。ここで、p 型不純物が導入されていない領域が、n 型領域 1 となる。この工程を繰り返し行い、エピタキシャル層を積層することで、並列 pn 層 20 が形成される。このとき、n 型高濃度領域 21 となるエピタキシャル層には、第 2 主面側よりも高い n 型不純物濃度となるように n 型不純物が導入される。また、各エピタキシャル層には、エピタキシャル層内にそれぞれ形

10

20

30

40

50

成されるp型低濃度領域24の不純物濃度が、第2主面側から第1主面側にかけて徐々に高くなるように、p型不純物が導入される。また、p型高濃度領域23を形成するエピタキシャル層には、第2主面側よりも高いp型不純物濃度となるようにp型不純物を導入する。それ以外の構成は、実施の形態3と同様である。なお、熱拡散は、各エピタキシャル層毎に行ってもよいし、エピタキシャル層の形成と不純物の導入を繰り返し最後にアニールして熱拡散してもよい。

【0084】

以上、説明したように、実施の形態6によれば、実施の形態3と同様の効果を得ることができる。

【0085】

(実施例1)

図12は、実施例1の半導体装置におけるターンオフ時の電気的特性を示す特性図である。図12は、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係を示すシミュレーション結果である（以下、図14、図21、図24、図27-1、図27-2、図29-1、図29-2および図30において同様）。実施の形態1に従い、n型高濃度領域21の不純物濃度をn型低濃度領域22の不純物濃度の1.2倍としたプレーナ型MOSFETを準備した（以下、第1実施例とする）。また、n型高濃度領域21の不純物濃度をn型低濃度領域22の不純物濃度の1.6倍としたプレーナ型MOSFETを準備した（以下、第2実施例とする）。

【0086】

第1実施例では、pベース領域3の厚さおよび表面不純物濃度を、それぞれ $3.0\mu\text{m}$ および $3.0 \times 10^{17}\text{cm}^{-3}$ とした。n型表面領域4の厚さおよび表面不純物濃度を、それぞれ $2.5\mu\text{m}$ および $2.0 \times 10^{16}\text{cm}^{-3}$ とした。n⁺ソース領域6の厚さおよび表面不純物濃度を、それぞれ $0.5\mu\text{m}$ および $3.0 \times 10^{20}\text{cm}^{-3}$ とした。n⁺ドレイン領域11の厚さおよび表面不純物濃度を、それぞれ $300\mu\text{m}$ および $2.0 \times 10^{18}\text{cm}^{-3}$ とした。ドリフト層の厚さを、 $53.0\mu\text{m}$ とした。n型領域1の幅を、 $6.0\mu\text{m}$ とした。n型高濃度領域21の厚さおよび不純物濃度を、それぞれ $5.5\mu\text{m}$ および $3.6 \times 10^{15}\text{cm}^{-3}$ とした。n型低濃度領域22の不純物濃度を、 $3.0 \times 10^{15}\text{cm}^{-3}$ とした。p型領域2の幅、高さおよび不純物濃度を、それぞれ $6.0\mu\text{m}$ 、 $40.0\mu\text{m}$ および $3.0 \times 10^{15}\text{cm}^{-3}$ とした。また、耐圧クラスを 600V とした。第2実施例は、n型高濃度領域21の不純物濃度を、 $4.8 \times 10^{15}\text{cm}^{-3}$ とした。それ以外の構成は、第1実施例と同様である。比較として、n型高濃度領域21の不純物濃度をn型低濃度領域22の不純物濃度の1倍としたプレーナ型MOSFETを準備した（以下、従来例とする）。つまり、従来例のn型領域1は、均一の不純物濃度分布を有する。従来例のその他の構成は、第1実施例と同様である。そして、各試料において、ターンオフ損失およびターンオフ dv/dt を測定した。

【0087】

図12に示す結果では、半導体装置の性能を決定する指標は、ターンオフ損失が低く、かつターンオフ dv/dt が低いことである。つまり、グラフの原点（左下）に近づくほど、半導体装置の性能は高くなり、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係が改善されている。このため、同じターンオフ dv/dt で比較したときに、ターンオフ損失が低いほど、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係が改善されているといえることができる。そこで、ターンオフ dv/dt が電源高調波規制を満たす例えば $10\text{ kV}/\mu\text{s}$ の場合におけるターンオフ損失を比較する。また、ここでは、第2実施例において、ターンオフ dv/dt が $10\text{ kV}/\mu\text{s}$ の場合の測定値は図示されていない。しかし、第2実施例のその他の測定値は、第2実施例の図示された測定値を結ぶ近似値直線の延長線上にあると推測される（以下、図14、図21、図24、図27-1、図27-2、図29-1、図29-2および図30において同様）。

【0088】

図12に示す結果により、n型低濃度領域22に対するn型高濃度領域21の不純物濃

10

20

30

40

50

度が高くなるほど、ターンオフ損失が低くなることがわかる。つまり、第2実施例において、最も、ターンオフ損失とターンオフ $d v / d t$ とのトレードオフ関係が改善されていることがわかる。また、n型高濃度領域21の不純物濃度をn型低濃度領域22の不純物濃度の1.2倍以上とすることで、ターンオフ損失を従来例の1/2以下とすることができることがわかった。

【0089】

(実施例2)

図13は、実施例2にかかる半導体装置のn型不純物濃度分布を示す特性図である。また、図14は、実施例2の半導体装置におけるターンオフ時の電気的特性を示す特性図である。まず、図13に示すように、実施の形態3に従い、プレーナ型MOSFETを準備した(以下、第3実施例とする)。第3実施例では、n型高濃度領域21の厚さおよび不純物濃度を、それぞれ $8.0 \mu m$ および $4.7 \times 10^{15} cm^{-3}$ とした。n型低濃度領域22の不純物濃度を、例えば $2.7 \times 10^{15} / cm^3$ とした。p型領域2の厚さを、 $37 \mu m$ とした。p型高濃度領域23の厚さおよび不純物濃度は、n型高濃度領域21と同様である。p型低濃度領域24の不純物濃度は、n型低濃度領域22と同じである。比較として、実施例1と同様に、従来例を準備した。また、n型領域1の第1主面側から第2主面側にかけて、n型不純物濃度を徐々に低くしたプレーナ型MOSFETを準備した(以下、傾斜実施例とする)。第3実施例、従来例および傾斜実施例ともに、n型領域1の全体の不純物量は同じである。そして、各試料において、ターンオフ損失およびターンオフ $d v / d t$ を測定した。

【0090】

図14に示す結果では、ターンオフ $d v / d t$ が例えば $10 kV / \mu s$ の場合で比較すると、ターンオフ損失は、第3実施例で最も低く、従来例で最も高くなることがわかった。詳細には、ターンオフ $d v / d t$ が例えば $10 kV / \mu s$ のときに、第3実施例のターンオフ損失は1.7 mJ程度となった。従来例のターンオフ損失は5.0 mJ程度となった(図示省略)。つまり、第3実施例では、ターンオフ損失を従来例の1/3程度に低減することができることがわかる。これにより、第3実施例は、従来例に比べて、ターンオフ損失とターンオフ $d v / d t$ とのトレードオフ関係を最もよく改善することがわかった。その理由は、次に示すとおりである。また、傾斜実施例においても従来例に比べて、ターンオフ損失とターンオフ $d v / d t$ とのトレードオフ関係を改善することがわかった。

【0091】

図15～図17は、実施例2にかかる半導体装置の空乏層の拡がりを示す概念図である。また、図18は、実施例2にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。図15～図17には、ドレイン電圧を上げたときの、第3実施例における空乏層31の拡がり、従来例における空乏層32の拡がり、および傾斜実施例における空乏層33の拡がりを示す。図18は、ドレイン電圧を上げたときの、第3実施例、従来例および傾斜実施例のターンオフ $d v / d t$ を示すシミュレーション結果である。

【0092】

図16に示すように、従来例における空乏層32は、n型領域1とp型領域2との接合面に平行に拡がる。そして、ドレイン電圧80 Vで、並列pn層は完全に空乏化する。また、図17に示すように、傾斜実施例における空乏層33は、ドレイン電圧が印加されると、不純物濃度の低い並列pn層の第2主面側で早く拡がり、不純物濃度の高い並列pn層の第1主面側で遅く拡がる。そして、ドレイン電圧100 Vで、並列pn層は完全に空乏化する。

【0093】

一方、図15に示すように、第3実施例における空乏層31は、ドレイン電圧が印加されると、傾斜実施例と同様に、不純物濃度の低い並列pn層の第2主面側(n型低濃度領域22およびp型低濃度領域24)で早く拡がり、不純物濃度の高い並列pn層の第1主面側(n型高濃度領域21およびp型高濃度領域23)で遅く拡がる。そして、第3実施例では、ドレイン電圧が100 Vになっても、並列pn層の第1主面側に、空乏化されて

いない領域（以下、中性領域とする）が残る。

【0094】

また、図18に示す結果より、従来例では、ドレイン電圧が急激に上昇し、それに伴ってターンオフ $d v / d t$ が急激に大きくなっている。その理由は、従来例では並列pn層が完全に空乏化しやすいからである（図16参照）。また、傾斜実施例では、ドレイン電圧が印加されてからドレイン電圧が上がり始めるまでの時間が、従来例よりも遅くなっている。また、ドレイン電圧が全体的にゆっくり上昇し、ターンオフ $d v / d t$ もゆっくり上がっている。その理由は、傾斜実施例では、n型領域1内およびp型領域2内の不純物濃度が、第2主面側から第1主面側にかけて緩やかに高くなっていることで、空乏層が第2主面側から第1主面側にかけて徐々に広がるからである（図17参照）。 10

【0095】

一方、第3実施例では、ドレイン電圧が印加されてからドレイン電圧が上がり始めるまでの時間は、傾斜実施例よりも早い。しかし、第3実施例では、ターンオフ $d v / d t$ は、傾斜実施例よりも低くなっている。その理由は、第3実施例では、n型領域1およびp型領域2内に急激に不純物濃度が変化する部分があることで、傾斜実施例に比べて、並列pn層の第1主面側で空乏層が拡がりにくくなり（図15参照）、ドレイン電圧が上昇しにくくなるからである。

【0096】

上述したように、第3実施例および傾斜実施例は、従来例に比べて、ターンオフ損失をほぼ同様に低減することができることがわかった（図14参照）。また、第3実施例では、傾斜実施例に比べてターンオフ $d v / d t$ を小さくすることができることがわかった（図18参照）。これにより、第3実施例は、従来例に比べて、ターンオフ損失とターンオフ $d v / d t$ とのトレードオフ関係を改善することができることがわかった。 20

【0097】

（実施例3）

図19は、実施例3にかかる半導体装置における耐圧とオン抵抗との関係を示す特性図である。図19は、耐圧とオン抵抗とのトレードオフ関係を示すシミュレーション結果である。まず、実施例2と同様に、第3実施例を準備した。比較として、実施例1と同様に、従来例を準備した。実施例2と同様に、傾斜実施例を準備した。そして、各試料において、耐圧およびオン抵抗を測定した。図19に示す結果では、半導体装置の性能を決定する指標は、耐圧が高く、かつオン抵抗が低いことである。つまり、グラフの右下に近づくほど、半導体装置の性能は高くなり、オン抵抗と耐圧とのトレードオフ関係が改善されている（以下、図26および図28-1においても同様）。 30

【0098】

図19に示す結果では、第3実施例、従来例および傾斜実施例の耐圧は、ほぼ同様の値となった。オン抵抗は、従来例が最も低くなった。この理由は、n型領域1内の不純物濃度分布が均一であるからである。このため、オン抵抗と耐圧とのトレードオフ関係は、従来例が最も改善されている。一方、第3実施例と傾斜実施例とを比較した場合、第3実施例のオン抵抗は、傾斜実施例とのオン抵抗に比べて低くなっている。この理由は、次のように推測される。SJ-MOSFETはチャンネル長の長いJFET（接合型電界効果トランジスタ）構造と見なすことができるので、n型領域1の不純物濃度によってオン抵抗が決定される。特に、第2主面側の不純物濃度が低いとn型領域1を流れる電流とn型領域1の抵抗による電圧降下によりn型領域1に空乏層が拡がり、電流経路を狭くしてしまう。その結果、オン抵抗を増加させることになる。従来例、第3実施例、傾斜実施例の第2主面側のn型領域1の不純物濃度は従来例、第3実施例、傾斜実施例の順に低くなっているため、従来例のオン抵抗が最も低く、傾斜実施例が最も高い結果となる。また、第3実施例と従来例のオン抵抗の差は5%程度であるため、第3実施例は、従来例とほぼ同様に、耐圧とオン抵抗とのトレードオフ関係を改善することができるということが出来る。さらに、上述したように、第3実施例は、ターンオフ損失を低減することができる（実施例2参照）。このため、第3実施例は、従来例に比べて高い性能を有することがわかる。 40 50

【0099】

(実施例4)

図20は、実施例4にかかる半導体装置における電気的特性を示す特性図である。また、図21は、実施例4にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。図20は、アバランシェ突入後の電流－電圧特性について示すシミュレーション結果である（以下、図23において同様）。まず、実施例2と同様に、第3実施例を準備した。また、実施の形態4に従い、プレーナ型MOSFETを準備した（以下、第4実施例とする）。第4実施例では、n型高濃度領域21の厚さを $9\mu\text{m}$ とした。p型高濃度領域23の厚さを $16\mu\text{m}$ とした。n型高濃度領域21およびp型高濃度領域23の不純物濃度を $5.0 \times 10^{15}/\text{cm}^3$ とした。n型低濃度領域22およびp型低濃度領域24の不純物濃度を $3.0 \times 10^{15}/\text{cm}^3$ とした。それ以外の構成は、第3実施例と同様である。そして、第3実施例および第4実施例において、アバランシェ突入後の電流－電圧波形を観測した。また、各試料において、ターンオフ損失およびターンオフ $d v/d t$ を測定した。

10

【0100】

図20に示す結果により、第3実施例では、ドレイン－ソース間に流れる電流が増大したときに、ドレイン電圧が低下した。その理由は、第3実施例では、n型領域1とp型領域2とが深さ方向にほぼ同様の不純物濃度分布となっていることで、アバランシェ突入後に負性抵抗が発生するからである。一方、第4実施例では、ドレイン－ソース間に流れる電流が増大したときに、ドレイン電圧が上昇した。その理由は、第4実施例では、p型高濃度領域23のうち、n型高濃度領域21よりも第2主面側に深く設けられた部分でp型不純物量がn型不純物量よりも多くなっており、負性抵抗が発生しにくくなるからである。このように、第4実施例では、負性抵抗が発生しにくくすることができるので、アバランシェ耐量を向上することができる。

20

【0101】

また、図21に示す結果より、第4実施例におけるターンオフ損失とターンオフ $d v/d t$ とのトレードオフ関係を、第3実施例とほぼ同様に、従来例に比べてかなり改善することができることがわかった。具体的には、第4実施例のターンオフ損失は、ターンオフ $d v/d t$ が例えば $10\text{ kV}/\mu\text{s}$ の場合で比較すると、図示省略する従来例のターンオフ損失に比べて半分程度まで低くすることができる。すなわち、第4実施例では、ターンオフ損失とターンオフ $d v/d t$ とのトレードオフ関係を従来例よりも改善し、かつアバランシェ耐量を向上することができることがわかった。

30

【0102】

(実施例5)

図22は、実施例5にかかる半導体装置のp型不純物濃度分布を示す特性図である。また、図23は、実施例5にかかる半導体装置における電気的特性を示す特性図である。また、図24は、実施例5にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。まず、図22に示すように第1深さ d_0 の下端から第2主面側にかけて、実施の形態5に従い、p型中濃度領域25（第4深さ d_3 ）の不純物濃度を、 $3.0 \times 10^{15}/\text{cm}^3$ 、 $3.5 \times 10^{15}/\text{cm}^3$ 、 $4.0 \times 10^{15}/\text{cm}^3$ 、 $4.5 \times 10^{15}/\text{cm}^3$ 、 $5.0 \times 10^{15}/\text{cm}^3$ とした、5つのプレーナ型MOSFETを準備した（以下、第5実施例～第9実施例とする）。また、第5実施例～第9実施例では、p型高濃度領域23の厚さ（第2深さ d_1 ）を $9\mu\text{m}$ とした。p型中濃度領域25の厚さ（第4深さ d_3 ）を $7\mu\text{m}$ とした。それ以外の構成は、第4実施例と同様である。また、比較として、実施例1と同様に、従来例を準備した。そして、第5実施例～第9実施例において、アバランシェ突入後の電流－電圧波形を観測した。また、第5実施例～第9実施例および従来例において、ターンオフ損失およびターンオフ $d v/d t$ を測定した。

40

【0103】

図23に示す結果より、p型中濃度領域25の不純物濃度が高い場合、ドレイン－ソース間に流れる電流が増大したときに、ドレイン電圧が上昇することがわかった。具体的に

50

は、ドレインソース間に流れる電流が増大したときに、第5実施例や第6実施例ではドレイン電圧が低下しているが、第7実施例～第9実施例ではドレイン電圧が上昇している。つまり、第7実施例～第9実施例では、負性抵抗が発生しにくく、アバランシェ耐量が向上することがわかった。このとき、640V程度の耐圧を確保することができた。また、定格電流密度 130 A/cm^2 程度のアバランシェ耐量を確保するためには、p型中濃度領域25の不純物濃度を $3.5 \times 10^{15}/\text{cm}^3$ 程度とするのが望ましい（第6実施例）。したがって、p型中濃度領域25の不純物濃度は、p型中濃度領域25の隣接するn型低濃度領域22の不純物濃度の1.2倍以上とすることが望ましい。

【0104】

また、図24に示す結果より、p型中濃度領域25の不純物濃度が高くなるほど、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係が悪化している。しかし、第5実施例～第9実施例のターンオフ損失は、第3実施例のターンオフ損失の10%程度の増大に抑えることができる（図示省略）。このため、第5実施例～第9実施例においても、実施例3と同じように、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係を改善することができることがわかった。

【0105】

また、第5実施例～第9実施例では、p型中濃度領域25を設けることで、第1主面側から第2主面側にかけてp型領域2内の不純物濃度分布を緩やかに変化させることができる。このため、ドレイン電圧が印加されてからドレイン電圧が上がり始めるまでの時間を遅くすることができると推測される（図18の傾斜実施例参照）。これにより、さらに空乏層が拡がりにくくなり、ドレイン電圧が上昇しにくくなるため、ターンオフ dv/dt をさらに低くすることができると推測される。

【0106】

（実施例6）

図25は、実施例6にかかる半導体装置の不純物濃度分布を示す特性図である。また、図26は、実施例6にかかる半導体装置における電気的特性を示す特性図である。また、図27-1、図27-2は、実施例6にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。まず、図25に示すように、実施の形態6に従い、p型低濃度領域24の不純物濃度を、第1主面側から第2主面側にかけて徐々に低くしたプレーナ型MOSFETを準備した（以下、第10実施例とする）。第10実施例では、n型高濃度領域21の不純物濃度を $7.5 \times 10^{15}/\text{cm}^3$ とした。n型低濃度領域22の不純物濃度を $3.0 \times 10^{15}/\text{cm}^3$ とした。つまり、n型高濃度領域21の不純物濃度を、n型低濃度領域22の不純物濃度の2.5倍とした。p型高濃度領域23の不純物濃度を $1.5 \times 10^{16}/\text{cm}^3$ とした。p型低濃度領域24の不純物濃度を、第1主面側で $6.6 \times 10^{15}/\text{cm}^3$ 、第2主面側で $5.4 \times 10^{15}/\text{cm}^3$ とし、第1主面側から第2主面側にかけて $0.3 \times 10^{15}/\text{cm}^3$ ずつ減少する不純物濃度分布とした。p型領域2内の不純物濃度を変更するp型領域2の上端からの深さ（以下、濃度変更深さとする）、つまり、p型高濃度領域23の厚さを $5\mu\text{m}$ とした。また、p型低濃度領域24の不純物濃度を、第1主面側で $7.2 \times 10^{15}/\text{cm}^3$ 、第2主面側で $4.8 \times 10^{15}/\text{cm}^3$ とし、第1主面側から第2主面側にかけて $0.6 \times 10^{15}/\text{cm}^3$ ずつ減少する不純物濃度分布とし、その他は第10実施例と同様である第10-1実施例も準備した。更に、n型高濃度領域21の不純物濃度を $3.6 \times 10^{15}/\text{cm}^3$ とし、n型低濃度領域22の不純物濃度を $3.0 \times 10^{15}/\text{cm}^3$ とし、n型高濃度領域21の不純物濃度を、n型低濃度領域22の不純物濃度の1.2倍とし、p型高濃度領域23の不純物濃度を $7.2 \times 10^{15}/\text{cm}^3$ とし、p型低濃度領域24の不純物濃度を $6.0 \times 10^{15}/\text{cm}^3$ とし、p型高濃度領域23の不純物濃度をp型低濃度領域24の不純物濃度の1.2倍として、その他は第10実施例と同様である第10-2実施例も準備した。比較として、実施例1と同様に、従来例を準備した。また、p型低濃度領域24の不純物濃度分布が均一なプレーナ型MOSFETを準備した（以下、第1比較例とする）。第1比較例では、p型低濃度領域24の不純物濃度を $6.0 \times 10^{15}/\text{cm}^3$ とした。それ以外の構成は、第10実施例と同様であ

る。そして、各試料において、耐圧およびオン抵抗を測定した。また、各試料において、ターンオフ損失およびターンオフ dv/dt を測定した。なお、図 25 では、ネットドーピング（正味のキャリア濃度）で示している。つまり、半導体基板の全面にリンで n 型領域を形成し、ボロンを導入して p 型領域を形成しているのので、図 25 における p 型領域のネットドーピングは、ボロン濃度からリン濃度を差し引いた値である。

【0107】

図 26 に示す結果では、第 10 実施例と第 10-1 実施例は、従来例に比べてオン抵抗が低くなっている。また、第 10 実施例と第 10-1 実施例は、第 1 比較例に比べて耐圧が高くなっている。これにより、オン抵抗と耐圧とのトレードオフ関係は、第 10 実施例が最も改善されていることがわかる。また、図 27-1 に示す結果より、第 10 実施例、第 10-1 実施例および第 10-2 実施例では、従来例よりもターンオフ損失が低減することがわかる。具体的には、ターンオフ dv/dt が例えば $10\text{ kV}/\mu\text{s}$ のときに、第 10 実施例のターンオフ損失は 0.1 mJ 程度となった。従来例のターンオフ損失は 0.4 mJ 程度となった。つまり、第 10 実施例では、ターンオフ損失を従来例の $1/4$ 程度に低減することができる。これにより、第 10 実施例では、オン抵抗と耐圧とのトレードオフ関係と、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係の両方を、ともに従来例よりもよく改善することができることがわかった。また、第 10-1 実施例と第 10-2 実施例でも従来例よりターンオフ損失が低減されており、オン抵抗と耐圧とのトレードオフ関係と、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係の両方を、ともに従来例よりもよく改善することができることがわかった。

【0108】

図 27-2 は、p 型と n 型の双方の高濃度領域から低濃度領域に変わる深さ y の点を $5\text{ }\mu\text{m} \sim 12\text{ }\mu\text{m}$ の間で変更した場合のターンオフ損失とターンオフ dv/dt とのトレードオフ関係を示した特性図である。図 27-2 において、 y を $5\text{ }\mu\text{m}$ より深くしていくとターンオフ損失とターンオフ dv/dt とのトレードオフ関係がよくなっていくが、 $12\text{ }\mu\text{m}$ の場合 $10\text{ }\mu\text{m}$ よりもトレードオフ関係がよくない。

【0109】

（実施例 7）

図 28-1 および図 28-2 は、実施例 7 にかかる半導体装置における電気的特性を示す特性図である。また、図 29-1 および図 29-2 は、実施例 7 にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。まず、実施の形態 6 に従い、濃度変更深さ（n 型高濃度領域 21 の厚さ）を $1\text{ }\mu\text{m}$ 、 $5\text{ }\mu\text{m}$ 、 $10\text{ }\mu\text{m}$ 、 $15\text{ }\mu\text{m}$ 、 $20\text{ }\mu\text{m}$ 、 $25\text{ }\mu\text{m}$ 、 $30\text{ }\mu\text{m}$ とした、7 つのプレーナ型 MOSFET を準備した（以下、第 11 実施例～第 17 実施例とする）。第 11 実施例～第 17 実施例では、p 型高濃度領域 23 の厚さは、それぞれの n 型高濃度領域 21 と同様である。n 型高濃度領域 21 の不純物濃度を $4.5 \times 10^{15}/\text{cm}^3$ とした。n 型領域 1 の第 1 主面側の不純物濃度を $3.0 \times 10^{15}/\text{cm}^3$ とした。p 型高濃度領域 23 の不純物濃度を $9.0 \times 10^{15}/\text{cm}^3$ とし、p 型低濃度領域 24 の不純物濃度を $6.0 \times 10^{15}/\text{cm}^3$ とした。それ以外の構成は、実施例 6 と同様である。また、第 11 実施例～第 17 実施例の変形例として、濃度変更深さ（n 型高濃度領域 21 の厚さ）を $1\text{ }\mu\text{m}$ 、 $5\text{ }\mu\text{m}$ 、 $10\text{ }\mu\text{m}$ 、 $15\text{ }\mu\text{m}$ 、 $20\text{ }\mu\text{m}$ 、 $25\text{ }\mu\text{m}$ 、 $30\text{ }\mu\text{m}$ とし、n 型高濃度領域 21 の不純物濃度を $7.5 \times 10^{15}/\text{cm}^3$ とし、n 型領域 1 の第 1 主面側の不純物濃度を $3.0 \times 10^{15}/\text{cm}^3$ とし、p 型高濃度領域 23 の不純物濃度を $1.5 \times 10^{16}/\text{cm}^3$ とし、p 型低濃度領域 24 の不純物濃度を $6.0 \times 10^{15}/\text{cm}^3$ とした濃度差 2 倍の 7 つのプレーナ型 MOSFET を準備した（以下、第 11-1 実施例～第 17-1 実施例とする）。比較として、実施例 1 と同様に、従来例を準備した。そして、各試料において、耐圧およびオン抵抗を測定した。また、各試料において、ターンオフ損失およびターンオフ dv/dt を測定した。

【0110】

図 28-1 と図 28-2 に示す結果より、第 11 実施例～第 17 実施例および第 11-1 実施例～第 17-1 実施例では、従来例に比べて、オン抵抗を低減することができ

とがわかった。また、濃度変更深さを深くするほど、オン抵抗を低くすることができることがわかった。それに対して、第11実施例～第17実施例および第11-1実施例～第17-1実施例では、従来例に比べて、耐圧が低減してしまうことがわかった。また、濃度変更深さを深くするほど、耐圧は低減してしまうことがわかった。また、図29-1と図29-2に示す結果より、濃度変更深さを深くするほど、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係を改善することができることがわかった。しかし、濃度変更深さが深すぎる場合、従来例よりも、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係が悪化してしまうことがわかった。具体的には、第15実施例と第15-1実施例の場合に、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係を従来例と同程度に実現し、かつ従来例よりも悪化させないことがわかる。このため、濃度変更深さは、p型領域2の厚さの $1/2$ 以下とする必要があることがわかった。また、図28-1と図28-2および図29-1と図29-2に示す結果より、第12実施例と第12-1実施例および第13実施例と第13-1実施例の場合に、オン抵抗と耐圧とのトレードオフ関係と、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係の両方を、ともに従来例よりもよく改善することができることがわかる。このため、濃度変更深さは、p型領域2の厚さの $1/3$ 以下とするのがよい（第13実施例と第13-1実施例参照）。望ましくは、p型領域2の厚さの $1/8$ 以上 $1/4$ 以下とするのがよい（第12実施例と第12-1実施例参照）。

【0111】

（実施例8）

図30は、実施例8にかかる半導体装置におけるターンオフ時の電気的特性を示す特性図である。まず、実施の形態6に従い、n型高濃度領域21の不純物濃度をn型低濃度領域22の不純物濃度の1.33倍、1.67倍、2倍、2.33倍とした、4つのプレーナ型MOSFETを準備した（以下、第18実施例～第21実施例とする）。また、実施例6と同様に、n型高濃度領域21の不純物濃度をn型低濃度領域22の不純物濃度の2.5倍とした第10実施例を準備した。そして、各試料において、ターンオフ損失およびターンオフ dv/dt を測定した。図30に示す結果より、n型高濃度領域21の不純物濃度の、n型低濃度領域22の不純物濃度に対する割合が高いほど、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係を改善することができることがわかった。また、第18実施例～第21実施例では、ターンオフ損失とターンオフ dv/dt とのトレードオフ関係をほぼ同様に改善することができる。また、第10実施例において、不純物濃度比を3倍とし、p型低濃度領域24の不純物濃度を、第1主面側から第2主面側にかけ $0.45 \times 10^{15} / \text{cm}^3$ ずつ減少する不純物濃度分布とした実施例で600Vの耐圧を確認した。これらより、n型高濃度領域21の不純物濃度の、n型低濃度領域22の不純物濃度に対する割合は、1.2倍以上3倍以下好ましくは2.5倍以下とすることがよいことがわかる。

【0112】

（実施の形態7）

SJ-MOSFETを製造する主な方法としては多段エピ方式とトレンチ埋め込み方式とがある。トレンチ埋め込み方式ではnエピ層に深掘りトレンチを1回形成してp型エピ層を埋め込むだけで並列pn構造をつくることができるので、多段エピ方式よりも簡便である。

【0113】

その一方、SJ-MOSFETは、導通状態からオフ状態になると並列pn部が急激に空乏化するため、ターンオフ時のドレイン電圧の時間変化率（ dv/dt ）が大きくなってしまう。つまり、 E_{off} と dv/dt とのトレードオフは従来MOSFETと比較して更なる改善の余地がある。

【0114】

また、耐圧がピークとなるチャージバランス条件ではアバランシェ時の電流-電圧特性が負性となるためアバランシェ耐量が弱い。これらのことは、多段エピ方式とトレンチ埋

10

20

30

40

50

め込み方式の製造方式によらず共通する課題である。

【0115】

以降の実施の形態の製造工程を用いることで、 $E_{off}-d_v/d_t$ トレードオフを改善できるデバイスを多段エピ方式よりも簡便なトレンチ埋め込み方式でつくることができる。

【0116】

図31および図32は、実施の形態7にかかる半導体装置の製造工程を順に示した断面図である。まず、図31(a)のように、 n^+ ドレイン領域41にn型低濃度領域42と高濃度のn型表面領域43を順に堆積し、表面のマスク酸化膜44にレジスト45のパターニングを施す。次に、図31(b)に示すようにマスク酸化膜44をエッチングしてn型表面領域43の表面を開口し、さらに図31(c)に示すように深掘りトレンチエッチングを行い、深掘りトレンチ46を形成する。次に、図31(d)に示すように深掘りトレンチ46内部に低濃度pエピ層47をエピタキシャル成長させ埋め込む。

【0117】

続いて、図32(a)の工程で低濃度pエピ層47表面をプラズマエッチングなどでエッチバックし、低濃度pエピ層47とn型低濃度領域42の高さとは概ね等しくなるようにする。さらに、図32(b)に示すように、深掘りトレンチ46内部に高濃度p層48をエピタキシャル成長で埋め込み、低濃度pエピ層47表面に高濃度p層48を形成する。次に、図32(c)に示すように化学機械研磨(CMP)などで表面の平坦化を行う。これより後の工程である図32(d)は前記実施の形態1のプレーナMOS構造を形成する工程と同じ工程に従い、最終デバイス形状が得られる。なお、49がpベース領域、50が n^+ ソース領域、51がゲート絶縁膜、52がゲート電極、53が層間絶縁膜、54がソース電極である。図32(d)の構造では、低濃度pエピ層47とn型低濃度領域42が概ねチャージバランスとなり、n型表面領域43と高濃度p層48とが概ねチャージバランスとなっている。第1主面を基準とした全並列pn層部分の深さに対してn型表面領域43と高濃度p層48の深さはその $1/8$ 以上 $1/2$ 以下となっている。

【0118】

以上、説明したように、実施の形態7によれば、 $E_{off}-d_v/d_t$ トレードオフの改善できるデバイスを埋め込みエピ方式でつくることのできるため、多段エピ方式において同様なデバイスを製造した場合よりもプロセスを簡便にすることができる。

【0119】

(実施の形態8)

図33は、実施の形態8にかかる半導体装置の製造工程を順に示した断面図である。まず、図31(a)～(d)と同様な手順で製造を行う。ただし、続く工程ではまず、低濃度pエピ層47表面はエッチバックせずに、図33(a)に示すように深掘りトレンチ46内部に埋め込んだ低濃度pエピ層47の上に高濃度p層55を形成する。続いて、図33(b)に示すように化学機械研磨(CMP)などで表面の平坦化を行う。これより後の工程である図33(c)は前記実施の形態1のプレーナMOS構造を形成する工程と同じ工程に従い、最終デバイス形状が得られる。つまり、実施の形態8は、実施の形態7において図32(a)に示した低濃度pエピ層47のエッチバックを省いた製造方法であるので、実施の形態7よりも工程を簡便化することができる。

【0120】

図33(c)の構造では、低濃度pエピ層47とn型低濃度領域42が概ねチャージバランスとなり、n型表面領域43と高濃度p層55とが概ねチャージバランスとなっている。第1主面を基準とした全並列pn層部分の深さに対してn型表面領域43と高濃度p層55の深さはその $1/8$ 以上 $1/2$ 以下となっている。

【0121】

以上、説明したように、実施の形態8によれば、 $E_{off}-d_v/d_t$ トレードオフの改善できるデバイスを埋め込みエピ方式でつくることのできるため、多段エピ方式において同様なデバイスを製造した場合よりもプロセスを簡便にすることができる。

【0122】

(実施の形態9)

実施の形態7と実施の形態8ではn型表面領域43と高濃度p層48、55の深さが概ね等しかったが、アバランシェ耐量を上げるためには高濃度p層48、55がn型表面領域43よりも深くなるように形成すればよい。

【0123】

図34は、実施の形態9にかかる半導体装置の製造工程を順に示した断面図である。まず、図31(a)～(c)と同様な手順で製造を行う。続く工程ではまず、図34(a)に示すように深掘りトレンチ46内部に低濃度pエピ層47をエピタキシャル成長で埋め込む。低濃度pエピ層47は、図31(d)に比べて埋め込み量を減らしておくのが望ましい。なぜならば、後の工程でのエッチバック量を減らすことができるからである。続く図34(b)で低濃度pエピ層47表面をプラズマエッチングなどでエッチバックするが、低濃度pエピ層47がn型表面領域43の下端よりも高さが低くなるよう深くエッチバックする。続く図34(c)では、深掘りトレンチ46内部に高濃度p層48をエピタキシャル成長で埋め込み、低濃度pエピ層47表面に高濃度p層48を形成する。その後、図34(d)に示すようにCMPなどで表面の平坦化を行う。最終デバイス形状として図34(e)の構造を得る。

【0124】

以上、説明したように、実施の形態9では、低濃度pエピ層47とn型低濃度領域42が概ねチャージバランスとなり、n型表面領域43が対向する高濃度p層48と概ねチャージバランスとなっている。ただし、実施の形態7とは異なり高濃度p層48の下端がn型表面領域43の下端よりも深く形成されているため、高濃度p層48とn型低濃度領域42とが対向している部分がpリッチとなる。第1主面を基準とした全並列pn層部分の深さに対してn型表面領域43と高濃度p層48の深さはその $1/8$ 以上 $1/2$ 以下となっている。このようにすることで、実施の形態7と同様なEoff-dv/dtトレードオフ改善のみならず、pリッチ領域を設けたことによるアバランシェ耐量改善を達成できるデバイスを埋め込みエピ方式でつくることができる。ここで、ある領域に対向する領域とは、ある領域とほぼ同じ深さに位置し、ある領域が隣接している部分をいう(以下、実施の形態10～12においても同様)。

【0125】

(実施の形態10)

なお、実施の形態9にかかる半導体装置の製造工程を、実施の形態2にかかる半導体装置を作製する製造方法に当てはめた場合の製造工程の断面図は図35のようになる。図35は、実施の形態10にかかる半導体装置の製造工程を順に示した断面図である。まず、図31(a)～(c)と同様な手順で製造を行う。次に、図35(a)では図34(a)と同様に、深掘りトレンチ46内部に低濃度pエピ層47をエピタキシャル成長で埋め込む。続く図35(b)の工程では低濃度pエピ層47のエッチバックは行わず、低濃度pエピ層47の上に高濃度p層55を形成する。その後、図35(c)に示すようにCMPなどで表面の平坦化を行う。最終デバイス形状は図35(d)のようになる。

【0126】

以上、説明したように、実施の形態10は実施の形態9と異なり、第1主面側のn型表面領域43が対向する低濃度pエピ層47と高濃度p層55の平均濃度と概ねチャージバランスとなっているが、その他は実施の形態9と共通している。実施の形態10では第1主面を基準とした全並列pn層部分の深さに対してn型表面領域43と高濃度p層55の深さはその $1/8$ 以上 $1/2$ 以下となっている。

【0127】

(実施の形態11)

実施の形態9において高濃度p層48を深くする代わりにn型表面領域43と高濃度p層57の深さが概ね同じになるようにし、高濃度p層57と低濃度pエピ層47との間に中濃度p層56を設けてもかまわない。このような構造としたのが、実施の形態11であ

る。

【0128】

図36および図37は、実施の形態11にかかる半導体装置の製造工程を順に示した断面図である。まず、図31(a)～(c)と同様な手順で製造を行う。次に、図36(a)では図35(a)と同様に、深掘りトレンチ46内部に低濃度pエピ層47をエピタキシャル成長で埋め込む。続く図36(b)に示すように低濃度pエピ層47のエッチバックを行った後、図36(c)のように中濃度p層56をエピタキシャル成長で埋め込む。そして、図36(d)に示すように中濃度p層56をエッチバックし、中濃度p層56上面とn型低濃度領域42の上面とがほぼ同じ高さになるようにする。その後、図37(a)に示すように、深掘りトレンチ46内部に高濃度p層57をエピタキシャル成長で埋め込み、中濃度p層56表面に高濃度p層57を形成する。そして、図37(b)に示すようにCMPなどで表面の平坦化を行う。最終デバイス形状は図37(c)のようになる。

10

【0129】

図37(c)の最終デバイス形状では、低濃度pエピ層47とそれに対向するn型低濃度領域42とが概ねチャージバランスとなり、第1主面側ではn型表面領域43が高濃度p層57と概ねチャージバランスとなっている。ただし、中濃度p層56とそれに対向するn型低濃度領域42とが対向している部分がpリッチとなり、負性抵抗回避によりアバランシェ耐量が改善できるようになっている。第1主面を基準とした全並列pn層部分の深さに対してn型表面領域43の深さはその $1/8$ 以上 $1/2$ 以下となっている。また、高濃度p層57と中濃度p層56の深さは全並列pn層部分の深さの $1/8$ 以上 $1/2$ 以下となっている。実施の形態9で高濃度p層48とn型低濃度領域42とが対向している部分は実施の形態11では中濃度p層56とn型低濃度領域42とが対向している部分に置き換えられるので、実施の形態11のpリッチ化の度合いは実施の形態9よりも低くなり、Eoff-dv/dtトレードオフは改善する。

20

【0130】

以上、説明したように、実施の形態11の製造方法では、Eoff-dv/dtトレードオフとアバランシェ耐量改善とを同時に達成するデバイスを簡便に製造できる。

【0131】

(実施の形態12)

実施の形態10にかかる半導体装置の製造工程を、実施の形態8にかかる半導体装置の製造工程に用いた場合の製造工程の主要断面図は図38のようになる。図38は、実施の形態12にかかる半導体装置の製造工程を順に示した断面図である。まず、図31(a)～(c)と同様な手順で製造を行う。次に、図38(a)のように深掘りトレンチ46内部に低濃度pエピ層47をエピタキシャル成長で埋め込む。さらに、図38(b)に示すように、低濃度pエピ層47の内部に中濃度p層58をエピタキシャル成長で埋め込む。続いて、図38(c)に示すように、低濃度pエピ層47の内部に高濃度p層59をエピタキシャル成長で埋め込む。その後、図38(d)に示すようにCMPなどで表面の平坦化を行う。最終デバイス形状は図38(e)のようになる。

30

【0132】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、実施の形態中に記載した寸法や濃度などは一例であり、本発明はそれらの値に限定されるものではない。また、各実施の形態では第1導電型をn型とし、第2導電型をp型としたが、本発明は第1導電型をp型とし、第2導電型をn型としても同様に成り立つ。また、本発明は、MOSFETに限らず、IGBT、バイポーラトランジスタ、FWD(Free Wheeling Diode、フリーホイールダイオード)またはショットキーダイオード等にも適用可能である。また、実施の形態3～実施の形態12において、実施の形態2と同様に、プレーナゲート構造に代えてトレンチゲート構造を有する構成としてもよい。

40

【産業上の利用可能性】

【0133】

50

以上のように、本発明にかかる半導体装置は、大電力用半導体装置に有用であり、特に、並列pn構造をドリフト部に有するMOSFET、IGBT、バイポーラトランジスタ、FWDまたはショットキーダイオード等の高耐圧化と大電流量化を両立させることのできる半導体装置に適している。

【符号の説明】

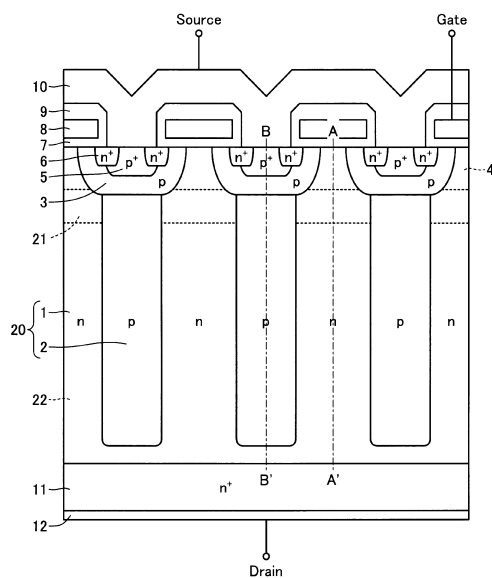
【0134】

- 1 n型領域
- 2 p型領域
- 3 pベース領域
- 4 n型表面領域
- 5 p^+ コンタクト領域
- 6 n^+ ソース領域
- 7 ゲート絶縁膜
- 8 ゲート電極
- 9 層間絶縁膜
- 10 ソース電極
- 11 n^+ ドレイン領域
- 12 ドレイン電極
- 20 並列pn層
- 21 n型高濃度領域
- 22 n型低濃度領域

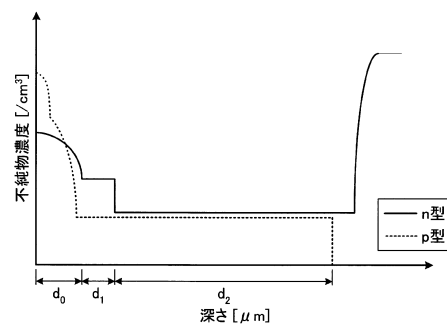
10

20

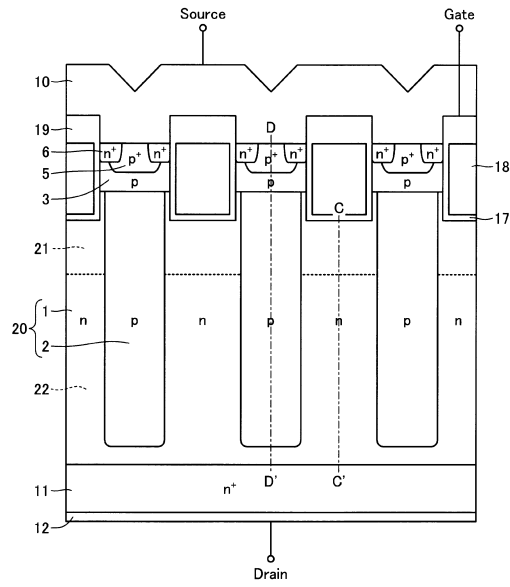
【図1】



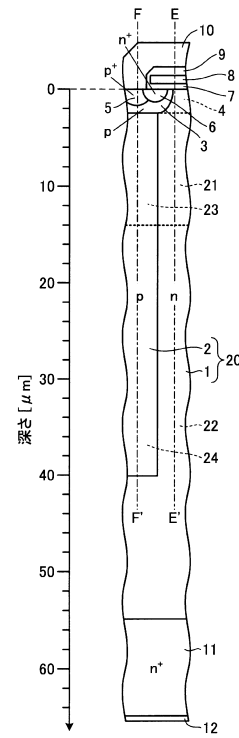
【図2】



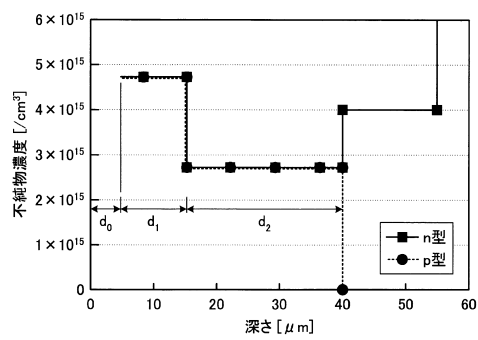
【図 3】



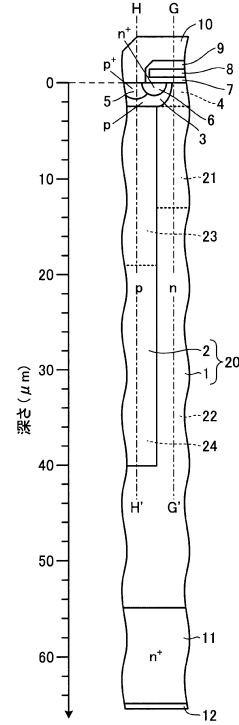
【図 4】



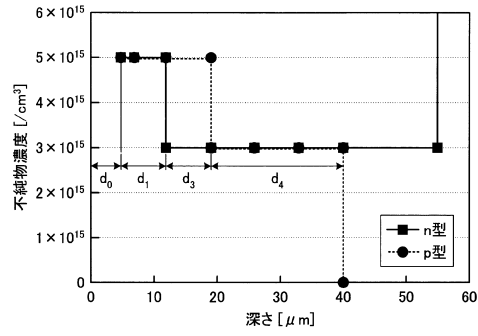
【図 5】



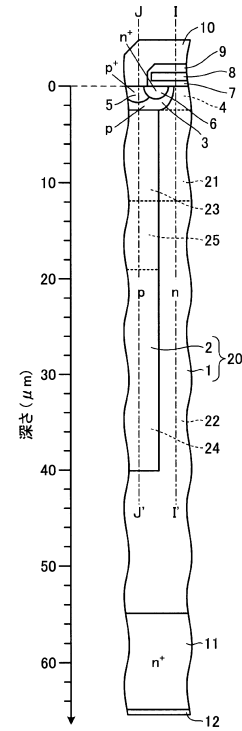
【図 6】



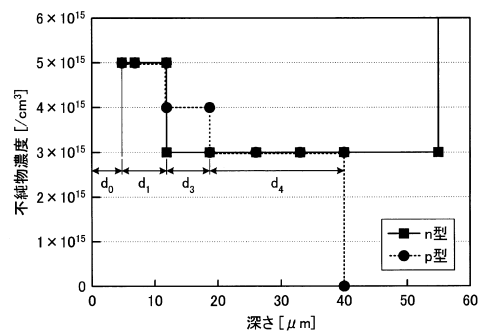
【図 7】



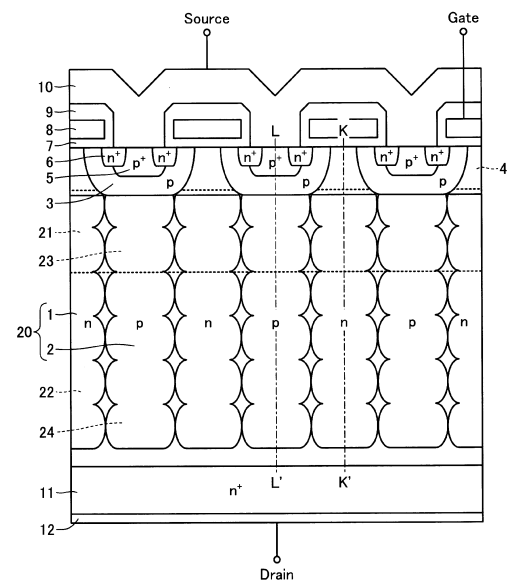
【図 8】



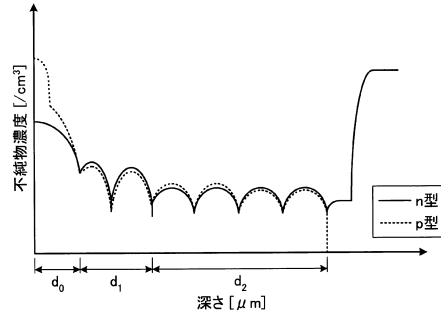
【図 9】



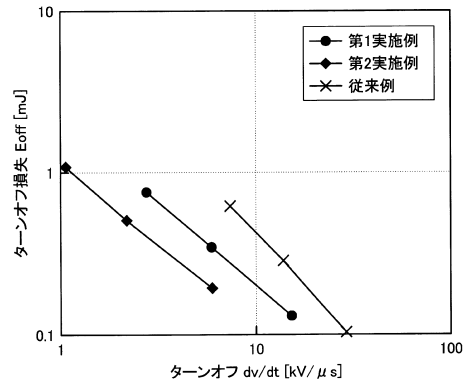
【図 10】



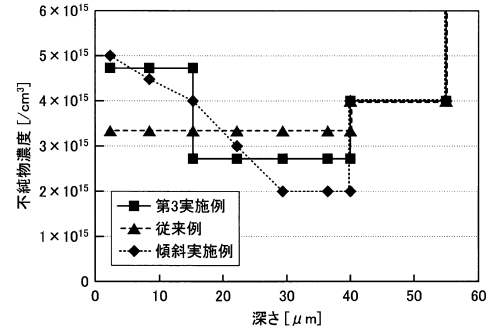
【図 1 1】



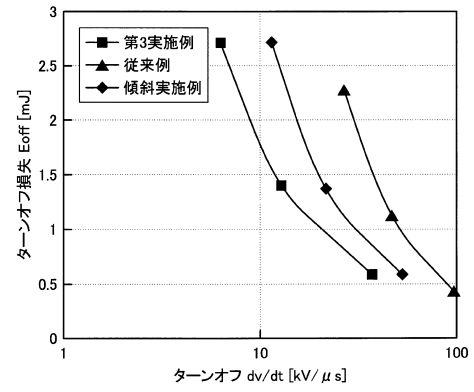
【図 1 2】



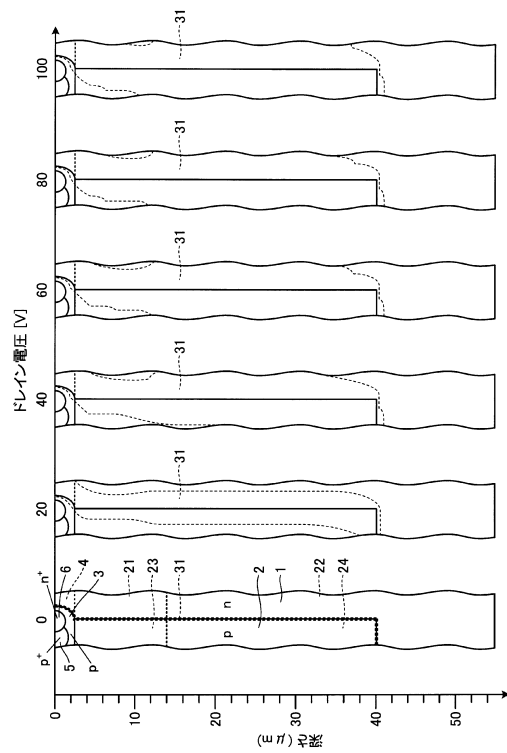
【図 1 3】



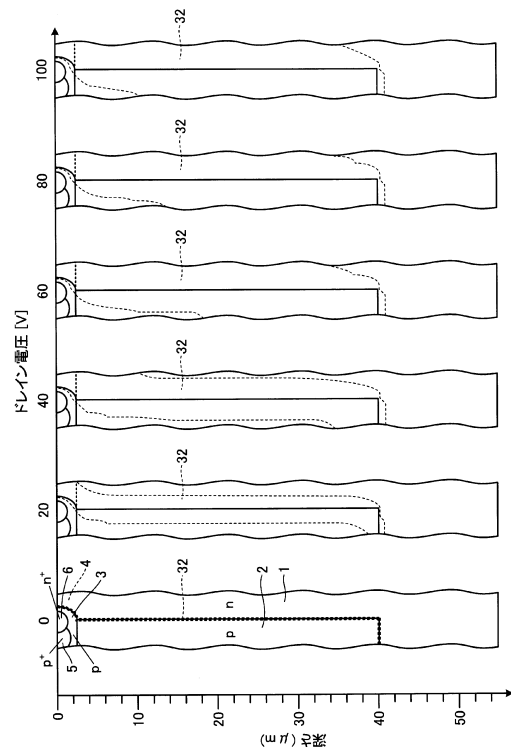
【図 1 4】



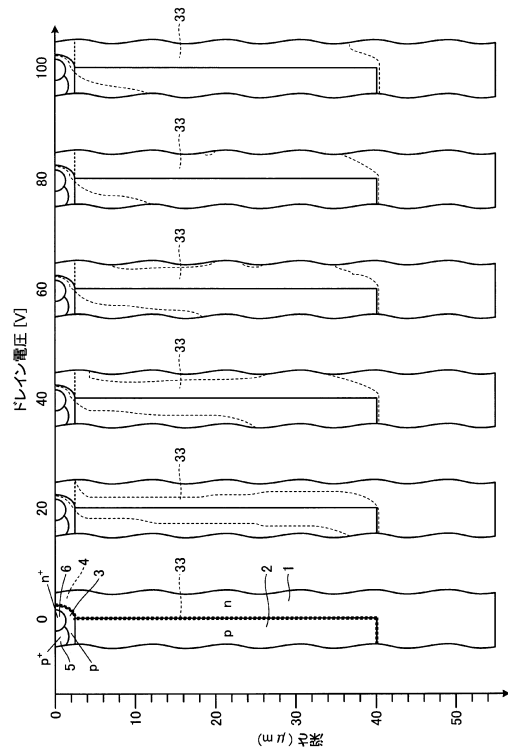
【図 1 5】



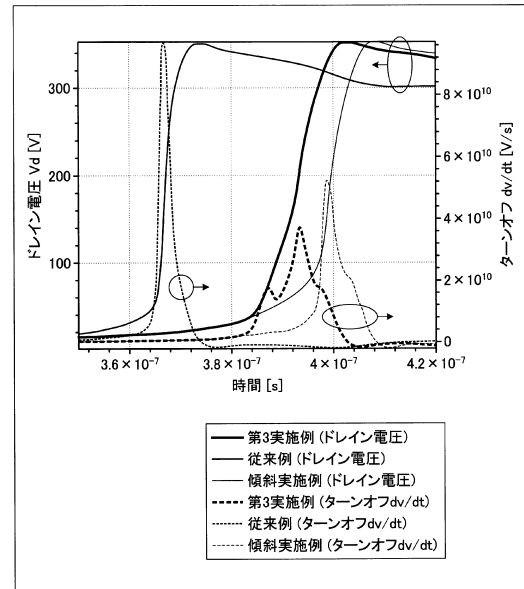
【図 1 6】



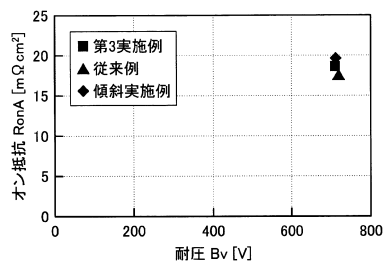
【図 17】



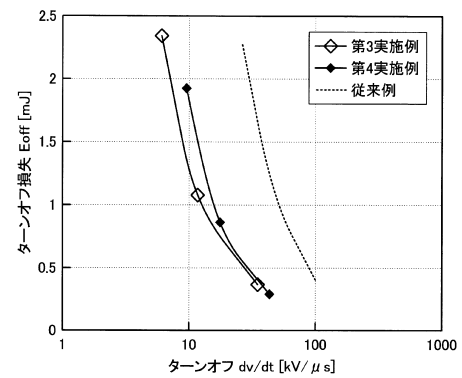
【図 18】



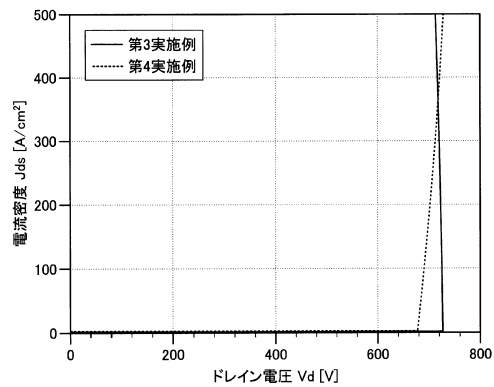
【図 19】



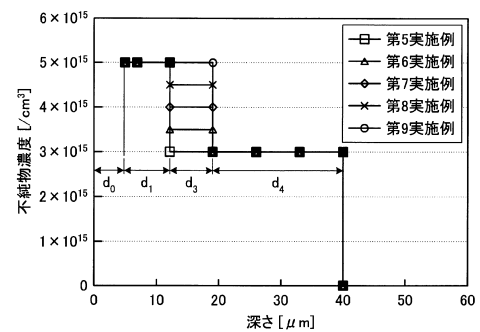
【図 21】



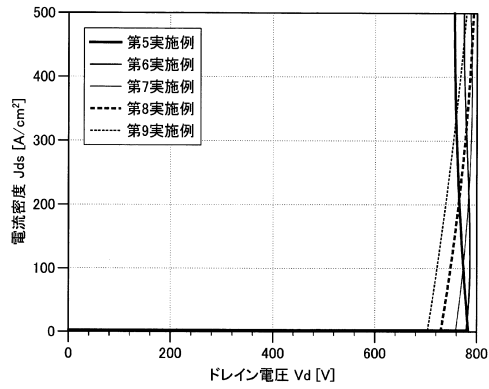
【図 20】



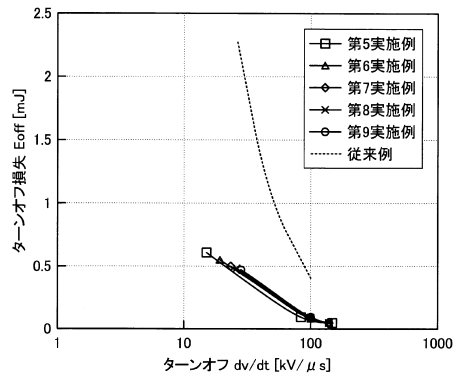
【図 22】



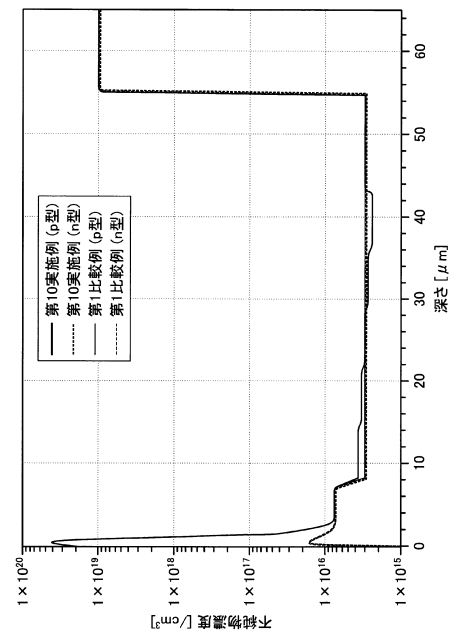
【図 2 3】



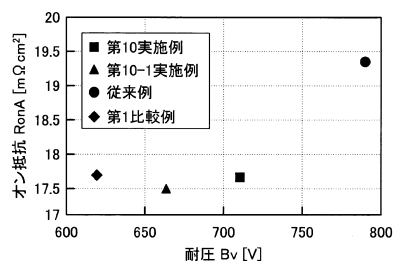
【図 2 4】



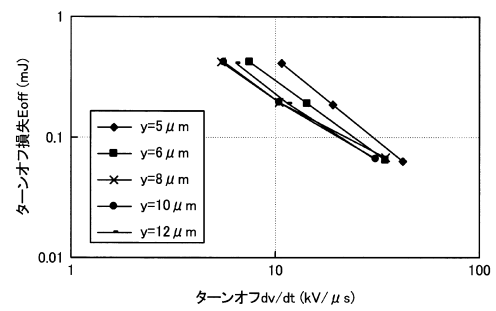
【図 2 5】



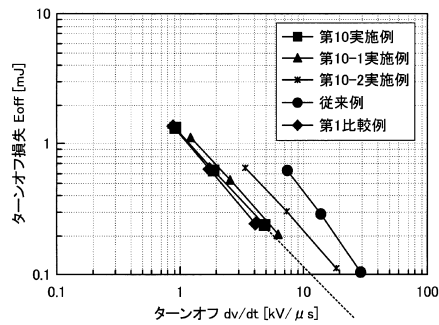
【図 2 6】



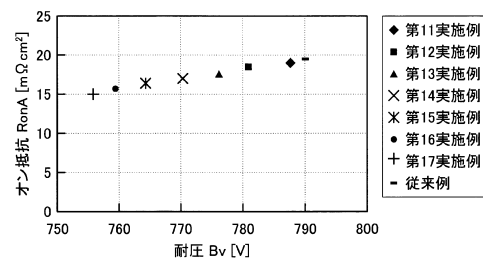
【図 2 7 - 2】



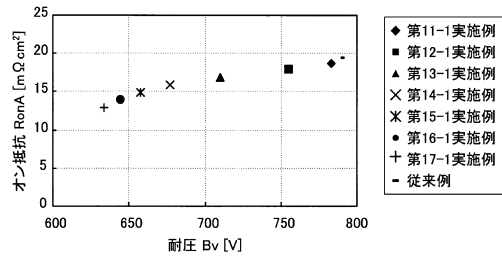
【図 2 7 - 1】



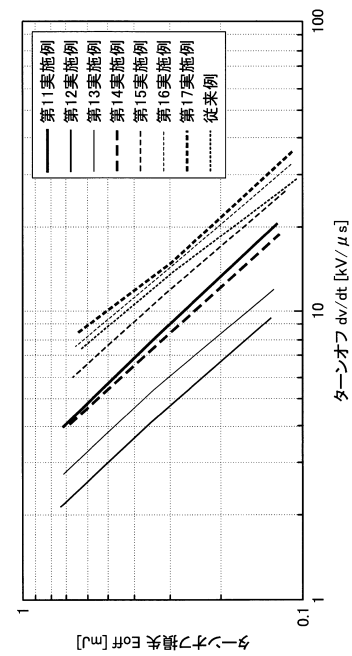
【図 2 8 - 1】



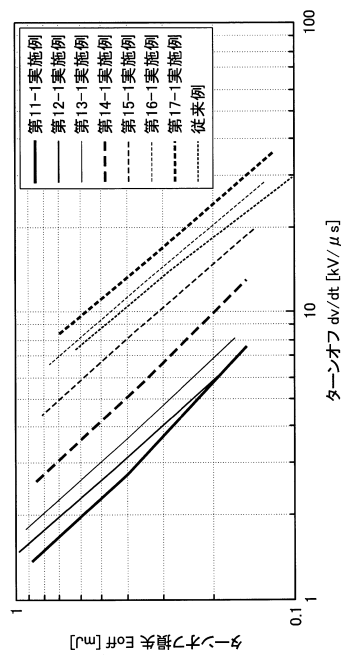
【図 28-2】



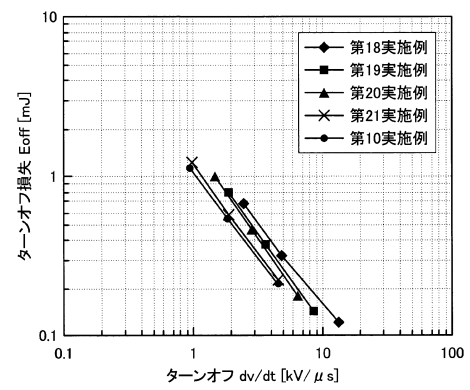
【図 29-1】



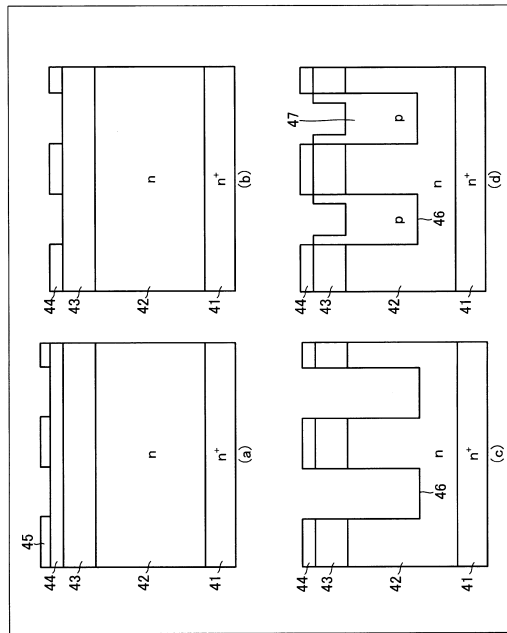
【図 29-2】



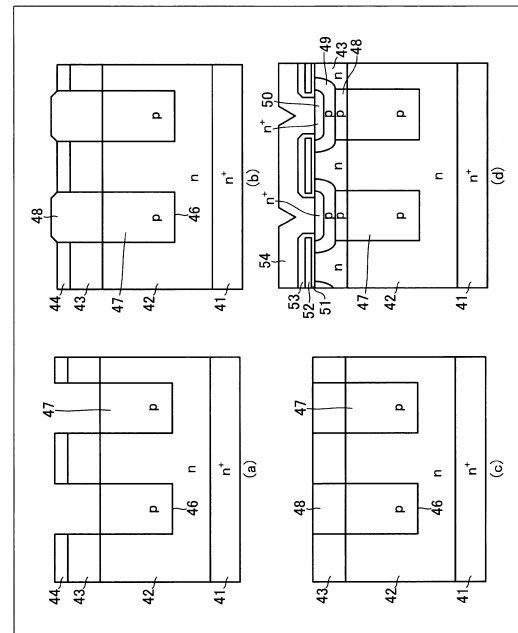
【図 30】



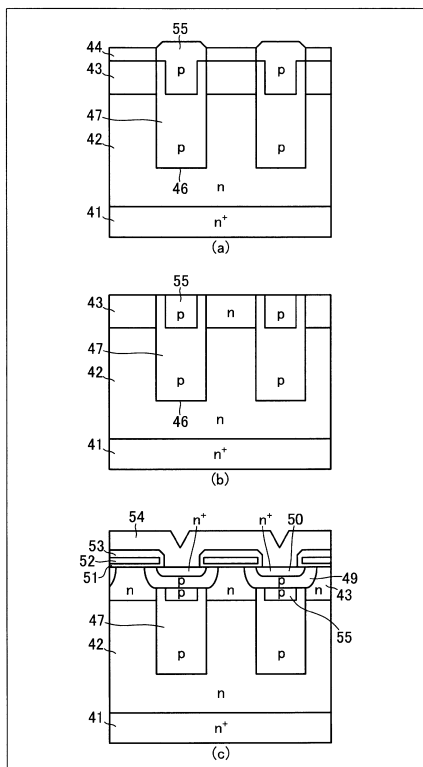
【図 3 1】



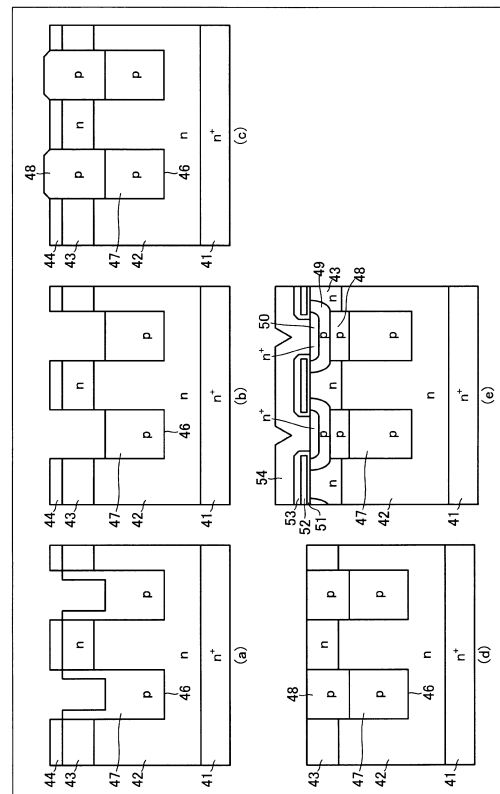
【図 3 2】



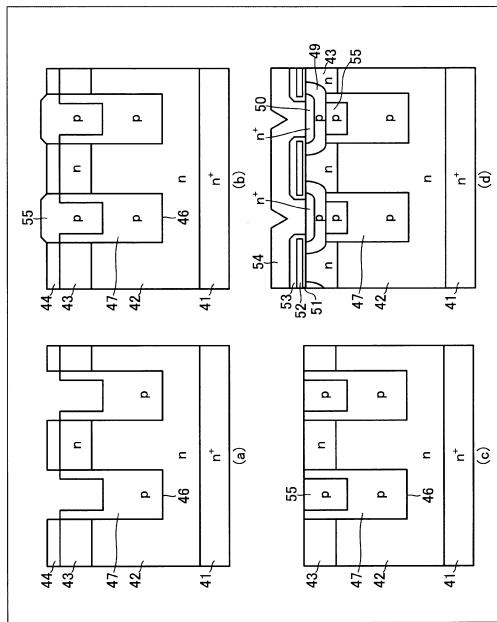
【図 3 3】



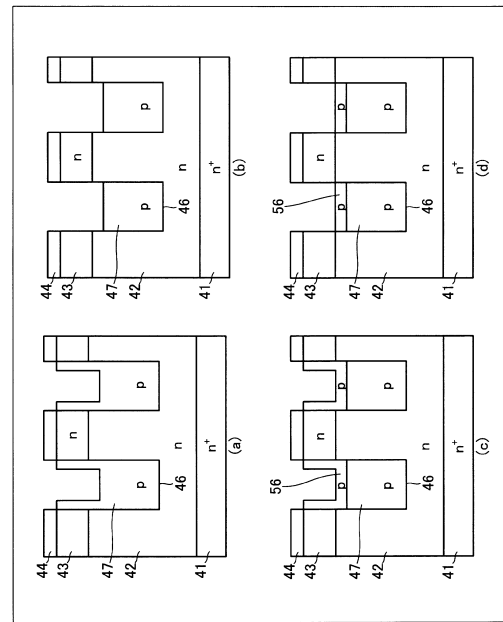
【図 3 4】



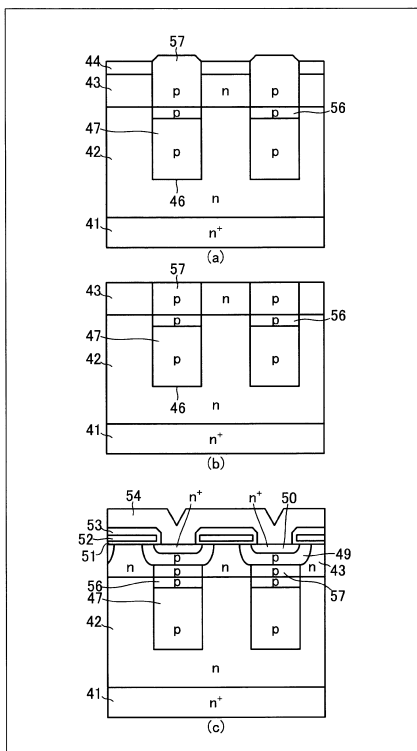
【図 35】



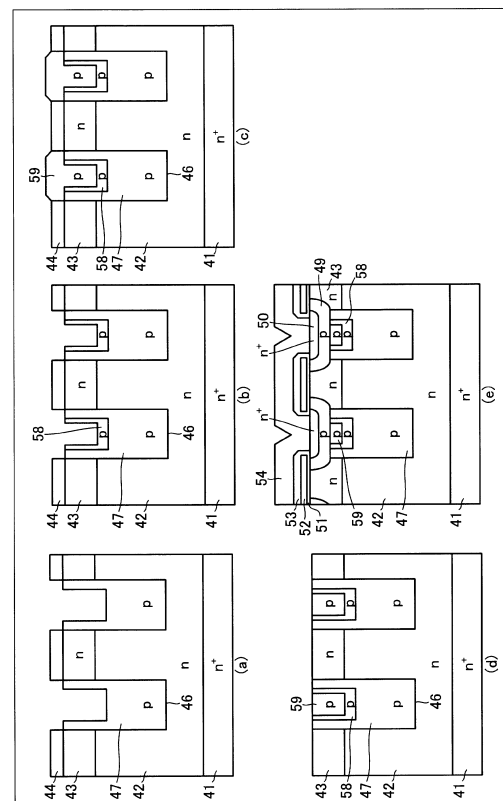
【図 36】



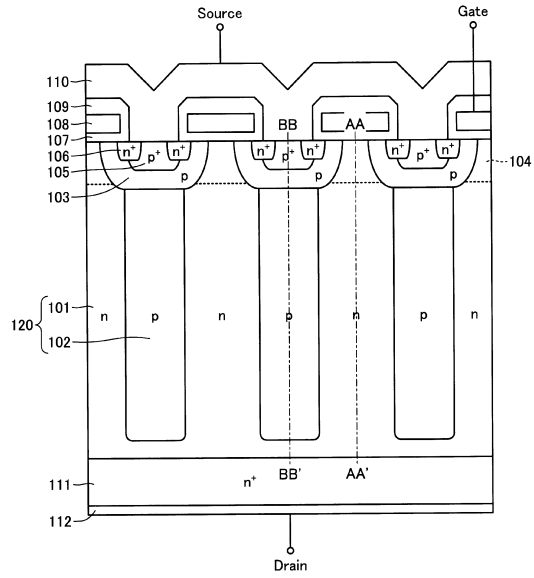
【図 37】



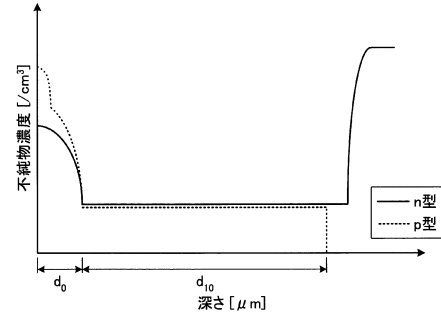
【図 38】



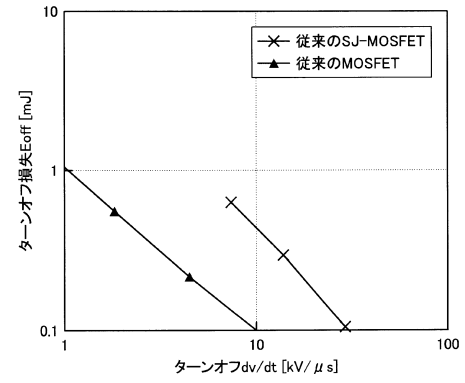
【図 39】



【図 40】



【図 41】



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/78 6 5 2 D
H 0 1 L 29/06 3 0 1 D
H 0 1 L 29/06 3 0 1 V

(72)発明者 武井 学
神奈川県川崎市川崎区田辺新田1番1号 富士電機株式会社内

審査官 安田 雅彦

(56)参考文献 特開2006-066421 (JP, A)
特開2008-091450 (JP, A)
特開2007-150142 (JP, A)
特開2007-019146 (JP, A)
特開昭62-150769 (JP, A)
特開2000-040822 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 9 / 7 8
H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 9 / 0 6