

(19)日本国特許庁(JP)

(12) **公表特許公報(A)**

(11)公表番号

特表2024-528964

(P2024-528964A)

(43)公表日 令和6年8月1日(2024.8.1)

(51) 國際特許分類

FI

H O 1 L 25/07 (2006.01)

H O 1 L 25/08

Y

H O 1 L 23/00 (2006.01)

H O 1 L 23/00

C

審査請求 未請求 予備審査請求 未請求 (全28頁)

(21)出願番号	特願2024-506506(P2024-506506)	(71)出願人	518065991
(86)(22)出願日	令和4年7月29日(2022.7.29)		アデア セミコンダクター ボンディン
(85)翻訳文提出日	令和6年3月28日(2024.3.28)		グ テクノロジーズ インコーポレイテッド
(86)国際出願番号	PCT/US2022/038921		アメリカ合衆国 カリフォルニア州 9 5
(87)国際公開番号	WO2023/014616		1 3 4 サンノゼ オーチャード パーク
(87)国際公開日	令和5年2月9日(2023.2.9)		ウェイ 3 0 2 5
(31)優先権主張番号	63/203,867	(74)代理人	100094569
(32)優先日	令和3年8月2日(2021.8.2)		弁理士 田中 伸一郎
(33)優先権主張国・地域又は機関		(74)代理人	100103610
	米国(US)		弁理士 ▲吉▼田 和彦
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,	(74)代理人	100109070
			弁理士 須田 洋之
		(74)代理人	100130937
			弁理士 山本 泰史
		(74)代理人	100144451

最終頁に続く

(54) 【発明の名称】 ボンDED構造体用の保護半導体素子

(57) 【要約】

能動回路を備えた半導体素子と、妨害層及び／又は保護回路層を含む保護素子とを含む保護半導体素子を備えたボンDED（接合）構造体。妨害層は、能動回路の少なくとも一部分への外部からのアクセスを抑止するように構成されている。保護回路層は、保護素子及び／又は半導体素子の能動回路への外部からのアクセスを検出し又は混乱させるよう構成されている。半導体素子と保護素子は、ボンディングインターフェースに沿って接着剤なしで互いに直にボンディングされている。

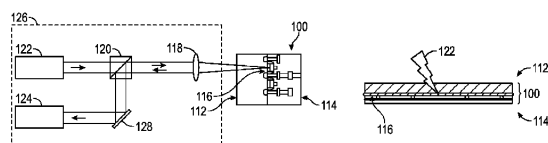


FIG. 1

【特許請求の範囲】

【請求項 1】

ボンデッド構造体であって、
能動回路を備えた半導体素子と、
ボンディングインターフェースに沿って接着剤なしで前記半導体素子に直にボンディングされた保護素子と、を有し、前記保護素子は、

前記能動回路の少なくとも一部分への外部からのアクセスを抑止するよう構成された妨害層と、

前記保護素子内に設けられた保護回路層と、を有し、前記保護回路層は、前記半導体素子の前記能動回路への外部からのアクセスを検出し又は混乱させるよう構成されている、ボンデッド構造体。

10

【請求項 2】

前記保護素子は、前記半導体素子の能動フロントサイドと反対側の前記半導体素子のバックサイドに直にボンディングされ、前記半導体素子の前記能動回路は、前記バックサイドよりも前記能動フロントサイドの近くに設けられている、請求項 1 記載のボンデッド構造体。

【請求項 3】

前記保護素子の前記妨害層と前記半導体素子の前記能動回路は、前記ボンディングインターフェースに対して横の方向に沿って互いに間隔を置いて配置されている、請求項 1 記載のボンデッド構造体。

20

【請求項 4】

前記保護素子の前記妨害層と前記半導体素子の前記能動回路との間隔は、少なくとも 20 マイクロメートルである、請求項 1 記載のボンデッド構造体。

【請求項 5】

前記保護素子の前記妨害層と前記半導体素子の前記能動回路との間隔は、少なくとも 50 マイクロメートル～100 マイクロメートルである、請求項 1 記載のボンデッド構造体。

【請求項 6】

前記保護素子の前記保護回路層と前記保護素子の前記妨害層は、前記ボンディングインターフェースに対して横の方向に沿って互いに間隔を置いて配置されている、請求項 1 記載のボンデッド構造体。

30

【請求項 7】

前記保護素子の前記保護回路層と前記半導体素子の前記妨害層の間隔は、少なくとも 20 マイクロメートルである、請求項 6 記載のボンデッド構造体。

【請求項 8】

前記保護素子の前記保護回路層は、前記保護素子の前記妨害層と前記ボンディングインターフェースとの間に設けられている、請求項 1 記載のボンデッド構造体。

【請求項 9】

前記保護素子の前記妨害層は、前記保護素子の前記保護回路層と前記ボンディングインターフェースとの間に設けられている、請求項 1 記載のボンデッド構造体。

40

【請求項 10】

前記保護素子の前記妨害層は、閉塞層をさらに有し、前記閉塞層は、該閉塞層の表面に平行な平面内において前記半導体素子の規定の領域を塞ぐよう構成されている、請求項 1 記載のボンデッド構造体。

【請求項 11】

前記保護素子は、ボンディング層をさらに有し、前記保護素子は、前記半導体素子の前記ボンディング層に直にボンディングされたボンディング層をさらに有する、請求項 1 記載のボンデッド構造体。

【請求項 12】

前記保護素子の前記ボンディング層は、前記半導体素子の前記ボンディング層の金属化

50

パターンの少なくとも一部分に合うよう金属化されている、請求項 1 1 記載のボンデッド構造体。

【請求項 1 3】

前記半導体素子の前記ボンディング層は、非導電層内に設けられた複数の接触パッドを有し、前記保護素子の前記ボンディング層は、前記半導体素子の前記接触パッドに直にボンディングされた非導電層内に設けられている複数の接触パッドを有する、請求項 1 2 記載のボンデッド構造体。

【請求項 1 4】

前記保護素子の前記ボンディング層と前記保護素子の前記保護回路層は、少なくとも 1 つの垂直相互接続部を介して互いに接続されている、請求項 1 0 記載のボンデッド構造体。

【請求項 1 5】

前記保護素子の前記妨害層は、前記保護素子の外部からのアクセスを検出するよう構成された検出回路を有する、請求項 1 ～ 1 4 のうちいずれかに記載のボンデッド構造体。

【請求項 1 6】

前記検出回路は、前記外部からのアクセスを検出するよう構成された受動電子回路素子を有する、請求項 1 5 記載のボンデッド構造体。

【請求項 1 7】

前記受動電子回路は、容量性回路素子及び抵抗性回路素子のうちの少なくとも一方を有する、請求項 1 6 記載のボンデッド構造体。

【請求項 1 8】

前記受動電子回路素子は、前記抵抗性素子を含み、前記抵抗性素子は、パターン化トレースをさらに含む、請求項 1 7 記載のボンデッド構造体。

【請求項 1 9】

前記受動電子回路素子は、前記容量性素子を含み、前記容量性素子は、絶縁材料によって隔てられた複数のトレースをさらに有する、請求項 1 7 記載のボンデッド構造体。

【請求項 2 0】

前記検出回路は、能動回路をさらに有する、請求項 1 5 記載のボンデッド構造体。

【請求項 2 1】

前記検出回路から前記保護素子の接触パッドまで延びる垂直相互接続部をさらに有する、請求項 1 5 記載のボンデッド構造体。

【請求項 2 2】

前記検出回路から前記保護素子の前記保護回路層まで延びる垂直相互接続部をさらに有する、請求項 1 5 記載のボンデッド構造体。

【請求項 2 3】

前記保護素子の接触パッドは、前記半導体素子の能動サイドのところで接触パッドに直にボンディングされている、請求項 2 1 記載のボンデッド構造体。

【請求項 2 4】

前記保護素子の前記保護回路層は、前記能動回路の外観をまねるよう構成された受動電子回路をさらに有する、請求項 1 ～ 1 4 のうちいずれかに記載のボンデッド構造体。

【請求項 2 5】

前記保護素子の前記保護回路層は、第 2 の能動回路をさらに有する、請求項 1 ～ 1 4 のうちいずれかに記載のボンデッド構造体。

【請求項 2 6】

前記保護回路層の前記第 2 の能動回路は、暗号化タイミング信号を出すよう構成されている、請求項 2 5 記載のボンデッド構造体。

【請求項 2 7】

前記保護回路層の前記第 2 の能動回路は、前記保護回路層の変化を検出するよう構成されている、請求項 2 5 記載のボンデッド構造体。

【請求項 2 8】

10

20

30

40

50

前記保護回路層の前記第 2 の能動回路は、前記保護回路層の前記能動回路が前記保護回路層の物理的变化を検出したとき、前記半導体素子の前記能動回路を無効化するように構成されている、請求項 27 記載のボンデッド構造体。

【請求項 29】

前記保護回路層は、前記保護回路層の前記第 2 の能動回路が前記保護回路層の変化を検出したとき、警報信号を出すよう構成されている、請求項 27 記載のボンデッド構造体。

【請求項 30】

前記保護素子の前記保護回路層から前記保護素子の接触パッドまで延びる垂直相互接続部をさらに有する、請求項 25 記載のボンデッド構造体。

【請求項 31】

前記半導体素子の前記能動サイドのところ又はその近くに位置する接触パッドから前記保護素子の前記接触パッドまで延びる半導体貫通ビア (TSV) をさらに有し、前記 TSV は、前記半導体素子と前記保護素子の前記保護回路層との電氣的連絡をもたらす、請求項 30 記載のボンデッド構造体。

【請求項 32】

前記保護素子の前記保護回路層は、前記保護素子内に完全に埋め込まれている、請求項 1 ~ 14 のうちいずれかに記載のボンデッド構造体。

【請求項 33】

ボンデッド構造体を形成する方法であって、

半導体素子を接着剤なしで保護素子に直にボンディングするステップを含み、前記半導体素子は、能動回路を有し、前記保護素子は、前記保護素子内に設けられた妨害層及び保護回路層を有し、前記妨害層は、前記能動回路の少なくとも一部分への外部からのアクセスを抑止するよう構成され、前記保護回路層は、前記半導体素子の前記能動回路への外部からのアクセスを検出し又は混乱させるよう構成されている、方法。

【請求項 34】

前記保護素子の前記妨害層と前記保護素子の前記保護層がボンディングインターフェースに対して横の方向に沿って互いに間隔を置いて位置するよう前記保護素子を形成するステップをさらに含む、請求項 33 記載の方法。

【請求項 35】

前記保護素子の前記妨害層と前記保護素子の前記保護層との間の間隔が少なくとも 20 マイクロメートルであるように前記保護素子を形成するステップをさらに含む、請求項 34 記載の方法。

【請求項 36】

前記保護素子の前記妨害層と前記半導体素子の前記能動回路との間隔が少なくとも 20 マイクロメートルであるよう前記保護素子を形成するステップをさらに含む、請求項 34 記載の方法。

【請求項 37】

ボンディング層を有するよう前記保護素子を形成するステップと、

ボンディング層を有するよう前記半導体素子を形成するステップと、

前記保護素子の前記ボンディング層を前記半導体素子の前記ボンディング層にボンディングするステップと、をさらに含む、請求項 33 ~ 36 のうちいずれかに記載の方法。

【請求項 38】

前記保護素子の前記ボンディング層が前記半導体素子の金属化パターンに合うよう金属化されるように前記保護素子を形成するステップをさらに含む、請求項 37 記載の方法。

【請求項 39】

前記保護素子の前記ボンディング層が非導電層内に設けられた複数の接触パッドを有するよう保護素子を形成するステップをさらに含む、前記接触パッドは、前記半導体素子の前記ボンディング層の複数の接触パッドと鏡像関係をなすよう構成される、請求項 38 記載の方法。

【請求項 40】

10

20

30

40

50

前記妨害層が前記保護素子への外部からのアクセスを検出するよう構成された検出回路を有するよう前記保護素子を形成するステップをさらに含む、請求項 33～36 のうちいずれかに記載の方法。

【請求項 41】

前記検出回路から前記保護素子の接触パッドまで延びる垂直相互接続部を含むよう前記保護素子を形成するステップをさらに含む、請求項 40 記載の方法。

【請求項 42】

前記保護素子を前記半導体素子の能動サイドと正反対のところに位置する前記半導体素子のバックサイドに直にボンディングするステップをさらに含み、前記半導体素子の前記能動回路は、前記半導体素子の前記能動サイドのところ又はその近くに設けられ、前記ボンデッド構造体は、前記半導体素子の前記能動サイドのところ又はその近くに位置する接触パッドから前記保護素子の前記接触パッドまで延びる半導体貫通ビア（TSV）をさらに有し、前記 TSV は、前記半導体素子と前記検出回路との電氣的連絡をもたらす、請求項 41 記載の方法。

【請求項 43】

前記検出回路から前記保護素子の前記保護層まで延びる第 1 の垂直相互接続部、及び前記保護素子の前記保護層から前記保護素子の接触パッドまで延びる第 2 の垂直相互接続部を含むよう前記保護素子を形成するステップをさらに含む、請求項 40 記載の方法。

【請求項 44】

前記能動回路の外観をまねるよう構成された受動電子回路を有するよう前記保護回路層を形成するステップをさらに含む、請求項 33～36 のうちいずれかに記載の方法。

【請求項 45】

第 2 の能動回路を有するよう前記保護回路層を形成するステップをさらに含む、請求項 33～36 のうちいずれかに記載の方法。

【請求項 46】

暗号化タイミング信号を出すよう前記保護回路層の前記第 2 の能動回路を構成するステップをさらに含む、請求項 45 記載の方法。

【請求項 47】

前記保護回路層の変化を検出するよう前記保護回路層の前記第 2 の能動回路を構成するステップをさらに含む、請求項 45 記載の方法。

【請求項 48】

前記保護回路層の前記能動回路が前記保護回路層の変化を検出したとき、前記半導体素子の前記能動回路を無効化するよう前記保護回路層の前記第 2 の能動回路を構成するステップをさらに含む、請求項 47 記載の方法。

【請求項 49】

前記保護回路層の前記能動回路が前記保護回路層の変化を検出したとき、警報信号を出すよう前記保護回路層の前記第 2 の能動回路を構成するステップをさらに含む、請求項 47 記載の方法。

【請求項 50】

前記保護素子の前記保護回路層から前記保護素子の接触パッドまで延びる垂直相互接続部を含むよう前記保護素子を形成するステップをさらに含む、請求項 45 のうちいずれかに記載の方法。

【請求項 51】

前記保護素子を前記半導体素子の能動サイドと正反対のところに位置する前記半導体素子のバックサイドに直にボンディングするステップをさらに含み、前記半導体素子の前記能動回路は、前記半導体素子の前記能動サイドのところ又はその近くに設けられ、前記ボンデッド構造体は、前記半導体素子の前記能動サイドのところ又はその近くに位置する接触パッドから前記保護素子の前記接触パッドまで延びる半導体貫通ビア（TSV）をさらに有し、前記 TSV は、前記半導体素子と前記保護素子の前記保護層との電氣的連絡をもたらす、請求項 50 記載の方法。

10

20

30

40

50

【請求項 5 2】

前記保護回路層が前記保護素子内に完全に埋め込まれるよう前記保護素子を形成するステップをさらに含む、請求項 3 3～3 6 のうちいずれかーに記載の方法。

【請求項 5 3】

ボンデッド構造体であって、

第 1 の能動回路を備えた半導体素子と、

ボンディングインターフェースに沿って接着剤なしで前記半導体素子に直にボンディングされた保護素子と、を有し、前記保護素子は、前記保護素子内に設けられた保護回路層を有し、前記保護回路層は、前記半導体素子の前記第 1 の能動回路への外部からのアクセスを検出し又は混乱させるよう構成された第 2 の能動回路を有する、ボンデッド構造体。

10

【請求項 5 4】

前記保護素子は、前記半導体素子の能動フロントサイドと反対側の前記半導体素子のバックサイドに直にボンディングされ、前記半導体素子の前記第 1 の能動回路は、前記バックサイドよりも前記能動フロントサイドの近くに設けられている、請求項 5 3 記載のボンデッド構造体。

【請求項 5 5】

前記保護素子の前記保護層と前記半導体素子の前記能動回路は、前記ボンディングインターフェースに対して横の方向に沿って互いに間隔を置いて配置されている、請求項 5 3 記載のボンデッド構造体。

【請求項 5 6】

前記保護素子の前記妨害層と前記半導体素子の前記能動回路との間隔は、少なくとも 20 マイクロメートルである、請求項 5 5 記載のボンデッド構造体。

20

【請求項 5 7】

前記保護素子は、ボンディング層をさらに有し、前記半導体素子は、前記第 1 の半導体素子の前記ボンディング層に直にボンディングされたボンディング層をさらに有する、請求項 5 3～5 6 のうちいずれかーに記載のボンデッド構造体。

【請求項 5 8】

前記保護素子の前記ボンディング層は、前記半導体素子の金属化パターンに合うよう金属化されている、請求項 5 7 記載のボンデッド構造体。

【請求項 5 9】

前記半導体素子の前記ボンディング層は、非導電層内に設けられた複数の接触パッドを有し、前記保護素子の前記ボンディング層は、前記半導体素子の前記接触パッドに直にボンディングされた非導電層内に設けられている複数の接触パッドを有する、請求項 5 8 記載のボンデッド構造体。

30

【請求項 6 0】

前記保護素子の前記保護層は、前記能動回路の外観をまねるよう構成された受動電子回路をさらに有する、請求項 5 3～5 6 のうちいずれかーに記載のボンデッド構造体。

【請求項 6 1】

前記保護素子の前記保護層は、第 2 の能動回路をさらに有する、請求項 5 3～5 6 のうちいずれかーに記載のボンデッド構造体。

40

【請求項 6 2】

前記保護回路層の前記第 2 の能動回路は、暗号化タイミング信号を出すよう構成されている、請求項 6 1 記載のボンデッド構造体。

【請求項 6 3】

前記保護回路層の前記第 2 の能動回路は、前記保護素子の変化を検出するよう構成されている、請求項 6 1 記載のボンデッド構造体。

【請求項 6 4】

前記保護回路層の前記第 2 の能動回路は、前記保護回路層の前記能動回路が前記保護素子の変化を検出したとき、前記半導体素子の前記能動回路を無効化するよう構成されている、請求項 6 3 記載のボンデッド構造体。

50

【請求項 6 5】

前記保護回路層は、前記保護回路層の前記第 2 の能動回路が前記保護素子の変化を検出したとき、警報信号を出すよう構成されている、請求項 6 3 記載のボンデッド構造体。

【請求項 6 6】

前記保護素子の前記保護層から前記保護素子の接触パッドまで延びる垂直相互接続部をさらに有する、請求項 6 1 記載のボンデッド構造体。

【請求項 6 7】

前記保護素子は、アクティブサイドと反対側の前記半導体素子のバックサイドに直にボンディングされ、前記ボンデッド構造体は、前記半導体素子の前記能動サイドのところ又はその近くに位置する接触パッドから前記保護素子の前記接触パッドまで延びる半導体貫通ビア (TSV) をさらに有し、前記 TSV は、前記半導体素子と前記保護素子の前記保護層との電氣的連絡をもたらす、請求項 6 6 記載のボンデッド構造体。

10

【請求項 6 8】

前記保護素子の前記保護回路層は、前記保護素子内に完全に埋め込まれている、請求項 5 3 ~ 5 6 のうちいずれかに記載のボンデッド構造体。

【請求項 6 9】

ボンデッド構造体であって、

能動回路を備えた半導体素子と、

ボンディングインターフェースに沿って接着剤なしで半導体素子のバックサイドに直にボンディングされた保護素子と、を有し、前記保護素子は、

20

前記半導体素子の前記能動回路への外部からのアクセスを抑止するよう構成された妨害層と、

前記保護素子内に設けられた保護回路層と、を有し、前記保護回路層は、前記半導体素子の前記能動回路への外部からのアクセスを検出し又は混乱させるよう構成されている、ボンデッド構造体。

【請求項 7 0】

第 2 のボンディングインターフェースに沿って接着剤なしで前記半導体素子のフロントサイドに直にボンディングされた第 2 の保護素子をさらに有し、前記第 2 の保護素子は、

前記半導体素子の少なくとも前記フロントサイドへの外部からのアクセスを阻止するよう構成された第 2 の妨害層と、

30

前記保護素子内に設けられた第 2 の保護回路層と、を有し、前記保護回路層は、前記半導体素子の前記フロントサイドへの外部からのアクセスを検出し又は混乱させるよう構成されている、請求項 6 9 記載のボンデッド構造体。

【請求項 7 1】

前記保護素子の前記保護回路層は、前記保護素子の前記妨害層と前記ボンディングインターフェースとの間に設けられている、請求項 6 9 記載のボンデッド構造体。

【請求項 7 2】

前記保護素子の前記妨害層は、前記保護素子の前記保護回路層と前記ボンディングインターフェースとの間に設けられている、請求項 6 9 記載のボンデッド構造体。

【請求項 7 3】

40

ボンデッド構造体であって、

能動回路を備えた半導体素子と、

ボンディングインターフェースに沿って接着剤なしで前記半導体素子のバックサイドに直にボンディングされた保護素子と、を有し、前記保護素子は、前記半導体素子の前記能動回路への外部からのアクセスを抑止するよう構成された妨害層を有し、前記妨害層は、少なくとも 20 ミクロンだけ前記能動回路から垂直方向に間隔を置いて配置されている、ボンデッド構造体。

【請求項 7 4】

前記保護素子内に設けられた保護回路層をさらに有し、前記保護回路層は、前記半導体素子の前記能動回路への外部からのアクセスを検出し又は混乱させるよう構成されている

50

、請求項 7 3 記載のボンデッド構造体。

【発明の詳細な説明】

【技術分野】

【0001】

本技術分野は、能動及び／保護半導体素子を有するボンデッド（bonded：接合型）構造体及びボンデッド構造体を形成する方法に関する。

【0002】

〔関連出願の引照〕

本願は、2021年8月2日に出願された米国特許仮出願第63／203,867号の優先権主張出願であり、この米国特許仮出願を参照により引用し、全ての目的についてその記載内容全体を本明細書の一部とする。

【背景技術】

【0003】

半導体チップ（例えば、集積化デバイスダイ）は、有益なかつ／或いは独自の（機密的な）情報、構造又はデバイスを含むセキュリティ上重要な素子を実装された能動回路を含むのがよい。例えば、かかるセキュリティ上重要な素子としては、エンティティの知的財産、ソフトウェア又はハードウェアセキュリティ（例えば、暗号化）特徴、プライバシーデータ、又は事業体がセキュリティ保護されると共に第三者から隠されたままであることを願う場合のある任意他の素子もしくはデータが挙げられる。例えば、第三者としてのバッド（悪意のある）アクターは、種々の技術を利用して経済的及び／又は地政学的な利益を得ようとしてセキュリティ上重要な素子にアクセスしようとする場合がある。したがって、第三者によるアクセス実行から半導体チップのセキュリティを高めることが要望されている。

【発明の概要】

【0004】

本発明の一観点によれば、ボンデッド構造体であって、能動回路を備えた半導体素子と、ボンディングインターフェースに沿って接着剤なしで半導体素子に直にボンディングされた保護素子とを有し、保護素子は、能動回路の少なくとも一部分への外部からのアクセスを抑止するよう構成された妨害層、及び保護素子内に設けられた保護回路層を有し、保護回路層は、半導体素子の能動回路への外部からのアクセスを検出し又は混乱させるよう構成されていることを特徴とするボンデッド構造体が提供される。

【0005】

本発明の別の観点によれば、ボンデッド構造体を形成する方法であって、半導体素子を接着剤なしで保護素子に直にボンディングするステップを含み、半導体素子は、能動回路を有し、保護素子は、妨害層及び保護素子内に設けられた保護回路層を有し、妨害層は、能動回路の少なくとも一部分への外部からのアクセスを抑止するよう構成され、保護回路層は、半導体素子の能動回路への外部からのアクセスを検出し又は混乱させるよう構成されていることを特徴とする方法が提供される。

【0006】

本発明のさらに別の観点によれば、ボンデッド構造体であって、第1の能動回路を備えた半導体素子と、ボンディングインターフェースに沿って接着剤なしで半導体素子に直にボンディングされた保護素子とを有し、保護素子は、保護素子内に設けられた保護回路層を有し、保護回路層は、半導体素子の第1の能動回路への外部からのアクセスを検出し又は混乱させるよう構成された第2の能動回路を有することを特徴とするボンデッド構造体が提供される。

【0007】

本発明のさらに別の観点によれば、ボンデッド構造体であって、能動回路を備えた半導体素子と、ボンディングインターフェースに沿って接着剤なしで半導体素子のバックサイドに直にボンディングされた保護素子とを有し、保護素子は、半導体素子の能動回路への外部からのアクセスを抑止するよう構成された妨害層、及び保護素子内に設けられた保護

10

20

30

40

50

回路層を有し、保護回路層は、半導体素子の能動回路への外部からのアクセスを検出し又は混乱させるよう構成されていることを特徴とするボンデッド構造体が提供される。

【0008】

本発明のさらに別の観点によれば、ボンデッド構造体であって、能動回路を備えた半導体素子と、ボンディングインターフェースに沿って接着剤なしで半導体素子のバックサイドに直にボンディングされた保護素子とを有し、保護素子は、半導体素子の能動回路への外部からのアクセスを抑止するよう構成された妨害層を有し、妨害層は、少なくとも20ミクロンだけ能動回路から垂直方向に間隔を置いて配置されていることを特徴とするボンデッド構造体が提供される。

【図面の簡単な説明】

【0009】

【図1】半導体チップの光学的画像化の例示の図である。

【図2】半導体チップの集束イオンビーム（FIB）アタック（攻撃）の例示の図である。

【図3】侵入型チップアタックに対する例示の解決策を示す概略側面断面図である。

【図4A】保護層を含む保護チップの例示の図を示す概略側面断面図である。

【図4B】妨害層と関連して保護層を含む保護チップの例示の図を示す概略側面断面図である。

【図5】保護チップの追加のパラメータの例示の図である。

【発明を実施するための形態】

【0010】

本明細書において説明するように、第三者（例えば、バッドアクターである第三者）は、例えば集積化デバイスダイのような素子に実装されているセキュリティ上重要な（以下「機密（の）」という場合がある）素子にアクセスしようとする場合がある。幾つかの素子では、セキュリティ上重要な素子は、ネットリストと不揮発性メモリ（NVM）データの組み合わせによって保護される場合がある。しかしながら、第三者は、破壊的技術と非破壊的技術の組み合わせによって、例えば、種々のプロービング技術（例えば、電気光プロービング）によりかつ／或いは素子をデレイヤリング（delaying）してセキュリティ上重要な素子を露出させ、これに対してリバースエンジニアリング（reverse engineering）を行い、違ったやり方でセキュリティ上重要な素子へのアクセスを実行することによって、セキュリティ上重要な素子をハッキングしようとする場合がある。幾つの場合、第三者は、電磁（EM）波を素子の能動回路に対してパルシング（pulsing）を行い、フォールトインジェクション（fault injection）技術を用い、近赤外（NIR）レーザトリガ又は回路の集束イオンビーム（FIB）変更、化学エッチング技術、及び他の物理的、化学的、かつ／或いは電磁的ハッキングツール及びさらにリバースエンジニアリングを採用することによって、セキュリティ上重要な素子をハッキングしようとする場合がある。これらの技術は、マイクロデバイス、例えば集積回路の機密回路に物理的にアクセスして暗号化情報を直接読み取り、回路をトリガして違ったやり方で暗号化されている情報をリリースし、製造プロセスを理解し、機密設計を最終的に複製することができるのに足るほどの情報を抽出し、又はセキュリティプロトコルを完全にバイパスして正当な許可なくチップを能動状態にし又は使用するよう用いられる場合がある。例えば、幾つの場合、ハッカーは、暗号化キーにアクセスしようとする場合があり、暗号化キーは、回路設計、メモリ、又はこれら両方の組み合わせの中に記憶されている場合がある。諸技術はまた、フォールトインジェクション入力に基づいて結果としての出力を分析することによって機密情報を間接的に読み取り、そして再帰分析により暗号化キー又はデータコンテンツを割り出すために使用される場合がある。素子上に実装されているセキュリティ上重要なコンポーネントを構造的に保護することは難題である。

【0011】

したがって、セキュリティ上重要な素子を含む種々の素子（例えば、半導体集積化デバイスダイ）のための向上したセキュリティを提供することが重要である。本明細書におい

10

20

30

40

50

て開示する種々の実施形態は、第2の半導体素子にボンディングされた第1の半導体素子を含むボンデッド構造体に関する。第2の半導体素子は、第1の半導体素子の能動回路上に設けられると共に能動回路の交信を抑止するよう構成された多数の層を含む保護素子を含むのがよい。

【0012】

半導体チップは、ハードウェアレベルの攻撃とソフトウェアレベルの攻撃の両方に直面している。幾つかの場合、これらを単一の技術に組み合わせる場合がある。例えば、チップに対するハードウェア攻撃は、間違った、もしくは偽のデータを提供することによって、又はデータを処理するために用いられる論理回路に影響を及ぼすことによって、ソフトウェアプログラムの論理を改変することができる。

10

【0013】

多くの技術は、機密半導体チップを損なうためにアタッカーにより採用されている。これらは、チップの機密回路をむき出しにするためにエッチング、研削 (grinding) 又は他のデエンキャプシュレーション (deencapsulation) 技術による物理的改ざんを含む場合がある。より巧妙な攻撃は、機密回路の光プロービングをさらに採用する場合がある。これらのうちで、集束イオンビーム (FIB) 及びレーザプロービングが最もはやっている。多くの保護防衛策が過去に用いられたい提案されたいしたが、以下に詳細に説明するように効果は限定的であった。

【0014】

図1は、レーザプロービングを用いた光学画像化攻撃の概観を提供している。光プロービング技術を用いると、機密回路 (例えば、ハッキング攻撃に対して脆弱な回路) を含む半導体チップ100の能動回路116 (例えば、少なくとも1つのトランジスタを含む電子回路) にアクセスするよう用いられる場合がある。光プロービング技術により、アタッカーは、機密回路を再構成することができ、それにより、機密回路の信頼性及びセキュリティが損なわれる。光プロービング技術を用いると、バックサイド112からの光プローブ126が半導体素子100のフロントサイド114に対するのとは異なり、任意のワイヤリング又は金属化によって遮断されないで、半導体素子100のバックサイド112から能動回路116にアクセスすることができる。本明細書に示すデバイスでは、能動回路116は、素子100のバックサイド112よりも半導体素子のフロントサイド114に近いところに位置する場合がある。例えば、能動回路116は、素子100のフロントサイド114のところで又はその近くでパターン化される場合がある。光プローブ126は、レーザ源122、ビームスプリッタ120、検出器124、及び対物レンズ118を含む。レーザ源122は、レーザビームを生じさせてこれをビームスプリッタ120に方向づけ、ビームスプリッタ120は、ビームを、対物レンズ118を通して半導体素子100に方向づけられる第1の成分とミラー128及び検出器124に方向づけられる第2の成分に分割することができる。バックサイドの光学侵入技術はまた、暗号化キーを取り出して暗号化情報を漏洩するためにビットストリーム情報を集める回路のアクティビティをモニタするために使用される場合もある。レーザプロービングは、例えばデエンキャプシュレーションされたチップを近赤外 (NIR) レーザでスキャンしてチップ上の回路を画像化すると共に能動チップの波形情報を捕捉することによって、実施できる。回路経路のシフトする電磁場によって生じる経時的な回路経路の反射率のバリエーションを捕捉することによって、レーザプロービングを用いると、機密ビットストリーム情報を捕捉して再構成することができる。幾つかの場合、レーザプロービングは、チップ内の特定の組をなす機密トランジスタ又は回路を能動状態にするようになっている場合があり、チップは、この種のハッキング中にいったん能動状態にあると、少量のIRを放出する場合があり、このIRは、検出器によって捕捉され、ハッカーが関心を持つ正確な位置を特定する。幾つかの場合、この攻撃を用いると、暗号化キーを漏洩することができる。加うるに、機密回路の画像化により、ハッカーは、機密アルゴリズム及び他のデータを再構成することができる場合がある。

20

30

40

【0015】

50

かくして、光学的侵入を阻止することは、セキュリティ上重要な素子を実装している半導体チップのセキュリティを保証するうえで重要である。従来技術では、半導体素子を保護ケーシングでパッケージング (packaging) する場合がある。しかしながら、従来型パッケージングは、巧妙であるとは言えないほどの研削、化学エッチング、及び他のパッケージ・デキャッピング (package decapping) にやられる場合があり、それにより、機密回路は、露出状態になって光学プロービングにやられる状態になる。かくして、1つ以上の保護素子を半導体素子、例えば機密回路を含む能動回路 116 を備えた能動チップに直にボンディングすることによって、光学侵入に対する保護策を設けることが望ましい場合がある。半導体素子 100、例えば集積化デバイスダイ又はチップは、他の素子上に実装され又は積み重ねられる場合がある。例えば、半導体素子 100 は、キャリア、例えばパッケージ基板、インターポーザ、再構成ウエハ又は素子などに取り付けられる場合がある。もう 1 つの実施例では、半導体素子 100 は、もう 1 つの半導体素子 100 の頂部上に積み重ねられる場合があり、例えば、第 1 の集積化デバイスダイは、第 2 の集積化デバイスダイ上に積み重ねられる場合がある。幾つかの構成例では、基板貫通ビア (TSV) が半導体素子 100 の厚みを垂直方向に貫通して延び、それにより電気信号を半導体素子 100 に通して、例えば半導体素子 100 の第 1 の表面から半導体素子 100 の第 2 の反対側の表面に伝送することができる。

10

【0016】

かくして、機密半導体チップ 100 の光学画像化を阻止するため、保護素子は、チップそれ自体、例えば機密半導体層に被着された閉塞又は研磨層中に組み込まれる場合がある。閉塞層のダイレクトボンディングは、従来型デエンキャプシュレーション技術に対して有効であると言え、それにより研削又はエッチングに起因して生じるチップの機密回路層の露出が防止される。しかしながら、侵襲的アタックは、これらの保護策を妨害するよう利用される場合がある。上述したように、多くの技術が機密半導体チップを損なうようアタッカーにより採用されている。例えば、ハッカーは、チップをレーザプロービングすることによって能動回路 116 の 2D アクティビティマップを再作製することができる。さらに、画像化アタックは、内部に見出されるビットストリーム暗号化情報を解読するために利用される場合がある。かくして、本明細書において説明する保護半導体素子は、非接触型改ざんに対してチップ (例えば、半導体素子 100) のセキュリティの向上を助けるよう反射光信号 (例えば IR) を遮断し又は改変する。

20

30

【0017】

図 2 は、例示の FIB アタックを示している。FIB アタックは、層ごとにデキャプシュレーションされたチップ層の表面を溶発させるよう集束イオンビームを用いる場合があり、それにより保護素子がなくなって機密半導体層が露出する。例えば、図 2 に示すように、標的ワイヤ 204 が介在する保護ワイヤ 202A, 202B のアブレーション (溶発) によって露出する場合がある。集束イオンビームを用いたアブレーションは、深さ d' を備えた円錐形パターンをなしてチップ及び保護ワイヤ 202A, 202B を貫通する穴 206 を生じさせる場合がある。次に、FIB を低強度で用いると、機密層 (例えば、ワイヤ 204) の高精度画像化をもたらすことができる。加うるに、FIB は、電流の流れを誘起し、機密回路の素子を接続するトレースを切断し又は変えることによって能動チップの機能を改変する場合がある。これにより、アタッカーは、機密半導体層内の保護構造を変更すると共に／或いはバイパスすることができる場合がある。さらに、FIB 又はレーザプローブをアブレーションの後に用いると、ビットストリーム情報を捕捉し又は機密回路素子を画像化することができる。

40

【0018】

この侵襲的物理的アタックにより、ハッカーは、IC のセキュリティ上重要なネットにアクセスして直接これをモニタすると共に機密情報を抽出することができる。これらのようなアタックは、典型的には、チップのフロントサイドで起こるが、バックサイドでも起こる場合がある。

【0019】

50

図 3 は、機密半導体チップの画像化アタックを阻止するために採用される保護策の一例を示している。図 3 に示すように、能動チップ 310 は、妨害層 305 を含む保護チップ 300 にボンディングされるのがよい（例えば、接着剤なしで直にボンディングされるのがよい）。図示のように、保護チップ 300 は、フロントサイド 114（フロントサイドは、バックサイド 112 よりも能動回路 116 の近くに位置する能動サイドを含むのがよい）とは反対側に位置する能動チップ 310 のバックサイド 112 に直にボンディングされるのがよい。幾つかの構成例では、妨害層 305 は、例えば 2022 年 7 月 14 日に出版された米国特許出願第 17/812,675 号に記載されている能動チップ 310 の能動回路層 116 のレーザブロービング、FIB 又は他のハッキング技術を阻止するよう設計された光学的に閉塞性の層であるのがよく、この米国特許出願を参照により引用し、その記載内容全体を本明細書の一部とする。上記図 2 に示すように、FIB アタックに対してこれがもたらす保護の程度は、制限されている。やる気満々のアタッカーは、例えば、能動チップ 310 の標的領域 204 を識別して FIB アタックを採用してチップ 310 の標的領域 204 を覆っている妨害層 305 の部分を除去することができ、それにより標的領域がブロービングに対して露出状態になる。

10

【0020】

妨害層 305 は、絶縁材料 393 によって離隔された数個の層、例えば複数の金属化層（例えば、342A, 342B）を含むのがよい。幾つかの実施形態では、金属化層 342A, 342B 及び介在する絶縁材料 393 は、2 つの図示の基板貫通ビア（TSV）330 にそれぞれ接続された正端子と負端子を備えた容量性回路を形成する。

20

【0021】

図示のように、ボンド又はボンディングインターフェース 315 が保護チップ 300 のボンディング層 340A と能動チップ 310 のボンディング層 340B との間のボンドを含むのがよい。ダイレクトボンドは、ボンディング層 340A, 340B の非導電層 341A, 341B（例えば、誘電体）が互いに直にボンディングされた非導電性非接着性のボンドからなるのがよい。図示のように、保護チップ 300 は、能動チップ 310 のバックサイド 312 にボンディングされている。さらに、妨害層 305 は、保護チップ 310 のボンディング層 340A の近くに配置されている。幾つかの実施形態では、ダイレクトボンドは、能動チップ 310 の導電接触特徴部 350B が保護チップ 300 の対応の導電性接触特徴部 350A に直にボンディングされ、そして能動チップ 310 の非導電領域（例えば、非導電層 341B）が保護チップ 300 の対応の非導電領域（例えば、非導電層 341A）に直にボンディングされたハイブリッドボンドからなるのがよい。さらに、各チップ 300, 310 のボンディング層 340A, 340B は、非導電層 341A, 341B、例えば誘電層（例えば、酸化シリコン、窒化シリコン、オキシ浸炭窒化シリコンなど）内に設けられた複数の導電接触特徴部 350A, 350B を有するのがよい。導電接触特徴部 350A, 350B は、ダイレクトハイブリッドボンディングに備えて導電材料、例えば金属、例えば銅からなるのがよい。保護チップ 300 の導電接触特徴部 350A は、能動チップ 310 の導電接触特徴部 350B と鏡像関係をなしかつ／或いはこれに対応するよう構成されているのがよい。パッドは、保護チップと能動チップとの電氣的及び／又は機械的接続部となるのがよい。本明細書で用いるようにパッドは、基板貫通ビア（TSV）330 又は垂直相互接続部 330（例えば、パッド 350A として表示されている）の露出端部を有するのがよく、或いは、フィールド領域内に少なくとも部分的に埋め込まれた別々のパッド（例えば、パッド 350B として表示されている）からなっているもよい。

30

40

【0022】

幾つかの場合、能動チップ 310 は、保護チップ 300 の変更を検出するよう構成されているのがよい。例えば、図 3 に示すように、保護チップ 300 は、基板貫通ビア（TSV）330 によって能動チップ 310 の能動回路 116 に電氣的に接続されるのがよく、TSV 330 により、能動チップ 310 は、妨害層 305 からの材料の除去によって生じる保護チップ 300 の特性の変化を検出することができる。幾つかの実施形態では、保護

50

チップ 300 は、ダイレクトハイブリッドボンド又は他の相互接続技術により能動チップ 310 に電氣的に接続されるのがよい。能動チップ 310 は、保護チップ内に作られた妨害層 305 又は他の構造の抵抗又はキャパシタンスを測定するよう構成されているのがよい。妨害層 305 又は上記の構造の実質的な変化が起こった場合、能動チップ 310 は、この変化を検出し、そして機密回路素子を無効化するのがよい。しかしながら、FIB アタックは、極めて正確であり、FIB によって溶発された妨害層 305 の部分は、非常に小さいので、妨害層 305 の電氣的性質の測定可能なほどの変化を生じさせない場合がある。本発明の諸実施形態は、侵襲的なアタックに対して耐性があり、かつセキュリティ上重要な回路又は回路素子を有する場合のある能動チップ 310 に直にボンディングされた保護層を含む保護チップ 300 を有するボンデッド構造体に関する。

10

【0023】

図 4A は、光学的及び／又は侵襲的 FIB アタックを採用した巧妙な侵入から機密半導体素子チップ 100 を保護するための他の解決策の欠点をなくすことを目的とする本発明の例示の実施形態を示している。図 4A 及び図 4B に示すように、本発明の諸実施形態は、保護回路層 410 を有する保護チップ 300 を含むのがよく、保護チップ 300 は、能動チップ 310 に（例えば、チップ 310 のバックサイド 112 に）直にボンディングされている。保護回路層 410 は、半導体素子の保護素子及び／又は能動回路への外部からのアクセスを検出し又は混乱させるよう構成されているのがよい。幾つかの実施形態では、例えば、図 4B に示すように、開示した実施形態は、保護チップ 300 内に形成された妨害層 305 及びこれとは別個の保護回路層 410 を含むのがよく、これらの層 305、410 は、能動チップ 310 の能動回路 116 を保護するよう能動チップ 310（例えば、チップ 310 のバックサイド 112）に直にボンディングされるのがよい。能動回路 116 は、図示の実施形態では、能動チップ 310 のフロントサイド 114 の近くに配置されている。上述したように、非接合保護構造体は、比較的容易な除去技術、例えば研削又はエッチングによる除去の影響を受けやすい場合がある。したがって、保護チップ 300 及び能動チップ 310 をボンデッド構造体中に組み込むことが望ましい場合がある。

20

【0024】

幾つかの実施形態では、ボンドインターフェース 315 は、保護チップ 300 のボンディング層 340A と能動チップ 310 のボンディング層 340B との間のボンドを有するのがよく、ボンドは、図示の実施形態では、チップ 310 のバックサイド 112 のところに形成されるのがよく又は少なくとも部分的にこのバックサイドを構成するのがよい。幾つかの実施形態では、ダイレクトボンドは、非導電性非接着性ボンドを含むのがよく、このボンド内の素子の非導電材料（例えば、誘電体及び／又は半導体 341A、341B）が互いに直にボンディングされている。図示の実施形態では、ダイレクトボンドは、能動チップ 310 の導電接触特徴部又はパッド 350A がこれまた保護チップ 300 の対応の導電接触特徴部 350B に直にボンディングされると共に、能動チップ 310 の非導電領域（例えば、ボンディング層 340B）が保護チップ 300 の対応の非導電領域（例えば、ボンディング層 340A）に直にボンディングされたハイブリッドボンドを含むのがよい。図 4A に示すように、各チップのボンディング層 315 は、非導電材料、例えば非導電又は誘電層 341（例えば、酸化シリコン、窒化シリコン、オキシ浸炭窒化シリコンなど）内に設けられた複数の接触パッド 350 を有するのがよい。接触パッド 350 は、導電材料、例えば金属、例えば銅からなるのがよい。これらの実施形態では、保護チップ 300 の接触パッド 350 は、能動チップ 310 の接触パッド 350 と鏡像関係をなすと共に／或いはこれに対応するよう構成されるのがよい。パッド 350 は、保護チップ 300 と能動チップ 310 との間に電氣的及び／又は機械的接続部となることができる。同様に、能動チップ 310 のボンディング層 315 の接触パッド 350 は、TSV 330 を介して能動チップ 310 の能動回路 116 に接続されるのがよい。保護チップ 300 の接触パッド 350A を能動チップ 310 の対応の接触パッド 350B にボンディングすることによって、幾つかの実施形態では、ボンデッド構造体は、かくして、能動チップ 310 の能動回路 116 と保護チップ 300 の 1 つ以上の層との間に電氣的接続部を有するのがよい

30

40

50

。例えば、保護チップ300は、保護回路層410とボンディング層315の接触パッド350との間の電氣的接続部となる垂直コネクタ（例えば、垂直相互接続部）360を有するのがよい。この場合、保護チップ300の保護回路層410は、TSV330を介してボンドインターフェースを横切って能動チップ310の能動層116と連絡関係をなすよう構成されるのがよい。

【0025】

図4Aに示すように、保護チップ300は、保護回路層410を有するのがよい。本明細書において説明する保護回路層410は、保護チップ300及び能動チップ310の能動回路116のうちの少なくとも一方への外部からのアクセスを検出し又は混乱させるよう構成されているのがよい。幾つかの実施形態では、例えば、保護回路層410は、能動チップ310に対して機能的処理をもたらさないが、チップ310の能動回路116を保護するためにハッカーによる侵入を検出するよう構成されるのがよい回路、例えばスローアウェイ論理（throw-away logic）を有するのがよい。これら実施形態では、保護回路層410中の回路は、機密能動回路の外観をまねるよう構成されているのがよい。例えば、保護チップ300は、アタッカーの時間を浪費させて能動チップ310の機密の領域を識別するのに必要な分析を引き延ばすよう機密ではない回路を有する保護回路層410を含むのがよく、それにより、チップ310の能動回路116への外部からのアクセスを混乱させるのがよい。本明細書に示す保護チップ300の保護回路層410は、能動回路層を有するのがよい。かかる実施形態では、能動保護回路層410は、少なくとも1つのトランジスタ、例えば複数のトランジスタを有するのがよい。これらの実施形態では、保護回路層410は、追加の機密ではない機能を能動チップ310に提供する回路を含むのがよい。幾つかの実施形態では、保護チップ300上の保護回路層410内の安価な能動回路は、レーザプローブが保護されるべき能動チップ310からではなく、保護チップ300上の保護回路層410内の安価な低論理回路によって反射されるので、光学的アタックに対して惑わす又は混乱させるデータを提供することができ、それにより、チップ310への外部からのアクセスを混乱させることができる。これら実施形態では、アタッカーが能動チップ310まで掘り下げるのにFIBを採用することにより、能動チップ310は、保護チップ300の介在する保護回路層410を溶発させることによって無効になり又は誤動作することが可能である。保護回路層410の1つ以上のトランジスタが壊され又は違ったやり方で改変された場合、保護回路層410は外部からのアクセスを検出することができ、そして侵入を指示する警報をチップ310の能動回路116に送ることができる。これに応答して、能動チップ310は、チップ310の機能を無効化することができ、能動回路116を自己破壊させ又は不作動状態にし、或いは、回路116への外部からのアクセスを阻止するのがよい。幾つかの実施形態では、保護回路層410は、信号又はフィードバックを能動チップ310の能動回路116に提供するように構成された能動回路を有するのがよい。これらの実施形態では、FIBからアブレーションを通じて保護層410に導入される何らかのエラーがあると、それにより、保護回路層410からの信号が止まり又は変化し、それにより保護チップ300が改ざんされた能動チップ310に警告が出される。例えば、保護層410は、暗号化タイミング信号を能動チップ310に提供するように構成された能動回路を有するのがよい。暗号化タイミング信号が外部からの侵入の試みによって変えられた場合、外部からのアクセスについて能動チップ310に警告を出すことができる。

【0026】

図示の実施形態では、保護回路層410の能動回路は、1つ以上のトランジスタを有するのがよい。幾つかの実施形態では、能動チップ310の動作処理回路は、能動チップ310で用いられトランジスタを形成する最新式のプロセスを用いることができ、他方、保護チップ300の（保護回路層410内の）能動回路は、それほど費用がかからず、それほど新型ではない処理技術を用いて作製でき、というのは、保護チップ300は、新型回路を必要としないで基本的な機能だけを利用することができるからである。一例として、能動チップ310の動作処理回路116は、新型プロセス、例えば新型サブ22nm以下

ノードプロセスを用いることができる。これとは対照的に、保護素子300又はチップの保護回路層410の能動回路層は、これよりも大きな特徴サイズ、例えば65nm以上のレガシーノードプロセスを用いたトランジスタを有する場合がある。図示の実施形態では、保護回路層410は、保護素子300の本体内部（例えば、本体内部全体）に設けられるのがよい。幾つかの実施形態では、保護素子300中のトランジスタは、保護チップ300が改ざんされたときに警告を能動チップ310に出すのに役立ちうる。幾つかの実施形態では、保護素子300の保護回路層410中の能動回路（例えば、1つ以上のトランジスタを含む）は、能動チップ310の機密回路116を始動させ又はこの機密回路116を通常の仕方で動作又は機能実行を停止させるのがよい。かくして、保護回路層410は、FIBからの溶発によるアタックを抑止する。保護チップ300で用いられる保護材料（妨害層305及び保護回路層410で用いられる材料を含む）としては、2020年4月9日に出願された米国特許出願第16/844,932号明細書、2020年4月9日に

10

出願された米国特許出願第16/844,941号明細書、2020年5月22日に

出願された米国特許出願第16/881,621号明細書、及び2020年4月10日出

願された米国特許出願第16/846,177号明細書に記載されている保護材料が挙げられるが、これらには限定されず、これら米国特許出願の各々を参照により引用し、全ての目的についてその記載内容全体を本明細書の一部とする。

【0027】

図4Bに示すように、保護チップ300は、保護回路層410とは別体でありかつこれとは垂直方向に間隔を置いて配置された妨害層305をさらに有するのがよい。幾つかの実施形態では、妨害層305は、絶縁層393によって隔てられた複数の金属化層342A, 342Bを有するのがよく、絶縁層393は、層305をレーザプローブの照射に対して不透明にする。他の実施形態では、妨害層305は、光フィルタを含むのがよい。機密チップを分析するコストを増大させることを目的として、分析プロセスを遅くするために惑わせる又は混乱させるデータをアタッカーに提供することが望ましい場合がある。かくして、光信号の単なる遮断の代わりに信号を改変することが有益な場合がある。光フィルタを用いると、光信号を改変することができる。例えば、幾つかの実施形態では、光フィルタは、屈折フィルタを含むのがよい。これらの実施形態では、妨害層305は、アタッカーのレーザプローブに不正確な測定値を生じさせることができる。米国特許出願第17/812,675号明細書に記載されているように（なお、この米国特許出願を参照により引用し、その記載内容を本明細書の一部とする）、閉塞層は、到来する又は出て行くビームの方向を変化させ（例えば、屈折させ）、ビームの焦点を合わせ又は焦点を外し（例えば、レンズ効果を与える）、ビームを散乱させ、ビームを拡散させ、ビームを回折させ（例えば、回折格子）、ビームを位相／波長シフトさせるなどすることができる。かくして、金属化層342A, 342Bは、機密回路をハッキングしようと試みる際に利用される入射光を遮断し又は変性する光遮断又は光変性材料を指している。

20

30

【0028】

幾つかの実施形態では、保護チップ300のボンディング層315の接続型接触パッド又は特徴部（例えば、350A）は、図4Bの実施形態に示すように、半導体貫通ビア垂直コネクタ360によって保護チップ300の1つ以上の閉塞層にさらに接続されるのがよい。追加的に又は代替的に、図4Bに示すように、保護チップ300の妨害層305は、能動チップ310の能動層116及び／または保護チップ300の保護回路層410に接続されるのがよい。例えば、保護チップ300の妨害層305は、1つ以上の垂直相互接続部360によって保護チップ300の保護層410に電氣的に接続されるのがよい。

40

【0029】

図4Bは、能動チップ310内に形成された接触パッド350A, 350B及びTSV330により能動チップ310の回路116に電氣的に接続された妨害層305を示している。幾つかの実施形態では、妨害層305は、検出回路をさらに含むのがよい。これらの実施形態では、能動チップ310は、TSV330を介する妨害層305中の検出回路の1つの以上の特性の変化に応答するよう構成されているのがよい。幾つかの実施形態で

50

は、検出回路は、保護チップ300の妨害層305又は保護チップ300の妨害層305の一部の抵抗の検出を可能にするよう構成されている。追加的に又は代替的に、検出回路は、保護チップ300の妨害層305又は妨害層305の一部のキャパシタンスの検出を可能にするよう構成されているのがよい。これらの実施形態では、能動チップ310は、保護チップ300の十分に大きな部分の除去に応答することができる。例えば、FIBプローブは、能動チップ310の機密半導体層を露出させるために保護チップ300の妨害層305の幾つかの部分の溶発させるよう用いられるのがよい。保護チップ300のこれらの部分を除去することによって、FIBは、保護チップ300の妨害層305のキャパシタンス及び／又は抵抗又はインピーダンスを検出回路によって検出可能な程度まで変更することができる。これら実施形態では、能動チップ310は、これが保護チップ300の妨害層305の変化を検出したときにシャットダウンするよう構成されているのがよい。追加的に又は代替的に、能動チップ310は、これが保護チップ300の妨害層305の変化を検出したときに警告信号を放出するよう構成されているのがよい。保護チップ300の妨害層305は、追加的に又は代替的に、追加の垂直方向コネクタ360によって保護チップ300の保護回路層410に接続されてもよい。これらの実施形態では、保護チップ300の保護層410は、保護チップ300の妨害層305の諸特性の変化に응答するよう構成されるのがよい。幾つかの実施形態では、保護チップ300の保護回路層410は、保護チップ300の変化が検出されたときに能動チップ310を無効化するよう構成されているのがよい。

10

20

【0030】

図4Bに示すように、保護チップ300の妨害層305は、保護チップ300の保護層410と能動チップ310の能動層116との間に設けられるのがよい。当業者であれば理解されるべきこととして、これは例示目的であるに過ぎない。他の実施形態では、保護チップ300の保護層410は、保護チップ300の妨害層305と能動チップ310の能動層との間に位置するのがよい。さらに、幾つかの実施形態では、保護チップ300は、多数の保護層410を有するのがよい。追加的に又は代替的に、保護チップ300は、多数の妨害層305を有するのがよい。これら実施形態では、これらの層は、任意の順序で保護チップ300内に配置されるのがよい。図示のように、保護チップ300は、能動チップ310のバックサイド112にボンディングされている。幾つかの実施形態では、保護素子300の保護回路層410と保護素子300の妨害層305は、ボンディングインターフェース315に対して横の方向に沿って互いに間隔を置いて配置されている（すなわち、距離d）。幾つかの実施形態では、妨害層305は、保護チップ300か能動チップ310かのいずれか又はこれら両方上に配置されるのがよい。

30

40

50

【0031】

図5は、保護チップ300の形態における追加の検討事項を示している。上記において詳細に説明したように、FIBの精度によって、アタッカーは、閉塞又は妨害材料の検出可能な部分を溶発させないでボンデッド構造体の妨害層305を掘り抜くことができる。しかしながら、FIBのアスペクト比は、かなり狭い。その結果、上記の図2に示すように、FIBは、焦点からの距離が増大するにつれて幅が広がる。図5に示すように、FIBによるアタックが検出可能であるようにするためには、幾つかの実施形態では、保護チップ300の妨害層305が能動チップ310の機密半導体層116から最小距離（例えば、D）のところに配置されるのがよく、この場合、距離Dは、ボンディングインターフェース315に対して横方向の距離を指している。これにより、能動チップ310の一部を露出するために用いられるFIBによるアタックが検出可能であるべき保護チップ300の妨害層305の十分な材料を溶発させるようになる。幾つかの実施形態では、保護素子300の妨害層305と半導体素子又は能動チップ310の能動回路116との間の間隔又は距離Dは、少なくとも20マイクロメートルである。幾つかの実施形態では、距離Dは、20マイクロメートル～100マイクロメートル、例えば50マイクロメートル～100マイクロメートルであるのがよい。幾つかの実施形態では、距離Dは、100マイクロメートル～500マイクロメートルであるのがよい。幾つかの実施形態では、保

護チップ 300 は、能動回路層を備えた保護回路層 410 をさらに有するのがよい。これらの実施形態では、保護素子 300 は、能動チップ 310 に追加の機密ではない機能を提供する回路を含むのがよい。さらに、幾つかの他の実施形態では、保護チップ 300 は、多数の妨害層 305 を有するのがよい。頂部妨害層 305 と能動チップ 310 の能動層 116 との間の距離の増大に加えて、これらの実施形態では、FIB によるアタックは、能動チップ 310 の機密半導体層（例えば、能動回路 116）を露出させるためには、多数の妨害層 305 を溶発して貫通する必要がある。したがって、種々の実施形態では、保護チップ 300 の妨害層 305 は、能動チップ 310 の半導体層から最小距離を置いたところに配置されるのがよく、というのは、距離 D の増大により保護チップ 300 のアブレーションを増大させる必要があるからである。保護回路（例えばトランジスタを含む能動回路及び／又は受動回路、例えばキャパシタ）を保護素子内に設けた場合の利点は、これにより、偽造者が保護素子の材料を溶発させるときに大きな穴を作らざるをえなくなる場合があり、それにより、能動チップ 310 に対する警告をトリガする可能性が増大することにある。

10

20

30

40

50

【0032】

本明細書において図示した実施形態（例えば、図 3～図 5）は、半導体素子 310 のバックサイド 112 にボンディングされた保護素子 300 を示しているが、他の実施形態では、保護素子 300 は、回路のフロントサイド保護を可能にするようフロントサイド 314 に追加的に又は代替的にボンディングされてもよい。したがって、幾つかの実施形態では、ボンデッド構造体は、第 2 のボンディングインターフェース 315 に沿って接着剤なしで半導体素子 310 のフロントサイドに直にボンディングされた第 2 の保護素子 300 を有するのがよく、この第 2 の保護素子 300 は、半導体素子 310 の少なくともフロントサイド 114 への外部からのアクセスを抑止するよう構成された第 2 の妨害層 305、及び保護素子 300 内に設けられた第 2 の保護回路層 410 を含み、保護回路層 410 は、半導体素子 300 のフロントサイド 114 への外部からのアクセスを検出し又は混乱させるよう構成されている。

【0033】

ダイレクトボンディング法及び直にボンディングされた構造体の実施例

本明細書において開示した種々の実施形態は、2 つの素子を介在する接着剤なしで互いに直にボンディングすることができるダイレクトボンデッド構造体に関する。2 つ以上の半導体素子（例えば、集積化デバイスダイ、ウエハなど、例えば素子 300、310）は、ボンデッド構造体を形成するよう互いに積み重ねられ又はボンディングされるのがよい。1 つの素子の導電接触特徴部又はパッド（例えば、350A、350B）は、もう 1 つの素子の対応の導電接触特徴部（例えば、350A、350B）に電気的に接続されるのがよい。ボンデッド構造体中に任意適当な数の素子を積み重ねることができる。

【0034】

幾つかの実施形態では、これらの素子は、接着剤なしで互いに直にボンディングされている。種々の実施形態では、第 1 の素子（例えば、保護又は閉塞用素子）の非導電材料又は誘電体（例えば、341A）は、接着剤なしで、第 2 の素子（例えば、能動チップ）の対応の非導電又は誘電体領域（例えば、341B）に直にボンディングされるのがよい。非導電材料は、第 1 の素子の非導電ボンディング領域又はボンディング層と呼ばれる場合がある。幾つかの実施形態では、第 1 の素子の非導電材料は、誘電体 - 誘電体ボンディング技術を用いて第 2 の素子の対応の非導電材料に直にボンディングされるのがよい。例えば、誘電体 - 誘電体ボンドは、少なくとも米国特許第 9,564,414 号明細書、同第 9,391,143 号明細書、及び同第 10,434,749 号明細書に開示されたダイレクトボンディング技術を用いて接着剤なしで形成でき、これら米国特許の各々を参照により引用し、全ての目的についてこれらの記載内容を本明細書の一部とする。

【0035】

種々の実施形態では、ハイブリッドダイレクトボンドが介在接着剤なしで形成されるのがよい。例えば、誘電ボンディング表面は、高い平滑度まで研磨されるのがよい。ボンデ

ィング表面は、清浄化され、そしてこれら表面を活性化するためにプラズマ及び／又はエッチング剤に露出されるのがよい。幾つかの実施形態では、かかるボンディング表面は、活性化後又は活性化中（例えば、プラズマ及び／又はエッチング処理中）化学種末端基化されるのがよい。理論で束縛されるわけではないが、幾つかの実施形態では、活性化プロセスは、ボンディング表面のところの化学結合を壊すために実施されるのがよく、末端基化プロセスは、ダイレクトボンディング中にボンディングエネルギーを向上させる追加の化学種をボンディング表面のところにもたすことができる。幾つかの実施形態では、活性化及び末端基化は、同一ステップで行われ、例えば、プラズマ又はウェットエッチング剤を用いて表面を活性化して末端基化する。他の実施形態では、ボンディング表面は、ダイレクトボンディングのための追加の化学種を提供するよう別個の処理で末端基化されてもよい。種々の実施形態では、末端基化化学種は、窒素を含むのがよい。さらに、幾つかの実施形態では、ボンディング表面は、フッ素にさらされるのがよい。例えば、層及び／又はボンディングインターフェースの近くに1つ又は多数のフッ素ピークが存在する場合がある。かくして、ダイレクトボンデッド構造体では、2つの誘電体相互間のボンディングインターフェースは、高い窒素含有量を含むと共にボンディングインターフェースのところにフッ素ピークを持つ極めて滑らかなインターフェースを含むのがよい。活性化及び／又は末端基化処理の追加の例が米国特許第9,564,414号明細書、同第9,391,143号明細書、及び同第10,434,749号明細書全体に見受けられ、これら米国特許の各々を参照により引用し、全ての目的についてその記載内容全体を本明細書の一部とする。

10

20

【0036】

種々の実施形態では、第1の素子の導電接触パッドもまた、第2の素子の対応の導電接触パッドに直にボンディングされるのがよい。例えば、ハイブリッドボンディング技術を用いると、かかる導体-導体ダイレクトボンドを、上述したように前処理された共有的に直に結合された誘電体-誘電体表面を含むボンドインターフェース（例えば、315）に沿って提供することができる。種々の実施形態では、導体-導体（例えば、接触パッド-接触パッド）ダイレクトボンド及び誘電体-誘電体ハイブリッドボンドは、少なくとも米国特許第9,716,033号明細書及び同第9,852,988号明細書に開示されたダイレクトボンディング技術を用いて形成でき、これら米国特許の各々を参照により引用し、全ての目的について開示内容全体を本明細書の一部とする。

30

【0037】

例えば、誘電ボンディング表面を前処理し、そして上記において説明したように介在する接着剤なしで互いに直にボンディングするのがよい。導電接触パッド（これは、非導電誘電場領域によって包囲されているのがよい）もまた、介在接着剤なしで互いにボンディングするのがよい。幾つかの実施形態では、それぞれの接触パッドを誘電場又は非導電ボンディング領域の外周（例えば、上面）の下に引っ込めるのがよく、例えば、30nm未満、20nm未満、15nm未満、又は10nm未満だけ引っ込めるのがよく、例えば、2nmから20nmまでの範囲、又は4nmから10nmまでの範囲にわたり引っ込めるのがよい。非導電ボンディング領域を幾つかの実施形態では、室温で接着剤なしで互いに直にボンディングするのがよく、その後、ボンデッド構造体をアニールするのがよい。アニール時、接触パッドは、膨張して互いに接触することができ、例えば金属間ダイレクトボンドを形成することができる。有益には、ハイブリッドボンディング技術、例えばカリフォルニア州サンノゼ所在のエクスペリ（Xperi）社から市販されているダイレクト・ボンド・インターコネクト、すなわちDBI（登録商標）の使用により、ダイレクトボンドインターフェースを横切って互いに接続された高密度（例えば、規則的なアレイが得られるよう小さな又は微細なピッチ）のパッドの実現を可能にすることができる。幾つかの実施形態では、接合素子の一方のボンディング表面内に埋め込まれたボンディングパッド又は導電トレースのピッチは、40ミクロン未満、10ミクロン未満、又はそれどころか2ミクロン未満であるのがよい。幾つかの用途に関し、ボンディングパッドのピッチとボンディングパッドの寸法のうちの1つの比は、5未満又は3未満であり、場合によっては、

40

50

望ましくは、2未満である。他の用途では、接合素子のうちの1つのボンディング表面内に埋め込まれた導電トレースの幅は、0.3ミクロンから3ミクロンまでの範囲にあるのがよい。種々の実施形態では、接触パッド及び／又はトレースは、銅からなるのがよいが、ただし、他の金属が適している場合がある。

【0038】

かくして、ダイレクトボンディングプロセスでは、第1の素子を介在接着剤なしで第2の素子に直にボンディングするのがよい。幾つかの構成例では、第1の素子は、単体化素子、例えば単体化集積化デバイスダイ又は単体化保護素子を含むのがよい。他の構成例では、第1の素子は、単体化時に複数の集積化デバイスダイを形成する複数（例えば、数十個、数百個以上）のデバイス領域を含むキャリア基板（例えば、ウエハ）を含むのがよい。同様に、第2の素子は、単体化素子、例えば単体化集積化デバイスダイを含むのがよい。他の構成例では、第2の素子は、キャリア又は基板（例えば、ウエハ）を含むのがよい。

10

【0039】

本明細書において説明したように、第1の素子と第2の素子は、接着剤なしで互いに直にボンディングされるのがよく、これは、デポジション（堆積）プロセスと異なっている。一用途では、ボンデッド構造体中の第1の素子の幅は、第2の素子の幅とほぼ同じであるのがよい。他の幾つかの実施例では、ボンデッド構造体中に第1の素子の幅は、第2の素子の幅とは異なっているのがよい。ボンデッド構造体中の大きい方の素子の幅又は面積は、小さい方の素子の幅又は面積よりも少なくとも10%大きいのがよい。したがって、第1及び第2の素子は、非堆積素子からなるのがよい。さらに、ダイレクトボンデッド構造体は、堆積層とは異なり、ナノボイドが存在するボンドインターフェースに沿う欠陥領域を含むのがよい。ナノボイドは、ボンディング表面の活性化に起因して形成されるのがよい（例えば、プラズマへの暴露）。上述したように、ボンドインターフェースは、活性化及び／又は最後の化学処理プロセスに起因して生じる濃度の物質を含むのがよい。例えば、活性化のために窒素プラズマを利用する実施形態では、窒素ピークは、ボンドインターフェースのところに形成される場合がある。活性化のために酸素プラズマを利用する実施形態では、酸素ピークは、ボンドインターフェースのところに生じる場合がある。幾つかの実施形態では、ボンドインターフェースは、オキシ窒化シリコン、オキシ浸炭窒化シリコン、又は炭窒化シリコンからなるのがよい。本明細書において説明したように、ダイレクトボンドは、共有結合を含むのがよく、共有結合は、ファンデルワールス結合よりも強固である。ボンディング層は、高い平滑度まで平坦化された研磨表面をさらに有するのがよい。

20

30

【0040】

種々の実施形態では、接触パッド相互間の金属間ボンドは、銅結晶粒がボンドインターフェースを横切って互いの中へ成長するよう接合されるのがよい。幾つかの実施形態では、銅は、ボンドインターフェースを横切る銅拡散を向上させるために結晶面に沿って配向した結晶粒を有するのがよい。ボンドインターフェースは、実質的に全体が接合接触パッドの少なくとも一部分まで延びるのがよく、その結果、接合接触パッドのところ又はその近くには非導電ボンディング領域相互間に実質的に隙間がないようになっている。幾つかの実施形態では、バリヤ層は、接触パッド（例えば、これは、銅を含むのがよい）の下に設けられるのがよい。しかしながら、他の実施形態では、例えば米国特許出願公開第2019/0096741号明細書に記載されているように接触パッドの下にはバリヤ層が存在しないのがよく、この米国特許出願公開を参照により引用し、全ての目的についてその記載内容全体を本明細書の一部とする。

40

【0041】

一観点では、ボンデッド構造体が提供される。ボンデッド構造体は、能動回路（例えば、116）を含む半導体素子を有する。ボンデッド構造体は、ボンディングインターフェースに沿って接着剤なしで半導体素子に直にボンディングされた保護素子をさらに有する。保護素子は、能動回路の少なくとも一部分への外部からのアクセスを抑止するよう構成

50

された閉塞層（例えば、305）を有する。保護素子は、追加的に又は代替的に、この中に設けられた保護回路層（例えば、410）をさらに有するのがよく、保護回路層は、保護素子、半導体素子の能動回路、又はこれら両方への外部からのアクセスを検出し又は混乱させるよう構成されている。

【0042】

幾つかの実施形態では、保護素子の閉塞層と半導体素子の能動回路は、ボンディングインターフェースに対して互いに間隔を置いて配置されている。幾つかの実施形態では、保護素子の閉塞層と半導体素子の能動回路との間の間隔は、50マイクロメートル〜100マイクロメートルである。幾つかの実施形態では、保護素子の保護回路層と保護素子の閉塞層は、ボンディングインターフェースに対して横の方向に沿って互いに間隔を置いて配置されている。幾つかの実施形態では、保護素子の保護回路層と閉塞層との間の間隔は、少なくとも20マイクロメートルである。幾つかの実施形態では、保護素子の保護回路層は、保護素子の閉塞層とボンディングインターフェースの間に設けられている。幾つかの実施形態では、保護素子の妨害層は、保護素子の保護回路層とボンディングインターフェースとの間に設けられている。幾つかの実施形態では、保護素子の妨害層は、閉塞層を有し、この閉塞層は、この層の表面に平行な平面内において半導体素子の規定の領域を塞ぐよう構成されている。幾つかの実施形態では、保護素子は、半導体素子のボンディング層に直にボンディングされたボンディング層を有する。幾つかの実施形態では、保護素子のボンディング層は、保護素子のボンディング層の金属パターンの少なくとも一部分に合うパターンをなして金属化されている。幾つかの実施形態では、半導体素子のボンディング層は、非導電層内に設けられた多数の接触パッドを有し、保護素子のボンディング層は、半導体素子の接触パッドに直にボンディングされた非導電層内に設けられている多数の接触パッドを有している。幾つかの実施形態では、保護素子のボンディング層と保護素子の保護回路層は、1つ以上の垂直相互接続部（例えば、360）を介して互いに接続されている。幾つかの実施形態では、保護素子の閉塞層は、保護素子の外部からのアクセスを検出するよう構成された検出回路を有する。幾つかの実施形態では、検出回路は、外部からのアクセスを検出するよう構成された受動電子回路素子を含む。幾つかの実施形態では、受動電子回路は、容量性回路素子、抵抗性素子、又はこれら両方を含む。幾つかの実施形態では、受動電子回路素子は、パターン化トレースを有する抵抗性素子を含む。幾つかの実施形態では、受動電子回路素子は、絶縁材料により隔てられた複数のトレースを有する容量性素子を含む。幾つかの実施形態では、検出回路は、能動回路を有する。幾つかの実施形態では、垂直相互接続部が検出回路から保護素子の接触パッドまで延びている。幾つかの実施形態では、垂直相互接続部が検出回路から保護素子の保護回路層まで延びている。幾つかの実施形態では、保護素子の1つ以上の接触パッドは、半導体素子の能動サイドで接触パッドにボンディングされている。幾つかの実施形態では、保護素子の保護回路層は、能動回路の外観をまねるよう構成された受動電子回路を含む。幾つかの実施形態では、保護素子の保護回路層は、能動回路を有する。幾つかの実施形態では、保護回路層の能動回路は、暗号化タイミング信号を放出するよう構成されている。幾つかの実施形態では、保護回路層の能動回路は、保護回路層の変化を検出するよう構成されている。幾つかの実施形態では、保護回路層の能動回路は、これが保護回路層の変化を検出したときに半導体の能動回路を無効化するよう構成されている。幾つかの実施形態では、保護回路層は、保護回路層の能動回路が保護回路層の変化を検出したときに警告信号を放出するよう構成されている。幾つかの実施形態では、垂直相互接続部が保護回路層から保護素子の接触パッドまで延びている。幾つかの実施形態では、保護素子は、能動サイド（例えば、114）と反対側の半導体素子のバックサイド（例えば、112）に直にボンディングされ、半導体貫通ビア（例えば、330）が半導体素子と保護素子の保護回路層の電氣的連絡を可能にするよう半導体素子の能動サイドのところ又はその近くの接触パッドから保護素子の接触パッドまで延びている。幾つかの実施形態では、保護回路層は、保護素子内に完全に埋め込まれている。

【0043】

10

20

30

40

50

もう1つの観点では、ボンデッド構造体を形成する方法が提供される。本方法は、半導体素子を接着剤なしで保護素子に直にボンディングするステップを含む。半導体素子は、能動回路を有し、保護素子は、能動回路の一部分への外部からのアクセスを抑止するよう構成された閉塞層及び保護素子、半導体素子、又はこれら両方の素子への外部からのアクセスを検出し又は混乱させるよう構成された保護層を有する。

【0044】

幾つかの実施形態では、本方法は、保護素子の妨害層と保護素子の保護層がボンディングインターフェースに対して横の方向に沿って互いに間隔を置いて位置するよう保護素子を形成するステップを含む。幾つかの実施形態では、本方法は、保護素子の妨害層と保護素子の保護層との間の間隔が少なくとも20マイクロメートルであるよう保護素子を形成するステップを含む。幾つかの実施形態では、本方法は、保護素子の妨害層と半導体素子の能動回路との間隔が少なくとも20マイクロメートルであるよう保護素子を形成するステップを含む。幾つかの実施形態では、本方法は、ボンディング層を有するよう保護素子を形成するステップと、ボンディング層を有するよう半導体素子を形成するステップと、保護素子のボンディング層を半導体素子のボンディング層にボンディングするステップとを含む。幾つかの実施形態では、本方法は、保護素子のボンディング層が半導体素子の金属化パターンに合うよう金属化されるよう保護素子を形成するステップを含む。幾つかの実施形態では、本方法は、保護素子のボンディング層が非導電層内に設けられた多数の接触パッドを有するよう保護素子を形成するステップを含み、接触パッドは、半導体素子のボンディング層の複数の接触パッドと鏡像関係をなすよう構成される。幾つかの実施形態では、本方法は、妨害層が保護素子への外部からのアクセスを検出するよう構成された検出回路を有するよう保護素子を形成するステップを含む。幾つかの実施形態では、本方法は、検出回路から保護素子の接触パッドまで延びる垂直相互接続部を含むよう保護素子を形成するステップを含む。幾つかの実施形態では、本方法は、保護素子を半導体素子の能動サイドと正反対のところに位置する半導体素子のバックサイドに直にボンディングするステップ、及び半導体素子の能動サイドのところに又はその近くに位置する接触パッドから保護素子の接触パッドまで延びる半導体貫通ビア(TSV)を有するよう半導体素子を形成するステップを含み、TSVは、半導体素子と検出回路との電氣的連絡をもたらす。幾つかの実施形態では、本方法は、検出回路から保護素子の保護層まで延びる垂直相互接続部、及び保護素子の保護層から保護素子の接触パッドまで延びる第2の垂直相互接続部を含むよう保護素子を形成するステップを含む。幾つかの実施形態では、本方法は、能動回路の外観をまねるよう構成された受動電子回路を有するよう保護回路層を形成するステップを含む。幾つかの実施形態では、本方法は、能動回路を有するよう保護回路層を形成するステップを含む。幾つかの実施形態では、本方法は、暗号化タイミング信号を放出するよう保護回路層の能動回路を構成するステップを含む。幾つかの実施形態では、本方法は、保護回路層の変化を検出するよう保護回路層の能動回路を構成するステップを含む。幾つかの実施形態では、本方法は、保護回路層の能動回路が保護回路層の変化を検出したとき、半導体素子の能動回路を無効化するよう保護回路層の能動回路を構成するステップを含む。幾つかの実施形態では、本方法は、保護回路層の能動回路が保護回路層の変化を検出したとき、警報信号を出すよう保護回路層の能動回路を構成するステップを含む。幾つかの実施形態では、本方法は、保護素子の保護回路層から保護素子の接触パッドまで延びる垂直相互接続部を含むよう保護素子を形成するステップを含む。幾つかの実施形態では、本方法は、保護素子を半導体素子の能動サイドと正反対のところに位置する半導体素子のバックサイドに直にボンディングするステップ、及び半導体素子の能動サイドのところに又はその近くに位置する接触パッドから保護素子の接触パッドまで延びる半導体貫通ビア(TSV)を有するよう半導体素子を形成するステップを含み、TSVは、半導体素子と保護素子の保護層との電氣的連絡をもたらす。幾つかの実施形態では、本方法は、保護回路層が保護素子内に完全に埋め込まれるよう保護素子を形成するステップを含む。

【0045】

もう1つの観点では、ボンデッド構造体が提供される。ボンデッド構造体は、能動回路

を含む半導体素子及びボンディングインターフェースに沿って接着剤なしで半導体素子に直にボンディングされた保護素子を有する。保護素子は、保護素子、半導体素子の能動回路、又はこれら両方の素子への外部からのアクセスを検出し又は混乱させるよう構成された保護回路層を有する。

【0046】

幾つかの実施形態では、保護素子の保護層と半導体素子の能動回路は、ボンディングインターフェースに対して横の方向に沿って互いに間隔を置いて配置されている。幾つかの実施形態では、保護素子の妨害層と半導体素子の能動回路との間隔は、少なくとも20マイクロメートルである。幾つかの実施形態では、保護素子は、ボンディング層を有し、半導体素子は、保護素子のボンディング層に直にボンディングされたボンディング層を有する。幾つかの実施形態では、保護素子のボンディング層は、半導体素子の金属化パターンに合うよう金属化されている。幾つかの実施形態では、半導体素子のボンディング層は、非導電層内に設けられた多数の接触パッドを有し、保護素子のボンディング層は、半導体素子の接触パッドに直にボンディングされた、非導電層内に設けられている多数の接触パッドを有する。幾つかの実施形態では、保護素子の保護層は、能動回路の外観をまねるよう構成された受動電子回路を有する。幾つかの実施形態では、保護素子の保護層は、能動回路を有する。幾つかの実施形態では、保護回路層の能動回路は、暗号化タイミング信号を出すよう構成されている。幾つかの実施形態では、保護回路層の能動回路は、保護素子の変化を検出するよう構成されている。幾つかの実施形態では、保護回路層の能動回路は、保護回路層の能動回路が保護素子の変化を検出したときに半導体素子の能動回路を無効化するよう構成されている。幾つかの実施形態では、保護回路層は、これが保護素子の変化を検出したときに警告信号を放出するよう構成されている。幾つかの実施形態では、ボンデッド構造体は、保護素子の保護層から保護素子の接触パッドまで延びる垂直相互接続部を有する。幾つかの実施形態では、保護素子は、能動サイドと反対側の半導体素子のバックサイドに直に結合され、半導体貫通ビア(TSV)が半導体素子の能動サイドのところ又はその近くの接触パッドから保護素子の接触パッドまで延びており、その結果、TSVは、半導体素子と保護素子の保護層との電氣的連絡を可能にするようになっている。幾つかの実施形態では、保護素子の保護回路層は、保護素子内に完全に埋め込まれている。

【0047】

文脈上別段の明示の必要がなければ、原文明細書及び原文特許請求の範囲全体を通じて、“comprise”（訳文では「～を有する」としている場合が多い）、“comprising”、“include”（「～を含む」）、“including”などの用語は、排他的又は網羅的な意味とは異なり、包括的な意味に、すなわち“including, but not limited to”（「～を含むが、これには限定されない」）の意味に解されるべきである。本明細書に一般的に用いられている「結合され」という用語は、互いに直接的に連結されるか、1つ以上の中間要素により互いに連結される2つ以上の要素を意味している。同様に、本明細書において一般的に用いられている「連結され」という用語は、互いに直接的に連結されるか、1つ以上の中間要素により互いに連結される2つ以上の要素を意味している。加うるに、原語出願において用いられている“herein”（訳文では「本明細書において」としている場合が多い）、“above”（「上述の」の意）、“below”（「後述の」の意）、及び同様な趣旨の用語は、本願を全体として意味しており、本願の何らかの特定の部分を意味しているわけではない。さらに、本明細書で用いられているように、第1の素子が第2の素子の「上(on)」又は「覆って(over)」位置すると説明されている場合、第1の素子は、第1の素子と第2の素子は、互いに直接的に接触するよう、第2の素子上に又はこれを覆って直接位置する場合があります、或いは第1の素子は、1つ以上の素子が第1の素子と第2の素子の間に介在するよう、第2の素子上又はこれを覆って間接的に位置する場合があります。文脈上許容される場合には、単数形又は複数形を用いた上記の詳細な説明中の用語は、それぞれ複数又は単数を含む場合がある。2つ以上のアイテムのリストに関して「又は」という用語は、この用語についての以下の解釈、すなわち、リスト中のアイテムのうちの任意のもの、リスト中のアイテムの全て、及びリスト中のアイテムの任意の組み合わせの全てを

含む。

【0048】

さらに、原文明細書で用いられている条件語、とりわけ“can”（「～のがよい」又は「～でもよい」）、“could”、“might”、“may”、“e.g.”、“for example”、“such as”などは、別段の明示の指定がなければ、又は用いられている文脈内で違ったやり方で理解されない場合、一般に、ある特定の実施形態がある特定の特徴、要素、及び／又は状態を含み、他の実施形態がある特定の特徴、要素、及び／又は状態を含まないということを意味するようになっている。かくして、かかる条件語は、一般的には、特徴、要素、及び／又は状態が、1つ以上の実施形態について必要な何らかの仕方での存在することを意味するようにはなっていない。

10

【0049】

ある特定の実施形態を説明したが、これら実施形態は、例示としてのみ提供されており、本発明の範囲を限定するものではない。確かに、本明細書において説明した新規な装置、方法、及びシステムは、種々の他の形態で具体化でき、さらに、本明細書において説明した方法及びシステムの形態における種々の省略、置換、及び変更は、本発明の範囲から逸脱することなく実施できる。例えば、ブロックが所与の配置で示されているが、変形実施形態は、異なるコンポーネント及び／又は回路トポロジでほぼ同じ機能を実行することができ、幾つかのブロックを削除し、動かし、追加し、分割し、組み合わせ、かつ／或いは改造することができる。これらブロックの各々は、多種多様な仕方では具体化できる。上述の種々の実施形態の要素及び作用の任意適当な組み合わせは、別の実施形態を提供するよう組み合わせ可能である。添付の特許請求の範囲に記載された本発明の範囲及びその均等範囲は、本発明の範囲及び精神に含まれるかかる形態又は改造を含むものである。

20

【図面】

【図1】

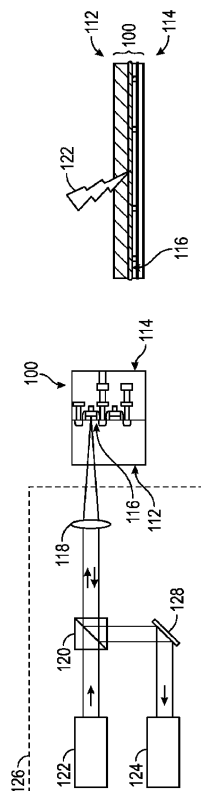


FIG. 1

【図2】

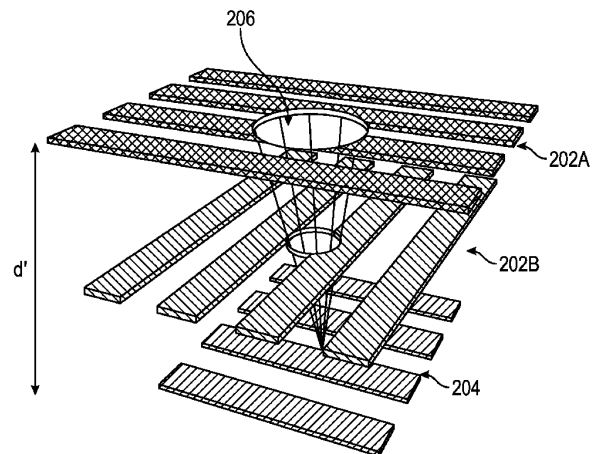


FIG. 2

30

40

50

【図 3】

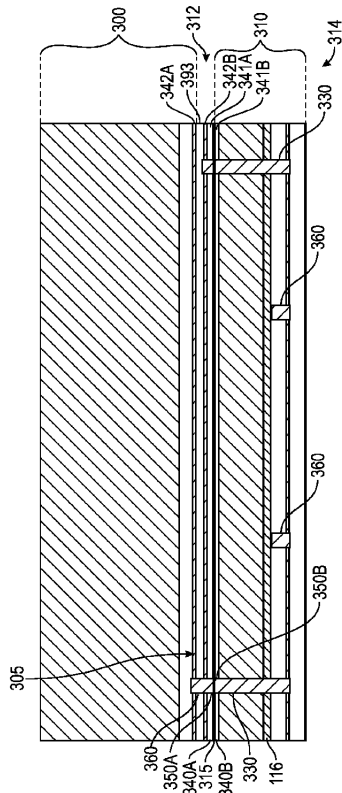


FIG. 3

【図 4 A】

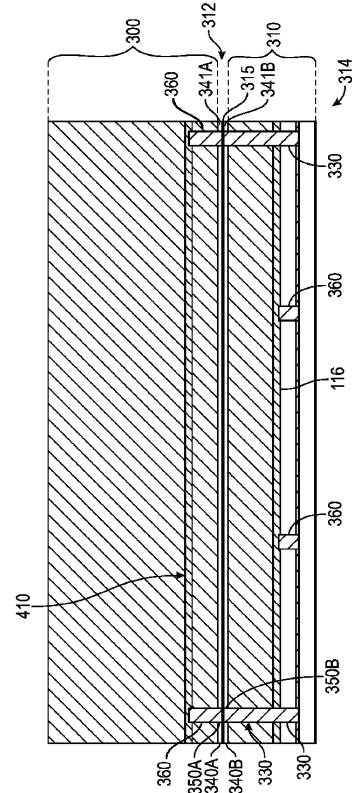


FIG. 4A

【図 4 B】

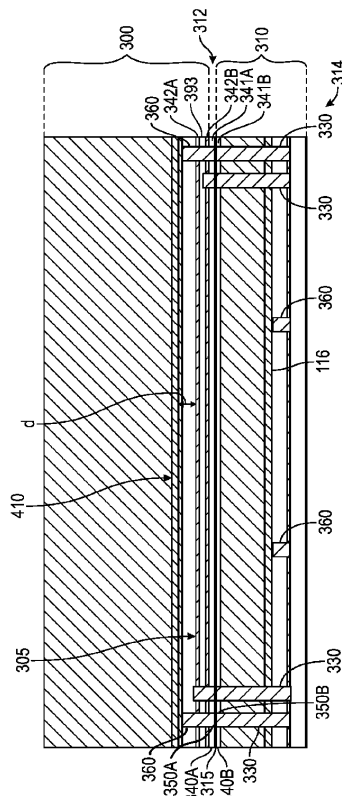


FIG. 4B

【図 5】

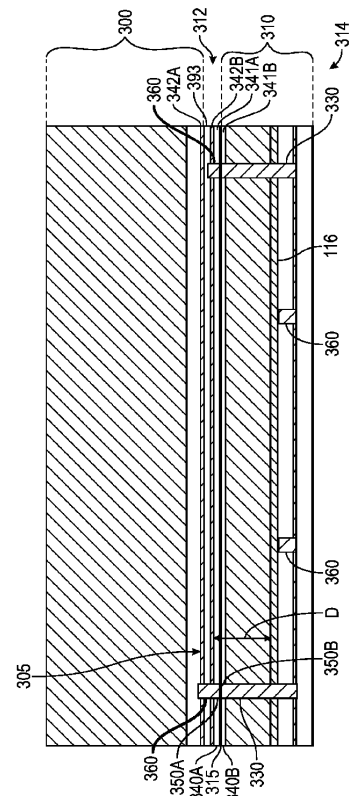


FIG. 5

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2022/038921
A. CLASSIFICATION OF SUBJECT MATTER H01L 23/00(2006.01)i; H01L 23/552(2006.01)i; H01L 23/48(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L 23/00(2006.01); G01R 31/28(2006.01); G06F 21/55(2013.01); G06F 21/75(2013.01); H01L 21/66(2006.01); H01L 23/528(2006.01); H01L 23/58(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models Japanese utility models and applications for utility models Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS(KIPO internal) & Keywords: semiconductor, protective element, bonding, external access, protective circuitry layer		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2020-0328164 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 15 October 2020 (2020-10-15) paragraphs [0018]-[0049], claim 1 and figures 1-6B	1-20,33-39,53-59,69-74
Y	US 2020-0371154 A1 (INVENSAS BONDING TECHNOLOGIES, INC.) 26 November 2020 (2020-11-26) paragraphs [0029], [0035] and figure 2B	1-20,33-39,53-59,69-74
A	US 2018-0308808 A1 (NUVOTON TECHNOLOGY CORPORATION) 25 October 2018 (2018-10-25) paragraphs [0016]-[0067] and figures 1-3	1-20,33-39,53-59,69-74
A	US 9455233 B1 (FREESCALE SEMICONDUCTOR, INC.) 27 September 2016 (2016-09-27) claims 1-17 and figures 1-2	1-20,33-39,53-59,69-74
A	KR 10-2020-0141783 A (INDUSTRY-ACADEMIC COOPERATION FOUNDATION, YONSEI UNIVERSITY) 21 December 2020 (2020-12-21) paragraphs [0024]-[0094] and figures 1-13	1-20,33-39,53-59,69-74
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "D" document cited by the applicant in the international application "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 November 2022		Date of mailing of the international search report 25 November 2022
Name and mailing address of the ISA/KR Korean Intellectual Property Office 189 Cheongsa-ro, Seo-gu, Daejeon 35208, Republic of Korea Facsimile No. +82-42-481-8578		Authorized officer JANG, Gi Jeong Telephone No. +82-42-481-8364

Form PCT/ISA/210 (second sheet) (July 2022)

INTERNATIONAL SEARCH REPORT		International application No. PCT/US2022/038921
Box No. II	Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)	
This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:		
1.	☐ Claims Nos.: because they relate to subject matter not required to be searched by this Authority, namely:	10
2.	☒ Claims Nos.: 23,26-29,31,41-43,46-49,51,62-65,67 because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically: Claims 23, 26-29, 31, 41-43, 46-49, 51, 62-65, 67 are regarded to be unclear because they refer to claims which do not comply with PCT Rule 6.4(a).	
3.	☒ Claims Nos.: 21,22,24,25,30,32,40,44,45,50,52,60,61,66,68 because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).	20
		30
		40

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/US2022/038921

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2020-0328164	A1	15 October 2020	CN	113646881	A	12 November 2021
				CN	113678243	A	19 November 2021
				KR	10-2021-0139461	A	22 November 2021
				KR	10-2021-0139483	A	22 November 2021
				US	11205625	B2	21 December 2021
				US	11373963	B2	28 June 2022
				US	2020-0328162	A1	15 October 2020
				US	2020-0328165	A1	15 October 2020
				WO	2020-210676	A1	15 October 2020
				WO	2020-210703	A1	15 October 2020
US	2020-0371154	A1	26 November 2020	None			
US	2018-0308808	A1	25 October 2018	JP	2018-186271	A	22 November 2018
				JP	6635276	B2	22 January 2020
				TW	201839652	A	01 November 2018
				TW	I665581	B	11 July 2019
				US	10249579	B2	02 April 2019
US	9455233	B1	27 September 2016	None			
KR	10-2020-0141783	A	21 December 2020	KR	10-2245773	B1	27 April 2021
				US	11387196	B2	12 July 2022
				US	2020-0395315	A1	17 December 2020

Form PCT/ISA/210 (patent family annex) (July 2022)

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,IT,J
M,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY
,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,SY,T
H,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW

弁理士 鈴木 博子

(72)発明者 ハーバ ベルガセム

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 ミルカリミ ローラ ウィルズ

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 オープション クリストファー

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5

(72)発明者 カトカー ラジェシュ

アメリカ合衆国 カリフォルニア州 9 5 1 3 4 サンノゼ オーチャード パークウェイ 3 0 2 5