(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 21/90

(45) 공고일자 1999년06월15일
(11) 등록번호 10-0201721
(24) 등록일자 1999년03월16일

(21) 출원번호	10-1996-0000495	(65) 공개번호	특1996-0030381
(22) 출원일자	1996년01월12일	(43) 공개일자	1996년08월17일
(30) 우선권주장	95-006342 1995년01월19일 일본(JP)		

(73) 특허권자 가부시키가이샤 도시바 니시무로 타이죠
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 스나다 다케시
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 다마가와공장내
(74) 대리인 김윤배, 이세진

심사관 : 김동원

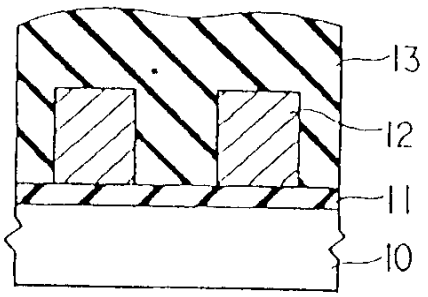
(54) 반도체장치의 제조방법

요약

리플로우절연막 형성기술을 채용하여 반도체기판상에 얻은 리플로우절연막의 밑바탕의 단차가 높은 경우에도 리플로우절연막의 평탄성을 확보하고, 층간 절연막 형성후에 형성되는 상층배선의 한층 미세화와 고신뢰화를 실현한다.

반도체기판(10)상에 하층배선(12)을 형성한 후, 그들을 수용한 진공실내에 SiH_4가스 및 H_2O_2를 도입하고, 소정의 진공중 -10℃이상 +10℃이하의 온도범위 내에서 서로 반응시켜 반도체기판상에 리플로우형상을 갖는 리플로우 SiO_2막(13)을 형성하는 리플로우막 형성공정과, 계속해서 진공실내에서 리플로우 SiO_2막의 전면에 결쳐 소정량의 에칭을 행하는 에칭공정을 구비한 것을 특징으로 한다.

대표도



명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1도는 본 발명의 반도체장치 제조방법에 따른 다층배선공정중의 층간절연막 형성공정에 리플로우절연막 형성기술을 채용한 일례를 나타낸 단면도.

제2도는 종래의 리플로우절연막 형성기술에 의해 얻은 리플로우 SiO_2막의 하층배선의 단차가 큰 경우에 리

플로우 SiO_2막 표면의 평탄 화율이 저하하는 상태를 나타낸 단면도.

제3도는 리플로우절연막 형성기술에 의해 얻은 리플로우 SiO_2막의 하층배선의 단차가 작은 경우에 리플로우 SiO_2막을 후막화함으로써 표면의 평탄화율이 향상하는 상태 및 리플로우 SiO_2막의 하층배선의 배선간의 부분에 크랙이 발생하는 상태를 나타낸 단면도.

제4도는 종래의 리플로우절연막 형성기술에 의해 얻은 리플로우 SiO_2막의 밑바탕 배선의 단차가 1.0㎛이상 1.5㎛이하의 경우에 있어서 리플로우 SiO_2막의 막두께와표면의 평탄화율과의 관계를 실측한 결과를 나타낸 도면.

제5도는 리플로우 SiO_2막 표면의 평타화율을 설명하기 위해 나타낸 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 반도체기판 11 : 절연막

12 : 하층배선 13 : 성막시의 리플로우 SiO_2막

13a : 에칭후의 리플로우 SiO_2막

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체장치의 제조방법에 관한 것으로, 특히 다층배선구조를 갖는 반도체장치의 층간절연막의 형성방법에 관한 것이다.

[종래의 기술]

반도체장치의 집적도가 증대함에 따라 기판상에 배선재료를 다층에 걸쳐 형성하는, 소위 다층배선화가 진척되고 있고, 이와 같은 다층배선구조를 갖는 반도체장치의 제조공정이 복잡화 및 장공정화(長工程化)해 오고 있다.

특히, 다층배선의 형성공정이 반도체장치의 제조가격에 차지하는 비율이 크므로, 반도체장치의 비용절감을 도모하는데 다층배선공정의 저감화의 요구가 높아지고 있다.

종래의 다층배선의 형성공정에 있어서는, 우선 하층배선용의 제1배선재료를 퇴적한 후 하층배선의 패터닝을 행하며, 이 하층배선상에 제1절연막을 형성함과 더불어 하층배선 상호간에 절연막을 매립한다. 이 시점에서는, 상기 하층배선의 패턴 등에 의존하여 제1절연막의 표면에 단차가 존재하고, 이대로는 이 후의 상층배선용의 제2배선재료의 퇴적시 및 상층배선의 패터닝시에 악 영향을 끼쳐서, 상층배선의 단절에 의한 단선, 단락 등의 중대한 결함을 초래할 우려가 있다.

그래서, 통상은 상기 제1절연막상에 제2배선재료를 퇴적하기 전에 그 밑바탕인 제1절연막의 표면을 레지스트 에치백에 의해 평탄화하여 단차를 완화한 후, 그 위에 제2절연막을 형성하고 있다.

그러나, 상기한 바와 같은 제1절연막과 제2절연막이 적층된 종래의 층간 절연막의 형성공정은 1회째의 성막(成膜)→평탄화→2회째의 성막과 공정수가 많아 상기한 바와 같은 다층배선공정의 저감화의 요구에 대한 커다란 장해로 되고 있다.

한편, 상기한 바와 같은 제1절연막의 표면을 평탄화하는 방법 대신에 제1절연막상에 절연재료인 스핀·온·글래스(Spin on Glass; SOG)막을 형성함으로써 상층배선재료의 밑바탕의 단차를 완화하는 방법도 알려져 있다.

그러나, 이 방법은 SOG막을 형성(소성)할 때에 다수회의 열처리공정이 필요하고, 상층배선의 신뢰성을 확보하기 위해 SOG막의 불필요한 부분을 레지스트 에치백에 의해 제거할 필요가 있는 바, 결과적으로 공정수가 많으며, 더욱이 상기한 바와 같은 다층배선공정의 저감화의 요구에 대하여 충분하게 부응할 수 없다.

그런데, 최근 상기한 바와 같은 다층배선공정의 저감화의 요구에 부응한 기술의 하나로서, 층간절연막을 형성할 때에 SiH_4가스와 산화제인 H_2O_2(과산화수소수)를 저온(예컨대 0℃정도)· 진공중에서 반응시킴으로써 하층배선상에 자기유동형(리플로우)의 SiO_2막(이하, 리플로우 SiO_2막이라 한다)을 형성하는 방법이 주목되고 있다.

이 방법은 하층배선의 배선상호간의 절연막의 매립과 절연막 표면의 평탄화를 동시에 달성할 수 있고, 1회의 성막으로 평탄화까지의 공정을 종료하기 때문에 다층배선공정의 저감화를 실현할 수 있다.

그런데, 상기한 바와 같은 리플로우 SiO_2막의 형성방법에 의해 얻은 리플오우 SiO_2막은 그 반응형태로부터 명확히 알 수 있는 바와 같이 리플로우 SiO_2막의 성막중에 수분(H_2O)이 발생하고, 리플로우 SiO_2막중에 다량의 수분이 포함되기 때문에, 막중수분에 기인하여 리플로우 SiO_2막이 쪼개질(아하, 크랙이 발생한다고 한다) 우려가 있다.

상기 리플로우 SiO_2막의 막두께와 크랙발생과의 관계에 대해 실측한 결과, 리플로우 SiO_2막의 밑바탕인 하층배선의 단차 및 리플로우 SiO_2막 표면의 평탄화율에 의존하는 것이 판명되었다.

여기서, 리플로우 SiO_2막 표면의 평탄화율은, 제5도에 나타낸 바와 같이 리플로우 SiO_2막(53)의 밑바탕 배선(52)의 높이를 a, 리플로우 SiO2막(53)의 표면의 최대높이 위치와 최소높이 위치와의 단차를 b라 하면

1-(b/a)로 표현된다.

리플로우 SiO_2막의 밑바탕 배선의 단차가1.0㎛이하인 경우에는, 리플로우 SiO_2막을 현재의 표준막두께(0.8㎛)로 형성한 경우에 리플로우 SiO_2막 표면의 평탄화율이 80%이상 얻어지고, 크랙은 발생하지 않는다.

그러나, 제2도에 나타낸 바와 같이 리플로우 SiO_2막(23)의 밑바탕 배선(22)의 단차가 1.0㎛이상인 경우에는, 리플로우 SiO_2막(23)을 0.8㎛형성한 경우에 리플로우 SiO_2막(23)의 표면의 평탄화율이 60%정도로 저하해 버린다.

그래서, 리플로우 SiO_2막의 표면의 평탄성을 소망한 대로(밑바탕 배선의 단차가 1.0㎛이하인 경우와 동등한 80%이상) 얻고자 하여 제3도에 나타낸 바와 같이 리플로우 Si02막(33)의 막두께를 후막화할 필요가 있다.

그러나, 리플로우 SiO_2막(33)을 어느 정도 이상으로 후막화하면, 리플로우 Si02막 성막후의 다른 절연막의 성막온도가 300℃이상인 경우에 막의 수축률이 커지기 때문에, 막스트레스의 변화가 커지고, 반도체기판을 성막시의 진공실의 진공중에서 외부의 대기압중으로 꺼냈을 때(예컨대, 성막시에 진공실내벽에 부착한 생성물을 제거하기 위한 에칭을 행할 때에 반도체기판을 진공실내에서 꺼냈을 때)에 막스트레스가 개방되기 때문에, 하층배선(32)의 배선간의 부분에 크랙(34)이 발생해 버린다.

여기서, 리플로우 SiO_2막의 밑바탕 배선의 단차가 1.0㎛이상 1.5㎛이하인 경우에 있어서, 리플로우 SiO_2막의 막두께와 표면의 평탄화율과의 관계를 실측한 결과를 제4도에 나타낸다.

그러나, 상기한 바와 같이 리플로우 SiO_2막에 크랙이 발생하면, 층간절연막상에 형성되는 상층배선의 단절에 의한 단선, 단락뿐만 아니라 층간절연막의 누설전류의 증가 및 전압의 저하를 초래한다.

[발명이 해결하고자하는 과제]

상기한 바와 같이 종래의 다층배선공정중의 층간절연막 형성공정에 리플로우절연막 형성기술을 채용한 경우에 얻은 리플로우 SiO_2막은 리플로우 SiO_2막의 바탕인 하층배선의 단차가 높은 경우에 평탄성을 소망한 대로 얻고자 하여 리플로우 SiO_2막의 두께를 어느 정도 이상으로 후막화 하면 반도체기판을 성막시의 진공실의 진공중에서 외부의 대기압중으로 꺼냈을 때에 크랙이 발생해 버린다.

본 발명은 상기한 문제점을 해결하기 위해 이루어진 것으로, 반도체장치의 다층배선공정중의 층간절연막 형성공정에 리플로우절연막 형성기술을 채용한 경우 밑바탕인 하층배선의 단차가 높은 경우에도 리플로우 SiO_2 막의 막두께를 필요이상으로 후막화하지 않고 리플로우절연막의 평탄성을 소망한 대로 얻을 수 있으며, 크랙내성을 향상시키고, 층간절연막 형성후에 형성되는 상층배선이 한층 미세화와 고신뢰화를 실현할 수 있는 반도체장치의 제조방법을 제공하는 것을 목적으로 한다.

[과제를 해결하기 위한 수단]

본 발명의 반도체장치의 제조방법은, 반도체기판상에 하층배선을 형성하는 공정과, 상기 하층배선을 형성한 후의 반도체기판을 수용한 진공실내에 SiH_4가스 및 H_2O_2를 도입하고, 상기 SiH_4가스 및 H_2O_2를 소정의 진공중 -10℃이상 +10℃이하의 온도범위내에서 서로 반응시켜 상기 반도체기판상에 리플로우형상을 갖는 리플로우 SiO_2막을 형성하는 리플로우막 형성공정과, 상기 리플로우막 형성공정에 이어서 상기 진공실내에서 상기 리플로우 SiO_2막의 전면에 걸쳐 소정량의 에칭을 행하는 에칭고정을 구비하는 것을 특징으로 한다.

또한, 필요에 따라서 상기 에칭공정 후에 동일한 진공실내에서 반도체기판상에 CVD절연막을 소망하는 막두께만큼 형성한다.

[작용]

다층배선공정중의 층간절연막 형성공정에 리플로우절연막 형성기술을 채용하고, 진공실내에서 리플로우 SiO_2막을 형성한 후에 동일한 진공실내에서 리플로우 SiO_2막의 전면을 크랙이 발생하지 않는 정도의 막두께로 되기까지 에칭한다.

이에 따라, 리플로우 SiO_2막의 밑바탕인 하층배선의 단차가 높은 경우에도 리플로우 SiO_2막의 막두께를 크랙이 발생하지 않는 정도의 막두께로 하고, 리플로우절연막의 평탄성을 소망한 대로 얻을 수 있기 때문에. 리플로우 SiO_2막에 크랙이 발생하지 않게 되고, 층간절연막 형성후에 형성되는 상층배선의 한층 미세화와 고신뢰화를 실현할 수 있게 된다.

[실시예]

이하, 도면을 참조하여 본 발명의 한 실시예를 상세하게 설명한다.

제1도(a) 및 (b)는 본 발명의 반도체장치의 제조방법에 따른 다층배선공정중의 층간절연막 형성공정에 리플로우절연막 형서기술을 채용한 일례를 나타내고 있다.

우선, 제1도(a)에 나타낸 바와 같이 반도체기판(통상, 실리콘웨이퍼)(10)상의 절연막(11)상에 하층배선용의 배선재료(예컨대, 알루미늄)를 예컨대 스퍼터법에 의해 퇴적한 후, 포토리소그라피기술 및 반응성 이온에칭(RIE)기술을 이용하여 제1배선재료의 패터닝을 행하여 하층배선(12)을 형성한다.

다음에, 하층배선(12)의 배선간에 절연막을 매립함과 더불어 하층배선상에 절연막을 퇴적함으로써 층간절연막을 형성한다.

상기 층간절연막의 형성공정에 있어서는, 우선 하층배선 형성후의 반도체 기판(10)을 반도체제조장치의

챔버내의 예컨대 석영제의 보드상에 세트하고, SiH4가스공급원으로부터 챔버내로 SiH_4가스 및 H_2O_2를 도입하여 5Torr(=5×133.322Pa)이하의 진공중 -10℃이상 +10℃이하의 온도범위내(예컨대 0℃)에서 서로 반응시켜 반도체기판(10)상에 리플로우형상을 갖는 예컨대 1.4㎛의 막두께의 리플로우 SiO_2막(13)을 얻는다.

상기 리플로우막 형성공정에 이어서, 상기 챔버니에서 제1도(b)에 나타낸 바와 같이 리플로우 SiO_2막(13)의 전면에 걸쳐 상기 하층배선(12)의 노출하지 않는 범위내에서 리플로우 SiO_2막(34)을 크랙이 발생하지 않는 정도의 막두께로 되기까지 소정량의 에칭을 행한다. 상기 에칭은 상기 5Torr이하의 챔버내에 프레온계 가스공급원 및 O_2공급원으로부터 CF_4가스 및 O_2를 도입하고, 또한 고주파전력공급원으로부터 300KHz이상 13.56MHz이하의 범위내의 고주파신호를 소정의 전력량만큼 공급하여 플라즈마방전시킴으로써 행한다.

또한, 리플로우막 형성공정에서 형성된 리플로우 SiO_2막(13)의 두께를 to로 나타내면, to(1-k)(단, 0k1)양의 막두께를 에칭함으로써, 에칭후의 리플로우 SiO_2막(13a)의 막두께는 to·k로 된다.

다음에, 상기 반도체기판을 챔버내에서 꺼내고, 상기 리플로우막 형성공정중에 챔버내벽에 부착한 생성물을 제거하기 위한 드라이에칭을 행한다. 이 경우, 상기 에칭공정과 상기 리플로우 SiO_2막의 에칭공정을 동일한 에칭조건으로 실시하는 것이 바람직하다.

다음에, 상기 침버내를 300℃이상 400℃이하의 온동범위내에 설정하고, SiH4가스공급원 및 N_2O공급원으로부터 SiH_4가스 및 N_2O를 도입하여 반도체기판상의 전면에 0.3㎛이상의 두께의 플라즈마CVD(기상성장) SiO_2막(도시하지 않음)을 형성한다.

이와 같이 하여 형성된 층간절연막에 콘택트홀(contact hole) 또는 비어홀(via hole)을 개구하기 위해 에칭을 행하고, 상층배선용의 배선재료를 퇴적한 후 패터닝을 행하여 상층배선을 형성한다.

상기 실시예에 의하면, 반도체기판의 다층배선공정중의 층간절연막 형성공정에 리플로우절연막 형성기술을 채용하고, 진공실내에서 반도체기판(10)상의 하층배선상에 리플로우 SiO_2막(13)을 형성한 후에, 계속해서 동일한 진공실내에서 리플로우 SiO_2막(13)의 전면을 크랙이 발생하지 않는 정도의 막두께로 되기까지 에칭한다. 이 후, 침버내벽에 부착한 생성물을 제거하기 위해 드라이 에칭을 행하고, 더욱이 리플로우 SiO_2막(13)상에 CVD막을 소망하는 막두께만큼 형성한다.

이에 따라, 리플로우 SiO_2막(13)의 밑바탕인 하층배선(12)의 단차가 1.0㎛이상 1.5㎛이하와 같이 높은 경우에도 리플로우 SiO_2막(13a)의 막두께를 필요 이상으로 후막화하지 않고 리플로우절연막의 평탄성을 소망한 대로 얻을 수 있다. 이 경우, 챔버내벽에 부착한 생성물을 제거하기 위해 에칭을 행할 때에 반도체기판(10)을 챔버내에서 외부의 대기압중으로 꺼냈을 때 층간절연막에 트랙이 발생하기 않는 것을 확인했다.

따라서, 층간절연막 형성후의 상층배선재료의 퇴적시 및 상층배선의 패터닝시에 악영향을 미치지 않고, 상층배선의 단절에 의한 단선, 단락, 층간절연 막의 누설전류의 증가, 내압의 저하 등의 중대한 결함을 초래할 우려를 방지할 수 있고, 상층배선의 한층 미세화와 고신뢰화를 실현할 수 있다.

또, 리플로우 SiO_2막(13)의 에칭과 리플로우막 형성공정중에 챔버내벽에 부착한 생성물을 제거하기 위한 챔버에칭을 동일한 에칭조건으로 실시함으로써, 리플로우 SiO_2막 에칭시에 챔버에칭의 일부를 겸할 수 있기 때문에, 리플로우 SiO_2막 에칭후의 챔버에칭의 시간을 단축할 수 있고, 프로세스의 처리능력을 향상시킬 수 있다.

[발명의 효과]

상술한 바와 같이 본 발명의 반도체장치의 제조방법에 의하면, 다층배선공정중의 층간절연막 형성공정에 리플로우절연막 형성기술을 채용한 경우 밑바탕인 하층배선의 단차가 높은 경우에도 리플로우 SiO_2막의 막두께를 크랙이 발생하지 않는 정도의 막두께로 하고, 리플로우절연막의 평탄성을 소망한 대로 얻을 수 있기 때문에, 층간절연막 형성후에 형성되는 상층배선의 한층 미세화와 고신뢰화를 실현할 수 있다.

(57) 청구의 범위

청구항 1

반도체기판상에 하층배선을 형성하는 공정과, 상기 하층배선을 형성한 후의 반도체기판을 수용한 진공실내에 SiH_4가스 및 H_2O_2를 도입하고, 상기 SiH_4가스 및 H_2O_2를 소정의 진공중 -10℃이상 +10℃이하의 온도범위내에서 서로 반응시켜 상기 반도체기판상에 리플로우형상을 갖는 리플로우 SiO_2막을 형성하는 리플로우막 형성공정 및, 상기 리플로우막 형성공정에 이어서, 상기 진공실내에서 상기 리플로우 SiO_2막의 전면에 걸쳐 소정량의 에칭을 행하는 리플로우 SiO_2막 에칭공정을 구비한 것을 특징으로 하는 반도체장치의 제조방법.

청구항 2

제1항에 있어서, 상기 리플로우 SiO_2막 에칭공정은, 상기 진공실내의 665Pa이하의 진공중에 프레온계 가스와 산소를 도입하고, 300KHz이상 13.56MHz이하의 범위내의 고주파전력을 공급하여 플라즈마방전시킴으로써 에칭을 행하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 3

제1항에 있어서, 상기 리플로우 SiO_2막 에칭공정은, 상기 하층배선이 노출하지 않는 범위내에서 상기 리플

로우 SiO_2막을 크랙이 발생하지 않는 정도의 막두께로 되기까지 에칭을 행하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 4

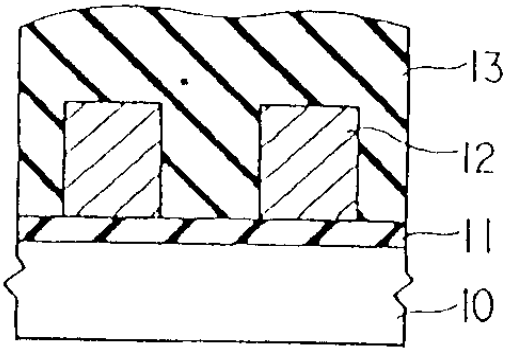
제2항에 있어서, 상기 리플로우 SiO_2막 에칭공정은, 상기 하층배선이 노출하지 않는 범위내에서 상기 리플로우 SiO_2막을 크랙이 발생하지 않는 정도의 막두께로 되기까지 에칭을 행하는 것을 특징으로 하는 반도체장치의 제조방법.

청구항 5

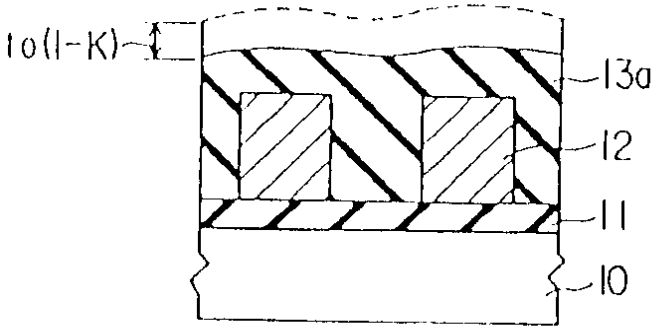
제1항 내지 제4항중 어느 한 항에 있어서, 상기 리플로우 SiO_2막 에칭공정후에 상기 진공실내에서 상기 반도체기판을 꺼내고, 상기 리플로우막 형성공정중에 상기 진공실의 내벽에 부착한 생성물을 제거하기 위한 드라이에칭을 행하는 진공실 에칭공정 및, 상기 진공실내에서 상기 반도체기판상에 CVD절연막을 형성하는 공정을 더 구비하고, 상기 진공실 에칭공정의 에칭조건과 상기 리플로우 SiO_2막 에칭공정의 에칭조건을 동일하게 하는 것을 특징으로 하는 반도체장치의 제조방법.

도면

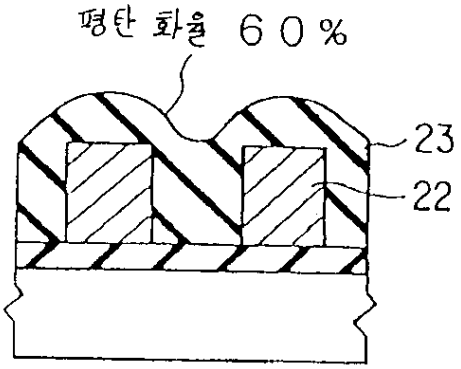
도면1a



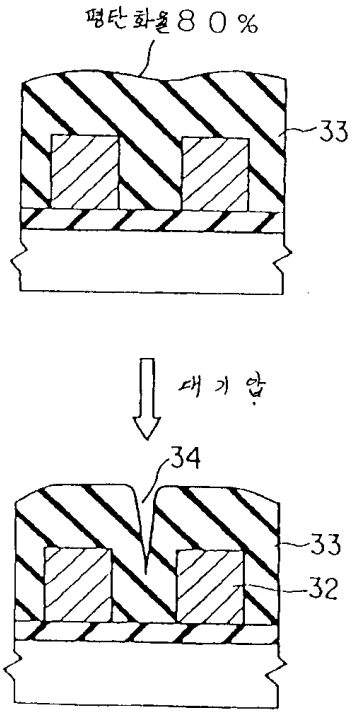
도면1b



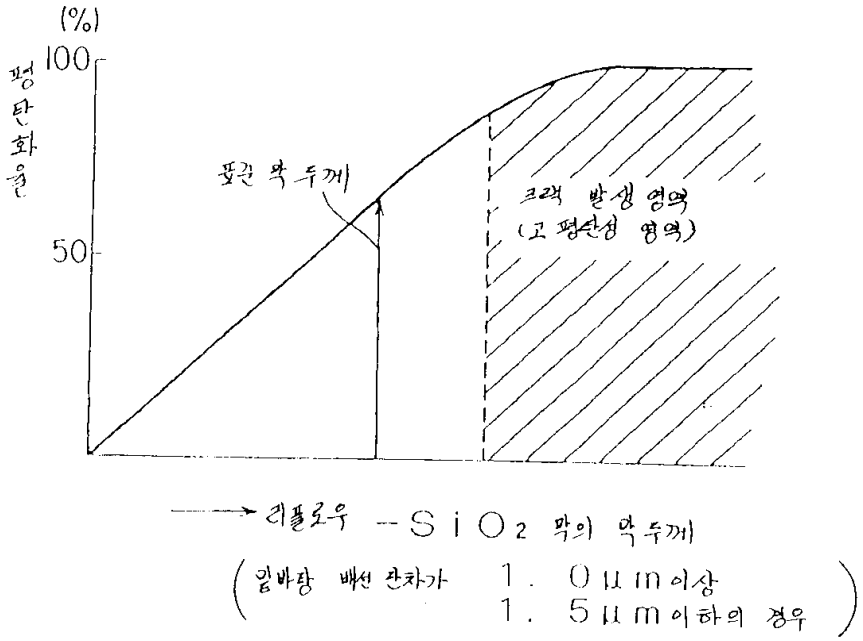
도면2



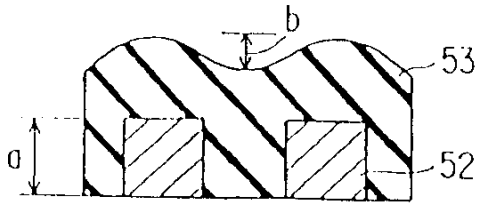
도면3


평탄화율80%
33
대기압
34
33
32

도면4


(%)
100
평탄화율
50
표준 막 두께
크랙 발생 영역
(고 평탄성 영역)
리플로우 -- SiO2 막의 막 두께
(임바탕 배선 단차가 1.0μm 이상
1.5μm 이하의 경우)

도면5



성진 화율 (%) = $(1-\frac{b}{a}) \times 100$