(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2023-0111842
(43) 공개일자 2023년07월26일

(51) 국제특허분류(Int. Cl.)
H01L 21/285 (2006.01) *C23C 16/04* (2006.01)
C23C 16/06 (2006.01) *C23C 16/455* (2006.01)
H01L 21/768 (2006.01) *H10B 41/20* (2023.01)
H10B 41/35 (2023.01) *H10B 43/20* (2023.01)
H10B 43/35 (2023.01)
(52) CPC특허분류
H01L 21/28556 (2013.01)
C23C 16/045 (2013.01)
(21) 출원번호 10-2022-0007800
(22) 출원일자 2022년01월19일
심사청구일자 없음

(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
이도한
경기도 이천시 부발읍 경충대로 2091
김은수
경기도 이천시 부발읍 경충대로 2091
(뒷면에 계속)
(74) 대리인
김권석

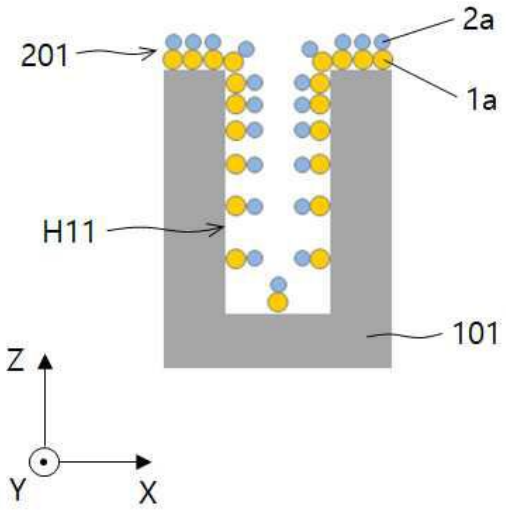
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **박막 증착 방법 및 이를 이용한 전자 소자의 제조 방법**

(57) 요 약

박막 증착 방법 및 이를 적용한 전자 소자의 제조 방법에 관해 개시되어 있다. 개시된 박막 증착 방법은 홀(hole)을 포함하는 패턴부를 갖는 기판 구조체를 마련하는 단계, 상기 기판 구조체에서 상기 홀의 내부 및 외부에 반응 억제제를 흡착시키되, 상기 외부보다 상기 내부에서 상기 반응 억제제의 흡착 밀도가 낮아지도록 상기 반응 억제제를 흡착시키는 단계 및 상기 홀의 내부 및 외부에 ALD 공정으로 금속층을 증착하되, 상기 반응 억제제에 의해 영역에 따라 증착 속도가 달라지도록 상기 금속층을 증착하는 단계를 포함할 수 있고, 상기 반응 억제제는 금속 원자 및 이와 결합된 반응억제용 리간드를 포함할 수 있고, 상기 금속층을 증착하는 단계에서 상기 금속 원자는 상기 기판 구조체 상에 잔류될 수 있다.

대 표 도 - 도1b



(52) CPC특허분류
C23C 16/06 (2013.01)
C23C 16/45534 (2013.01)
H01L 21/76877 (2013.01)
H10B 41/20 (2023.02)
H10B 41/35 (2023.02)
H10B 43/20 (2023.02)
H10B 43/35 (2023.02)

(72) 발명자
류승욱
경기도 이천시 부발읍 경충대로 2091
임태환
경기도 이천시 부발읍 경충대로 2091
이한보람
인천광역시 연수구 아카데미로 119 인천대학교 8호관 공과대학 A동
안사리 아부 사드 아쿠엘 아메드
인천광역시 연수구 아카데미로 119 인천대학교 8호관 공과대학 A동
트린 응곡 레
인천광역시 연수구 아카데미로 119 인천대학교 8호관 공과대학 A동

명 세 서

청구범위

청구항 1

홀(hole)을 포함하는 패턴부를 갖는 기판 구조체를 마련하는 단계;

상기 기판 구조체에서 상기 홀의 내부 및 외부에 반응 억제제(reaction inhibitor)를 흡착시키되, 상기 외부보다 상기 내부에서 상기 반응 억제제의 흡착 밀도가 낮아지도록 상기 반응 억제제를 흡착시키는 단계; 및

상기 홀의 내부 및 외부에 ALD(atomic layer deposition) 공정으로 금속층을 증착하되, 상기 반응 억제제에 의해 영역에 따라 증착 속도가 달라지도록 상기 금속층을 증착하는 단계를 포함하고,

상기 반응 억제제는 금속 원자 및 이와 결합된 반응억제용 리간드(ligand)를 포함하고, 상기 금속층을 증착하는 단계에서 상기 금속 원자는 상기 기판 구조체 상에 잔류되는,

패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법.

청구항 2

제 1 항에 있어서,

상기 반응 억제제의 상기 금속 원자는 상기 금속층의 금속 원자와 동일한 원자인 박막 증착 방법.

청구항 3

제 1 항에 있어서,

상기 홀의 입구부에서 상기 홀의 바닥부로 갈수록 상기 반응 억제제의 흡착 밀도가 감소하는 박막 증착 방법.

청구항 4

제 1 항에 있어서,

상기 반응 억제제는 $C_{10}H_{12}M$ (여기서, M은 금속 원자) 및 $C_9H_8O_3M$ (여기서, M은 금속 원자) 중 어느 하나를 포함하는 박막 증착 방법.

청구항 5

제 4 항에 있어서,

상기 $C_{10}H_{12}M$은 $C_{10}H_{12}W$ 또는 $C_{10}H_{12}Ti$인 박막 증착 방법.

청구항 6

제 4 항에 있어서,

상기 $C_9H_8O_3M$은 $C_9H_8O_3W$ 또는 $C_9H_8O_3Ti$인 박막 증착 방법.

청구항 7

제 1 항에 있어서,

상기 반응 억제제는 제 1 반응 억제제이고,

상기 금속층을 증착하는 동안에 제 2 반응 억제제를 상기 기판 구조체 상에 흡착시키는 단계를 1회 이상 더 포함하는 박막 증착 방법.

청구항 8

제 7 항에 있어서,

상기 제 2 반응 억제제는 상기 제 1 반응 억제제와 동일한 물질인 박막 증착 방법.

청구항 9

제 1 항에 있어서,

상기 반응 억제제는 제 1 반응 억제제이고,

상기 금속층을 증착하는 단계는 제 1 금속층을 증착하는 단계 및 상기 제 1 금속층 상에 제 2 금속층을 증착하는 단계를 포함하며,

상기 제 1 금속층을 증착하는 단계와 상기 제 2 금속층을 증착하는 단계 사이에 상기 제 1 금속층 상에 제 2 반응 억제제를 흡착시키는 단계를 더 포함하는 박막 증착 방법.

청구항 10

제 1 항에 있어서, 상기 금속층을 증착하는 단계는,

상기 기판 구조체가 구비된 챔버 내에 금속 전구체를 포함하는 전구체 가스를 공급하는 제 1 공급 단계;

상기 챔버를 퍼지하는 제 1 퍼지 단계;

상기 챔버 내에 반응물 가스를 공급하는 제 2 공급 단계; 및

상기 챔버를 퍼지하는 제 2 퍼지 단계를 포함하는 박막 증착 방법.

청구항 11

제 1 항에 있어서,

상기 홀은 수직홀 구조를 갖는 박막 증착 방법.

청구항 12

제 1 항에 있어서,

상기 홀은 수평홀 구조를 갖는 박막 증착 방법.

청구항 13

제 12 항에 있어서,

상기 기판 구조체의 제 1 사이드면을 따라서 수평 방향으로 연장된 복수의 제 1 홀이 수직 방향으로 상호 이격하도록 형성되고,

상기 기판 구조체의 상기 제 1 사이드면과 마주하는 제 2 사이드면을 따라서 수평 방향으로 연장된 복수의 제 2 홀이 수직 방향으로 상호 이격하도록 형성되며,

상기 복수의 제 1 홀 및 상기 복수의 제 2 홀 내에 상기 금속층이 증착되는 박막 증착 방법.

청구항 14

전자 소자의 제조 방법에 있어서,

홀(hole)을 포함하는 패턴부를 갖는 기판 구조체를 마련하는 단계; 및

상기 기판 구조체 상에 청구항 1 내지 13 중 어느 하나에 기재된 박막 증착 방법을 이용해서 금속층을 증착하는 단계를 포함하는 전자 소자의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 전자 소자는 3차원 V-NAND 소자를 포함하는 전자 소자의 제조 방법.

청구항 16

ALD(atomic layer deposition) 공정에서 기판의 주어진 영역에 흡착되어 박막 증착을 위한 반응을 억제하는 반응 억제제(reaction inhibitor)로서,

상기 반응 억제제는 금속 원자 및 이와 결합된 반응억제용 리간드(ligand)를 포함하는 반응 억제제.

청구항 17

제 16 항에 있어서,

상기 반응 억제제는 $C_{10}H_{12}M$ (여기서, M은 금속 원자) 및 $C_9H_8O_3M$ (여기서, M은 금속 원자) 중 어느 하나를 포함하는 반응 억제제.

청구항 18

제 17 항에 있어서,

상기 $C_{10}H_{12}M$은 $C_{10}H_{12}W$ 또는 $C_{10}H_{12}Ti$인 반응 억제제.

청구항 19

제 17 항에 있어서,

상기 $C_9H_8O_3M$은 $C_9H_8O_3W$ 또는 $C_9H_8O_3Ti$인 반응 억제제.

청구항 20

제 16 항에 있어서,

상기 ALD 공정으로 형성되는 상기 박막은 금속층이고, 상기 반응 억제제의 상기 금속 원자는 상기 금속층의 금속 원자와 동일한 원자인 반응 억제제.

발명의 설명

기 술 분 야

[0001] 본 발명은 물질 증착 방법 및 이를 적용한 소자 제조 방법에 관한 것으로서, 더욱 상세하게는 원자층 증착 공정을 이용한 박막 증착 방법 및 이를 이용한 전자 소자의 제조 방법에 관한 것이다.

배 경 기 술

[0002] 반도체 소자를 비롯한 다양한 전자 소자의 집적도가 지속적으로 높아지고 패턴이 미세화됨에 따라, 종래 방식에 따른 박막 증착 공정에 여러 가지 한계와 문제점들이 발생할 수 있다. 예를 들어, 메모리 소자의 고집적화에 따라 3차원 수직형 NAND(즉, V-NAND) 소자의 종횡비 및 적층 단수가 높아지고 있으며, 이와 동시에 티어(tier) 크기는 수직 방향으로 감소하고 있다. 이에 따라, 비아(via) 및 트렌치(trench)의 충전 공정, 즉 패턴 충전 공정 시, 보이드(void) 및 심(seam)과 같은 결함(defect)이 형성되는 문제가 발생할 수 있다.

[0003] 특히, 3차원 V-NAND 소자(NAND 플래시 소자)에서 전극 물질로 사용되는 금속, 예를 들면, 텅스텐은 불균일한 증착 거동으로 인해 플러그 내에 보이드 또는 심이 형성됨으로써, 그에 따른 저항 증가 문제를 발생시킬 수 있다. 비아(via)나 트렌치(trench) 구조에 일반적인 박막 증착법으로 금속막을 증착하면, 다양한 영역들의 기하학적 형상이나 표면 에너지 차이에 의해 비아 또는 트렌치 구조의 입구 및 상단에 더 많은 증착이 일어나게 되고, 비아 또는 트렌치 구조의 내부에는 보이드(void) 및 심(seam)이 형성되고, 이는 도전 면적의 감소로 전도도 감소 및 다양한 문제를 야기하게 된다. 또한, 원자층 증착 방식으로 금속막을 증착하는 경우, 보이드(void)나 심(seam) 내부에 가스가 잔류할 수 있고, 이러한 잔류 가스는 하지 구조, 예를 들면 기판부를 손상시키거나 트랩된 불순물의 확산에 의한 다양한 문제를 초래할 수 있다.

[0004] 따라서, 종래의 박막 증착 방법의 한계를 극복하고, 미세 패턴을 갖는 기판 구조체에 대하여 보이드(void)나 심(seam)과 같은 결함 발생을 효과적으로 억제하면서 아울러 우수한 박막 특성을 확보할 수 있는 박막 증착 기술

의 개발이 요구되고 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명이 이루고자 하는 기술적 과제는 종래의 박막 증착 방법의 한계와 문제점을 극복하고, 소정의 패턴 구조를 갖는 기판 구조체에 대하여 보이드(void)나 심(seam)과 같은 결함 발생을 효과적으로 억제하면서 아울러 증착 박막의 우수한 물성을 확보할 수 있는 박막 증착 방법을 제공하는데 있다.

[0006] 또한, 본 발명이 이루고자 하는 기술적 과제는 상기한 박막 증착 방법을 적용한 전자 소자의 제조 방법을 제공하는데 있다.

[0007] 또한, 본 발명이 이루고자 하는 기술적 과제는 상기한 박막 증착 방법 및 상기한 전자 소자의 제조 방법에 적용될 수 있는 반응 억제제(reaction inhibitor) 물질을 제공하는데 있다.

[0008] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제에 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 이해될 수 있을 것이다.

과제의 해결 수단

[0009] 본 발명의 일 실시예에 따르면, 홀(hole)을 포함하는 패턴부를 갖는 기판 구조체를 마련하는 단계; 상기 기판 구조체에서 상기 홀의 내부 및 외부에 반응 억제제(reaction inhibitor)를 흡착시키되, 상기 외부보다 상기 내부에서 상기 반응 억제제의 흡착 밀도가 낮아지도록 상기 반응 억제제를 흡착시키는 단계; 및 상기 홀의 내부 및 외부에 원자층 증착법(atomic layer deposition; ALD)으로 금속층을 증착하되, 상기 반응 억제제에 의해 영역에 따라 증착 속도가 달라지도록 상기 금속층을 증착하는 단계를 포함하고, 상기 반응 억제제는 금속 원자 및 상기 금속 원자에 결합된 반응억제용 리간드(ligand)를 포함하고, 상기 금속층을 증착하는 단계에서 상기 금속 원자는 상기 기판 구조체 상에 잔류되는 박막 증착 방법이 제공된다.

[0010] 상기 반응 억제제의 상기 금속 원자는 상기 금속층의 금속 원자와 동일한 원자일 수 있다.

[0011] 상기 홀의 입구부에서 상기 홀의 바닥부로 갈수록 상기 반응 억제제의 흡착 밀도가 감소할 수 있다.

[0012] 상기 반응 억제제는 $C_{10}H_{12}M$ (여기서, M은 금속 원자) 및 $C_9H_8O_3M$ (여기서, M은 금속 원자) 중 어느 하나를 포함할 수 있다.

[0013] 상기 $C_{10}H_{12}M$은 $C_{10}H_{12}W$ 또는 $C_{10}H_{12}Ti$ 일 수 있다.

[0014] 상기 $C_9H_8O_3M$은 $C_9H_8O_3W$ 또는 $C_9H_8O_3Ti$ 일 수 있다.

[0015] 상기 반응 억제제는 제 1 반응 억제제일 수 있고, 상기 금속층을 증착하는 동안에 제 2 반응 억제제를 상기 기판 구조체 상에 흡착시키는 단계를 1회 이상 더 포함할 수 있다.

[0016] 상기 제 2 반응 억제제는 상기 제 1 반응 억제제와 등가한 물질일 수 있다.

[0017] 상기 반응 억제제는 제 1 반응 억제제일 수 있고, 상기 금속층을 증착하는 단계는 제 1 금속층을 증착하는 단계 및 상기 제 1 금속층 상에 제 2 금속층을 증착하는 단계를 포함할 수 있으며, 상기 제 1 금속층을 증착하는 단계와 상기 제 2 금속층을 증착하는 단계 사이에 상기 제 1 금속층 상에 제 2 반응 억제제를 흡착시키는 단계를 더 포함할 수 있다.

[0018] 상기 금속층을 증착하는 단계는 상기 기판 구조체가 구비된 챔버 내에 금속 전구체를 포함하는 전구체 가스를 공급하는 제 1 공급 단계; 상기 챔버를 퍼지하는 제 1 퍼지 단계; 상기 챔버 내에 반응물 가스를 공급하는 제 2 공급 단계; 및 상기 챔버를 퍼지하는 제 2 퍼지 단계를 포함할 수 있다.

[0019] 상기 홀은 수직홀 구조를 가질 수 있다.

[0020] 상기 홀은 수평홀 구조를 가질 수 있다.

[0021] 상기 기판 구조체의 제 1 사이드면을 따라서 수평 방향으로 연장된 복수의 제 1 홀이 수직 방향으로 상호 이격하도록 형성될 수 있고, 상기 기판 구조체의 상기 제 1 사이드면과 마주하는 제 2 사이드면을 따라서 수평 방향

으로 연장된 복수의 제 2 홀이 수직 방향으로 상호 이격하도록 형성될 수 있으며, 상기 복수의 제 1 홀 및 상기 복수의 제 2 홀 내에 상기 금속층이 증착될 수 있다.

[0022] 본 발명의 다른 실시예에 따르면, 전자 소자의 제조 방법에 있어서, 홀(hole)을 포함하는 패턴부를 갖는 기판 구조체를 마련하는 단계; 및 상기 기판 구조체 상에 전술한 박막 증착 방법을 이용해서 금속층을 증착하는 단계를 포함하는 전자 소자의 제조 방법이 제공된다.

[0023] 상기 전자 소자는 3차원 V-NAND 소자를 포함할 수 있다.

[0024] 본 발명의 다른 실시예에 따르면, ALD(atomic layer deposition) 공정에서 기판의 주어진 영역에 흡착되어 박막 증착을 위한 반응을 억제하는 반응 억제제(reaction inhibitor)로서, 상기 반응 억제제는 금속 원자 및 이와 결합된 반응억제용 리간드(ligand)를 포함하는 반응 억제제가 제공된다.

[0025] 상기 반응 억제제는 $C_{10}H_{12}M$ (여기서, M은 금속 원자) 및 $C_9H_8O_3M$ (여기서, M은 금속 원자) 중 어느 하나를 포함할 수 있다.

[0026] 상기 $C_{10}H_{12}M$은 $C_{10}H_{12}W$ 또는 $C_{10}H_{12}Ti$ 일 수 있다.

[0027] 상기 $C_9H_8O_3M$은 $C_9H_8O_3W$ 또는 $C_9H_8O_3Ti$ 일 수 있다.

[0028] 상기 ALD 공정으로 형성되는 상기 박막은 금속층일 수 있고, 상기 반응 억제제의 상기 금속 원자는 상기 금속층의 금속 원자와 동일한 원자일 수 있다.

발명의 효과

[0029] 본 발명의 실시예들에 따르면, 금속 원자 및 상기 금속 원자에 결합된 반응억제용 리간드(ligand)를 포함하는 반응 억제제를, 상기 금속 박막이 형성될 패턴의 표면 상에 위치에 따라 서로 다른 밀도로 증착한 후 상기 금속 박막을 형성함으로써, 종래의 박막 증착 방법의 한계와 문제점을 극복하고, 소정의 패턴 구조를 갖는 기판 구조체에 대하여 보이드(void)나 심(seam)과 같은 결함 발생을 효과적으로 억제하면서 아울러 증착 박막의 우수한 물성을 확보할 수 있는 박막 증착 방법을 구현할 수 있다. 본 발명의 실시예들에 따른 박막 증착 방법은 다양한 전자 소자의 제조에 유용하게 적용될 수 있다.

[0030] 또한, 본 발명의 실시예들에 따르면, 상기한 박막 증착 방법에 적용될 수 있는 반응 억제제(reaction inhibitor)가 제공될 수 있다. 실시예들에 따른 반응 억제제는 증착하고자 하는 목적 물질과 동일한 물질을 포함할 수 있기 때문에, 증착 박막의 물성 열화를 방지할 수 있고 우수한 박막 특성 확보에 유리하게 작용할 수 있다.

도면의 간단한 설명

[0031] 도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법을 보여주는 도면이다.

도 2a 내지 도 2d는 본 발명의 다른 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법을 보여주는 도면이다.

도 3 및 도 4는 본 발명의 실시예에 따른 박막 증착 방법에 적용될 수 있는 반응 억제제의 분자 구조를 예시적으로 보여주는 도면이다.

도 5는 제 1 비교예에 따른 박막 증착 방법의 문제점을 보여주는 도면이다.

도 6은 도 5의 제 1 비교예에 따라 증착된 금속층을 보여주는 SEM(scanning electron microscope) 사진 이미지이다.

도 7은 제 2 비교예에 따른 박막 증착 방법의 문제점을 보여주는 도면이다.

도 8은 도 7의 제 2 비교예에 따라 증착된 금속층을 보여주는 SEM 사진 이미지이다.

도 9는 본 발명의 일 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법을 설명하기 위한 순서도이다.

도 10은 본 발명의 다른 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법을 설명하

기 위한 순서도이다.

도 11a 및 도 11b는 본 발명의 다른 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법을 보여주는 단면도이다.

도 12a 및 도 12b는 본 발명의 일 실시예에 따른 전자 소자의 제조 방법을 예시적으로 설명하기 위한 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0032] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다.

[0033] 이하에서 설명할 본 발명의 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 명확하게 설명하기 위하여 제공되는 것이고, 본 발명의 범위가 하기 실시예에 의해 한정되는 것은 아니며, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있다.

[0034] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 본 명세서에서 사용되는 단수 형태의 용어는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다. 또한, 본 명세서에서 사용되는 "포함한다(comprise)" 및/또는 "포함하는(comprising)"이라는 용어는 언급한 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재를 특정하는 것이며, 하나 이상의 다른 형상, 단계, 숫자, 동작, 부재, 요소 및/또는 이들 그룹의 존재 또는 부가를 배제하는 것이 아니다. 또한, 본 명세서에서 사용된 "연결"이라는 용어는 어떤 부재들이 직접적으로 연결된 것을 의미할 뿐만 아니라, 부재들 사이에 다른 부재가 더 개재되어 간접적으로 연결된 것까지 포함하는 개념이다.

[0035] 아울러, 본원 명세서에서 어떤 부재가 다른 부재 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다. 본 명세서에서 사용된 용어 "및/또는"은 해당 열거된 항목 중 어느 하나 및 하나 이상의 모든 조합을 포함한다. 또한, 본원 명세서에서 사용되는 "약", "실질적으로" 등의 정도의 용어는 고유한 제조 및 물질 허용 오차를 감안하여, 그 수치나 정도의 범주 또는 이에 근접한 의미로 사용되고, 본원의 이해를 돕기 위해 제공된 정확하거나 절대적인 수치가 언급된 개시 내용을 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다.

[0036] 이하 첨부된 도면들을 참조하여 본 발명의 실시예들에 대해 상세히 설명한다. 첨부된 도면에 도시된 영역이나 파트들의 사이즈나 두께는 명세서의 명확성 및 설명의 편의성을 위해 다소 과장되어 있을 수 있다. 상세한 설명 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0037] 도 1a 내지 도 1d는 본 발명의 일 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체(101) 상에서의 박막 증착 방법을 보여주는 도면이다.

[0038] 도 1a를 참조하면, 홀(hole)(H11)을 포함하는 패턴부를 갖는 기판 구조체(101)를 마련할 수 있다. 여기서, 홀(H11)은 기판 구조체(101)의 상면 측에 형성된 것일 수 있고, 기판 구조체(101)의 상면에 대하여 수직한 방향으로 연장되도록 형성된 것일 수 있다. 다시 말해, 홀(H11)은 수직한 구조(수직홀 구조) 또는 실질적으로 수직한 구조(수직홀 구조)를 가질 수 있다. 홀(H11)은 원형의 홀이거나 각형의 홀일 수 있다. 후자의 경우, 홀(H11)은 도면상 Y축 방향으로 연장된 형태를 가질 수 있다. 이 경우, 홀(H11)은 일종의 트렌치(trench)일 수 있고, 경우에 따라, 비아(via) 구조를 가질 수도 있다. 본 명세서에서 '홀(hole)'은 다양한 형태 및 구조를 가질 수 있는 것으로 이해될 수 있다. 기판 구조체(101)는 홀(H11)에 의한 요철 패턴을 갖는다고 할 수 있다.

[0039] 도 1b를 참조하면, 기판 구조체(101)에서 홀(H11)의 내부(내부면) 및 외부(외부면)에 반응 억제제(reaction inhibitor)(201)를 흡착시킬 수 있다. 반응 억제제(201)는 홀(H11)의 내부 및 홀(H11)이 개구된 기판 구조체(101)의 표면부(도면상 상면부) 측에 흡착될 수 있다. 반응 억제제(201)는 단일 분자층으로 형성(흡착)될 수 있다.

[0040] 반응 억제제(201)는 홀(H11)의 외부보다 내부에서의 흡착 밀도가 낮아지도록 흡착될 수 있다. 즉, 홀(H11)의 내부에서의 반응 억제제(201)의 흡착 밀도(평균 밀도)는 홀(H11)의 외부(상기 상면부)에서의 반응 억제제(201)의 흡착 밀도(평균 밀도)보다 낮을 수 있다. 더 바람직하게는, 홀(H11)의 입구부 및 그 주변부에서 홀(H11)의 바닥부로 갈수록 반응 억제제(201)의 흡착 밀도가 감소할 수 있다.

[0041] 반응 억제제(201)의 흡착시, 홀(H11)과 같은 패턴의 기하학적 쉐도잉 효과(geometrical shadowing effect)를 이용하거나 가스 플로우(flow)의 특성을 제어함으로써, 홀(H11)의 입구부 및 그 주변부에는 반응 억제제(201)를

상대적으로 높은 밀도로 흡착시킬 수 있고, 홀(H11)의 바닥부로 갈수록 흡착 밀도가 낮아지도록 만들 수 있다. 반응 억제제(201)의 흡착 밀도에 따라서, 후속하는 금속층(도 1c 및 도 1d의 301', 301)에 증착시, 영역에 따라 증착 속도가 달라질 수 있다.

[0042] 본 발명의 실시예에서 사용하는 반응 억제제(201)는 금속 원자(1a) 및 이와 결합된 반응억제용 리간드(ligand)(2a)를 포함하는 화합물일 수 있다. 반응 억제제(201)의 금속 원자(1a)는 후속하여 형성할 금속층(도 1c 및 도 1d의 301', 301)의 금속 원자와 동일한 원자이거나 그와 유사한 물성을 갖는 원자일 수 있다. 반응억제용 리간드(2a)는 실질적으로 반응 억제 기능을 수행하는 부분으로서, 유기 분자 구조를 가질 수 있다. 따라서, 반응억제용 리간드(2a)는 유기 리간드일 수 있다. 반응 억제제(201)의 구성에 대해서는 추후에 보다 상세히 설명한다.

[0043] 도 1c 및 도 1d를 참조하면, 홀(H11)의 내부 및 외부에 원자층 증착(atomic layer deposition; ALD) 공정을 이용해서 금속층(301', 301)을 증착할 수 있다. 도 1c의 301'는 갭필(gap fill)이 완전이 이루어지지 않은 중간 단계에서의 금속층을 나타내고, 도 1d의 301은 갭필(gap fill) 공정이 실질적으로 완료된 상태에서의 금속층을 나타낸다. 따라서, 301은 301'를 포함한다고 할 수 있다.

[0044] ALD 공정으로 금속층(301)을 증착할 때, 반응 억제제(201)에 의해 영역에 따라 증착 속도가 달라질 수 있다. 다시 말해, 반응 억제제(201)의 흡착 밀도에 따라서, 금속층(301)의 증착 속도가 달라질 수 있다. 반응 억제제(201)의 흡착 밀도가 상대적으로 높은 홀(H11)의 입구부 및 그 주변부에서는 금속층(301)의 증착 속도가 상대적으로 느릴 수 있고, 반응 억제제(201)의 흡착 밀도가 상대적으로 낮은 홀(H11)의 저면부 및 그 주변부에서는 금속층(301)의 증착 속도가 상대적으로 빠를 수 있다. 따라서, 본 발명의 실시예에 따르면, 홀(H11)의 입구부에서의 오버행(overhang) 현상 등이 방지될 수 있고, 대체로 홀(H11)의 입구부부터 내부의 바닥부까지 컨포멀(conformal)한 증착 특성이 유지될 수 있고, 그에 따라 갭필(gap fill) 특성이 향상될 수 있으며, 보이드(void)나 심(seam)과 같은 결함(defect)의 발생이 방지될 수 있다.

[0045] 본 발명의 실시예에 따르면, 금속층(301)을 증착하는 단계(즉, 도 1c 및 도 1d)에서 반응 억제제(201)의 금속 원자(1a)는 기판 구조체(101) 상에 잔류될 수 있다. 반응 억제제(201)의 금속 원자(1a)는 증착하고자 하는 금속층(301)의 금속 원자(즉, 타겟 물질)와 동일한 원자이거나 유사한 물성을 갖는 원자일 수 있기 때문에, 기판 구조체(101) 상에 금속층(301)과 접하여 잔류되더라도, 불순물로 작용하지 않고 금속층(301)의 특성(물리적, 전기적 특성)을 향상 내지 유지시키는 역할을 할 수 있다. 반응 억제제(201)는 상기 금속 원자(1a)를 포함함으로써, 금속층(301)의 형성을 위한 전구체(precursor)와 유사한 역할을 겸할 수 있다.

[0046] 한편, 금속층(301)을 증착하는 단계(즉, 도 1c 및 도 1d)에서 반응 억제제(201)의 리간드(도 1b의 2a)의 전부 또는 일부(상당부)가 금속 원자(1a)로부터 분리되어 기판 구조체(101)로부터 제거될 수 있다. 반응 억제제(201)의 리간드(도 1b의 2a)는 금속층(301)의 증착 초기에는 우수한 반응 억제 기능을 가질 수 있지만, 금속층(301)의 증착을 위한 증착 사이클(즉, ALD 사이클)이 증가함에 따라, 리간드들(도 1b의 2a)이 점차 기판 구조체(101)로부터 제거될 수 있고, 반응 억제제(201)의 반응 억제 특성은 점차로 감소될 수 있다. 반응 억제제(201)의 리간드(도 1b의 2a)가 기판 구조체(101)로부터 제거될 수 있기 때문에, 이와 관련해서, 금속층(301)의 특성이 더욱 개선될 수 있다. 금속층(301)의 증착을 위한 증착 사이클(즉, ALD 사이클)이 증가함에 따라, 본 발명의 일 실시예에 따르면, 반응 억제제(201)의 반응 억제 특성은 점차로 감소하더라도, 오버행(overhang) 등의 문제가 방지되었기 때문에, 금속층(301)의 증착 완료시까지 우수한 갭필(gap fill) 특성이 확보될 수 있다.

[0047] 도 2a 내지 도 2d는 본 발명의 다른 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체(102) 상에서의 박막 증착 방법을 보여주는 도면이다.

[0048] 도 2a를 참조하면, 본 실시예에 따른 홀(H12)을 포함하는 패턴부를 갖는 기판 구조체(102)를 마련할 수 있다. 여기서, 홀(H12)은 기판 구조체(102)의 사이드 측(즉, 측면부)에 형성된 것일 수 있고, 기판 구조체(102)의 상면에 대해 평행한 방향으로 연장되도록 형성된 것일 수 있다. 즉, 홀(H12)은 수평한 구조(수평홀 구조) 또는 실질적으로 수평한 구조(수평홀 구조)를 가질 수 있다. 홀(H12)은 원형의 홀이거나 각형의 홀일 수 있다. 후자의 경우, 홀(H12)은 도면상 Y축 방향으로 연장된 형태를 가질 수 있다. 이 경우, 홀(H12)은 일종의 트렌치(trench)일 수 있고, 경우에 따라, 비아(via) 구조를 가질 수도 있다.

[0049] 도 2b를 참조하면, 기판 구조체(102)에서 홀(H12)의 내부(내부면) 및 외부(외부면)에 반응 억제제(202)를 흡착시킬 수 있다. 반응 억제제(202)는 홀(H12)의 내부 및 홀(H12)이 개구된 기판 구조체(102)의 표면부(도면상 측면부)에 흡착될 수 있다. 반응 억제제(202)는 홀(H12)의 외부보다 내부에서의 흡착 밀도가 낮아지도록 흡착될

수 있다. 다시 말해, 홀(H12)의 내부에서의 반응 억제제(202)의 흡착 밀도(평균 밀도)는 홀(H12)의 외부(상기 측면부)에서의 반응 억제제(202)의 흡착 밀도(평균 밀도)보다 낮을 수 있다. 더 바람직하게는, 홀(H12)의 입구부 및 그 주변부에서 홀(H12)의 바닥부로 갈수록 반응 억제제(202)의 흡착 밀도가 감소할 수 있다.

[0050] 반응 억제제(202)는 금속 원자(1b) 및 이와 결합된 반응억제용 리간드(2b)를 포함할 수 있다. 반응 억제제(202)의 금속 원자(1b)는 후속하여 형성할 금속층(도 2c 및 도 2d의 302', 302)의 금속 원자와 동일한 원자이거나 그와 유사한 물성을 갖는 원자일 수 있다. 반응억제용 리간드(2b)는 실질적으로 반응 억제 기능을 수행하는 부분으로서, 유기 분자 구조를 가질 수 있다. 반응억제용 리간드(2b)는 유기 리간드라고 할 수 있다. 반응 억제제(202)는 도 1b에서 설명한 반응 억제제(201)와 동일한 것일 수 있다.

[0051] 도 2c 및 도 2d를 참조하면, 홀(H12)의 내부 및 외부에 ALD 공정을 이용해서 금속층(302', 302)을 증착할 수 있다. 도 2c의 302'는 갭필(gap fill)이 완전이 이루어지지 않은 중간 단계에서의 금속층을 나타내고, 도 2d의 302는 갭필(gap fill) 공정이 실질적으로 완료된 상태에서의 금속층을 나타낸다. 따라서, 302는 302'를 포함한다고 할 수 있다.

[0052] ALD 공정으로 금속층(302)을 증착할 때, 반응 억제제(202)에 의해 영역에 따라 증착 속도가 달라질 수 있다. 즉, 반응 억제제(202)의 흡착 밀도에 따라서, 금속층(302)의 증착 속도가 달라질 수 있다. 반응 억제제(202)의 흡착 밀도가 상대적으로 높은 홀(H12)의 입구부 및 그 주변부에서는 금속층(302)의 증착 속도가 상대적으로 느릴 수 있고, 반응 억제제(202)의 흡착 밀도가 상대적으로 낮은 홀(H12)의 저면부 및 그 주변부에서는 금속층(302)의 증착 속도가 상대적으로 빠를 수 있다. 따라서, 본 발명의 실시예에 따르면, 홀(H12)의 입구부에서의 오버행(overhang) 현상 등이 방지될 수 있고, 대체로 홀(H12)의 전체 영역에 걸쳐 컨포멀(conformal)한 증착 특성이 유지될 수 있고, 그에 따라 갭필(gap fill) 특성이 향상될 수 있으며, 보이드(void)나 심(seam)과 같은 결함(defect)의 발생이 방지될 수 있다.

[0053] 본 발명의 실시예에 따르면, 금속층(302)을 증착하는 단계(즉, 도 2c 및 도 2d)에서 반응 억제제(202)의 금속 원자(1b)는 기판 구조체(102) 상에 잔류될 수 있고, 반응 억제제(202)의 리간드(도 2b의 2b)의 전부 또는 일부(상당부)는 기판 구조체(102)로부터 제거될 수 있다. 이러한 특징들 및 관련 효과는 도 1c 및 도 1b에서 설명한 바와 동일하거나 유사할 수 있다.

[0054] 본 발명의 실시예에서 사용되는 반응 억제제(reaction inhibitor)는 ALD 공정에서 기판의 주어진 영역에 흡착되어 박막 증착을 위한 반응을 억제하는 물질일 수 있다. 여기서, 상기 ALD 공정은 금속층을 형성하기 위한 공정일 수 있다.

[0055] 상기 반응 억제제는 금속 원자 및 이와 결합된 반응억제용 리간드(ligand)를 포함할 수 있다. 예를 들어, 상기 반응 억제제는 $C_{10}H_{12}M$ (여기서, M은 금속 원자) 및 $C_9H_8O_3M$ (여기서, M은 금속 원자) 중 어느 하나를 포함할 수 있다. 즉, 상기 반응 억제제는 화학식 $C_{10}H_{12}M$ 또는 화학식 $C_9H_8O_3M$으로 표현될 수 있고, 여기서, M은 금속 원자, 바람직하게는, 전이금속 원자일 수 있다. 상기 M은, 비제한적 예로서, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta), 루테늄(Ru), 몰리브덴(Mo), 이트륨(Y), 바나듐(V), 크롬(Cr), 굴리(Cu), 아연(Zn), 니오븀(Nb), 금(Au), 하프늄(Hf) 등일 수 있다. 따라서, 상기 $C_{10}H_{12}M$은 $C_{10}H_{12}W$, $C_{10}H_{12}Ti$ 등일 수 있다. 상기 $C_9H_8O_3M$은 $C_9H_8O_3W$, $C_9H_8O_3Ti$ 등일 수 있다. 여기서, 상기 $C_{10}H_{12}W$은 bis(cyclopentadienyl) tungsten(IV) dihydride 일 수 있고, 이것은 Cp_2WH_2 로 표기될 수 있다. 여기서, cyclopentadienyl은 우수한 억제제(inhibitor)의 기능을 수행할 수 있다. 한편, 상기 $C_9H_8O_3W$은 cyclopentadienyl methyl tungsten tricarbonyl 일 수 있고, 이것은 $CpCH_3W(CO)_3$ 로 표기될 수 있다. 여기서, methyl은 우수한 소수성(hydrophobicity)을 가질 수 있다.

[0056] 상기 ALD 공정으로 형성되는 상기 박막은 금속층일 수 있고, 상기 반응 억제제의 상기 금속 원자는 상기 금속층의 금속 원자와 동일한 원자이거나 그와 유사한 물성을 갖는 원자일 수 있다. 일례로, 상기 금속층이 텅스텐(W)층인 경우, 상기 반응 억제제의 상기 금속 원자는 텅스텐(W)을 포함할 수 있다.

[0057] 도 3 및 도 4는 본 발명의 실시예에 따른 박막 증착 방법에 적용될 수 있는 반응 억제제의 분자 구조를 예시적으로 보여주는 도면이다.

[0058] 도 3은 앞서 언급한 $C_{10}H_{12}M$의 분자 구조를 보여준다. M은 금속 원자에 해당할 수 있고, 텅스텐인 경우 $C_{10}H_{12}M$은 bis(cyclopentadienyl) tungsten(IV) dihydride 일 수 있다. 도 3의 분자 구조에서 M을 제외한 나머지 부분이 반응억제용 리간드를 포함할 수 있다.

[0059] 도 4는 앞서 언급한 $C_9H_8O_3M$의 분자 구조를 보여준다. M은 금속 원자에 해당할 수 있고, 텅스텐인 경우 $C_9H_8O_3M$은 cyclopentadienyl methyl tungsten tricarbonyl 일 수 있다. 도 4의 분자 구조에서 M을 제외한 나머지 부분이 반응억제용 리간드를 포함할 수 있다.

[0060] 그러나, 도 3 및 도 4에서 개시한 반응 억제제의 구체적인 물질 구조는 예시적인 것이고, 본 발명의 실시예에 적용 가능한 반응 억제제의 물질은 다양하게 변화될 수 있다. 상기 반응 억제제는 일종의 표면 보호제(surface protector) 또는 표면 처리제(surface treatment agent)라고 지칭할 수도 있다.

[0061] 도 5는 제 1 비교예에 따른 박막 증착 방법의 문제점을 보여주는 도면이다.

[0062] 도 5를 참조하면, 기판(11)에 수직한 구조의 홀(H1)이 형성될 수 있고, 홀(H1) 영역에 금속층(31)이 형성될 수 있다. 그러나, 통상의 ALD 공정에 의한 금속층(31)의 증착시, 홀(H1)의 입구부에서의 증착 속도가 내부에서의 증착 속도보다 더 크기 때문에, 오버행(overhang) 등의 문제로 인해 보이드(void)나 심(seam) 등의 결함이 발생할 수 있다.

[0063] 도 6은 도 5의 제 1 비교예에 따라 증착된 금속층을 보여주는 SEM(scanning electron microscope) 사진 이미지이다. 도 6을 참조하면, 도 5에서 설명한 바와 같은 보이드나 심의 결함이 발생한 것을 확인할 수 있다.

[0064] 도 7은 제 2 비교예에 따른 박막 증착 방법의 문제점을 보여주는 도면이다.

[0065] 도 7을 참조하면, 기판(12)에 수평한 구조의 홀(H2)이 형성될 수 있고, 홀(H2) 영역에 금속층(32)이 형성될 수 있다. 금속층(32)의 증착시, 홀(H2)의 입구부에서의 오버행 등의 문제로 인해 보이드(void)나 심(seam) 등의 결함이 발생할 수 있다.

[0066] 도 8은 도 7의 제 2 비교예에 따라 증착된 금속층을 보여주는 SEM 사진 이미지이다. 도 8을 참조하면, 도 7에서 설명한 바와 같은 문제가 발생한 것을 확인할 수 있다.

[0067] 또한, 기존의 억제제 물질을 사용하는 경우, 금속층 내에 억제제 물질이 잔류하여 불순물과 같이 작용하므로, 상기 금속층의 저항이 감소하고 전기적/물리적 특성이 열화될 수 있다.

[0068] 도 9는 본 발명의 일 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법을 설명하기 위한 순서도이다.

[0069] 도 9를 참조하면, 제 1 단계(S10)는 시작 단계에 해당할 수 있다. 제 1 단계(S10)에서 홀(hole)을 포함하는 패턴부를 갖는 기판 구조체를 마련할 수 있다.

[0070] 제 2 단계(S20)에서 상기 기판 구조체에 반응 억제제를 흡착시킬 수 있다. 이때, 상기 홀의 내부 및 외부에 상기 반응 억제제를 흡착시키되, 상기 외부보다 상기 내부에서 흡착 밀도가 낮아지도록 상기 반응 억제제를 흡착시킬 수 있다. 상기 홀의 입구부 및 그 주변부에서 상기 홀의 바닥부로 갈수록 상기 반응 억제제의 흡착 밀도가 감소할 수 있다. 제 2 단계(S20)는 상기 기판 구조체가 마련된 챔버(반응 챔버) 내에 상기 반응 억제제(반응 억제제를 포함하는 가스)를 공급하는 단계 및 상기 챔버를 퍼지(purge)하는 단계를 포함할 수 있다.

[0071] 제 3 단계(S30)에서 상기 기판 구조체가 구비된 상기 챔버 내에 금속 전구체를 포함하는 전구체 가스를 공급하는 제 1 공급 단계 및 상기 챔버를 퍼지하는 제 1 퍼지 단계를 순차로 수행할 수 있다. 여기서, 상기 금속 전구체는 소정의 금속 원자 및 상기 금속 원자와 결합된 F 또는 Cl 등을 포함할 수 있다. 상기 금속 전구체의 물질은 다양하게 변화될 수 있다.

[0072] 제 4 단계(S40)에서 상기 챔버 내에 반응물(reactant) 가스를 공급하는 제 2 공급 단계 및 상기 챔버를 퍼지하는 제 2 퍼지 단계를 순차로 수행할 수 있다. 상기 반응물 가스는, 예컨대, H_2 또는 NH_3 등을 포함할 수 있다. 상기 반응물 가스의 구체적인 물질은 다양하게 변화될 수 있다.

[0073] 제 3 단계(S30) 및 제 4 단계(S40)는 금속층 증착을 위한 ALD 공정을 구성한다고 할 수 있다. 이러한 ALD 공정에 의해 상기 홀의 내부 및 외부에 금속층이 증착될 수 있다. 상기 금속층의 증착시, 상기 반응 억제제에 의해 영역에 따라 증착 속도가 달라질 수 있다.

[0074] 제 4 단계(S40) 후, 제 5 단계(S50)에서 상기 금속층이 타겟 두께에 도달했는지 여부를 판단할 수 있다. 제 5 단계(S50)에서 상기 타겟 두께에 도달하지 못했다고 판단된 경우, 다시 S30 및 S40 단계를 순차로 수행할 수 있다. 상기 타겟 두께에 도달할 때까지 S30 및 S40 단계를 반복해서 수행할 수 있다.

[0075] 제 5 단계(S50)에서 상기 금속층이 타겟 두께에 도달했다고 판단된 경우, 실시예에 따른 증착 공정을 종료할 수 있다(S60).

[0076] 도 9를 참조하여 설명한 박막 증착 방법의 단계들은 도 1a 내지 도 4를 참조하여 설명한 내용으로부터 보다 상세히 이해될 수 있다.

[0077] 도 10은 본 발명의 다른 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법을 설명하기 위한 순서도이다.

[0078] 도 10을 참조하면, 제 1 단계(S11) 내지 제 5 단계(S51)는 각각 도 9에서 설명한 제 1 단계(S10) 내지 제 5 단계(S50)와 동일할 수 있다.

[0079] 제 1 단계(S11)는 시작 단계로서, 본 단계에서 홀을 포함하는 패턴부를 갖는 기판 구조체를 마련할 수 있다. 제 2 단계(S21)에서 상기 기판 구조체에 반응 억제제(이하, 제 1 반응 억제제)를 흡착시킬 수 있다. 제 2 단계(S21)는 상기 기판 구조체가 마련된 챔버 내에 상기 제 1 반응 억제제(제 1 반응 억제제를 포함하는 가스)를 공급하는 단계 및 상기 챔버를 퍼지(purge)하는 단계를 포함할 수 있다.

[0080] 제 3 단계(S31)에서 상기 기판 구조체가 구비된 상기 챔버 내에 금속 전구체를 포함하는 전구체 가스를 공급하는 제 1 공급 단계 및 상기 챔버를 퍼지하는 제 1 퍼지 단계를 순차로 수행할 수 있다. 제 4 단계(S41)에서 상기 챔버 내에 반응물 가스를 공급하는 제 2 공급 단계 및 상기 챔버를 퍼지하는 제 2 퍼지 단계를 순차로 수행할 수 있다. 제 3 단계(S31) 및 제 4 단계(S41)는 금속층 증착을 위한 ALD 공정을 구성한다고 할 수 있다.

[0081] 제 5 단계(S51)에서 상기 금속층이 타겟 두께에 도달했는지 여부를 판단할 수 있다. 제 5 단계(S51)에서 상기 타겟 두께에 도달하지 못했다고 판단된 경우, 제 6 단계(S61)에서 상기 ALD 공정이 임계 사이클(critical cycle)에 도달했는지 여부를 판단할 수 있다.

[0082] 제 6 단계(S61)에서 상기 ALD 공정이 상기 임계 사이클에 도달하지 못했다고 판단된 경우, 다시 S31 및 S41 단계를 순차로 수행할 수 있다. 제 6 단계(S61)에서 상기 ALD 공정이 상기 임계 사이클에 도달했다고 판단된 경우, 제 7 단계(S71)로서 상기 기판 구조체에 제 2 반응 억제제를 흡착시킬 수 있다. 제 7 단계(S71)는 상기 기판 구조체가 마련된 상기 챔버 내에 상기 제 2 반응 억제제(제 2 반응 억제제를 포함하는 가스)를 공급하는 단계 및 상기 챔버를 퍼지(purge)하는 단계를 포함할 수 있다. 상기 제 2 반응 억제제는 상기 제 1 반응 억제제와 등가한(동일한) 물질일 수 있다.

[0083] 따라서, 본 실시예에 따른 박막 증착 방법은 상기 금속층을 증착하는 동안에 상기 제 2 반응 억제제를 상기 기판 구조체 상에 흡착시키는 단계를 1회 이상 더 포함할 수 있다. 상기 금속층을 증착하는 단계는 제 1 금속층을 증착하는 단계 및 상기 제 1 금속층 상에 제 2 금속층을 증착하는 단계를 포함할 수 있고, 상기 제 1 금속층을 증착하는 단계와 상기 제 2 금속층을 증착하는 단계 사이에 상기 제 1 금속층 상에 상기 제 2 반응 억제제를 흡착시키는 단계를 더 수행할 수 있다.

[0084] 초기에 형성했던 상기 제 1 반응 억제제의 반응 억제 기능이 소멸되었다고 판단되었을 때, 상기 제 2 반응 억제제를 다시 형성함으로써 반응 억제 기능을 복원할 수 있다. 상기 제 2 반응 억제제도, 상기 제 1 반응 억제제와 유사하게, 상기 홀의 외부보다 내부에서 낮은 흡착 밀도를 갖도록 흡착될 수 있다. 상기 홀의 입구부 및 그 주변부에서 상기 홀의 바닥부로 갈수록 상기 제 2 반응 억제제의 흡착 밀도가 감소할 수 있다. 상기 제 2 반응 억제제의 흡착에 의해 반응 억제 기능이 복원됨에 따라, ALD 공정에 의한 금속층의 증착시 갭필(gap fill) 특성이 향상될 수 있다. 그러나, 상기 제 2 반응 억제제의 추가적인 흡착은, 필요에 따라, 선택적으로(optionally) 결정될 수 있다.

[0085] 제 5 단계(S51)에서 상기 금속층이 상기 타겟 두께에 도달했다고 판단된 경우, 실시예에 따른 증착 공정을 종료할 수 있다(S81).

[0086] 도 11a 및 도 11b는 본 발명의 다른 실시예에 따른 것으로, 패턴부를 갖는 기판 구조체 상에서의 박막 증착 방법을 보여주는 단면도이다.

[0087] 도 11a를 참조하면, 소정의 패턴부를 갖는 기판 구조체(110)를 마련할 수 있다. 기판 구조체(110)는 실질적으로 수직한 방향으로 형성된 개구영역(H5)을 포함할 수 있다. 또한, 기판 구조체(110)는 개구영역(H5)에 의해 노출된 제 1 사이드면을 따라서 실질적으로 수평한 방향으로 연장되어 형성된 복수의 제 1 홀(H10)을 포함할 수 있다. 복수의 제 1 홀(H10)은 수직한 방향으로 상호 이격하여 배치될 수 있다. 또한, 기판 구조체(110)는 개구영역(H5)에 의해 노출된 제 2 사이드면을 따라서 실질적으로 수평한 방향으로 연장되어 형성된 복수의 제 2 홀

(H20)을 포함할 수 있다. 복수의 제 2 홀(H20)은 수직한 방향으로 상호 이격하여 배치될 수 있다. 상기 제 2 사이드면은 상기 제 1 사이드면과 마주하는 면일 수 있다. 복수의 제 2 홀(H20)은 복수의 제 1 홀(H10)과 각각 대응되도록 배치될 수 있다. 이러한 기판 구조체(110)는 3차원적 패턴 구조를 갖는다고 할 수 있다.

[0088] 도 11b를 참조하면, 복수의 제 1 홀(H10)을 충진하도록 상기 제 1 사이드면 측에 제 1 금속층(310)을 증착할 수 있고, 아울러, 복수의 제 2 홀(H20)을 채우도록 상기 제 2 사이드면 측에 제 2 금속층(320)을 증착할 수 있다. 제 1 및 제 2 금속층(310, 320)의 증착은 도 1a 내지 도 4, 도 9 및 도 10을 참조하여 설명한 바와 같은 실시예에 따른 박막 증착 방법에 따라 동시 수행될 수 있다. 3차원적 패턴 구조를 갖는 기판 구조체(110)에 대해서도 우수한 갭필(gap fill) 특성을 확보할 수 있고, 증착된 금속층(310, 320)의 전기적/물리적 특성 또한 우수할 수 있다.

[0089] 도 1a 내지 도 4 및 도 9 내지 도 11b 등을 참조하여 설명한 실시예들에 따른 박막 증착 방법은 다양한 전자 소자의 제조 방법에 유용하게 적용될 수 있다. 본 발명의 실시예에 따른 전자 소자의 제조 방법은 홀(hole)을 포함하는 패턴부를 갖는 기판 구조체를 마련하는 단계 및 상기 기판 구조체 상에 전술한 실시예에 따른 박막 증착 방법을 이용해서 금속층을 증착하는 단계를 포함할 수 있다. 특히, 상기한 박막 증착 방법은 3차원적 패턴 구조를 이용하는 3차원 V-NAND 소자의 제조시 유용하게 활용될 수 있다.

[0090] 도 12a 및 도 12b는 본 발명의 일 실시예에 따른 전자 소자의 제조 방법을 예시적으로 설명하기 위한 단면도이다. 여기서, 상기 전자 소자는 3차원 V-NAND 소자일 수 있다.

[0091] 도 12a를 참조하면, 도 11b와 같은 구조체를 제조한 후, 제 1 금속층(310)의 일부 두께 및 제 2 금속층(320)의 일부 두께를 식각하여 제거할 수 있다. 예를 들면, 복수의 제 1 홀(H10) 외부에 존재하는 제 1 금속층(310) 부분을 제거하여, 복수의 제 1 홀(H10) 내부에만 패턴화된 제 1 금속층(310a)을 잔류시킬 수 있다. 이와 유사하게, 복수의 제 2 홀(H20) 외부에 존재하는 제 2 금속층(320) 부분을 제거하여, 복수의 제 2 홀(H20) 내부에만 패턴화된 제 2 금속층(320a)을 잔류시킬 수 있다. 이하에서는, 패턴화된 제 1 금속층(310a)은 제 1 게이트 전극(310a)으로서, 제어 게이트일 수 있다. 유사하게, 패턴화된 제 2 금속층(320a)은 제 2 게이트 전극(320a)으로서 상기 제어 게이트일 수 있다.

[0092] 도 12b를 참조하면, 개구영역(H5) 내에 게이트 절연층(또는 블로킹 절연층이라고도 함; 51), 전하 저장층(52), 터널 절연층(53) 및 채널층(54)을 형성할 수 있다. 제 1 게이트 전극(310a) 측으로부터 게이트 절연층(51), 전하 저장층(52), 터널 절연층(53) 및 채널층(54)이 순차로 배치될 수 있다. 이와 유사하게, 제 2 게이트 전극(320a) 측으로부터 게이트 절연층(또는, 블로킹 절연층이라고도 함; 51), 전하 저장층(52), 터널 절연층(53) 및 채널층(54)이 순차로 배치될 수 있다.

[0093] 그러나, 도 12b에 도시된 바와 같은 전자 소자(3차원 V-NAND 소자)의 구조는 예시적인 것에 불과하고, 경우에 따라, 다양하게 변화될 수 있다.

[0094] 이상에서 설명한 발명의 실시예들에 따르면, 종래의 박막 증착 방법의 한계와 문제점을 극복하고, 소정의 패턴 구조를 갖는 기판 구조체에 대하여 보이드(void)나 심(seam)과 같은 결함 발생을 효과적으로 억제하면서 아울러 증착 박막의 우수한 물성을 확보할 수 있는 박막 증착 방법을 구현할 수 있다. 본 발명의 실시예들에 따른 박막 증착 방법은 다양한 전자 소자의 제조에 유용하게 적용될 수 있다. 또한, 본 발명의 실시예들에 따른 반응 억제제는 증착하고자 하는 목적 물질과 동일한 물질을 포함할 수 있기 때문에, 증착 박막의 물성 열화를 방지할 수 있고 우수한 박막 특성 확보에 유리하게 작용할 수 있다.

[0095] 본 명세서에서는 본 발명의 바람직한 실시예에 대하여 개시하였으며, 비록 특정 용어들이 사용되었으나, 이는 단지 본 발명의 기술 내용을 쉽게 설명하고 발명의 이해를 돕기 위한 일반적인 의미에서 사용된 것이지, 본 발명의 범위를 한정하고자 하는 것은 아니다. 여기에 개시된 실시예 외에도 본 발명의 기술적 사상에 바탕을 둔 다른 변형예들이 실시 가능하다는 것은 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 자명한 것이다. 해당 기술 분야에서 통상의 지식을 가진 자라면, 도 1a 내지 도 4 및 도 9 내지 도 12b를 참조하여 설명한 박막 증착 방법과 이에 적용되는 반응 억제제 및 박막 증착 방법이 적용된 전자 소자의 제조 방법이, 본 발명의 기술적 사상이 벗어나지 않는 범위 내에서, 다양하게 치환, 변경 및 변형될 수 있음을 알 수 있을 것이다. 때문에 발명의 범위는 설명된 실시예에 의하여 정하여 질 것이 아니고 특허 청구범위에 기재된 기술적 사상에 의해 정하여져야 한다.

부호의 설명

[0096] * 도면의 주요 부분에 대한 부호설명 *

1a, 1b : 금속 원자 2a, 2b : 반응억제용 리간드

101, 102, 110 : 기판 201, 202 : 반응 억제제

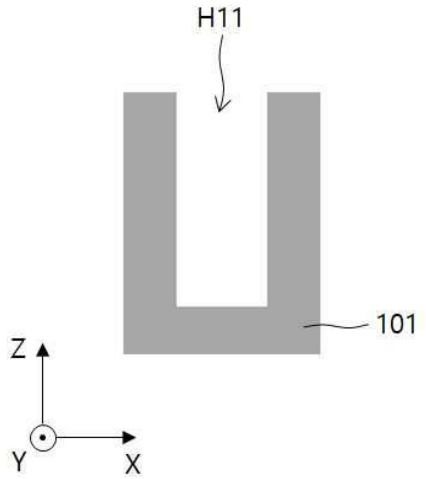
301, 302 : 금속층 310 : 제 1 금속층

320 : 제 2 금속층 H5 : 개구영역

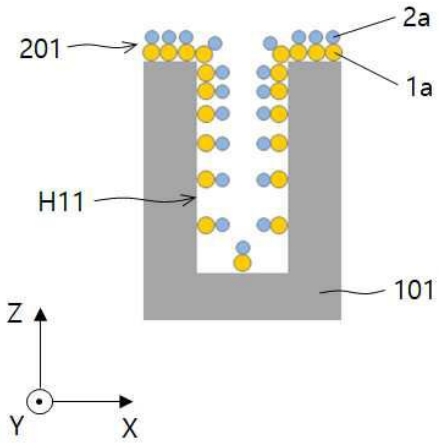
H10, H11, H12, H20 : 홀

도면

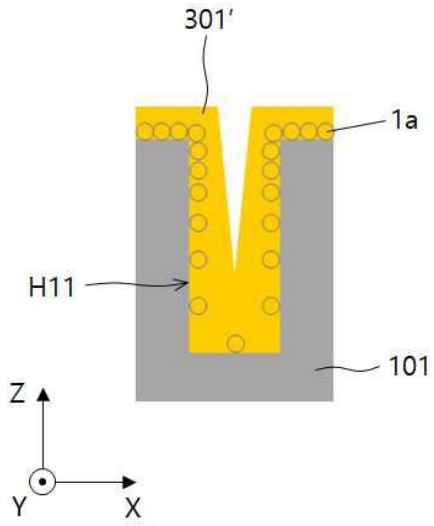
도면1a



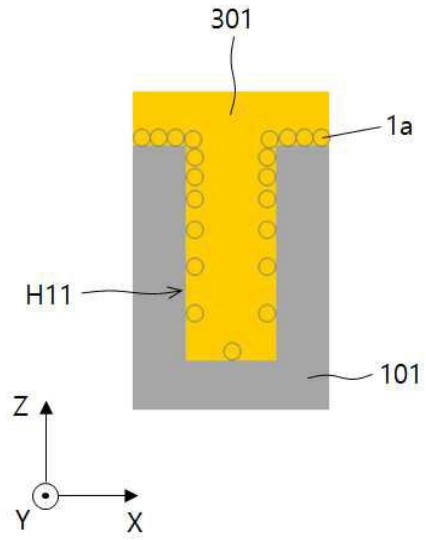
도면1b



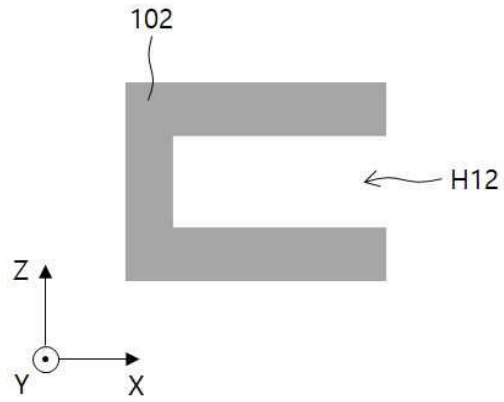
도면1c



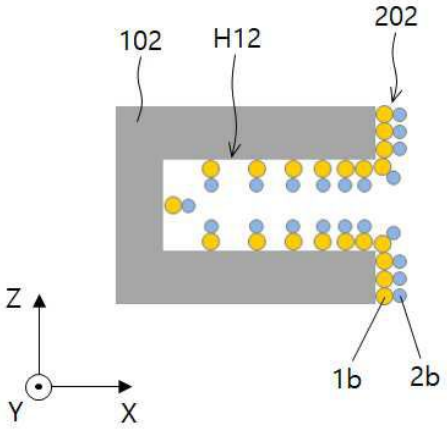
도면1d



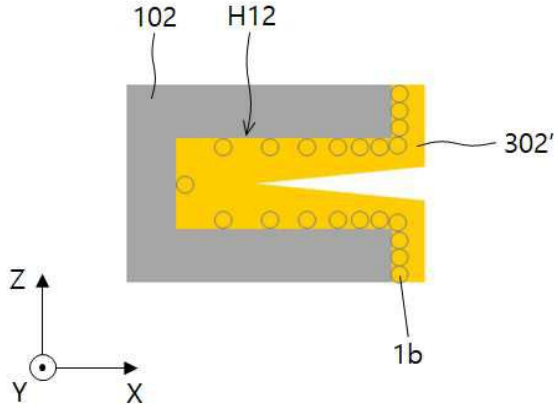
도면2a



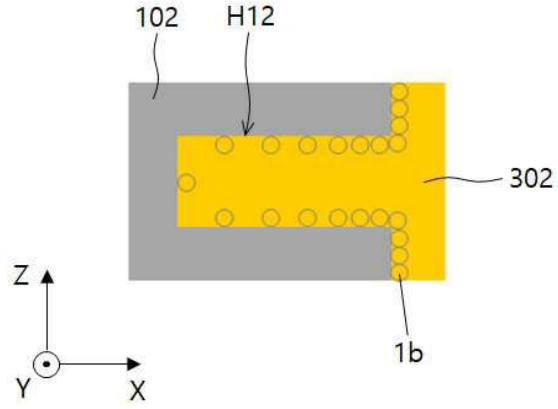
도면2b



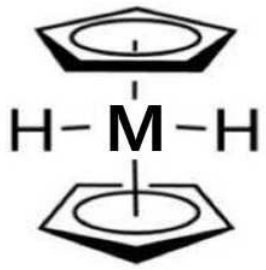
도면2c



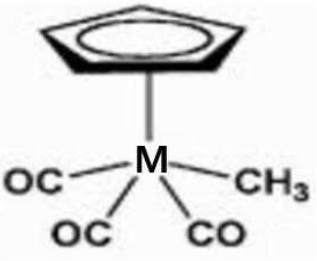
도면2d



도면3

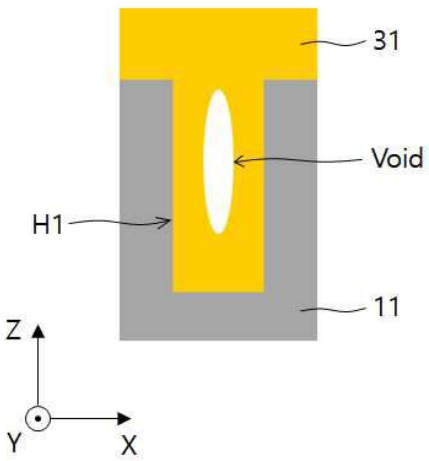


도면4

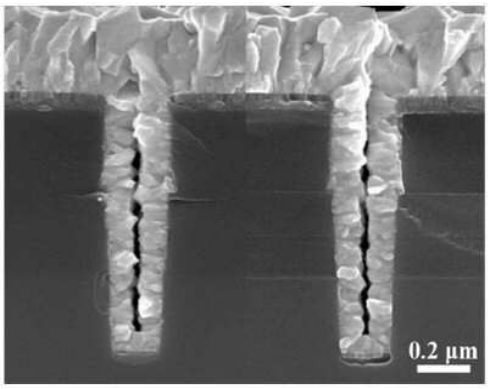


도면5

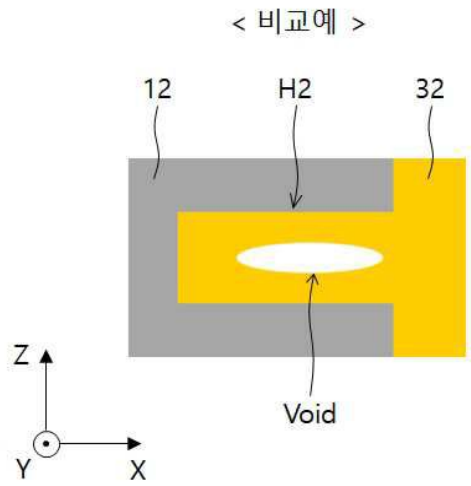
< 비교예 >



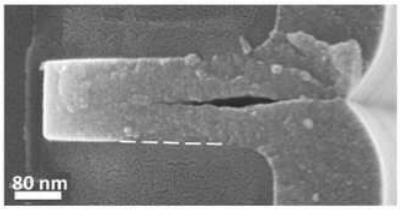
도면6



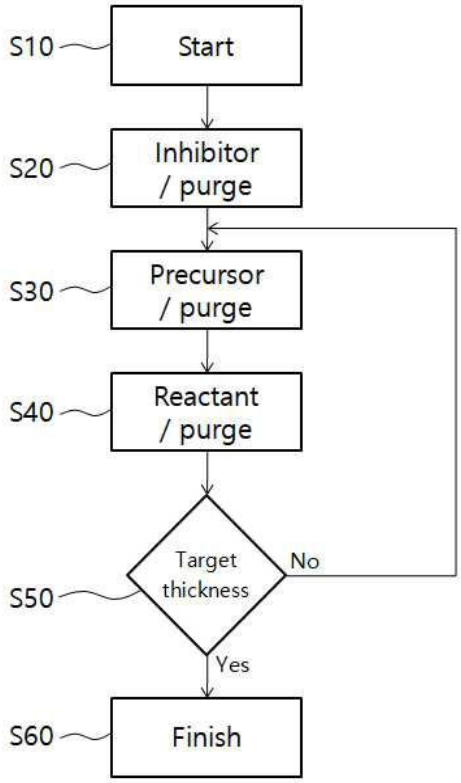
도면7


< 비교예 >
12
H2
32
Void
Z
Y
X

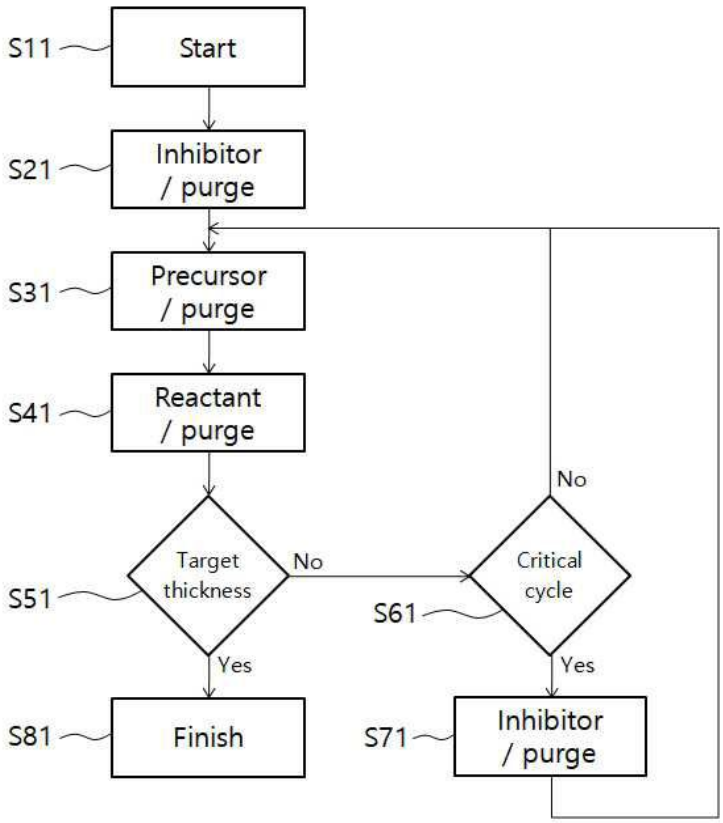
도면8


80 nm

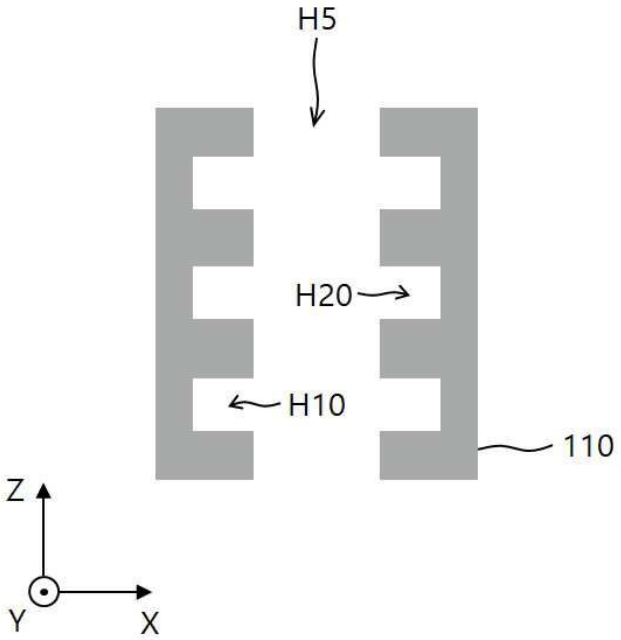
도면9


S10
Start
S20
Inhibitor / purge
S30
Precursor / purge
S40
Reactant / purge
S50
Target thickness
No
Yes
S60
Finish

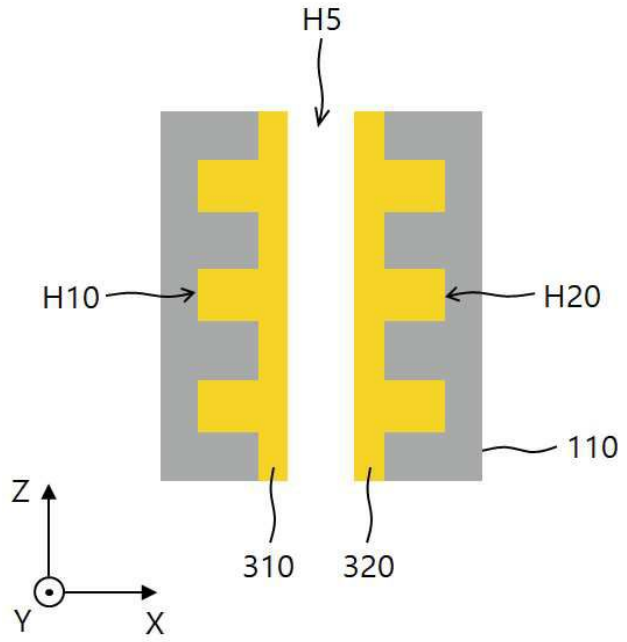
도면10


S11
Start
S21
Inhibitor / purge
S31
Precursor / purge
S41
Reactant / purge
S51
Target thickness
No
Yes
S61
Critical cycle
No
Yes
S81
Finish
S71
Inhibitor / purge

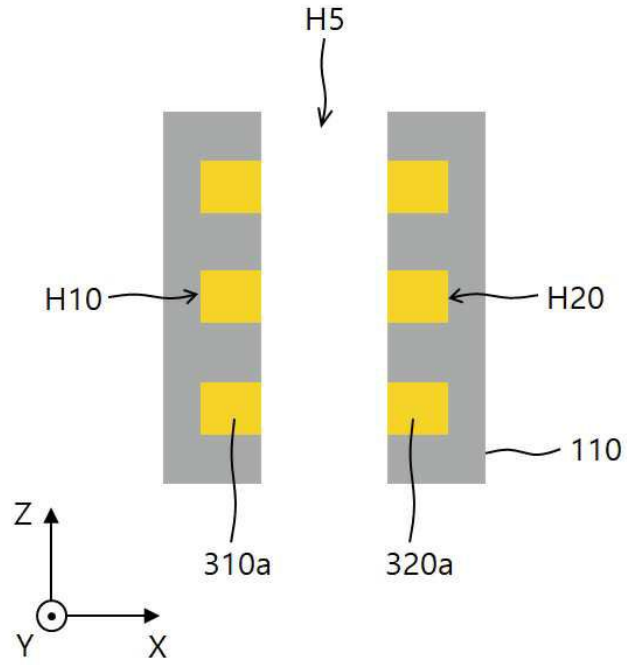
도면11a


H5
H20
H10
110
Z
Y
X

도면11b



도면12a



도면12b

