

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：93126742

※ 申請日期：93.9.3

※IPC 分類：H01L 27/146

一、發明名稱：(中文/英文)

具有接腳而浮動擴散的二極體之影像感測器

IMAGE SENSOR HAVING PINNED FLOATING DIFFUSION DIODE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

美商麥克隆科技公司

MICRON TECHNOLOGY, INC.

代表人：(中文/英文)

麥克 L 林契

LYNCH, MICHAEL L.

住居所或營業所地址：(中文/英文)

美國愛達荷州鮑西市南菲德洛路8000號

8000 SOUTH FEDERAL WAY BOISE, IDAHO 83707-0006 U. S. A.

國籍：(中文/英文)

美國 U.S.A.

三、發明人：(共 1 人)

姓名：(中文/英文)

洪性權

HONG, SUNGKWON C.

國籍：(中文/英文)

中國大陸 PEOPLE'S REPUBLIC OF CHINA

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2003年09月05日；10/654,938

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明大體而言係關於涉及影像器之像素陣列之方法及設備。詳言之，本發明係關於具有含有經改良之浮動擴散區域之像素的影像器。

【先前技術】

通常，數位影像器陣列包括像素單元之焦平面陣列，單元之每一包括光電轉換裝置，例如光閘、光電導體或光電二極體。在一此影像器(即CMOS影像器)中，將讀出電路連接至每一像素單元，其通常包括源極跟隨器輸出電晶體。該光電轉換裝置將光子轉換為電子，其通常被轉移至連接至源極跟隨器輸出電晶體之閘極的電荷儲存區域，該電荷儲存區域可為浮動擴散區域。可包括用於將電荷自光電轉換裝置轉移至浮動擴散區域的電荷轉移裝置(如電晶體)。另外，此等影像器單元通常具有用於在電荷轉移之前將浮動擴散區域重設為預定電荷位準之電晶體。藉由一系列選擇電晶體源極跟隨器電晶體之輸出經選通作為輸出訊號。

例示性CMOS影像電路、其處理步驟及影像電路之各種CMOS元件之功能的詳細描述在以下文獻中加以描述，例如，Rhodes的美國專利第6,140,630號、Rhodes的美國專利第6,376,868號、Rhodes等人的美國專利第6,310,366號、Rhodes的美國專利第6,326,652號、Rhodes的美國專利第6,204,524號、及Rhodes的美國專利第6,333,205號。前述專

利之每一所揭示的內容以引用的方式全部併入本文中。

圖1說明了例示性影像器裝置308之方塊圖，該影像器裝置308具有每一像素單元如上文所述而建構之像素陣列200。像素陣列200包含以預定數目之行及列配置之複數個像素。藉由列選擇線同時開啓全部在陣列200中之每列的像素，且藉由各自行選擇線選擇性地輸出每一行的像素。提供用於整個陣列200之複數個列及行線。藉由回應於列位址解碼器220之列驅動器210選擇性地啓動列線。藉由回應於行位址解碼器270之行驅動器260選擇性地啓動行選擇線。因此，提供用於每一像素之列及行位址。藉由控制用於選擇對於像素讀出之適當的列及行線之位址解碼器220、270的定時及控制電路250而運作CMOS影像器。控制電路250亦控制列及行驅動電路210、260，使得此等驅動電路210、260將驅動電壓施加至所選擇之列及行線之驅動電晶體。藉由與行裝置260相關聯之採樣及保持電路261讀取通常包括用於經選擇之像素的像素重設訊號(V_{rst})及像素影像訊號(V_{sig})的像素行訊號。藉由用於每一像素之微分放大器262產生微分訊號($V_{rst}-V_{sig}$)，其藉由類比數位轉換器275(ADC)而數位化。類比數位轉換器275將經數位化之像素訊號提供至形成數位影像之影像處理器280。

習知影像感測器(如CMOS影像器)之像素使用如圖2所示之光電轉換裝置。此光電轉換裝置通常可包括具有在p基板中之p區域21及n區域23的光電二極體59。該像素亦包括具有關聯閘極25之轉移電晶體、浮動擴散區域16及具有關

聯開極29之重設電晶體。撞擊光電二極體59之表面的光子產生在區域23中收集的電子。當轉移閘極打開時，由於在光電二極體59與浮動擴散區域16之間存在電位差，將在轉移區域23中之光子產生的電子轉移至浮動擴散區域16。藉由源極跟隨器電晶體(未圖示)將電荷轉換為電壓訊號。在電荷轉移之前，藉由開啓具有閘極29之重設電晶體而將浮動擴散區域16設定為預定低電荷狀態，其導致在區域16中之電子流入連接至源極/汲極17之電壓源。區域55為用於將像素彼此隔離之STI絕緣區域。

圖3為用於圖2所示之影像感測器的電位圖。光電二極體59之充滿的阱電荷容量為在標頭"PD"下的陰影區域中且其為接腳電位(V_{PIN})與光電二極體電容(C_{PD})之函數。當所產生之電子數目達到電荷容量時，光電二極體飽和且不能回應於任何另外的光子。將在區域23中所收集之產生的電子自光電二極體59轉移至浮動擴散區域16。浮動擴散區域電荷儲存容量亦具有如在標頭"FD"下之陰影區域所示的飽和電壓。底部電位 V_{RST} 表示浮動擴散區域16之重設電壓。當轉移閘極25打開時，如圖3之點線所示，降低了分離光電二極體59及浮動擴散區域16之障壁電位。因此，電子自光電二極體59移動至浮動擴散區域16。

如圖4之圖表所示，基於轉移至區域16之電荷的輸出電壓回應為至高回應達到區域16飽和點(V_{SAT})的點的光強度之線性函數。區域16飽和點限制像素之動態範圍及影像感測器在特定光條件下俘獲內景(intra-scene)強度變化之能

力。

【發明內容】

本發明之實施例提供具有接腳而浮動擴散之區域之影像感測器的像素。光電二極體及接腳而浮動擴散之區域具有不同接腳電位，因此當光強度產生接近浮動擴散的區域之飽和位準的電子時，允許輸出電壓更緩慢地上升。當光強度上升時，電荷達到浮動擴散區域之接腳電位且輸出電壓/光強度的斜率改變。輸出電壓之斜率的變化增加了動態範圍。

將自以下說明本發明之例示性實施例之詳細描述及隨附圖式中瞭解本發明之額外特徵。

【實施方式】

在以下詳細描述中，參看隨附圖式，其形成本文之一部分且藉由說明可實施本發明之特定實施例而展示。充分詳細地描述此等實施例使熟習此項技術者能夠實施本發明，且應瞭解可使用其他實施例，並且在不背離本發明之精神及範疇的狀況下可對結構、邏輯及電方面加以改變。所描述之處理步驟之擴展為本發明之例示性實施例；然而，步驟之序列不限於本文所陳述的，且除必須發生於特定次序之步驟外，可對其加以改變，如此項技術中已知的。

本文所使用之術語"晶圓"及"基板"應理解為包括矽、絕緣物上矽(SOI)或藍寶石上矽(SOS)技術、摻雜及未摻雜半導體、藉由基礎半導體基底所支撐之矽磊晶層及其他半導體結構。此外，當在以下描述中涉及"晶圓"或"基板"時，

可使用先前處理步驟以形成區域、接面或在基礎半導體結構或基底中或在基礎半導體結構或基底上的材料層。另外，半導體無需基於矽，但可基於矽鍺、鍺、砷化鎵或其他半導體。

本文使用之術語"像素"，涉及含有用於將光子轉換為電訊號之光電轉換裝置的光元件單位單元。為達成說明之目的，在本文之圖形及描述中說明了單個代表像素及其形成方式；然而，通常複數個類似像素之製造同時進行。在以下描述中，為方便起見，關於CMOS影像器描述本發明；然而，本發明對於其他類型影像器裝置之電路具有較寬的適用性，例如，本發明亦適用於CCD影像器之輸出階段。因此，以下詳細描述並非對本發明的限制，且僅藉由附加之專利申請範圍界定本發明之範疇。

本發明之第一例示性實施例提供接腳二極體浮動擴散區域，其修改在浮動擴散區域處如何接收及儲存電荷以加寬影像感測器之動態範圍。接腳二極體浮動擴散區域之摻雜結構類似於接腳光電二極體之摻雜結構。然而，接腳二極體浮動擴散區域具有不同於光電二極體之接腳電位(V_{PIN1})的接腳電位(V_{PIN2})。因為 V_{PIN2} 為與不同電位，所以例如如圖7中所示，對於每一 V_{PIN} ，輸出電壓(V_{OUT})在不同斜率之兩個線性區域中上升，在達到飽和點之前回應於光電二極體之電荷。

圖5說明了根據第一實施例建構之像素感測器單元。在亦具有更重摻雜之p型阱61之p型基板60中，說明性地形成

光電轉換裝置50。光電轉換裝置50為說明性的光電二極體且可為p-n接面光電二極體、Schottky光電二極體或任何其他適當的光電二極體，但為達成例示之目的，其被論述為具有接腳電位 V_{PIN1} 之接腳p-n-p光電二極體。

如圖5所示，例示性接腳光電二極體50包括p+區域22及與p基板60相關聯之n型區域24。在圖5中所示之剩餘結構包括具有關聯閘極26之轉移電晶體及具有關聯閘極28之重設電晶體。亦展示了用於隔離像素之淺渠溝隔離(STI)區域55及源極/汲極區域30與41。在像素感測器單元中亦包括源極跟隨器電晶體33及具有關聯閘極之列選擇電晶體35，但其示意性地展示而非在橫截面圖中展示與行讀出線37連接之列選擇電晶體35之輸出。儘管本發明在圖5中展示為具有轉移電晶體之4電晶體(4T)組態，但是本發明亦可使用於沒有轉移電晶體其中區域24直接耦合至浮動擴散區域43的3電晶體(3T)組態中，及具有其他更多電晶體數目之組態的像素中。

如圖5所示，將浮動擴散區域43建構為接腳二極體浮動擴散區域。接腳二極體浮動擴散區域43具有在n型區域41內之p+區域40。浮動擴散區域43之p+型區域40較佳位於鄰近轉移閘極26之側壁及在轉移閘極26之側壁下的位置，以建立與位於轉移閘極26的相對側上之光電二極體50之p+區域22的對稱。雖然非必要的，n+接觸區域42亦可形成於n型區域41中而以傳導插塞的形式將良好的歐姆接觸提供至接觸件27。

如上文所述，光電二極體50及在浮動擴散區域43中的二極體(區域40、41)應具有不同之接腳電位以獲得圖7所描述之雙斜率輸出電壓函數。在此實施例中，可藉由調節植入條件(如角度及劑量)而使浮動擴散區域43之 V_{PIN2} 高於光電二極體50之 V_{PIN1} 。

藉由n+型區域42將接觸件27電連接至浮動擴散區域43。藉由在接觸後蝕刻植入步驟而形成n+型區域42，其減少電位障壁。可藉由接觸件27將可選儲存電容器31連接至接腳而浮動擴散區域43。儲存電容器31具有第一電極34及第二電極32以及在電極32、34之間的介電層。在此實施例中，將接觸件27連接至儲存電容器31以增加浮動擴散區域43之電荷儲存容量，然而，可形成影像感測器而沒有儲存電容器31。

參看圖6，描述了根據本發明之圖5實施例而建構之具有電容器31之像素單元的電位圖。圖7說明了用於此實施例之輸出電壓的轉移函數。

圖6展示了當施加至浮動擴散區域之重設電壓 V_{RST} 相等於在電容器31之電極32上之像素供給電壓 V_{PLX} 時的狀況。因此，在重設後且當開啓轉移閘極26且將轉移閘極障壁電位降低至接近 V_{PIN1} 時(如點線所示)，電子首先流向電極34且流向浮動擴散區域43之寄生電容。然後當到達 V_{PIN2} 時，電子亦流向藉由浮動擴散區域43之接腳二極體創建的額外儲存區域。由於藉由接腳二極體產生額外電容，輸出電壓更緩慢地上升作為轉移電荷之函數。

如圖7中所示，產生兩個斜率電荷轉移特徵，其與用於習知影像感測器之圖4的圖表形成對比。在一線性斜率步驟(圖4)後，習知影像感測器更快地達到飽和點，同時圖5之像素具有含有不同輸出電壓斜率之第一及第二運作範圍。若在電荷載流子轉移至浮動擴散區域後，浮動擴散區域電位小於 V_{PLX} 至 V_{PIN2} (如可為在低光情況中之狀況)，則圖5之像素類似於圖2之像素作用，具有隨光強度的增加而以線性斜率上升的輸出電壓函數，如圖4中所示。然而，若浮動擴散區域的電位達到比 V_{PLX} 至 V_{PIN2} 大的值(如可為具有更高光強度之狀況)，則降低輸出電壓函數之斜率，而允許浮動擴散區域在 V_{SAT} 處飽和前改變更高之光強度以被接收。

圖7亦展示了在三個不同像素供給電壓之條件下的運作情況，在電容器31之電極32處施加該等三個不同像素供給電壓以產生不同像素飽和位準。 V_{PLXA} 、 V_{PLXB} 及 V_{PLXC} 代表用於 V_{PLX} 之不同(漸減的)電壓。當 V_{PLX} 降低時，像素飽和電壓亦降低。在 V_{PLXA} 、 V_{PLXB} 及 V_{PLXC} 之全部狀況下，在達到飽和前，接腳二極體浮動擴散區域43允許在擴散區域43處接收更多電荷，且自浮動擴散的區域43移除的像素之輸出電壓具有用於經積累之電荷的兩個關聯斜率。

圖8至13展示了在各個形成階段形成具有接腳二極體浮動擴散區域43之像素感測器單元的一例示性方法。為方便起見，對於隨後之描述，在圖8-13中使用圖5之該橫截面圖，因此未說明源極跟隨器及列選擇電晶體。接腳而浮動

擴散區域43將被描述為形成於p型基板60之p阱61中；然而其亦可形成於n型基板中的n阱中，且亦可使用其他結構。如圖8中所示，首先形成基板60。在此例示性結構中，基板60為p型矽基板，其上形成閘極堆疊15及19。在基板60內形成p阱61。亦形成隔離區域55。可在形成隔離區域55及閘極堆疊15及19之前或之後形成p型阱61。可進行p阱61植入使得像素陣列阱61及p型周邊邏輯阱(未圖示)(其將含有用於控制像素陣列之邏輯電路)具有不同摻雜輪廓。如在此項技術中已知的，可使用多重高能量植入以製作p型阱61之輪廓。

使用隔離區域55以電隔離將形成像素單元之基板的區域。可藉由諸如在LOCOS過程中在矽下面之熱氧化的任何已知技術，或藉由在STI(淺渠溝隔離)過程中蝕刻溝渠及以氧化物填充其而形成隔離區域55。在形成隔離區域55後若仍未形成p型阱61，則然後其可藉由遮罩植入以產生p型阱61而形成。

圖8展示了具有分別用於轉移電晶體及重設電晶體之閘極堆疊15、19之例示性實施例。可藉由熟知方法(如閘極氧化物之毯覆性沈積、摻雜多晶矽、用於矽化物之金屬沈積、退火以形成矽化物然後圖案化及蝕刻)而形成轉移閘極堆疊15及重設閘極堆疊19。本發明不限於形成電晶體閘極堆疊15、19之特定方法。將轉移閘極堆疊15說明性地展示為跨越p阱61之邊界，但亦可完全越過p阱61。

如圖9所示，亦可藉由離子植入n型摻雜物而形成接腳而

浮動擴散區域43之n型區域41。同樣地，圖9中亦展示了所形成之n型源極/汲極區域30。為達成例示之目的，區域30為n+摻雜的，且其可藉由將遮罩應用至基板及藉由離子植入而摻雜區域30來形成。

圖10展示了位於接近轉移閘極堆疊15及在n型區域41內之位置的p+區域40的形成，藉此形成p/n二極體。在此實施例中區域40為p+摻雜且其不擴展至重設閘極堆疊19之通道區域。在此實施例中，應將區域40及隨後形成之n+接觸區域42(圖5)分離且使其彼此互不關聯。在藉由下文所論述之蝕刻植入步驟而在用於形成接觸件27之覆蓋絕緣層中形成開口後，隨後形成區域42。

圖11說明了具有p型區域22及n型區域24之接腳光電二極體50之植入。在製造過程中在任何習知點處藉由在此項技術中已知之任何方法植入光電二極體50之區域22及24，且可在圖9中所描述之某些製造狀態之前及某些製造狀態之後的若干步驟中將其植入。在形成區域40、22及24後，在閘極堆疊15、19之側面上分別形成閘極堆疊側壁絕緣體70、71，使用習知技術以形成具有關聯閘極26、28之電晶體。在圖11中未展示之其他剩餘閘極堆疊上亦形成閘極堆疊側壁絕緣體。

可使用習知處理方法以形成絕緣、屏蔽及金屬化層以連接閘極線且進行連接至像素單元的其他連接。舉例而言，可以諸如二氧化矽、BSG、PSG或BPSG之鈍化層88覆蓋整個表面，其被CMP平面化且被蝕刻以提供接觸孔，其然後

金屬化以提供接觸。圖 12 展示了 BPSG 之鈍化層 88 的形成及其中對於浮動擴散區域 43 的接觸開口。

在形成接觸開口後，藉由如圖 13 所示之蝕刻植入步驟在 n 型區域 41 內形成區域 42。為達成例示之目的，區域 42 為摻雜 n+ 型的區域且其以比 n 型區域 41 更高之濃度摻雜，以提供良好之歐姆接觸。在植入區域 42 後，在接觸開口中形成接觸件 27。區域 42 連接至接觸件 27 且位於區域 41 內，但其與 p+ 區域 40 分離且不關聯，且其不干擾 p+ 區域 40。可視情況而藉由在此項技術中已知之方法，在鈍化層 88 上或在基板 60 之另一表面部分處形成儲存電容器 31 (圖 9)。亦可使用習知導體層及絕緣體層來互連結構，以將像素連接至周邊電路且以保護電路免受環境影響。

圖 14 展示了本發明之另一像素單元實施例。在此實施例中，接腳二極體浮動擴散區域 45 之 p+ 區域 40' 包圍在 n+ 區域 42 周圍，但不擴展至在重設電晶體閘極 28 下的區域 41 之部分中。與上文中圖 5 所示之實施例不同，p+ 區域 40' 及 n+ 區域 42 彼此不分離。定位此實施例之區域 42 以擴展超過 p+ 區域 40' 之底部邊緣，使得 n+ 區域 42 擴展入接腳二極體浮動擴散區域 45 的 n 型區域中。

用於形成圖 14 所示之實施例之方法與圖 8 至 13 所示之方法類似，但有以下不同處。植入 p+ 區域 40' 使得其擴展於浮動擴散區域 45 之更大部分上，且將 n+ 區域 42 植入 n 型區域 41 中。圖 14 所示之實施例具有與圖 5 之實施例相比修改的電位圖，如圖 15 所示。當 p+ 區域 40' 包圍在 n+ 區域 42 周

圍，且n+區域42與n型區域45、p+區域47及接觸件27接觸時，增加額外的儲存電容(ΔC)。圖14之實施例亦可包括或省略圖5中所示之電容器31。

圖15展示了用於圖14之實施例之電位圖。因為p+區域47包圍在n+區域42周圍，所以接腳二極體之電容增加，如 ΔC 所示。因此，即使沒有外部電容器，仍可較慢地達到 V_{SAT} 。

圖15之電荷圖省略了與諸如電容器31(圖5)及圖6中之電荷儲存區域CAP的外部電容器相關聯之任何電荷電容。圖16展示了圖5之實施例之電位圖，但省略了外部電容器31。藉由比較圖15及16可不難看出藉由比圖5之實施例中之p+區域40更大的圖14之實施例中之p+區域40'產生額外儲存電容 ΔC 。

圖17展示了處理器系統300，其包括具有在圖1中描述之整體組態，但根據本發明之各種實施例之任何一個建構陣列200之像素的影像器裝置308。系統300包括具有藉由匯流排304而與各種裝置通訊之中央處理單元(CPU)的處理器302。連接至匯流排304之某些裝置提供進入系統300及來自系統300之通訊；輸入/輸出(I/O)裝置306及影像器裝置308為此等通訊裝置之實例。連接至匯流排304之其他裝置提供記憶體，其說明性地包括隨機存取記憶體(RAM)310、硬驅動器312及一個或一個以上的周邊記憶體裝置，例如軟性磁碟驅動器314及壓縮光碟(CD)驅動器316。可將影像器裝置308如圖1所示而建構，但像素陣列

200具有諸如上文關於圖5至16所描述之該等實施例之本發明之一實施例的特徵。影像器裝置308可接收來自CPU 302或系統300之其他組件的控制或其他資料。影像器裝置308可(輪流)將界定影像之訊號提供至處理器302用於影像處理或其他影像操縱操作。

已根據具有接腳二極體之浮動擴散區域描述了本發明，但當光強度上升而提供以輸出電壓之斜率之變化的其他結構將在本發明之範疇內。同樣，已關於電子轉移描述了本發明，但本發明亦可應用於將電子洞轉移至耗盡光電二極體。

上文所描述之方法及裝置說明了可使用之許多較佳方法及可製造之許多典型裝置。上文之描述及圖式說明了可達成本發明之目標、特徵及優點的實施例。然而，吾人並不希望本發明被嚴格限定於上文所描述及說明之實施例。雖然目前不能預料，但是在以下申請專利範圍之精神及範疇內之本發明的任何修正案應視作本發明所涵蓋的部分。

【圖式簡單說明】

圖1為具有像素陣列之習知影像器裝置的方塊圖；

圖2為習知影像感測器之像素之一部分的橫截面圖；

圖3為用於圖2中描述之像素之電位圖；

圖4為展示對於圖2之像素的輸出電壓作為輸入光訊號之函數的圖表；

圖5為根據本發明之一實施例之影像感測器之像素之一部分的橫截面圖；

圖6為用於圖5之像素之電位圖；

圖7為展示對於圖5之像素的輸出電壓作為輸入光訊號之函數的圖表；

圖8展示了在根據製造本發明之圖5之實施例的方法所執行之處理的初始階段期間，圖5之光電二極體之一部分的橫截面圖；

圖9展示了在圖8中所示之處理階段之後的處理階段；

圖10展示了在圖9中所示之處理階段之後的處理階段；

圖11展示了在圖10中所示之處理階段之後的處理階段；

圖12展示了在圖11中所示之處理階段之後的處理階段；

圖13展示了在圖12中所示之處理階段之後的處理階段；

圖14展示了根據本發明之另一實施例之影像感測器之像素之一部分的橫截面圖；

圖15為用於圖14之影像感測器之電位圖；

圖16為用於根據本發明之另一實施例之電位圖；

圖17為使用根據本發明之各種實施例之任何一個建構之影像器的處理系統的示意圖。

【主要元件符號說明】

15, 19	閘極堆疊
16	浮動擴散區域
17	源極/汲極
21	p區域
22	p+區域
23	n區域

24	n型區域
25, 26, 28, 29	閘極
27	接觸件
30	源極區域
31	電容器
32	第二電極
34	第一電極
33	源極跟隨器電晶體
35	列選擇電晶體
37	行讀出線
40	p+區域
40'	p+區域
41	汲極區域
42	n+型區域
43	浮動擴散區域
50	光電轉換裝置
55	淺渠溝隔離(STI)區域
59	光電二極體
60	p型基板
61	p型阱
70, 71	閘極堆疊側壁絕緣體
88	鈍化層
200	像素陣列
210	列驅動電路

220	列位址解碼器
250	控制電路
260	行驅動電路
261	採樣及保持電路
262	微分放大器
270	行位址解碼器
275	類比數位轉換器
280	影像處理器
300	處理系統
302	處理器
304	匯流排
306	輸入/輸出(I/O)裝置
308	影像器裝置
310	隨機存取記憶體(RAM)
312	硬驅動器
314	軟性磁碟驅動器
316	壓縮光碟(CD)驅動器

五、中文發明摘要：

本發明提供一種除具有接腳光電二極體外還具有接腳而浮動擴散區域之影像感測器。該接腳而浮動擴散區域增加感測器之容量以儲存電荷，增加感測器之動態範圍且加寬內景(intra-scene)強度變化。

六、英文發明摘要：

十一、圖式：

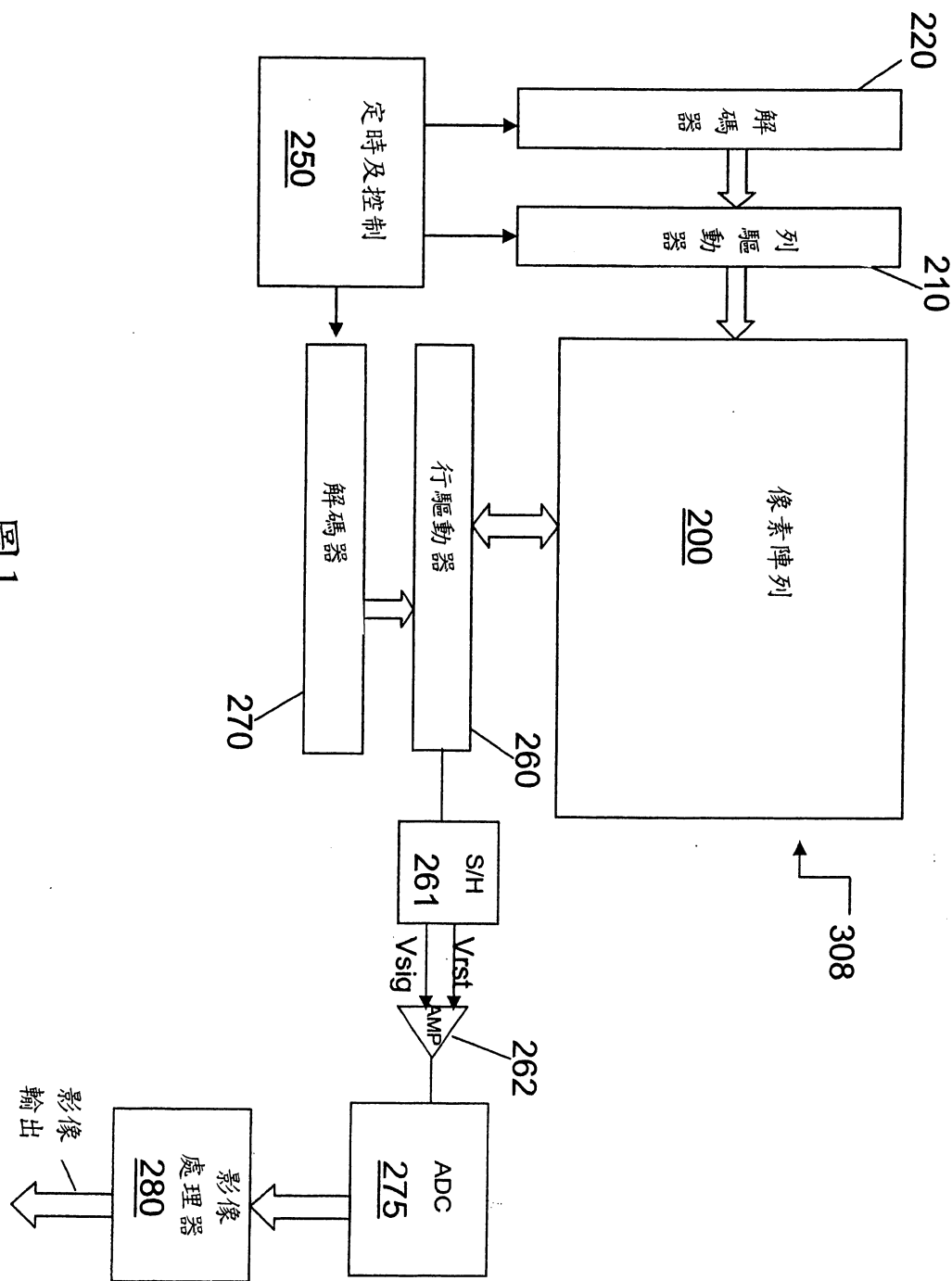


圖 1

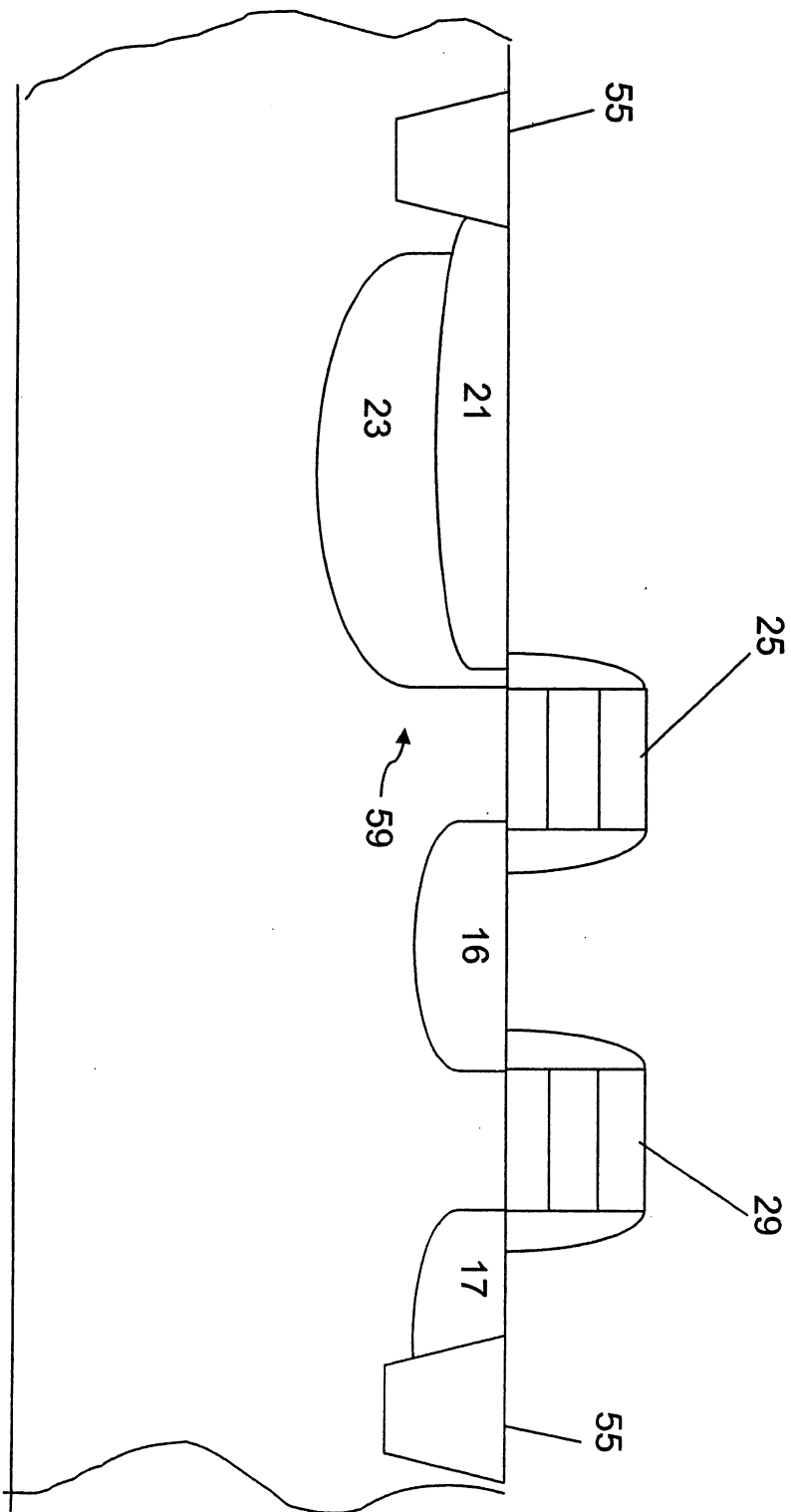


圖 2

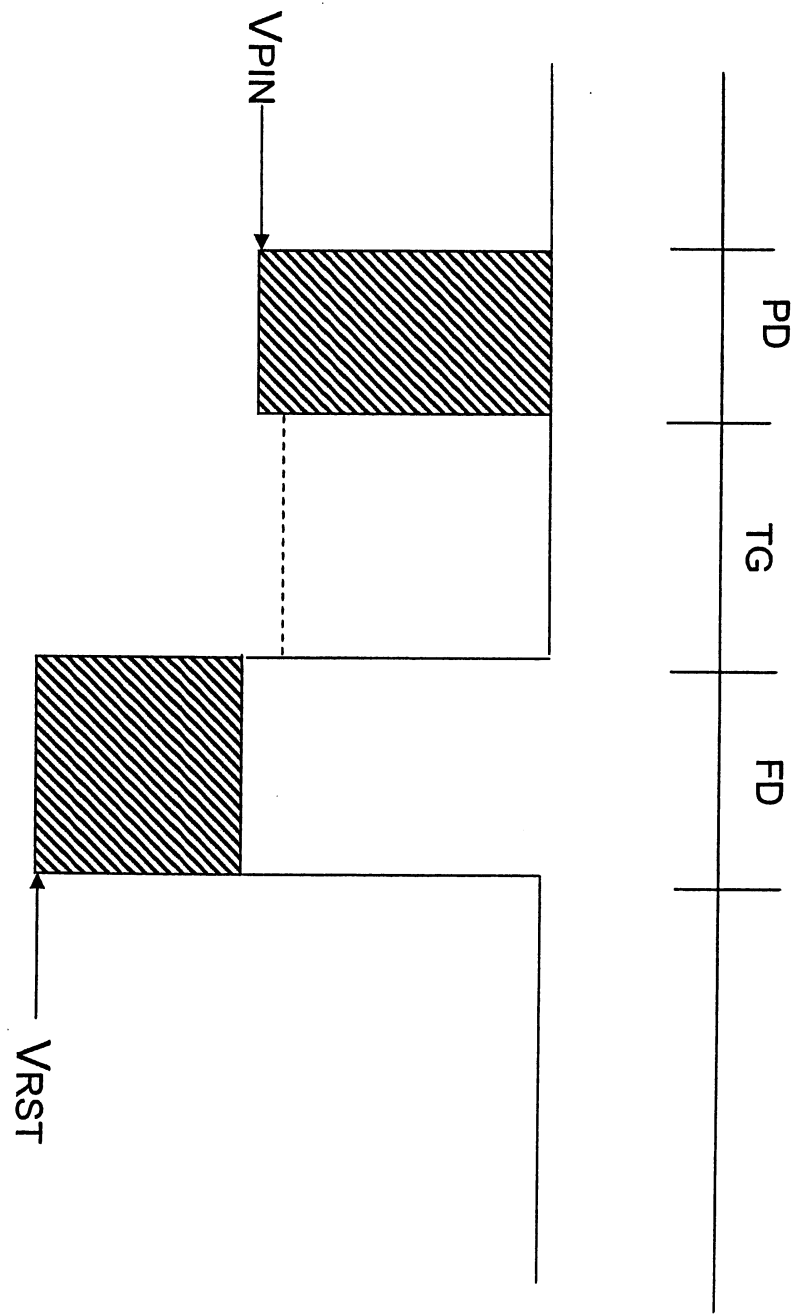


圖 3

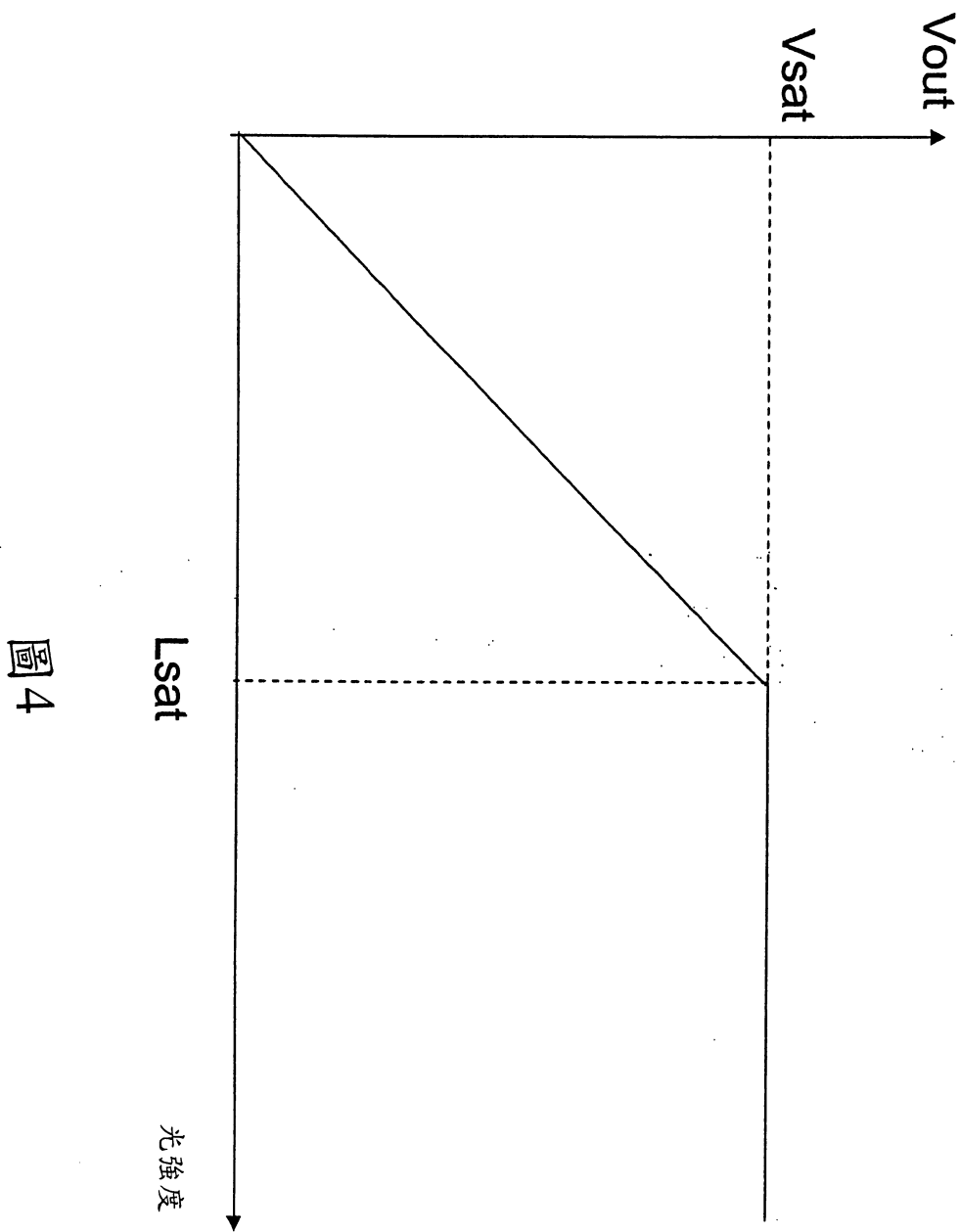
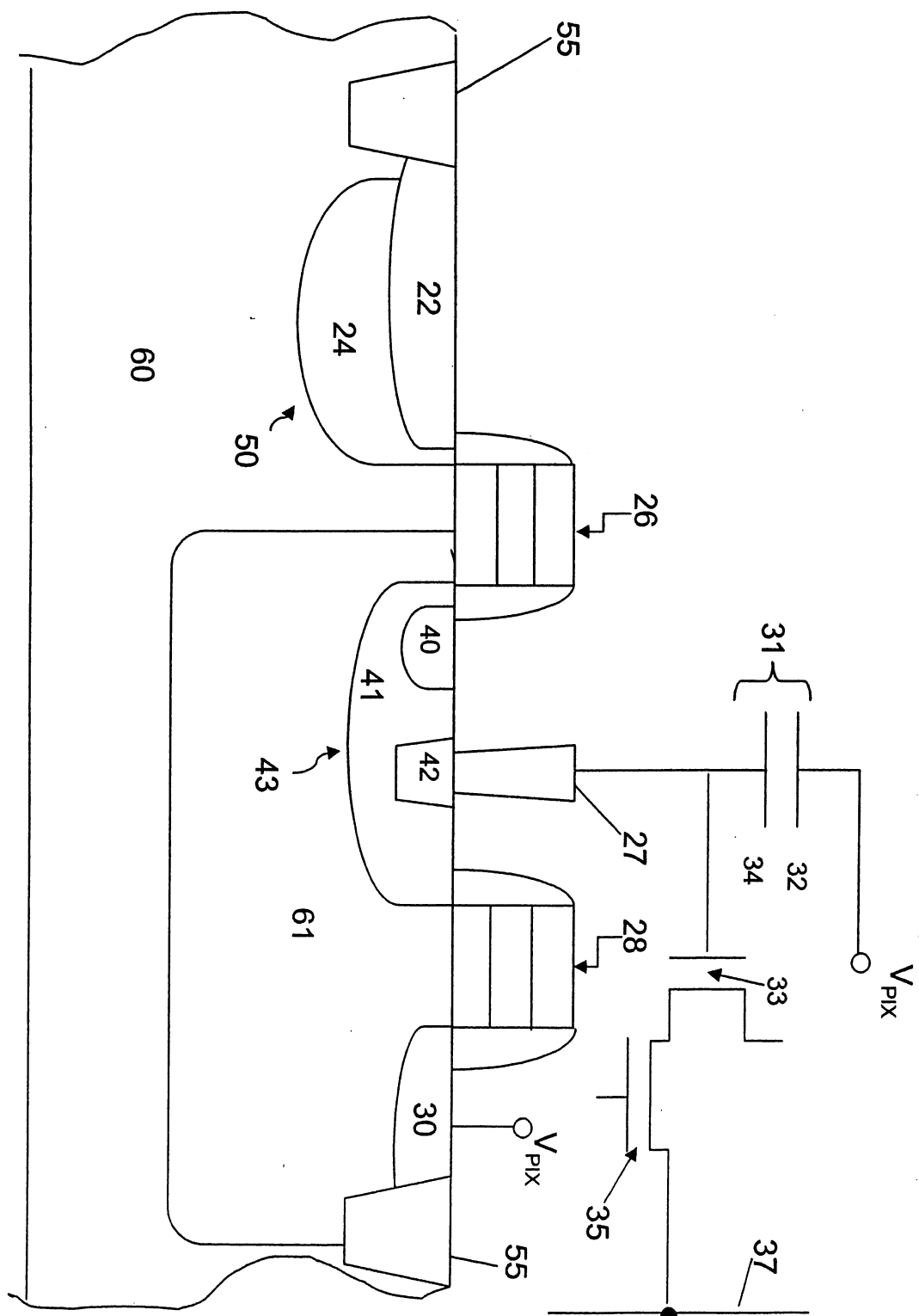


圖 4



5
圖

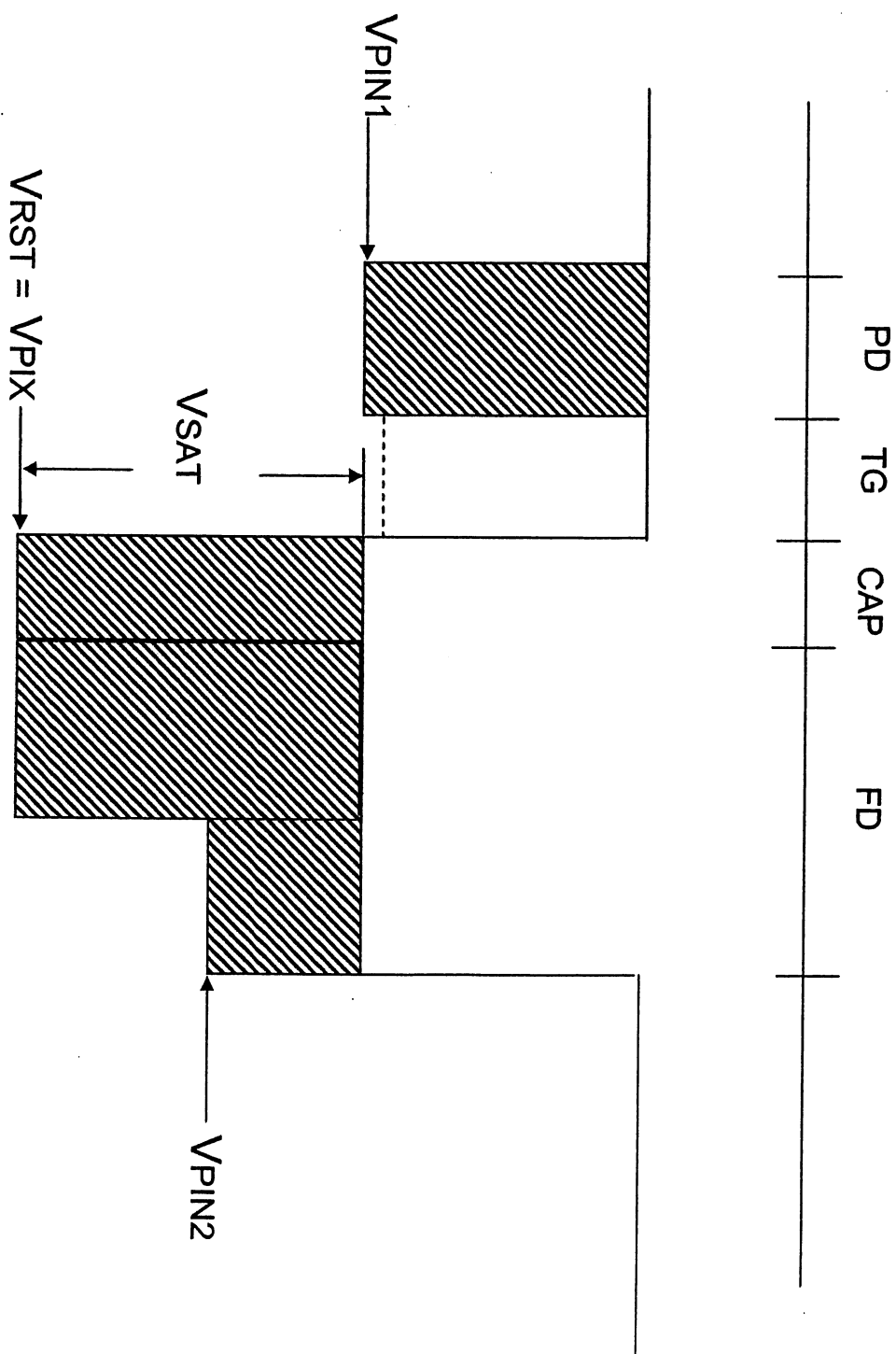


圖 6

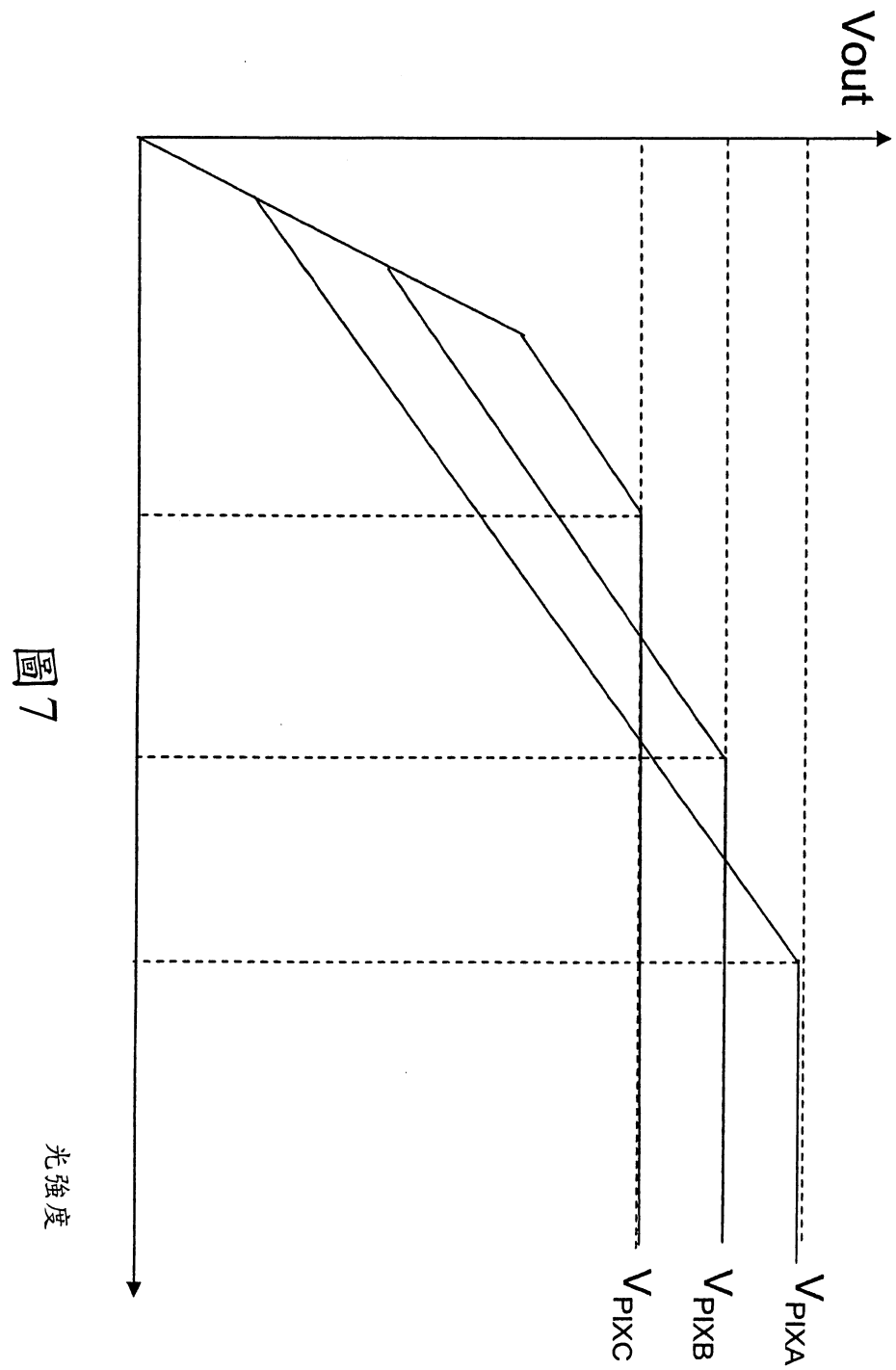


圖7

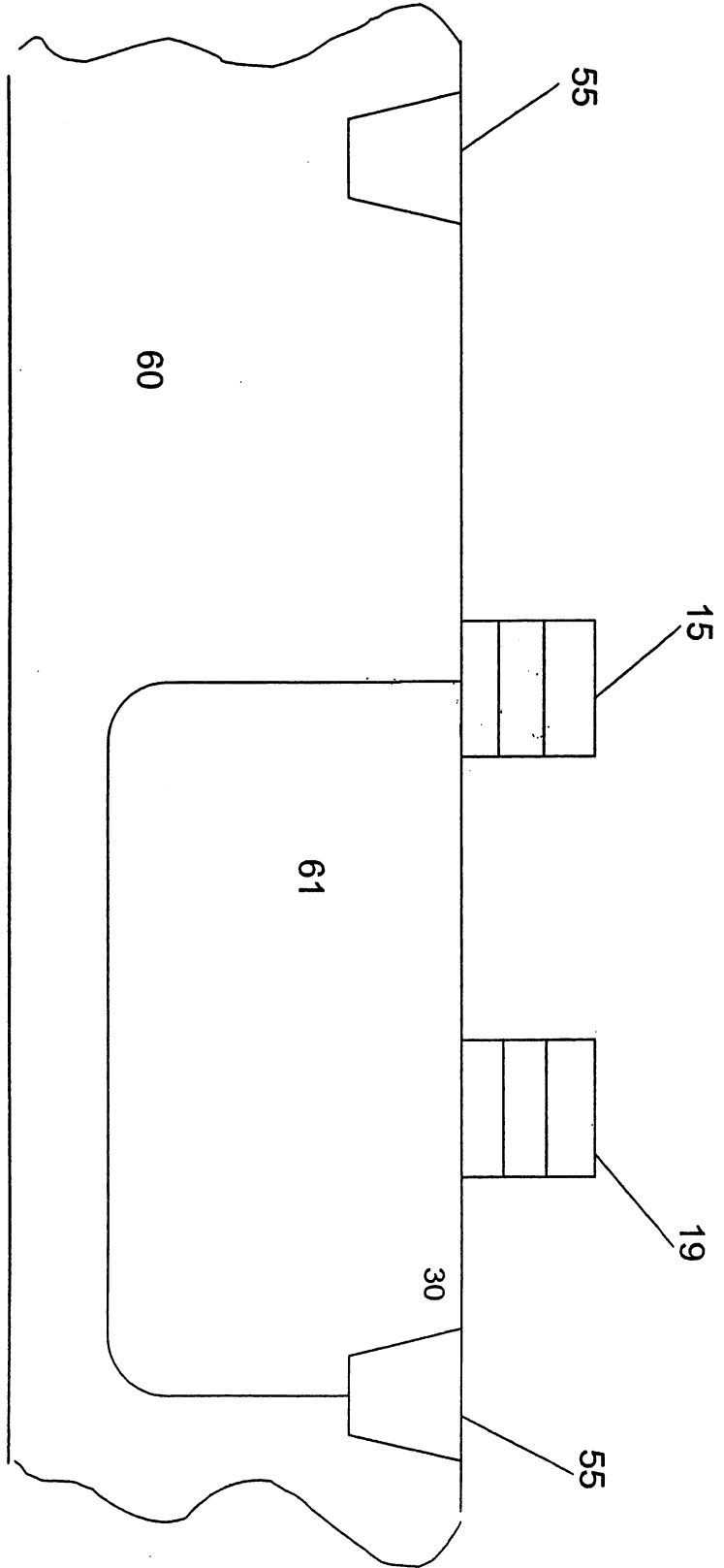


圖 8

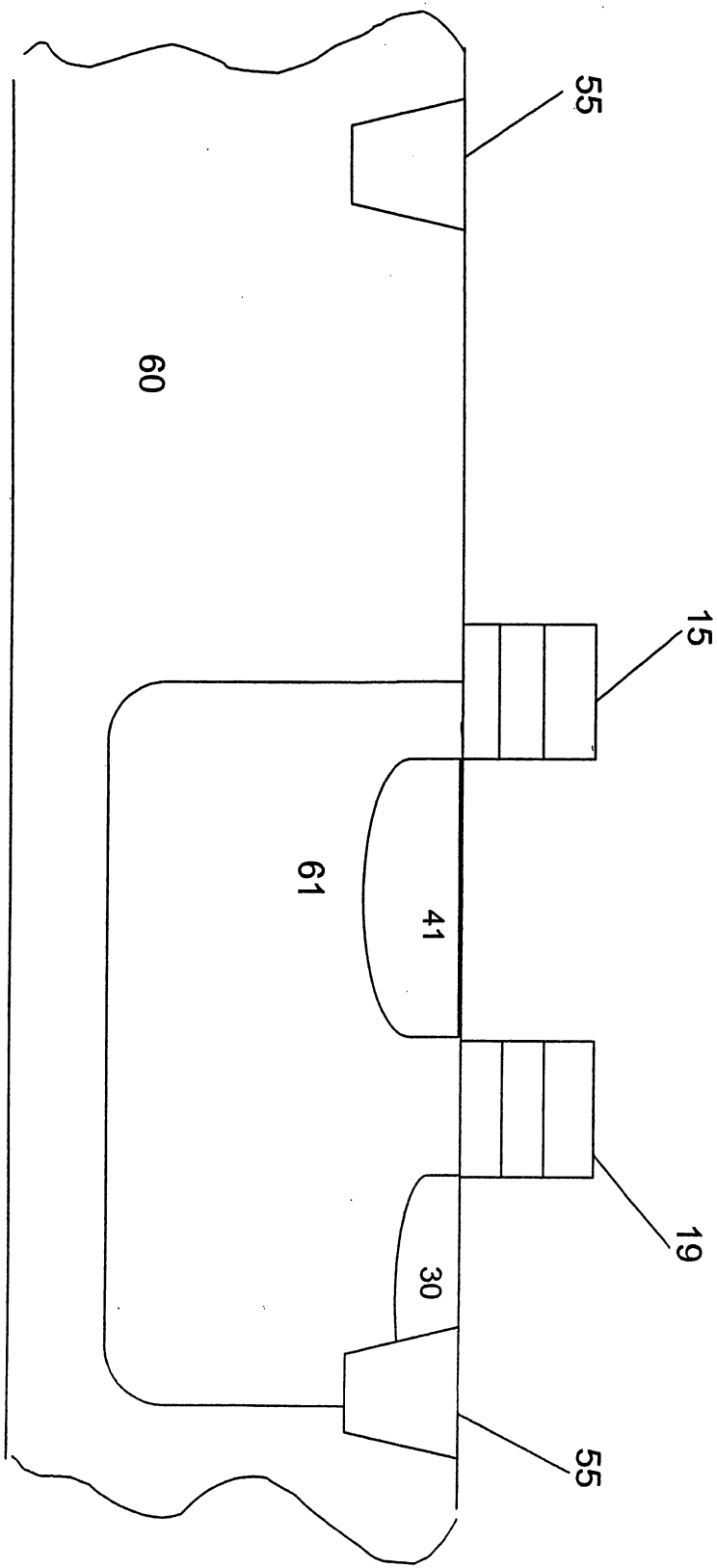


圖 9

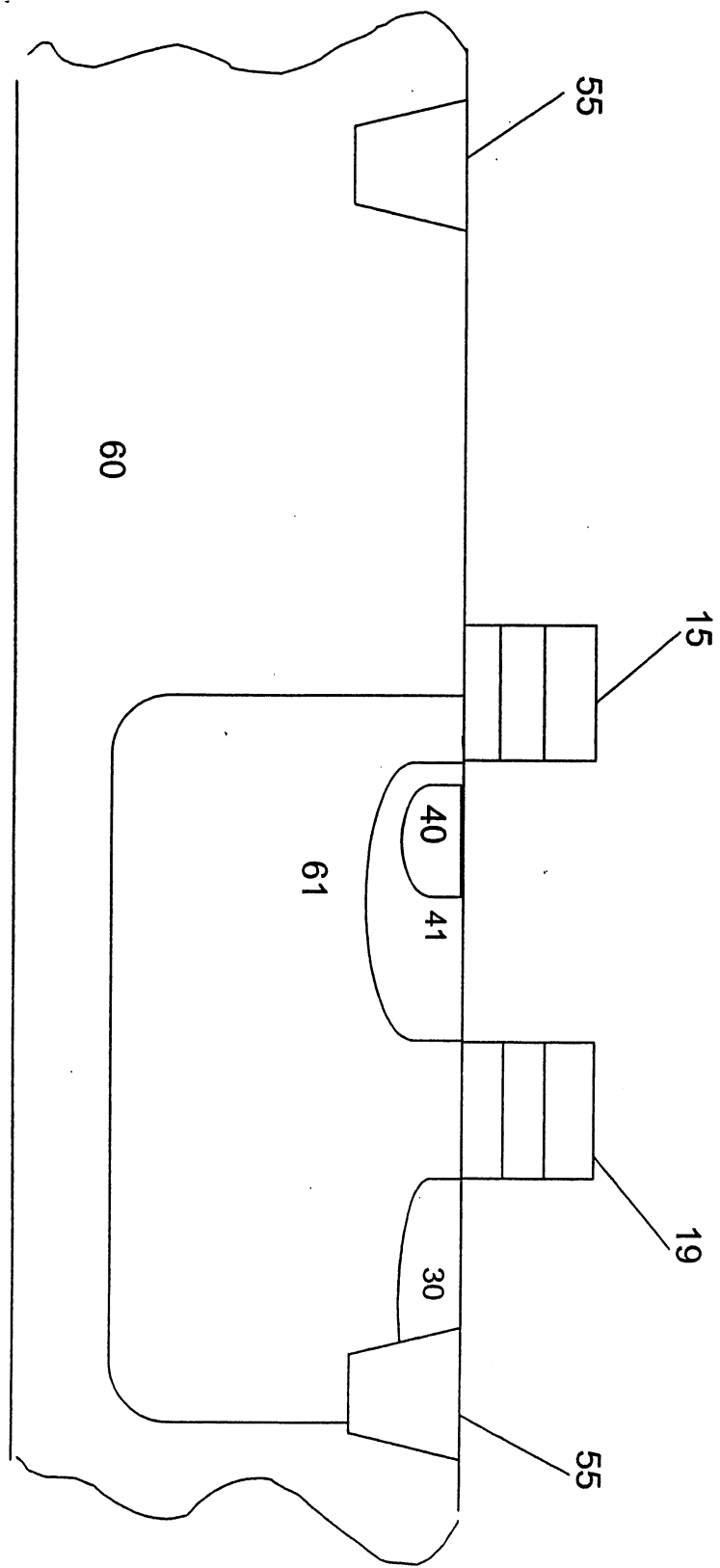


圖 10

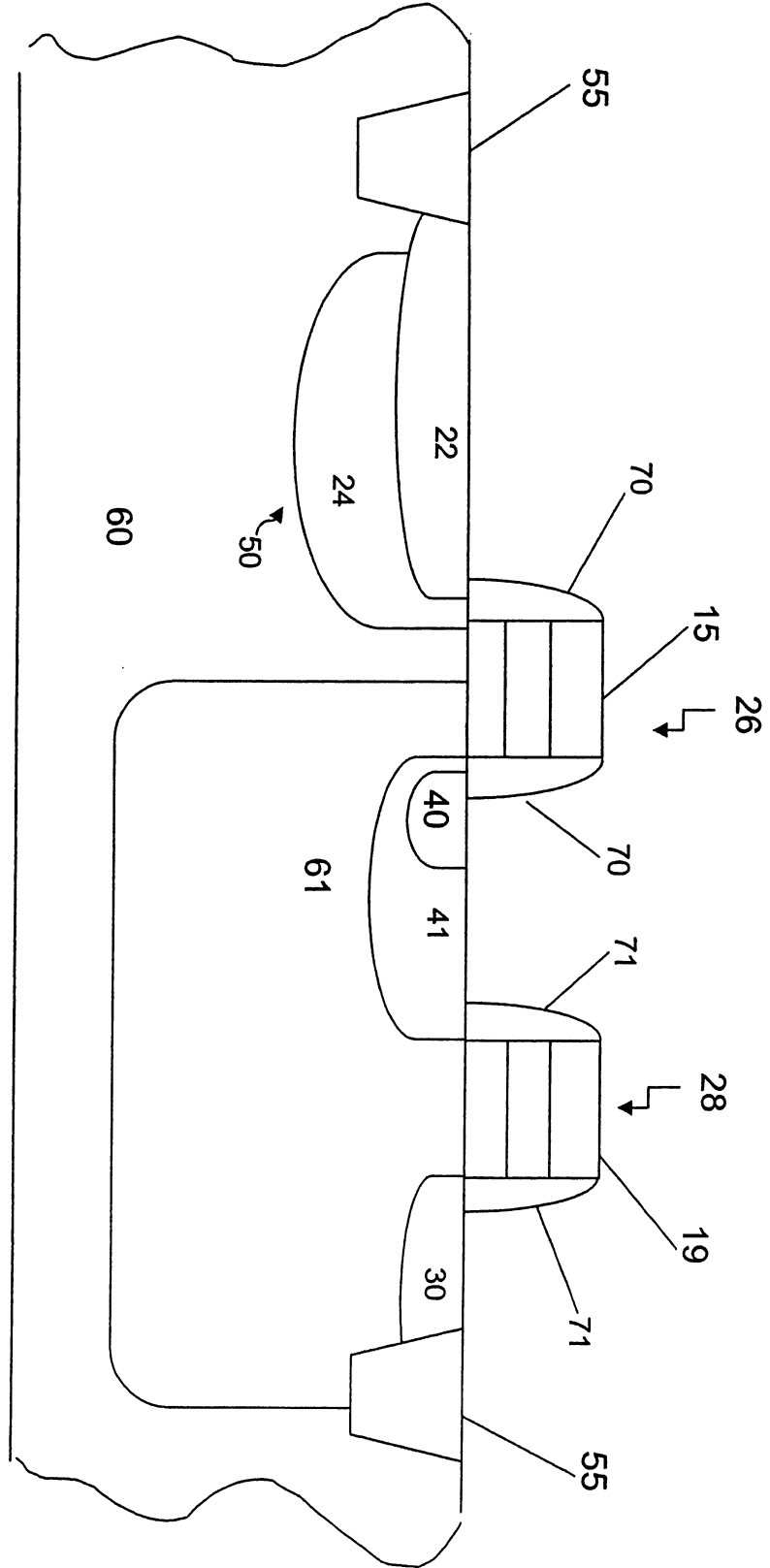


圖 11

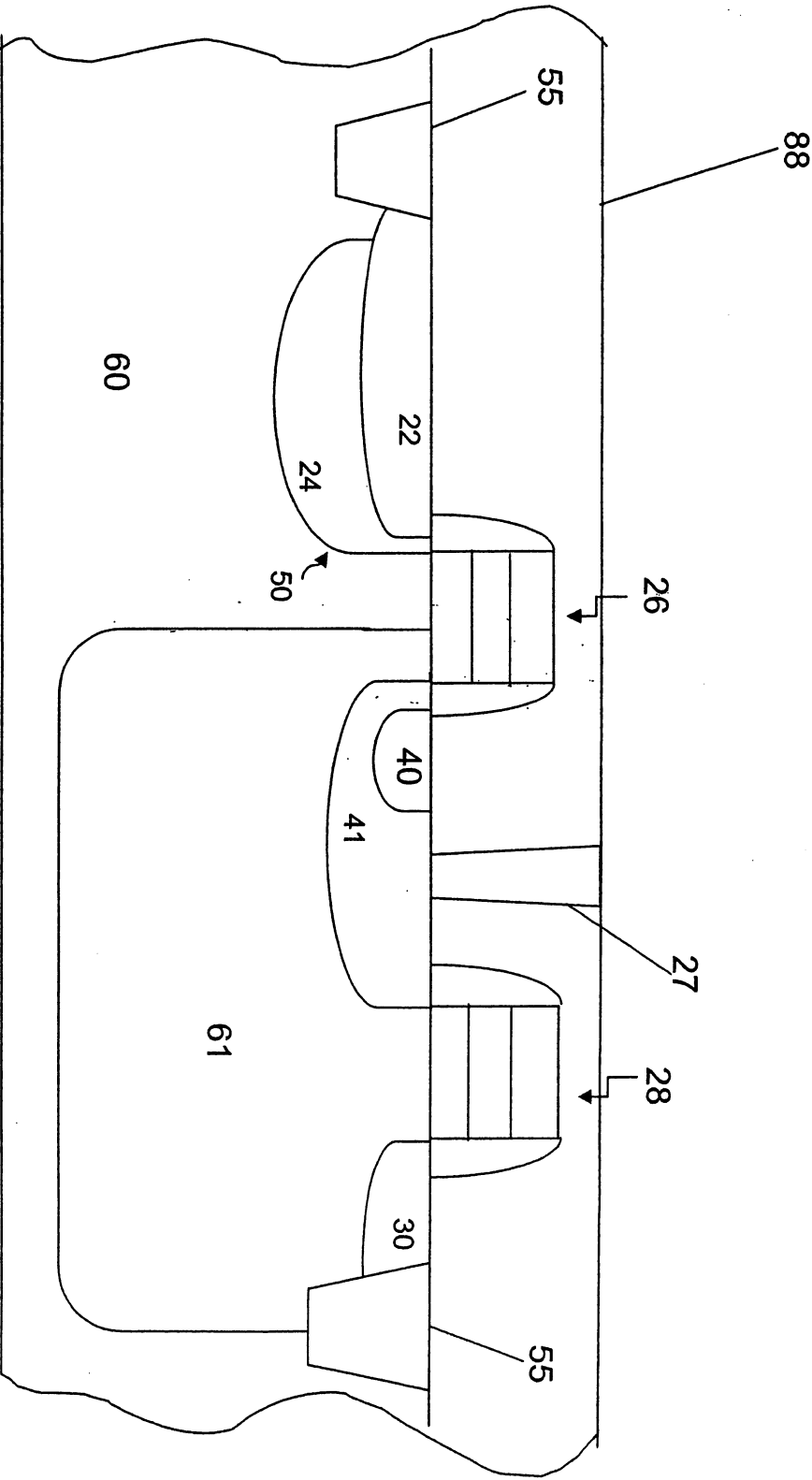


圖 12

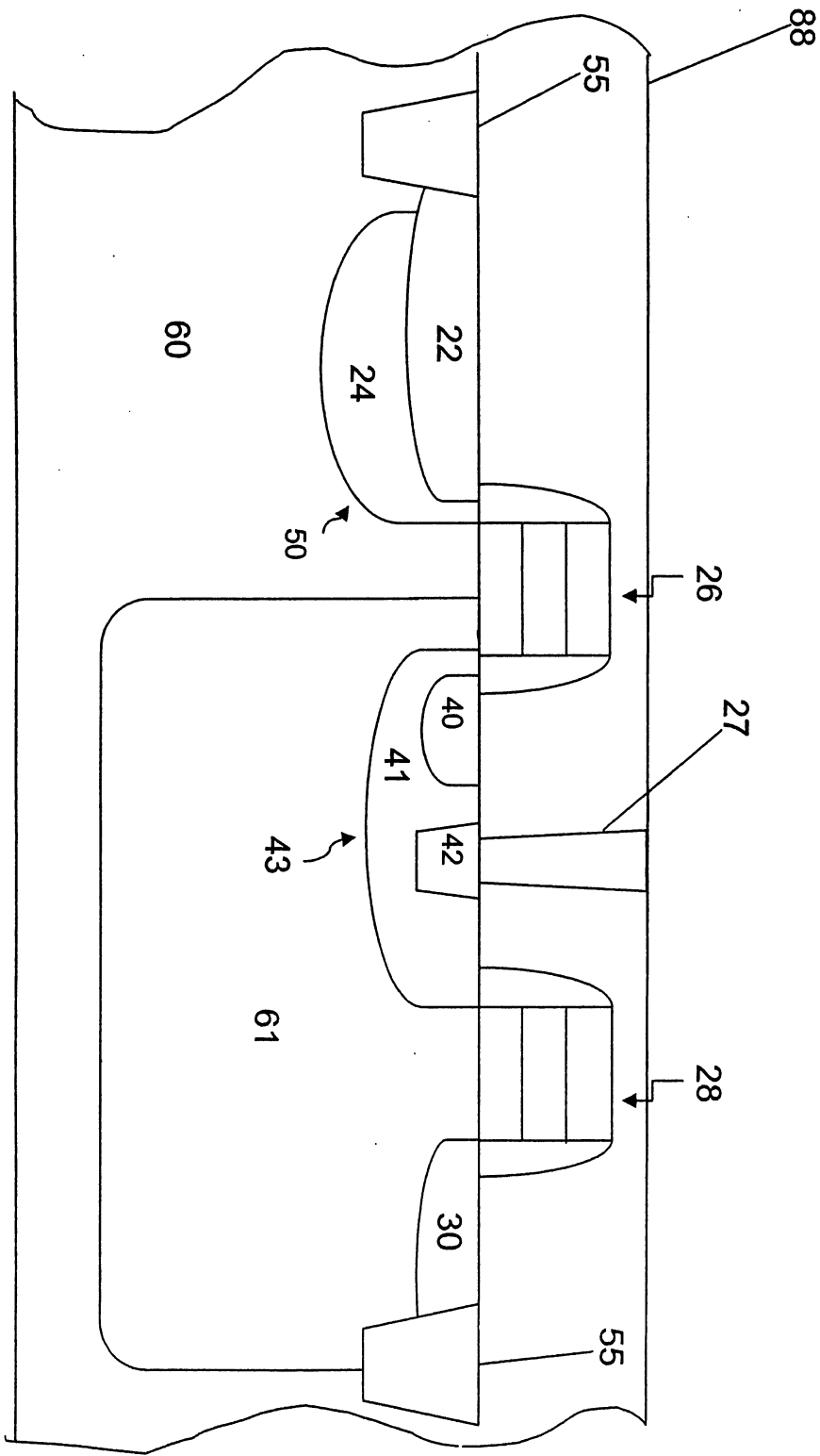


圖 13

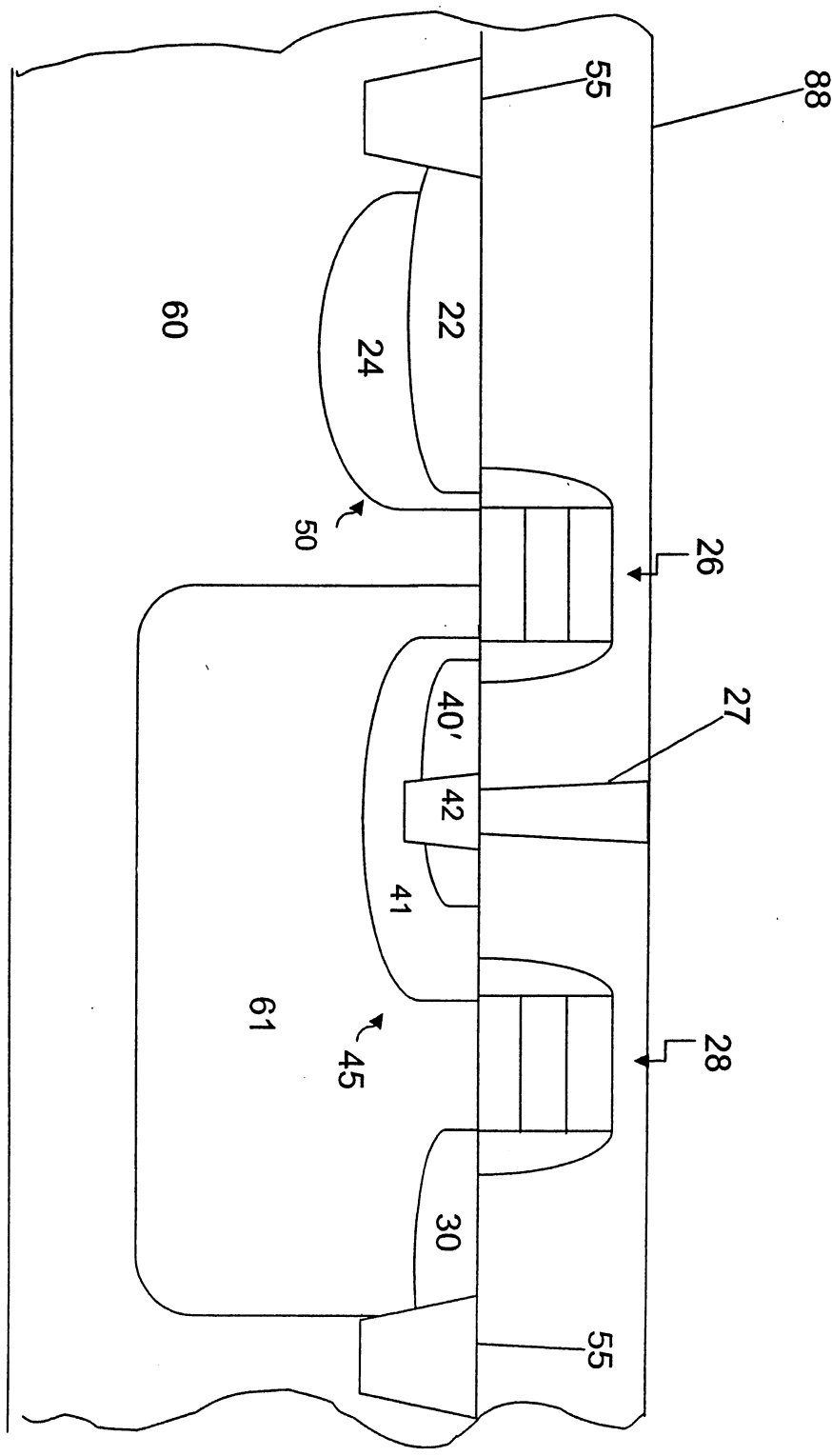


圖 14

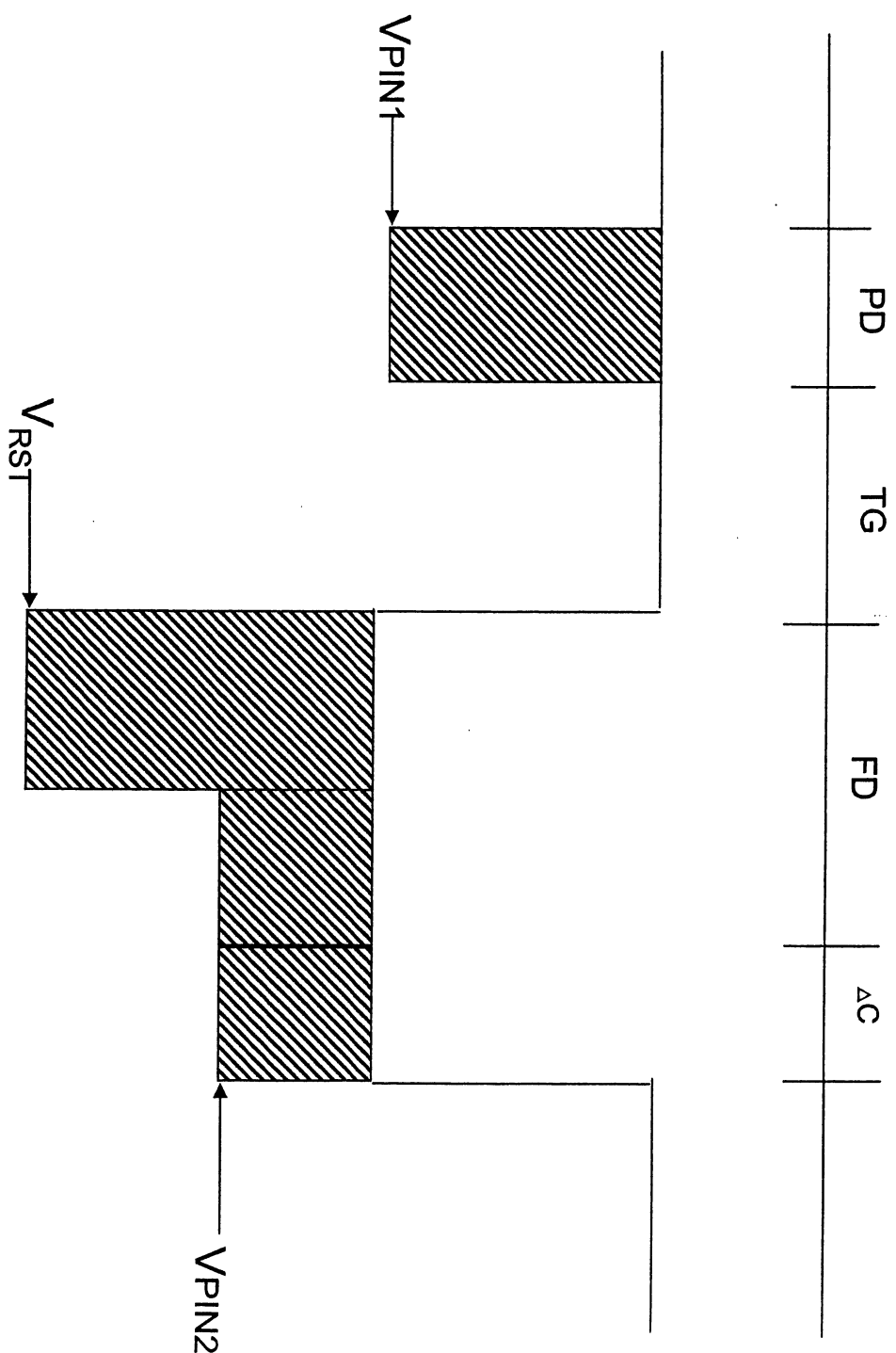


圖 15

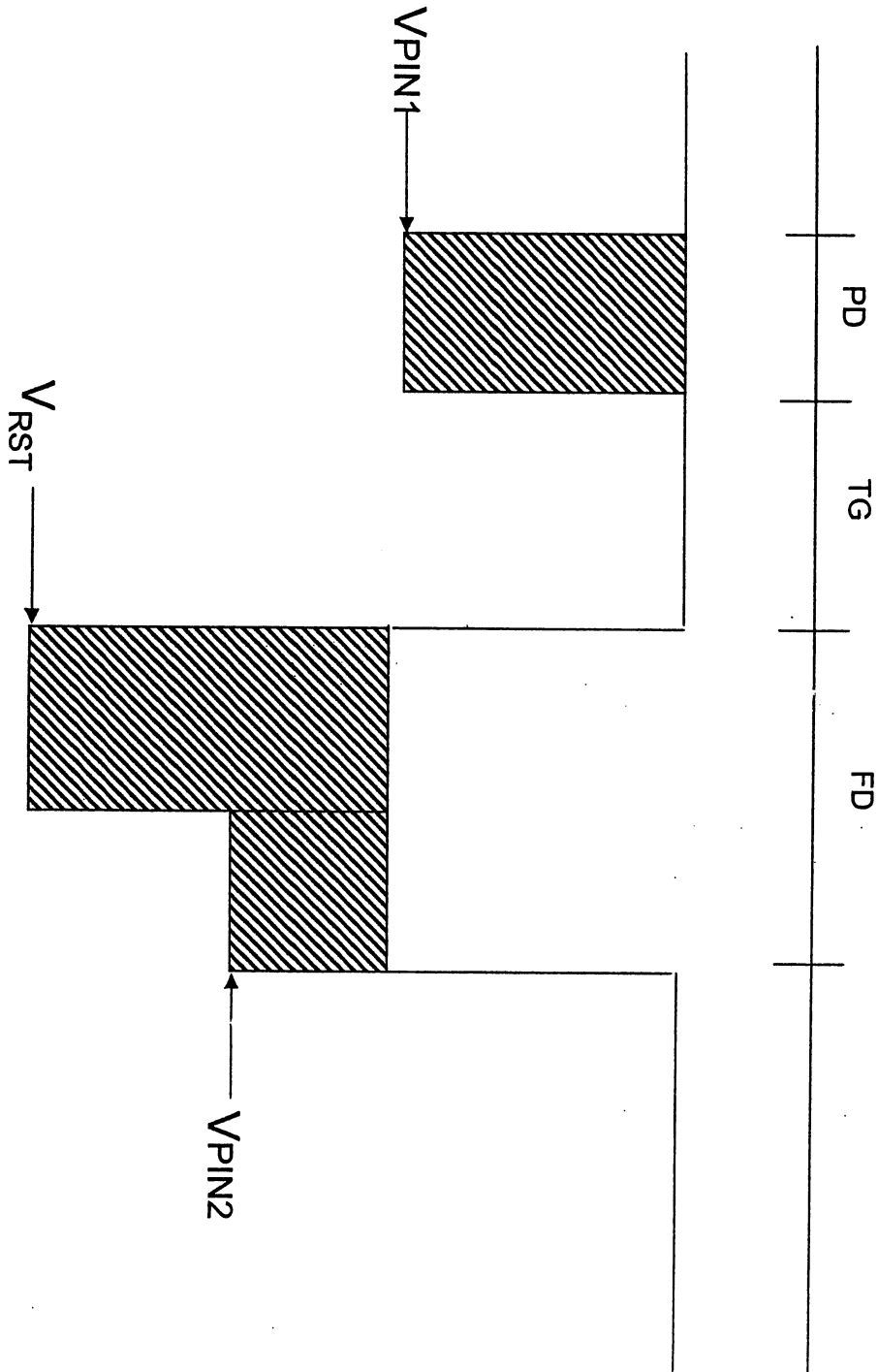


圖 16

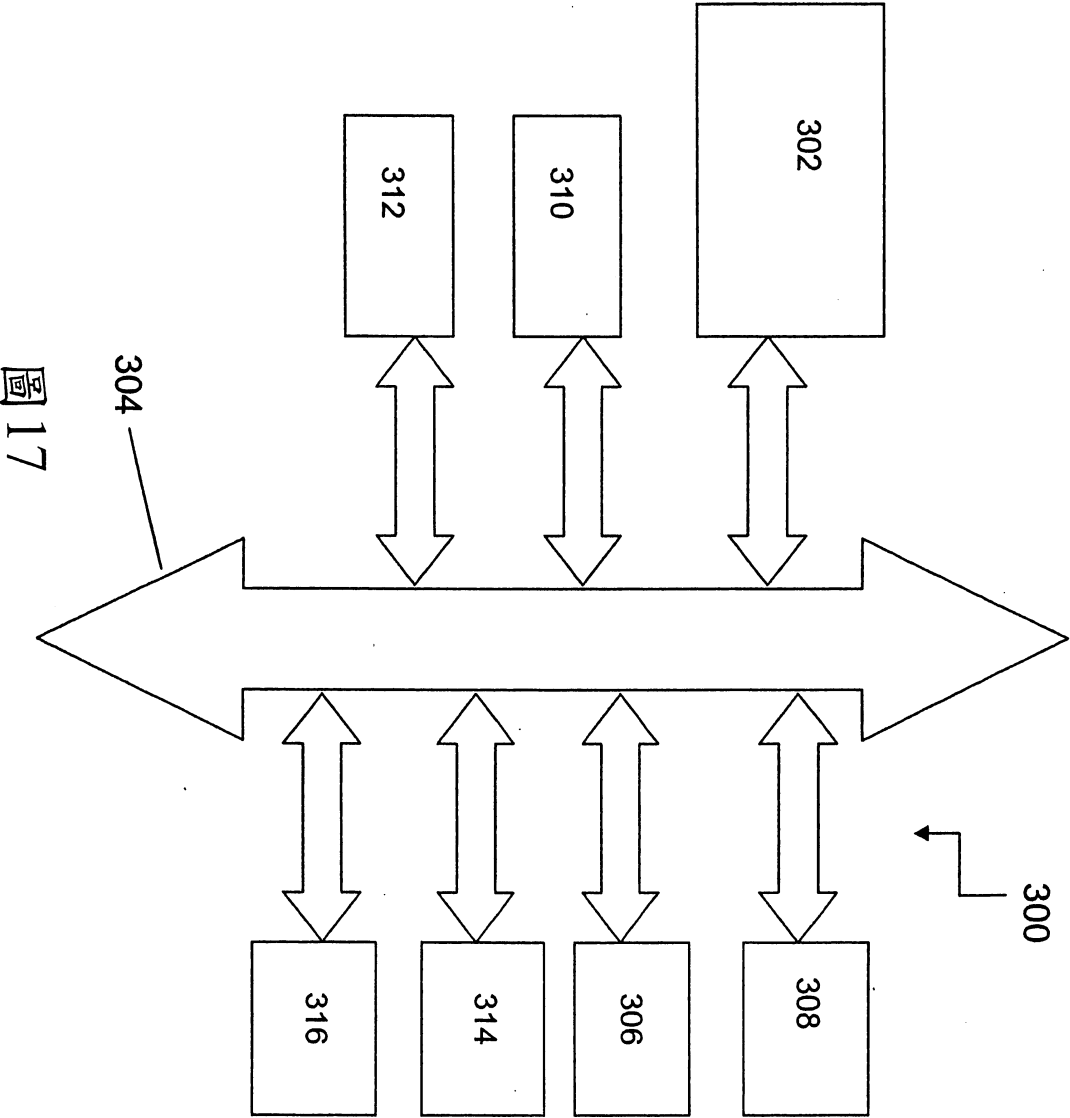


圖 17

七、指定代表圖：

(一)本案指定代表圖為：第 (5) 圖。

(二)本代表圖之元件符號簡單說明：

22	p+區域
24	n型區域
26, 28	閘極
27	接觸件
30	源極區域
31	電容器
32	第二電極
34	第一電極
33	源極跟隨器電晶體
35	列選擇電晶體
37	行讀出線
40	p+區域
41	汲極區域
42	n+型區域
43	浮動擴散區域
50	光電轉換裝置
55	淺渠溝隔離 (STI) 區域
60	p型基板
61	p型阱

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

十、申請專利範圍：

1. 一種像素感測器單元，包含：
 - 一第一傳導型之一基板；
 - 一光電轉換裝置，其包含在該基板中之一第二傳導型之一區域並具有一第一接腳電位；及
 - 一電荷收集區域，其用於接收來自該光電轉換裝置的電荷，該電荷收集區域包含位於該第二傳導型之一區域之一上表面之該第一傳導型之一區域並具有一第二接腳電位，其中該第二接腳電位係不同於該第一接腳電位。
2. 如請求項1之像素感測器單元，其進一步包含用於自該光電轉換裝置轉移電荷至該電荷收集區域之一轉移電晶體。
3. 如請求項1之像素感測器單元，其中該電荷收集區域為一浮動擴散區域。
4. 如請求項1之像素感測器單元，其中該光電轉換裝置為一光電二極體。
5. 如請求項4之像素感測器單元，其中該光電二極體為一接腳光電二極體。
6. 如請求項1之像素感測器單元，其中該電荷收集區域係在該第一傳導型之一區域內。
7. 如請求項1之像素感測器單元，其中該第二傳導型區域包含一n型區域，其中該第一傳導型區域係為一形成於該n型區域內之p+型區域。
8. 如請求項7之像素感測器單元，其進一步包含在該n型區

域內之一n+型區域。

9. 如請求項8之像素感測器單元，其中該n+型區域與該p+型區域藉由該n型區域之一部分而彼此分離。
10. 如請求項8之像素感測器單元，其中該p+型區域包圍在該n+型區域周圍，該n+型區域擴展入該n型區域內。
11. 如請求項8之像素感測器單元，其中該n+型區域與一接觸件相關聯。
12. 如請求項7之像素感測器單元，其中該p+型區域位於鄰近於一轉移電晶體閘極的位置。
13. 如請求項7之像素感測器單元，其中該p+型區域不與一重設電晶體閘極通道區域接觸。
14. 如請求項1之像素感測器單元，其進一步包含電連接至該第二傳導型區域之一外部儲存電容器。
15. 一種像素感測器單元，其包含：

一光電轉換裝置，該光電轉換裝置為一具有一第一接腳電位(V_{PIN1})之光電二極體；

一電荷收集區域，其用於接收來自該光電轉換裝置的電荷，該電荷收集區域係為一二極體並具有不同於該第一接腳電位(V_{PIN1})之一第二接腳電位(V_{PIN2})，該電荷收集區域包含：

一第二傳導型之一第一摻雜區域，其用於接收來自該光電轉換裝置的電荷，一第一傳導型之一第二摻雜區域，其在該第一摻雜區域內，及該第二傳導型之一第三摻雜區域，其在該第一摻雜區域內；及

一轉移電晶體，其用於自該光電轉換裝置轉移電荷至該電荷收集區域，且其中該第二摻雜區域及該第一摻雜區域形成一二極體，且該第二摻雜區域鄰近於該轉移電晶體之一閘極。

16. 如請求項15之像素感測器單元，其中該第二接腳電位大於該第一接腳電位。
17. 如請求項15之像素感測器單元，其中以比該電荷收集區域之該第一摻雜區域更高的該第二傳導型之一摻雜物濃度植入該第三摻雜區域。
18. 如請求項15之像素感測器單元，其中該電荷收集區域為一浮動擴散區域。
19. 如請求項15之像素感測器單元，其中該光電轉換裝置為一光電二極體。
20. 如請求項19之像素感測器單元，其中該光電二極體為一接腳光電二極體。
21. 如請求項15之像素感測器單元，其中該第二摻雜區域摻雜 p^+ 。
22. 如請求項15之像素感測器單元，其進一步包含連接至該第三摻雜區域之一儲存電容器。
23. 如請求項22之像素感測器單元，其中該儲存電容器經由一接觸件而連接至該第三摻雜區域。
24. 如請求項23之像素感測器單元，其中該接觸件為一低歐姆接觸件。
25. 如請求項15之像素感測器單元，其中該第二摻雜區域及

該第三摻雜區域藉由該第一摻雜區域之一部分而彼此分離。

26. 如請求項15之像素感測器單元，其中該第二摻雜區域包圍在該第三摻雜區域周圍，該第三摻雜區域擴展入該第一摻雜區域中。

27. 一種像素感測器單元，其包含：

一第一傳導型之一基板；

一光電轉換裝置，其包含在該基板中之一第二傳導型之一區域；

一電荷收集區域，其用以自該光電轉換裝置接收電荷，該電荷收集區域包含位於該第二導電型之一區域之一上表面之該第一導電型之一區域；該電荷收集區域具有接收來自該光電轉換裝置之電荷且回應以提供代表在該光電轉換裝置上之入射光之一輸出訊號之一二極體，該電荷收集區域具有至少兩個輸出訊號對所接收電荷之特徵，該等兩個特徵各別具有一第一輸出訊號斜率及一第二輸出訊號斜率；及

該第二輸出訊號斜率，其以低於該第一輸出訊號斜率之一比率上升。

28. 如請求項27之像素感測器單元，其中該輸出訊號為一電壓訊號。

29. 如請求項27之像素感測器單元，其進一步包含用於自該光電轉換裝置轉移電荷至該電荷收集區域之一轉移電晶體。

30. 如請求項27之像素感測器單元，其中該電荷收集區域為一浮動擴散的區域。
31. 如請求項27之像素感測器單元，其中該光電轉換裝置為一光電二極體。
32. 如請求項31之像素感測器單元，其中該光電二極體為一接腳光電二極體。
33. 如請求項27之像素感測器單元，其中該二極體係在該第一傳導型之一區域內。
34. 如請求項27之像素感測器單元，其中該第二導電型區域包含一n型區域，其中該第二導電型區域係為一形成於該n型區域內之p+型區域。
35. 如請求項34之像素感測器單元，其進一步包含在該n型區域內之一n+型區域。
36. 如請求項35之像素感測器單元，其中該n+型區域與該p+型區域藉由該n型區域之一部分而彼此分離。
37. 如請求項35之像素感測器單元，其中該p+型區域包圍在該n+型區域周圍，該n+型區域擴展入該n型區域中。
38. 如請求項35之像素感測器單元，其中該n+型區域與一接觸件相關聯。
39. 如請求項34之像素感測器單元，其中該p+型區域位於鄰近於一轉移電晶體閘極的位置。
40. 如請求項34之像素感測器單元，其中該p+型區域不與一重設電晶體閘極通道區域接觸。
41. 如請求項27之像素感測器單元，其進一步包含電連接至

該電荷收集區域之一外部儲存電容器。

42. 一種處理系統，其包含：

一處理器；及

一影像器，其耦合至該處理器，其具有像素感測器單元，其中每一像素感測器單元包含：

一第一導電型之一基板；

一光電轉換裝置，其包含在該基板內之一第二導電型之一區域並具有一第一接腳電位；

一電荷收集區域，其用以自該光電轉換裝置接收電荷，該電荷收集區域包含位於該第二導電型之一區域之一上表面之該第一導電型之一區域並具有一第二接腳電位，其中該第二接腳電位係不同於該第一接腳電位；

一用於自該光電轉換裝置轉移電荷至該電荷收集區域的轉移電晶體；及

一讀出電路，其包含至少一輸出電晶體。

43. 如請求項42之系統，其中該電荷收集區域為一浮動擴散區域。

44. 如請求項42之系統，其進一步包含電連接至該電荷收集區域之一儲存電容器。

45. 如請求項42之系統，其中該影像器為一CMOS影像器。

46. 一種影像器積體電路，其包含：

一摻雜層，其形成於一基板中；

一像素感測器單元陣列，其形成於該摻雜層中，其中

每一像素感測器單元包含；

一第一導電型之該基板；

一電荷收集區域，其用以自該光電轉換裝置接收電荷，該電荷收集區域包含位於該第二導電型之一區域之一上表面之該第一導電型之一區域，該電荷收集區域，其具有接收來自該光電轉換裝置之電荷且回應以提供代表在該光電轉換裝置上之入射光之一輸出訊號之一二極體，該電荷收集區域具有至少兩個輸出訊號對所接收電荷之特徵，該等兩個特徵具有根據所接收電荷之一位準之各別輸出訊號斜率；及

訊號處理電路，其形成於該基板中且電連接至該陣列，用於接收及處理表示藉由該陣列所獲得之一影像的像素訊號且用於提供表示該影像之輸出資料。

47. 如請求項46之影像器積體電路，其中該電荷收集區域為一浮動擴散區域。

48. 如請求項46之影像器積體電路，其進一步包含電連接至該電荷收集區域之一儲存電容器。

49. 如請求項46之影像器積體電路，其中該影像器為一CMOS影像器。

50. 一種影像器，其包含：

複數個像素感測單元，其中各像素感測單元包含：

一第一導電型之一基板；

一光電轉換裝置，其包含在該基板內之一第二導電型之一區域；

一電荷收集區域，其用以自該光電轉換裝置接收電荷，該電荷收集區域包含位於該第二導電型之一區域之一上表面之該第一導電型之一區域，該電荷收集區域具有接收來自至少一光電轉換裝置之電荷且回應以提供表示在該至少一光電轉換裝置上之入射光之一輸出訊號之一二極體，該電荷收集區域具有至少兩個輸出訊號對所接收電荷之特徵，該等兩個特徵各別具有一第一輸出訊號斜率及一第二輸出訊號斜率；及

該第二輸出訊號斜率，其以低於該第一輸出訊號斜率之一比率上升。

51. 如請求項50之影像器，其中該電荷收集區域為一浮動擴散區域。

52. 如請求項50之影像器，其中該影像器為一電荷耦合裝置(CCD)影像器。

53. 一種形成一像素感測器單元之方法，其包含以下步驟：

形成一第一導電型之一基板；

形成具有一光電轉換裝置之該像素感測器單元，該光電轉換裝置包含在該基板內之該第二導電型之一區域；
及

形成用於接收來自該光電轉換裝置之電荷之一電荷收集區域，該電荷收集區域包含位於該第二導電型之一區

域之一上表面之該第一導電型之一區域，該電荷收集區域包含接收來自至少一個光電轉換裝置之電荷且回應以提供表示在該至少一個光電轉換裝置上之入射光之一輸出訊號之一二極體，該電荷收集區域具有至少兩個輸出訊號對所接收電荷之特徵，該等兩個特徵各自具有一第一輸出訊號斜率及一第二輸出訊號斜率，該第二輸出訊號斜率以低於該第一輸出訊號斜率之一比率上升。

54. 如請求項 53 之方法，其進一步包含形成用於將電荷自該光電轉換裝置轉移至該電荷收集區域之一轉移電晶體。

55. 如請求項 53 之方法，其中該電荷收集區域為一浮動擴散區域。

56. 如請求項 53 之方法，其中該光電轉換裝置為一光電二極體。

57. 如請求項 56 之方法，其中該光電二極體為一接腳光電二極體。

58. 如請求項 53 之方法，其中該二極體係在該第一傳導型之一區域內。

59. 如請求項 53 之方法，其中該第二導電型區域包含一 n 型區域，其中該第一導電區域係為形成於該 n 型區域內之一 p⁺ 型區域。

60. 如請求項 59 之方法，其進一步包含在該 n 型區域內之一 n⁺ 型區域。

61. 如請求項 60 之方法，其中該 n⁺ 型區域與一接觸件相關聯。

62. 如請求項60之方法，其中該n+型區域及該p+型區域藉由該n型區域之一部分而彼此分離。
63. 如請求項60之方法，其中該p+型區域包圍在該n+型區域周圍，該n+型區域擴展入該n型區域中。
64. 如請求項59之方法，其中將該p+型區域位於鄰近於一轉移電晶體閘極的位置。
65. 如請求項59之方法，其中將該p+型區域不與一重設電晶體閘極通道區域接觸。
66. 如請求項53之方法，其進一步包含形成電連接至該電荷收集區域之一外部電容器。
67. 一種形成一像素感測器單元之方法，其包含以下步驟：
形成該像素感測器單元，其備有一第一接腳電位之光電二極體及包含具有不同於該第一接腳電位(V_{PIN1})之一第二接腳電位(V_{PIN2})之一二極體之一電荷收集區域，該二極體具有一第一傳導型之一第一摻雜區域；
形成與該電荷收集區域相關聯具有一第二傳導型之一第二摻雜區域；
形成連接至該電荷收集區域之一接觸件；及
形成在該接觸件下具有該第一傳導型且與該電荷收集區域相關聯之一第三摻雜區域。
68. 如請求項67之方法，其中該第二接腳電位大於該第一接腳電位。
69. 如請求項67之方法，其中以比該電荷收集區域之該第一摻雜區域更高的該第一傳導型之一摻雜物濃度摻雜該第

三摻雜區域。

70. 如請求項67之方法，其中該電荷收集區域為一浮動擴散區域。

71. 如請求項67之方法，其中該光電轉換裝置為一光電二極體。

72. 如請求項71之方法，其中該光電二極體為一接腳光電二極體。

73. 如請求項67之方法，其中該第二摻雜區域摻雜 p^+ 。

74. 如請求項67之方法，其進一步包含形成連接至該第三摻雜區域之一儲存電容器。

75. 如請求項74之方法，其中該儲存電容器經由一接觸件連接至該第三摻雜區域。

76. 如請求項75之方法，其中該接觸件為一低歐姆接觸件。

77. 如請求項67之方法，其中該第二摻雜區域及該第三摻雜區域藉由該第一摻雜區域之一部分而彼此分離。

78. 如請求項67之方法，其中該第二摻雜區域圍繞在該第三摻雜區域周圍，該第三摻雜區域擴展入該第一摻雜區域中。