

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2014년 12월 31일 (31.12.2014)



(10) 국제공개번호
WO 2014/209080 A1

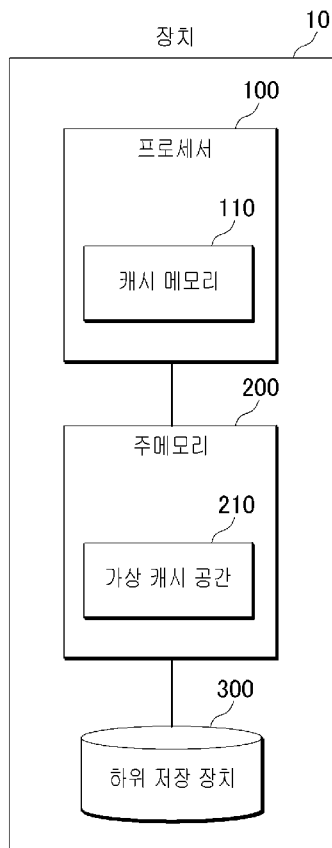
- (51) 국제특허분류:
G06F 12/08 (2006.01)
- (21) 국제출원번호: PCT/KR2014/005791
- (22) 국제출원일: 2014년 6월 30일 (30.06.2014)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2013-0075581 2013년 6월 28일 (28.06.2013) KR
- (71) 출원인: 세종대학교산학협력단 (INDUSTRY-ACADEMIA COOPERATION GROUP OF SEJONG UNIVERSITY) [KR/KR]; 143-747 서울시 광진구 능동로 209 (군자동, 세종대학교), Seoul (KR).
- (72) 발명자: 박기호 (PARK, Gi Ho); 142-809 서울시 강북구 도봉로 20 가길 12, 4층(미아동, 경상빌딩), Seoul (KR).

- (74) 대리인: 특허법인 엠에이피에스 (MAPS INTELLECTUAL PROPERTY LAW FIRM); 137-810 서울시 서초구 사평대로 343, 4층(반포동, 제일약품빌딩), Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,

[다음 쪽 계속]

(54) Title: MEMORY SYSTEM INCLUDING VIRTUAL CACHE AND METHOD FOR MANAGING SAME

(54) 발명의 명칭 : 가상 캐시를 포함하는 메모리 시스템 및 그 관리 방법



10 ... Device
100 ... Processor
110 ... Cache memory
200 ... Main memory
210 ... Virtual cache space
300 ... Lower storage device

(57) Abstract: The present invention provides a memory system comprising a lower memory which has a virtual cache space in which cache data is stored in an upper cache memory before power of the upper cache memory is cut off, and copies, as a whole, the data stored in the virtual cache space to the upper cache memory when power is supplied to the upper cache memory.

(57) 요약서: 본 발명은 상위 캐시 메모리의 전원이 차단되기 전에 상위 캐시 메모리에 저장되어 있는 캐시 데이터를 저장하는 가상 캐시 공간을 포함하되, 상위 캐시 메모리에 전원이 공급될 때 가상 캐시 공간에 저장되어 있는 데이터가 상위 캐시 메모리로 일괄 복사되도록 하는 하위 메모리를 가지는 것을 특징으로 하는 메모리 시스템을 제공한다.



TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제 21 조(3))
- 청구범위 보정 기한 만료 전의 공개이며, 보정서를 접수하는 경우 그에 관하여 별도 공개함 (규칙 48.2(h))

명세서

발명의 명칭: 가상 캐시를 포함하는 메모리 시스템 및 그 관리 방법 기술분야

[1] 본 발명은 가상 캐시를 포함하는 메모리 시스템 및 그 관리 방법에 관한 것이다.

배경기술

[2] 최근 고사양 컴퓨터 시스템뿐 아니라 휴대용 단말에도 멀티 코어 프로세서가 탑재되고 있다. 이러한 추세에 따라, 프로세서의 소모 전력을 줄이려는 노력도 증가하고 있다. 특히, 멀티 프로세서 시스템의 소비 전력을 줄이기 위하여 프로세서가 캐시 메모리로의 전원을 차단하는 고수준 저전력 모드, 대기 모드 또는 수면 모드로 진입하여 캐시 메모리의 데이터를 유지하는데 소모되는 전원을 줄이는 시도가 늘고 있다.

[3] 이러한 저전력 모드 진입 시 메모리 시스템에서 상위 캐시 메모리에 저장되어 있던 데이터는 주메모리 등 하위 메모리에 저장되어야 유실을 방지할 수 있다. 특히, 상위 캐시 메모리로 로딩된 이후 수정된 더티(dirty) 데이터는 수정된 내용을 하위 메모리에 저장되어야 한다. 따라서 시스템은 상위 캐시 메모리의 전원이 차단되기 전에 상위 캐시 메모리에 있던 데이터를 하위 메모리에 라이트 백(write back)하게 된다.

[4] 그러나, 종래 기술은 저전력 모드에서 정상 모드로 복귀하는 시점에 상위 캐시 메모리에 저장된 데이터가 없는 상태가 된다는 문제가 있다. 따라서 처음 시스템을 작동시킬 때와 같이, 캐시 접근 실패(cache miss)를 겪으면서 필요한 데이터를 하위 메모리로부터 다시 읽어와야 한다.

[5] 이에 따라, 이러한 종래 기술은 시스템이 정상 모드로 복귀할 때 잦은 캐시 접근 실패에 따른 성능 저하 및 전력 소모 문제를 가진다. 또한, 이러한 성능 저하 등에 의하여 저전력 모드로 진입할 기회가 줄어들게 되어, 저전력 모드 진입에 따른 전력 소모 감소의 혜택을 상대적으로 못 받게 되는 단점이 있다.

[6] 따라서 상위 캐시 메모리의 전원 차단 전후의 부수적인 성능 저하 및 전력 소모를 줄이는 방법이 필요하다. 또한, 프로세서뿐 아니라 하위 메모리의 전원을 차단하였을 때도 캐시 메모리 데이터를 안전하게 백업하고 복구하는 방법도 필요하다.

[7] 본 발명과 관련하여 한국 등록특허공보 제0750035호(발명 명칭: "프로세서의 저전력 모드를 가능하게 하는 방법 및 장치")는 전력 상태 신호에 따라 저전력 상태로 진입 시 캐시를 플러시 하거나 플러시 하지 않는 구성이 개시하고 있다.

[8] 또한, 한국 등록특허공보 제1100470호(발명 명칭: "멀티쓰레드 프로세서에서의 자동 저전력 모드 호출을 위한 장치 및 방법")는 프로세서를 저전력 모드로 진입시키는 구성이 개시하고 있다.

[9]

발명의 상세한 설명

기술적 과제

- [10] 본 발명은 전술한 문제를 해결하기 위한 것으로서, 그 목적은 상위 캐시 메모리를 저전력 모드로부터 복귀시킬 때 발생하는 캐시 미스로 인한 성능 저하 및 전력 낭비가 없는 메모리 시스템 및 그 관리 방법을 제공하는 것이다.

과제 해결 수단

- [11] 상기와 같은 목적을 달성하기 위한 본 발명의 제 1 측면에 따른 메모리 시스템은 상위 캐시 메모리의 전원이 차단되기 전에 상위 캐시 메모리에 저장되어 있는 캐시 데이터를 저장하는 가상 캐시 공간을 포함한다. 이때, 상위 캐시 메모리에 전원이 공급될 때 가상 캐시 공간에 저장되어 있는 데이터가 상위 캐시 메모리로 일괄 복사되도록 하는 하위 메모리를 가지는 것을 특징으로 한다.
- [12] 상기와 같은 목적을 달성하기 위한 본 발명의 제 2 측면에 따른 메모리 관리 방법은 (a) 상위 캐시 메모리에 저장되어 있는 캐시 데이터를 하위 메모리의 가상 캐시 공간에 저장한 후, 상위 캐시 메모리의 전원을 차단하는 단계; 및 (b) 상위 캐시 메모리에 전원을 재공급하고, 가상 캐시 공간에 저장되어 있는 데이터를 상위 캐시 메모리로 일괄 복사하는 단계;를 포함하는 것을 특징으로 한다.

발명의 효과

- [13] 본 발명은 메모리 시스템 및 그 관리 방법에 있어, 캐시 메모리가 소모하는 전력을 감소시키는 효과를 얻는다.
- [14] 캐시 메모리에 저장된 데이터를 하위 메모리로 백업하여, 데이터 손실 없이 캐시 메모리의 전원을 차단할 수 있다.
- [15] 또한 캐시 메모리에 전원을 재공급하여 정상 모드로 복귀시킬 때 캐시 미스가 발생하지 않아, 그에 인한 성능 저하 및 전력 낭비가 없다.
- [16] 또한 캐시 메모리를 저전력 모드로 진입시키는 시간과 저전력 모드로부터 복귀시키는 시간을 모두 줄일 수 있다.

도면의 간단한 설명

- [17] 도 1은 본 발명의 일실시예에 따른 가상 캐시를 포함하는 하위 메모리가 포함된 장치의 구조를 도시하고 있다.
- [18] 도 2는 본 발명의 또다른 일실시예에 따른 가상 캐시를 포함하는 하위 메모리가 포함된 장치의 구조를 도시하고 있다.
- [19] 도 3은 본 발명의 일실시예에 따른 캐시 메모리의 전원을 차단하는 실시예를 도시하고 있다.
- [20] 도 4는 본 발명의 일실시예에 따른 가상 캐시 공간을 위한 주소 지정 방법을 도시하고 있다.
- [21] 도 5는 본 발명의 일실시예에 따른 메모리 시스템 관리 방법의 저전력 모드 진입 단계의 흐름을 도시하고 있다.
- [22] 도 6은 본 발명의 일실시예에 따른 메모리 시스템 관리 방법의 저전력

모드에서의 복귀 단계의 흐름을 도시하고 있다.

- [23] 도 7은 본 발명의 일실시예에 따른 메모리 시스템 관리 방법의 가상 캐시 백업 단계의 흐름을 도시하고 있다.

발명의 실시를 위한 형태

- [24] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.
- [25] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [26] 도 1은 본 발명의 일실시예에 따른 가상 캐시를 포함하는 하위 메모리가 포함된 장치의 구조를 도시하고 있다.
- [27] 본 발명의 일실시예에 따른 장치(10)는 하나 이상의 프로세서(100), 하나 이상의 주메모리(200)를 포함하며, 하나 이상의 하위 저장 장치(300)를 포함하거나 연결될 수 있다. 장치(10)는 범용 또는 특정 목적 전용 컴퓨팅 장치일 수 있으며, 그 종류나 사양에 제한이 없다. 예를 들어, 장치(10)는 서버, 데스크탑, 노트북, 또는 휴대용 단말일 수 있다.
- [28] 프로세서 (100)는 하나 이상의 캐시 메모리(110)를 포함할 수 있다. 캐시 메모리(110)는 여러 계층으로 구성될 수 있다. 또한, 캐시 메모리(110)는 프로세서(100)가 멀티 코어(core)일 경우, 같은 계층에 복수의 캐시를 포함할 수도 있다. 예를 들어, 캐시 메모리(110)는 도 3에 도시된 바와 같이, 코어 별로 전용 L1 캐시를 갖고, 그 하위 계층인 L2 캐시를 공유하는 실시예로 구성될 수 있다.
- [29] 또한, 캐시 메모리(110)는 머더보드(motherboard) 상에 내장된 L3 캐시 메모리(110)나 프로세서(100) 외부의 DRAM을 이용하는 형태를 포함할 수 있다.
- [30] 이러한 대용량 다계층 캐시 메모리(110)는 일반적으로 프로세서 면적의 30~35% 이상을 차지한다. 캐시 메모리(110)는 차지하는 면적이 큰 만큼 소모하는 전력의 비중도 높다.
- [31] 그러므로, 프로세서(100)가 소모하는 전력을 줄이기 위해서는 캐시 메모리(110)가 소모하는 전력을 줄이는 것이 효율적이다. 따라서 장치(10)는 도 3에 도시되어 있는 실시예에서와 같이, 캐시 메모리(110)에 공급되는 전원을

차단하는 방법을 제공한다.

- [32] 주메모리(200)는 본 발명의 일 실시예에 따른 메모리 시스템의 하위 메모리일 수 있다. 메모리 시스템은 상위 캐시 메모리(110) 및 하위 메모리를 포함할 수 있다. 상위 캐시 메모리(110)는 앞에서 설명한 것과 같이 프로세서(100)의 내부의 캐시 메모리나 프로세서(100) 외부의 캐시 메모리를 포함할 수 있다.
- [33] 도 3은 본 발명의 일 실시예에 따른 캐시 메모리의 전원을 차단하는 실시예를 도시하고 있다.
- [34] 첫번째 도면은 코어0, 코어1, 코어2, 및 코어3에 할당된 각 캐시 및 공유된 L2 캐시가 모두 정상 동작하는 정상 모드를 도시하고 있다.
- [35] 두번째 도면은 코어별 전원 차단 예로 코어1 및 코어3에 할당된 캐시의 전원이 차단된 저전력 모드를 도시하고 있다. 즉, 프로세서(100)의 코어 중 코어0 및 코어2만이 정상 동작하고 있다. 따라서 동작하고 있지 않은 코어 1 및 코어 3의 캐시에는 전원이 공급되지 않는다.
- [36] 세번째 도면은 L2 캐시까지 모두 차단된 고수준의 저전력 모드를 도시하고 있다. 이는 프로세서(100)가 가장 고수준의 대기 모드에 진입해있는 상태이며, 주메모리(200)가 동작하더라도 장치(10) 자체는 동작하지 않는 상태일 수 있다. 단, 장치(10)가 멀티 프로세서 시스템인 경우에는 다른 클러스터(cluster)에 있는 프로세서들이 동작하고 있을 수 있다.
- [37] 전술한 바와 같이, 일반적인 종래 기술은 저전력 모드로 전환되면, L2 캐시까지 모든 전원 공급을 중단하고, 캐시에 저장되었던 데이터를 주메모리(200)에 저장한다. 그러나 저전력 모드에서 복귀할 때, 캐시에 저장된 데이터가 없으므로, 반복적인 캐시 미스를 거치면서 주메모리(200)에서 다시 필요한 데이터를 읽어와야 한다는 문제가 있다. 즉, 전술한 바와 같이, 종래 기술은 캐시 메모리(110)에 다시 전원을 공급하는 시점에서의 성능 저하 및 전력 소모 문제를 가진다.
- [38] 또한, 캐시 메모리(110)에 저장된 데이터를 가상 캐쉬에 저장할 때, 캐쉬 메모리(110)에 저장된 데이터 뿐만 아니라, 가상 캐시 메모리에 저장된 데이터를 다시 사용할 때, 필요한 정보도 주메모리(200) 등 하위 메모리의 특정 영역에 추가적으로 저장할 수 있다. 이러한 데이터는 해당 캐시 데이터의 메모리 영역 할당(memory mapping) 정보, 메모리 접근 권한 정보 등 변환 색인 버퍼(translation lookaside buffer) 등에 저장된 정보, 캐시 태그 정보 등이 될 수 있다.
- [39] 다시 도 1로 돌아와서, 이러한 문제를 해결하기 위해, 본 발명의 일 실시예에 따른 장치(10)의 주메모리(200)는 가상 캐시 공간(210)을 포함하도록 구성된다. 가상 캐시 공간(210)은 캐시 메모리(110)의 전원이 차단되기 전에 캐시 메모리(110)에 저장된 데이터(이하 캐시 데이터)를 저장한다. 그리고, 캐시 메모리(110)에 전원이 다시 공급될 때 가상 캐시 공간(210)에 저장된 데이터가 캐시 메모리(110)로 일괄 복사되어 복구된다.
- [40] 이렇게 컴퓨터 시스템의 저전력화를 위하여 전력 관리 방법을 이용하므로

저전력 모드 진입 및 정상 수행 모드로의 복귀 시에 캐시 메모리(110)에 존재하는 데이터에 대한 백업(backup) 및 캐시 메모리(110)로의 재적재(reloading)를 빠르게 수행할 수 있다. 또한, 전력 절감을 위한 저전력 모드 진입이 쉽고, 정상 모드로의 빠른 복귀가 가능하다.

- [41] 즉, 본 발명의 일실시예에 따른 장치(10)는 하위 메모리인 주메모리(200)에, 상위 캐시 메모리(110)에 대응하는 가상 캐시 공간(210)을 둘 수 있다. 이에 따라, 장치(10)가 저전력 모드로 전환되면, 장치(10)는 해당 캐시 메모리(110)로부터 더티 데이터 등 데이터를 가상 캐시 공간(210)에 저장할 수 있다. 다시, 장치(10)가 정상 수행 모드로 복귀하면, 주메모리(200)가 아닌 가상 캐시 공간(210)에만 접근하여 상위 캐시 메모리(110)로 데이터를 복사하므로, 정상 수행 모드로 복귀시에 요구되는 시간 및 전력 소모를 감소시킬 수 있다.
- [42] 이러한 구성은 또한, 해당 데이터에 대한 백업이 필요한 경우 가상 캐시 공간(210)만을 백업할 수 있어, 백업 및 복구에 요구되는 시간 및 전력 소모를 감소시킬 수 있다. 예를 들어, 주메모리(200)의 전원에 이상이 생기거나 주메모리(200)의 동작을 중지시키기 위하여 주메모리(200)의 전원을 차단하는 경우, 가상 캐시 공간(210)만을 하위 계층의 저장 장치(300)로 일괄 복사하여 백업할 수 있으며, 주메모리(200)에 다시 전원을 공급하는 경우 해당 데이터는 다시 가상 캐시 공간(210)으로 일괄 복사하여 복구시킬 수 있다.
- [43] 따라서, 본 발명의 일실시예에 따른 장치(10)는 프로세서(100)의 캐시 메모리(110)뿐 아니라 주메모리(200)의 전원까지 차단하는 경우에도 성능 저하나 불필요한 전력 소모 없이 빠르게 캐시 데이터를 백업 및 복구할 수 있다.
- [44] 가상 캐시 공간(210)에 저장하는 데이터는 캐시 메모리(110)에 저장된 데이터 전체 또는 일부의 데이터가 될 수 있다. 즉, 저전력 모드 진입 시에도 캐시 메모리(110)에서 가상 캐시 공간(210)으로 일괄 데이터 복사를 수행하고, 저전력 모드에서 복귀 시에도 가상 캐시 공간(210)에서 캐시 메모리(110)로 일괄 데이터 복사를 수행하나, 이는 일정 조건을 만족하는 일부 데이터에 대해 선택적으로 수행될 수 있다.
- [45] 일정 조건은 실시예에 따라 다양할 수 있다. 예를 들어, 데이터가 다시 사용될 가능성이나 이미 가상 캐시 공간(210)에 저장된 데이터의 양에 따라, 어떤 데이터를 선택할 것인지 결정할 수 있다. 실시예에 따라 더티 데이터만 선택하거나 가장 최근에 사용된 MRU(Most recently used) 데이터만 선택할 수 있다.
- [46] 또한 캐시 메모리(110)에 있는 데이터는 가상 캐시 공간(210)으로 한꺼번에 일괄 복사되는 대신, 개별적으로 저장될 수도 있다. 예를 들어, 일실시예에서 정상 모드 즉, 일반 동작 모드에서 더티 데이터가 교체(replacement)로 인해 주메모리(200)로 라이트 백(write back)될 때 가상 캐시 공간(210)에 저장될 수 있다.
- [47] 이러한 여러 가지 실시예 모두, 전술한 바와 같이, 주메모리(200)의 전원을

차단할 때에는 주메모리(200) 전체에 대한 백업이 아닌 가상 캐시 공간(210)에 대한 백업만을 수행할 수 있다는 장점은 공유할 수 있다.

- [48] 따라서 가상 캐시 공간(210)은 두 가지 용도로 사용할 수 있다. 첫째로 가상 캐시 공간(210)은 저전력 모드 진입에 따른 상위 캐시 메모리(110)의 전력 차단 이전에 일괄 복사를 수행하기 위한 공간으로 사용할 수 있다. 두번째로 가상 캐시 공간(210)은 주메모리(200) 전력 차단 시에 효율적인 처리를 위한 라이트 백 데이터 저장 공간으로 사용할 수 있다.
- [49] 도 1의 실시예에서 하위 메모리인 주메모리(200)는 휘발성 메모리로, 예를 들어 DRAM(dynamic random-access memory)일 수 있다. 도 2에 도시되어 있는 바와 같이 또 다른 실시예에서는 주메모리(200)는 휘발성 메모리 및 비휘발성 메모리를 모두 포함할 수 있다.
- [50] 도 2는 본 발명의 또다른 일실시예에 따른 가상 캐시를 포함하는 하위 메모리가 포함된 장치의 구조를 도시하고 있다.
- [51] 도 2의 실시예는 주메모리(200)가 하나 이상의 휘발성 주메모리(202), 및 하나 이상의 비휘발성 주메모리(204)로 구성된다는 점을 제외하면 도 1의 실시예와 동일한 구성이다. 휘발성 주메모리(202)는 도 1의 실시예에서와 마찬가지로 예를 들어 DRAM일 수 있고, 비휘발성 주메모리(204)는 예를 들어 PRAM(phase-change random-access memory), MRAM(Magnetic random-access memory) 또는 플래시 메모리(flash memory)일 수 있으나, 여기에 제한되지는 않는다.
- [52] 휘발성 주메모리(202)는 휘발성 가상 캐시 공간(212)을 포함하며, 비휘발성 주메모리(204)는 비휘발성 가상 캐시 공간(214)을 포함한다. 휘발성 가상 캐시 공간(212)은 도 1의 가상 캐시 공간(210)에 대응된다.
- [53] 이러한 실시예에서, 캐시 데이터는 휘발성 가상 캐시 공간(212) 및 비휘발성 가상 캐시 공간(214)에 동시에 저장된다. 이는 휘발성 메모리와 비휘발성 메모리의 특성을 고려한 구성이다. 비휘발성 메모리는 전원 차단 시에도 데이터를 유지하는 등 여러 면에서 장점이 있어 사용이 늘고 있지만, 휘발성 메모리보다 참조 속도가 늦다는 등의 여러 가지 단점도 가지고 있다.
- [54] 따라서, 본 발명의 일실시예에 따른 장치(10)는 캐시 데이터를 휘발성 가상 캐시 공간(212) 및 비휘발성 가상 캐시 공간(214)에 동시에 저장한 후, 다음 참조시에는 휘발성 가상 캐시 공간(212)을 우선하여 접근할 수 있다. 즉, 가능하면 상대적으로 참조 속도가 빠른 휘발성 가상 캐시 공간(212)만을 접근해서 해당 데이터를 참조할 수 있으므로 효율적이다.
- [55] 반면 비휘발성 가상 캐시 공간(214)은 전원을 차단하여도 데이터를 유지하므로, 주메모리(200)의 전원을 차단할 때 휘발성 가상 캐시 공간(212) 및 비휘발성 가상 캐시 공간(214)의 데이터를 하위 저장 장치(300)로 백업하지 않아도 된다는 장점이 있다. 물론 이 경우에도 하위 저장 장치(300)로 백업하도록 구성할 수도 있다.

- [56] 본 발명의 일실시예에 따른 가상 캐시 공간(210)은 상위 캐시 메모리(110)와 동일한 블록 크기를 가질 수 있다. 또한, 본 발명의 일실시예에 따른 장치(10)는 비휘발성 가상 캐시 공간(214)에 데이터를 저장할 때 페이지 단위가 아닌 캐시 블록 단위로 저장할 수 있다. 예를 들어, PRAM 또는 MRAM 등 최근 개발되고 있는 비휘발성 메모리는 캐시 블록 단위로 데이터를 저장하는 것이 가능하다. 이러한 메모리는 바이트 단위로 쓰는 것이 가능한 소자이다. 또한, 플래시 메모리의 경우에도 기록할 단위를 작게 하면, 이동(transfer) 단위가 작아지는 등의 효과가 있을 수 있다.
- [57] 따라서, 이러한 실시예에서도 가상 캐시에서 교체가 발생하여 더티 데이터가 라이트 백(write-back)되는 경우 휘발성 가상 캐시 공간(212) 및 비휘발성 가상 캐시 공간(214)을 동시에 갱신하는 것이 가능하다. 또는 종래 기술과 마찬가지로 교체된 캐시 데이터를 주메모리(200)의 해당 주소에 해당하는 공간을 직접 새로운 데이터로 갱신하여 원래의 데이터에 통합하는 실시예도 가능하다.
- [58] 도 4는 본 발명의 일실시예에 따른 가상 캐시 공간을 위한 주소 지정 방법을 설명하고 있다.
- [59] 도면은 종래의 4-웨이 세트 연관 캐시(4-way set associative cache)에 본 발명의 일실시예에 따른 추가적인 태그(tag)를 갖춘 실시예를 도시하고 있다.
- [60] 본 발명의 일실시예에 따른 캐시 메모리(110)는 가상 캐시 공간(210)에 저장된 데이터를 주메모리(200)의 일반적인 데이터 공간에 저장된 데이터에 비하여 우선으로 참조하는 것이 바람직하다. 따라서 가상 캐시 공간(210)을 위한 주소 지정(addressing) 방법은 주메모리(200)의 일반적인 다른 페이지 영역과 구분되도록 하는 것이 바람직할 것이다.
- [61] 이를 위해 가상 캐시 공간(210)을 위한 주소 지정에, 종래의 세트 연관 캐시 주소 지정 방법을 활용할 수 있다. 이때 상위 캐시 메모리(110)의 메모리 용량 또는 세트(set)의 수를 고려한 구조를 갖도록 하는 것이 바람직할 것이다.
- [62] 이에 따라 본 발명의 일실시예에 따른 장치(10)는 가상 캐시 공간(210)에 대한 태그 정보를 상위 캐시 메모리(110)에 저장하여 둘 수 있다. 즉, 가상 캐시 공간(210)은 일반적인 캐시 구조에서 태그와 데이터가 분리되어, 데이터는 가상 캐시 공간(210)에 저장할 수 있다. 그리고, 가상 캐시 공간(210)을 위한 태그는 상위 캐시 메모리(110)에 저장하도록 구성될 수 있다.
- [63] 이러한 구성은 상위 캐시 메모리(110)에 추가적인 캐시 웨이(way)가 존재하는 것처럼 동작할 수 있다는 장점이 있다.
- [64] 참조하고자 하는 데이터가 가상 캐시 공간(210)에 존재하는지를 확인하고자 할 때는 상위 캐시 메모리(110)에 저장된 가상 캐시 공간(210)의 태그를 참조할 수 있다. 데이터에 대한 접근은 태그에 히트(hit) 이벤트가 발생한 경우에, 주메모리(200)내의 해당 태그에 대응하는 데이터 부분에 대한 참조를 수행할 수 있다.
- [65] 즉, 일반적인 캐시 메모리(110) 구조에서 태그는 상위 캐시 메모리(110), 데이터

부분은 주메모리(200)에 저장된 형태로 구성될 수 있다. 그리고 가상 캐시 공간(210)에 대한 태그 참조가 히트되면, 주메모리(200) 내에 존재하는 해당 데이터의 주소를 찾아가서 참조를 수행하게 된다.

- [66] 또한 가상 캐시 공간(210)은 가상 캐시 공간(210)에서 교체(replacement)가 발생하면, 하위 저장 장치(300) 또는 주메모리(200)의 데이터 영역에 해당 데이터를 라이트 백(write-back)하기 위한 태그 정보 또는 가상 캐시 공간(210) 블록의 주소 정보를 따로 가질 수 있다.
- [67] 다음은 가상 캐시 공간(210)에 해당하는 태그에서 히트가 발생했을 때, 해당 가상 캐시 공간(210)을 찾아가는 방법을 실시예를 통해 좀더 자세히 설명한다.
- [68] 실시예에서 주메모리(200)에 저장되는 데이터는 하나의 웨이에 해당하는 데이터가 연속적으로 저장된다고 가정한다. 가상 캐시 공간(210)에 존재하는 데이터 주소를 구하기 위해, 태그(tag)가 17비트, 인덱스(index)가 9비트, 블록 오프셋(block offset)이 6비트이므로 64바이트의 캐시 메모리(110)의 블록 크기를 갖고, 512개의 세트를 갖는 실시예를 예로 들면, 가상 캐시 공간(210)에 존재하는 데이터의 주소는 시작 주소(예: AAAA0000) + 세트 수(예: 512) * 히트 웨이(예: 0번째 웨이이면 0, 1번째 웨이이면 1, ...) * 블록 크기(예: 64) + 인덱스 값 * 블록 크기(예: 64) + 블록 오프셋 값으로 계산될 수 있다.
- [69] 이러한 주소 지정 방법은 휘발성 가상 캐시 공간(212) 및 비휘발성 가상 캐시 공간(214)에 동일하게 적용될 수 있다.
- [70] 도 5는 본 발명의 일실시예에 따른 메모리 시스템 관리 방법의 저전력 모드 진입 단계의 흐름을 도시하고 있다.
- [71] 저전력 모드 진입시, 캐시 데이터를 가상 캐시 공간(210)에 저장한 후(S100), 캐시 메모리 전원을 차단한다(S200).
- [72] 즉, 주메모리(200)의 상위 캐시 메모리(110)에 저장된 데이터를 가상 캐시 공간(210)에 백업한 후, 캐시 메모리(110)의 전원을 차단하여 프로세서(100)를 저전력 모드로 진입시킨다.
- [73] 이때, 주메모리(200)가 휘발성 주메모리(202) 및 비휘발성 주메모리(204)를 모두 포함하도록 구성되어 있다면, 캐시 데이터를 휘발성 가상 캐시 공간(212) 및 비휘발성 가상 캐시 공간(214)에 동시에 저장한다.
- [74] 또한, 이때 일괄 복사되는 캐시 데이터는 캐시 메모리(110)에 저장된 데이터 전부일 수도 있고, 일정 조건을 만족하는 더티 데이터 및 MRU 데이터 등 일부 데이터만이 선택적으로 가상 캐시 공간(210)으로 백업 될 수도 있다.
- [75] 도 6은 본 발명의 일실시예에 따른 메모리 시스템 관리 방법의 저전력 모드에서의 복귀 단계의 흐름을 도시하고 있다.
- [76] 저전력 모드에서 복귀 시, 캐시 메모리(110)로의 전원 공급을 재개한 후(S300), 가상 캐시 공간(210)에 백업한 데이터를 캐시 메모리(110)로 일괄 복사한다(S400).
- [77] 즉, 프로세서(100)가 저전력 모드로부터 복귀하여 정상 모드로 동작하는

경우에, 주메모리(200)의 가상 캐시 공간(210)에 저장된 데이터를 캐시 메모리(110)로 한꺼번에 복사하여 복구한다. 따라서 종래 기술에서 정상 모드 복귀 시 발생하던 많은 캐시 접근 실패에 따른 성능 저하 및 전력 소모 문제가 해결된다.

- [78] 이때, 휘발성 가상 캐시 공간(212)의 데이터가 비휘발성 가상 캐시 공간(214)의 데이터에 우선하여 캐시 메모리(110)로 일괄 복사되므로, 데이터 복구에 따른 지연 시간이 감소하여 프로세서(100)를 더욱 빠르게 정상 모드로 복귀시킬 수 있다.
- [79] 도 7은 본 발명의 일실시예에 따른 메모리 시스템 관리 방법의 가상 캐시 백업 단계의 흐름을 도시하고 있다.
- [80] 전술한 바와 같이, 주메모리(200)의 전원을 차단하기 전 가상 캐시 공간(210)의 데이터를 하위 저장 장치로 백업하고(S500), 주메모리(200)에 전원을 다시 공급하면, 하위 저장 장치에 백업한 데이터를 가상 캐시 공간으로 일괄 복사할 수 있다(S600). 이렇게 하여, 주메모리(200)의 전원까지 차단되는 경우에도 캐시 데이터를 안전하게 다시 캐시 메모리(110)로 복구할 수 있다.
- [81] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [82] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.
- [83] 본 발명의 일 실시예는 컴퓨터에 의해 실행되는 프로그램 모듈과 같은 컴퓨터에 의해 실행가능한 명령어를 포함하는 기록 매체의 형태로도 구현될 수 있다. 컴퓨터 판독 가능 매체는 컴퓨터에 의해 액세스될 수 있는 임의의 가용 매체일 수 있고, 휘발성 및 비휘발성 매체, 분리형 및 비분리형 매체를 모두 포함한다. 또한, 컴퓨터 판독가능 매체는 컴퓨터 저장 매체 및 통신 매체를 모두 포함할 수 있다. 컴퓨터 저장 매체는 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈 또는 기타 데이터와 같은 정보의 저장을 위한 임의의 방법 또는 기술로 구현된 휘발성 및 비휘발성, 분리형 및 비분리형 매체를 모두 포함한다. 통신 매체는 전형적으로 컴퓨터 판독가능 명령어, 데이터 구조, 프로그램 모듈, 또는 반송파와 같은 변조된 데이터 신호의 기타 데이터, 또는 기타 전송 매커니즘을 포함하며, 임의의 정보 전달 매체를 포함한다.
- [84] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의

통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

- [85] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

청구범위

- [청구항 1] 메모리 시스템에 있어서,
상위 캐시 메모리의 전원이 차단되기 전에 상기 상위 캐시 메모리에 저장되어 있는 캐시 데이터를 저장하는 가상 캐시 공간을 포함하되,
상기 상위 캐시 메모리에 전원이 공급될 때 상기 가상 캐시 공간에 저장되어 있는 데이터가 상기 상위 캐시 메모리로 일괄 복사되도록 하는 하위 메모리를 가지는 메모리 시스템.
- [청구항 2] 제 1 항에 있어서,
상기 하위 메모리는 주메모리인 메모리 시스템.
- [청구항 3] 제 1 항에 있어서,
상기 가상 캐시 공간은
휘발성 메모리로 이루어진 휘발성 가상 캐시 공간; 및
비휘발성 메모리로 이루어진 비휘발성 가상 캐시 공간을 포함하는 메모리 시스템.
- [청구항 4] 제 1 항에 있어서,
상기 하위 메모리는 휘발성 메모리인 메모리 시스템.
- [청구항 5] 제 1 항에 있어서,
상기 하위 메모리는 비휘발성 메모리인 메모리 시스템.
- [청구항 6] 제 1 항에 있어서,
상기 가상 캐시 공간은 상기 상위 캐시 메모리와 동일한 블록 크기를 가지는 메모리 시스템.
- [청구항 7] 제 3 항에 있어서,
상기 캐시 데이터는 상기 휘발성 가상 캐시 공간 및 상기 비휘발성 가상 캐시 공간에 동시에 저장되는 메모리 시스템.
- [청구항 8] 제 3 항에 있어서,
상기 휘발성 가상 캐시 공간의 데이터가 상기 비휘발성 가상 캐시 공간의 데이터에 우선하여 상기 상위 캐시 메모리로 일괄 복사되는 메모리 시스템.
- [청구항 9] 제 1 항에 있어서,
상기 가상 캐시 공간은 캐시 블록 단위로 접근되며,
상기 가상 캐시 공간에 대한 태그 정보를 상기 상위 캐시 메모리에 저장하는 메모리 시스템.
- [청구항 10] 제 1 항에 있어서,
교체되는 더티 데이터가 상기 가상 캐시 공간으로 라이트 백되는 메모리 시스템.
- [청구항 11] 제 1 항에 있어서,

상기 하위 메모리는 상기 가상 캐시 공간에 저장된 데이터의 재사용을 위하여 필요한 정보를 함께 저장하는 영역을 가지는 메모리 시스템.

[청구항 12]

제 11 항에 있어서,
상기 재사용을 위하여 필요한 정보는 상기 상위 캐시 메모리의 태그 정보인 메모리 시스템.

[청구항 13]

제 11 항에 있어서,
상기 재사용을 위하여 필요한 정보는 변환 색인 버퍼인 메모리 시스템.

[청구항 14]

제 1 항에 있어서,
상기 캐시 데이터의 재사용 가능성 및 상기 가상 캐시 공간의 가용 용량에 기초하여, 상기 가상 캐시 공간에 저장할 캐시 데이터가 선택되는 메모리 시스템.

[청구항 15]

제 1 항에 있어서,
상기 상위 캐시 메모리를 더 포함하고,
상기 상위 캐시 메모리는 전원이 차단되기 전에 데이터를 하위 메모리의 가상 캐시 공간에 백업 저장되고,
전원이 재공급되면 상기 가상 캐시 공간에 저장되어 있는 데이터가 일괄 로딩되며, 상기 가상 캐시 공간에 대한 태그 정보를 저장하는 메모리 시스템.

[청구항 16]

제 15 항에 있어서,
상기 가상 캐시 공간이 휘발성 메모리 및 비휘발성 메모리를 모두 포함하는 경우,
상기 상위 캐시 메모리에 저장되어 있는 데이터를 쓸 때에는 상기 휘발성 가상 캐시 공간 및 상기 비휘발성 가상 캐시 공간에 동시에 접근하고,
상기 상위 캐시 메모리로 데이터를 읽을 때에는 상기 휘발성 가상 캐시 공간을 상기 비휘발성 가상 캐시 공간에 우선하여 접근하는 메모리 시스템.

[청구항 17]

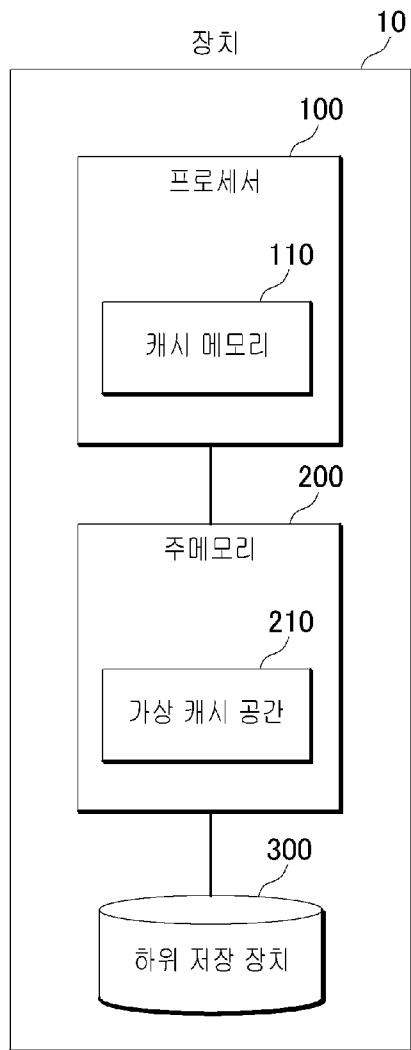
제 15 항에 있어서,
상기 상위 캐시 메모리는 데이터의 더티 여부, 데이터의 재사용 가능성, 및 상기 가상 캐시 공간의 가용 용량에 기초하여, 상기 가상 캐시 공간에 백업 저장할 데이터를 선택하는 메모리 시스템.

[청구항 18]

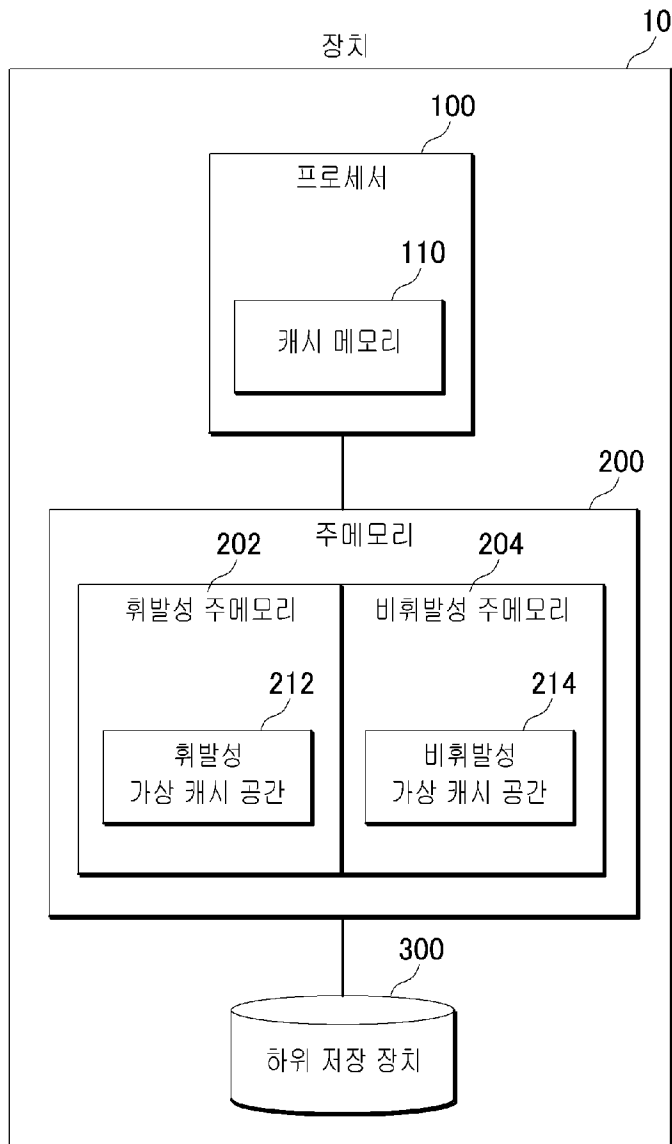
메모리 관리 방법에 있어서,
(a) 상위 캐시 메모리에 저장되어 있는 캐시 데이터를 하위 메모리의 가상 캐시 공간에 저장한 후, 상기 상위 캐시 메모리의 전원을 차단하는 단계; 및
(b) 상기 상위 캐시 메모리에 전원을 재공급하고, 상기 가상 캐시

- 공간에 저장되어 있는 데이터를 상기 상위 캐시 메모리로 일괄 복사하는 단계;를 포함하는 메모리 관리 방법.
- [청구항 19] 제 18 항에 있어서,
상기 가상 캐시 공간은
휘발성 메모리로 이루어진 휘발성 가상 캐시 공간; 및
비휘발성 메모리로 이루어진 비휘발성 가상 캐시 공간;을
포함하며,
상기 (a) 단계는
상기 캐시 데이터는 상기 휘발성 가상 캐시 공간 및 상기 비휘발성
가상 캐시 공간에 동시에 저장되고,
상기 (b) 단계는
상기 휘발성 가상 캐시 공간의 데이터가 상기 비휘발성 가상 캐시
공간의 데이터에 우선하여 상기 상위 캐시 메모리로 일괄
복사되는 메모리 관리 방법.
- [청구항 20] 제 18 항에 있어서,
상기 가상 캐시 공간은 캐시 블록 단위로 접근되는 메모리 관리
방법.
- [청구항 21] 제 18 항에 있어서,
상기 (a) 단계는
더티 데이터를 상기 가상 캐시 공간에 저장하는 메모리 관리 방법.
- [청구항 22] 제 18 항에 있어서,
상기 (a) 단계는
상기 캐시 데이터의 재사용 가능성 및 상기 가상 캐시 공간의 가용
용량에 기초하여, 상기 가상 캐시 공간에 저장할 캐시 데이터를
선택하는 메모리 관리 방법.

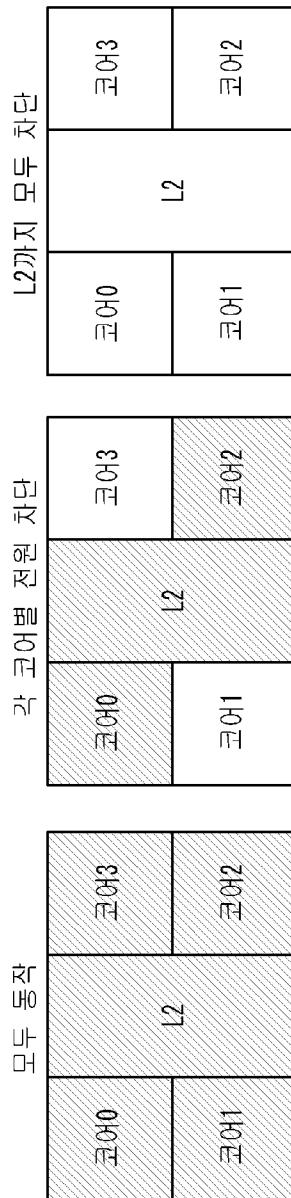
[Fig. 1]



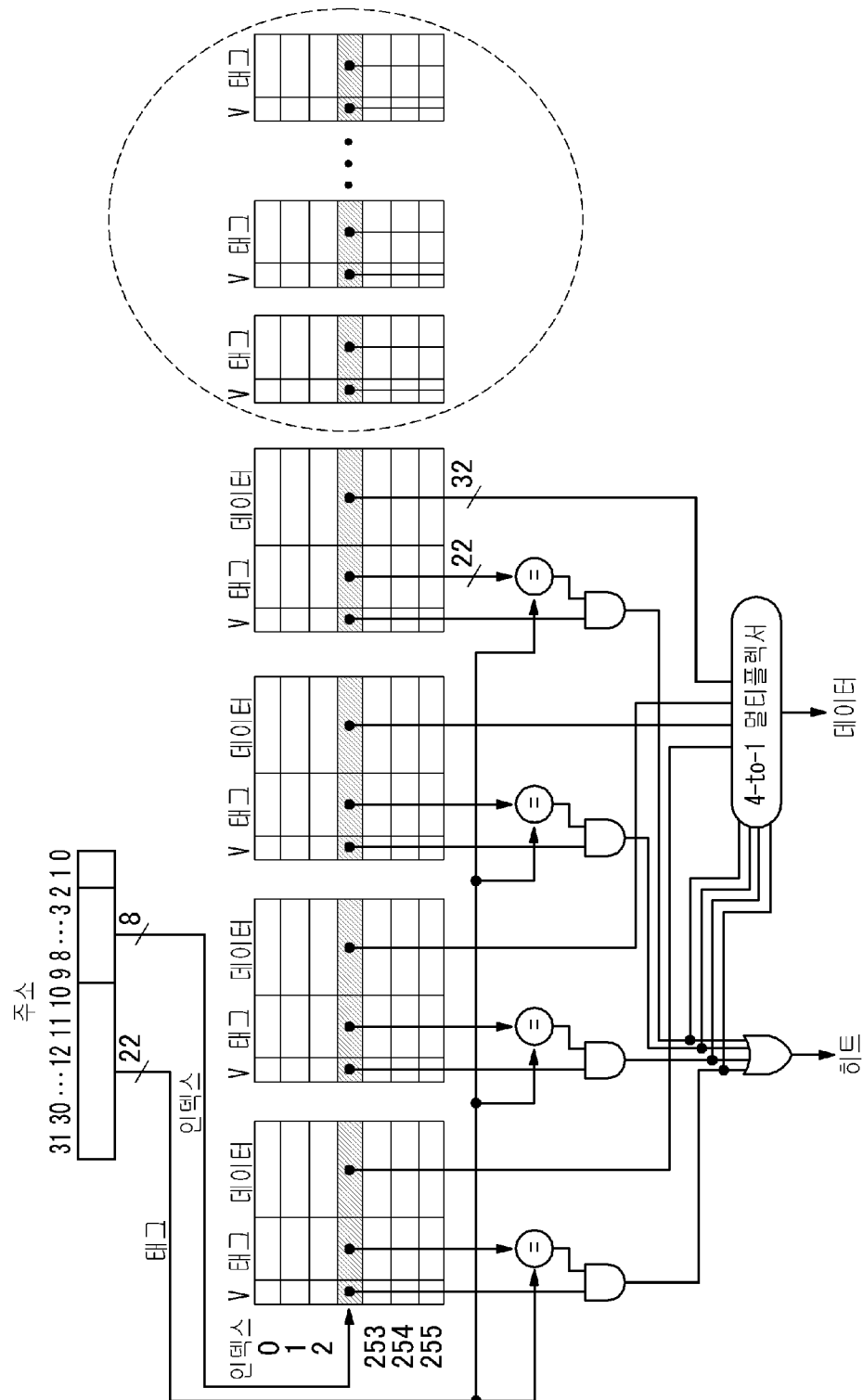
[Fig. 2]



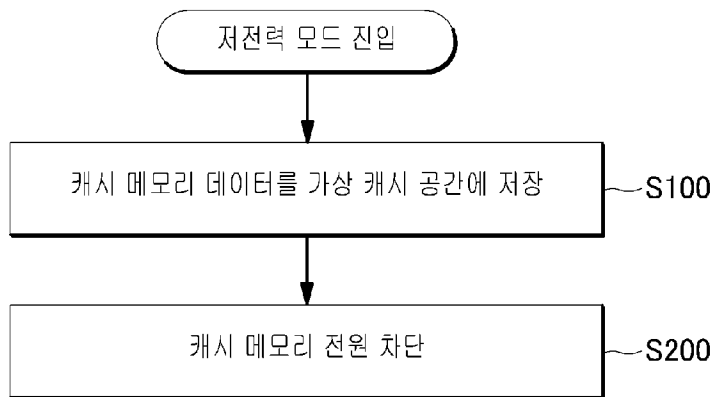
[Fig. 3]



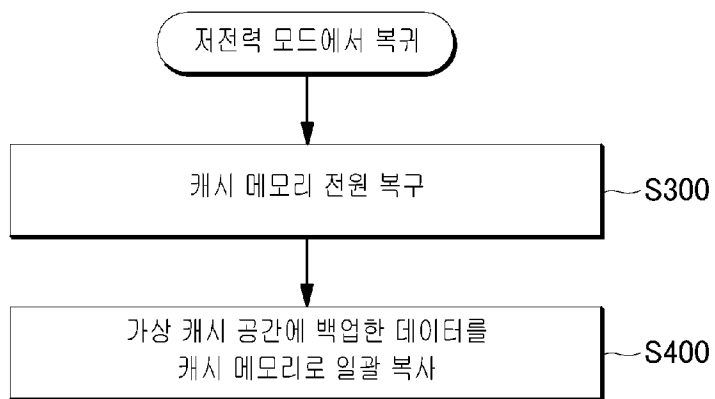
[Fig. 4]



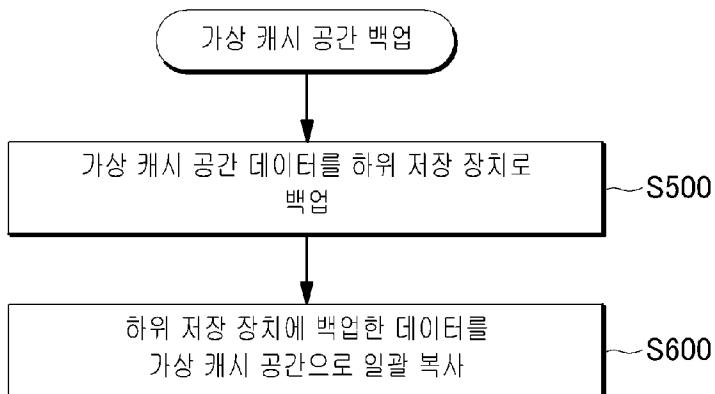
[Fig. 5]



[Fig. 6]



[Fig. 7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2014/005791**A. CLASSIFICATION OF SUBJECT MATTER****G06F 12/08(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F 12/08; H02J 1/10; G06F 12/00; G06F 1/32; G06F 11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: power, management, cache, memory, memory, system, management

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 6795896 B1 (HART, Frank et al.) 21 September 2004 See column 2, line 10 - column 3, line 24; and figures 1-2.	1-22
Y	KR 10-2013-0024212 A (INDUSTRY-ACADEMIA COOPERATION GROUP OF SEJONG UNIVERSITY) 08 March 2013 See paragraphs [0026]-[0035], [0045]-[0050]; and figures 2-3.	1-22
A	US 7404043 B2 (EDIRISOORIYA, Samantha J. et al.) 22 July 2008 See column 3, line 46 - column 5, line 65; and figures 2-3.	1-22
A	US 8171326 B2 (KELLER, James B. et al.) 01 May 2012 See column 8, line 52 - column 10, line 24; and figures 2-5.	1-22
A	US 06052789 A (LIN, James C.) 18 April 2000 See column 2, line 52 - column 3, line 56; and figure 1.	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 OCTOBER 2014 (22.10.2014)

Date of mailing of the international search report

23 OCTOBER 2014 (23.10.2014)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2014/005791

Patent document cited in search report	Publication date	Patent family member	Publication date
US 6795896 B1	21/09/2004	NONE	
KR 10-2013-0024212 A	08/03/2013	KR 10-1298171 B1	26/08/2013
		KR 10-2013-0086329 A	01/08/2013
		KR 10-2014-0016405 A	07/02/2014
		WO 2013-032101 A1	07/03/2013
US 7404043 B2	22/07/2008	CN 100356348 C	19/12/2007
		CN 1517886 A	04/08/2004
		US 07290093 B2	30/10/2007
		US 07487299 B2	03/02/2009
		US 07685379 B2	23/03/2010
		US 2004-0133746 A1	08/07/2004
		US 2005-0193176 A1	01/09/2005
		US 2005-0204195 A1	15/09/2005
		US 2005-0204202 A1	15/09/2005
US 8171326 B2	01/05/2012	US 07752474 B2	06/07/2010
		US 2008-0077813 A1	27/03/2008
		US 2010-0235670 A1	16/09/2010
US 06052789 A	18/04/2000	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

G06F 12/08(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

G06F 12/08; H02J 1/10; G06F 12/00; G06F 1/32; G06F 11/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: power, management, cache, memory, 메모리, 시스템, 관리

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 6795896 B1 (HART FRANK 외 1명) 2004.09.21 컬럼 2, 라인 10 - 컬럼 3, 라인 24; 및 도면 1-2 참조.	1-22
Y	KR 10-2013-0024212 A (세종대학교산학협력단) 2013.03.08 단락 [0026]-[0035], [0045]-[0050]; 및 도면 2-3 참조.	1-22
A	US 7404043 B2 (EDIRISOORIYA SAMANTHA J. 외 4명) 2008.07.22 컬럼 3, 라인 46 - 컬럼 5, 라인 65; 및 도면 2-3 참조.	1-22
A	US 8171326 B2 (KELLER JAMES B. 외 3명) 2012.05.01 컬럼 8, 라인 52 - 컬럼 10, 라인 24; 및 도면 2-5 참조.	1-22
A	US 06052789 A (LIN JAMES C.) 2000.04.18 컬럼 2, 라인 52 - 컬럼 3, 라인 56; 및 도면 1 참조.	1-22



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2014년 10월 22일 (22.10.2014)

국제조사보고서 발송일

2014년 10월 23일 (23.10.2014)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-472-7140

심사관

변성철

전화번호 +82-42-481-8262



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 6795896 B1	2004/09/21	없음	
KR 10-2013-0024212 A	2013/03/08	KR 10-1298171 B1 KR 10-2013-0086329 A KR 10-2014-0016405 A WO 2013-032101 A1	2013/08/26 2013/08/01 2014/02/07 2013/03/07
US 7404043 B2	2008/07/22	CN 100356348 C CN 1517886 A US 07290093 B2 US 07487299 B2 US 07685379 B2 US 2004-0133746 A1 US 2005-0193176 A1 US 2005-0204195 A1 US 2005-0204202 A1	2007/12/19 2004/08/04 2007/10/30 2009/02/03 2010/03/23 2004/07/08 2005/09/01 2005/09/15 2005/09/15
US 8171326 B2	2012/05/01	US 07752474 B2 US 2008-0077813 A1 US 2010-0235670 A1	2010/07/06 2008/03/27 2010/09/16
US 06052789 A	2000/04/18	없음	