

특허청구의 범위

청구항 1

제 1 주 표면을 갖는 반도체 기판에 형성된 트랜지스터를 포함하는 반도체 장치로서, 상기 트랜지스터는:
 소스 영역;
 드레인 영역;
 채널 영역;
 드리프트 존;
 상기 채널 영역에 인접하며, 상기 채널 영역 내에 형성된 채널의 도전율을 제어하도록 구성되는 게이트 전극;
 상기 반도체 기판 내에 배열된 접점 개구 내에 배치되며, 상기 소스 영역에 전기적으로 연결된 소스 전극; 및
 상기 드리프트 존에 인접한 제 1 전계판을 포함하며,
 상기 채널 영역과 상기 드리프트 존은 상기 소스 영역과 상기 드레인 영역 사이의 제 1 방향을 따라 배치되며,
 상기 제 1 방향은 상기 제 1 주 표면에 평행하고, 상기 채널 영역은 상기 반도체 기판 내의 인접한 제 1 트랜치에 의해 상기 제 1 방향을 따라 연장되는 제 1 리지의 형상으로 패턴화된
 반도체 장치.

청구항 2

제 1 항에 있어서,
 상기 게이트 전극은 상기 리지의 적어도 두 면에 배치되는
 반도체 장치.

청구항 3

제 1 항에 있어서,
 상기 리지는 상면과 두 개의 측벽들을 포함하는
 반도체 장치.

청구항 4

제 3 항에 있어서,
 상기 반도체 장치가 온(on) 상태로 작동될 때 상기 측벽들 중 적어도 하나를 따라서 도전성 역전 층이 형성되는
 반도체 장치.

청구항 5

제 1 항에 있어서,
 상기 드리프트 존의 일부는 상기 제 1 방향을 따라서 연장되는 제 2 리지의 형상을 갖는
 반도체 장치.

청구항 6

제 5 항에 있어서,
 상기 제 1 전계판의 부분들은 상기 제 2 리지의 적어도 두 개의 면들에 배치되는
 반도체 장치.

청구항 7

제 5 항에 있어서,
 상기 제 2 리지는 상기 제 1 리지의 폭과 다른 폭을 갖는
 반도체 장치.

청구항 8

제 1 항에 있어서,
 상기 게이트 전극과 상기 제 1 전계판은 서로 분리되어 있는
 반도체 장치.

청구항 9

제 1 항에 있어서,
 상기 제 1 전계판과 상기 드레인 영역 사이의 상기 제 1 방향을 따라서 상기 제 1 주 표면에 인접되게 배열된
 제 2 전계판을 추가로 포함하는
 반도체 장치.

청구항 10

제 9 항에 있어서,
 상기 제 2 전계판은 전기 포텐셜에 결합되고, 상기 제 1 전계판은 상기 제 2 전계판에 결합된 상기 전기 포텐셜
 과 다른 전기 포텐셜에 결합되는
 반도체 장치.

청구항 11

제 5 항에 있어서,
 상기 드리프트 존의 추가 부분은 상기 제 1 방향을 따라서 연장되는 제 3 리지의 형상을 가지며, 상기 반도체
 장치는 제 2 전계판을 추가로 포함하고, 상기 제 2 전계판은 상기 제 1 전계판과 상기 드레인 영역 사이의 상기
 제 3 리지에 인접되게 배열되는
 반도체 장치.

청구항 12

제 11 항에 있어서,
 상기 제 3 리지는 상기 제 2 리지의 폭과 다른 폭을 갖는
 반도체 장치.

청구항 13

제 1 항에 있어서,
 상기 제 1 리지의 폭 d 는 $d \leq 2 \times l_d$ 이고, 여기서 l_d 는 상기 제 1 리지와 상기 게이트 전극 사이의 경계면에
 형성된 공핍 존의 길이를 나타내는
 반도체 장치.

청구항 14

제 1 항에 있어서,

상기 소스 영역과 상기 드레인 영역은 상기 반도체 기판내에 배치되고 또한 상기 게이트 전극이 상기 반도체 기판의 깊이 방향으로 상기 제 1 주 표면으로부터 연장되는 깊이까지 연장되는

반도체 장치.

청구항 15

제 1 주 표면과 트랜지스터를 포함하는 반도체 기판에 형성되는 반도체 장치로서, 상기 트랜지스터는:

소스 영역;

드레인 영역;

채널 영역;

드리프트 존; 및

상기 채널 영역에 인접하며 상기 채널 영역에 형성된 채널의 도전율을 제어하도록 구성되는 게이트 전극을 포함하며,

상기 채널 영역과 상기 드리프트 존은 상기 소스 영역과 상기 드레인 영역 사이의 제 1 방향을 따라 배치되며, 상기 제 1 방향은 제 1 주 표면에 평행하고, 상기 채널 영역은 상기 제 1 방향을 따라 연장되는 제 1 리지의 형상을 가지며, 상기 제 1 리지는 제 1 폭 d_1 : $d_1 \leq 2 \times l_d$ 를 가지며, 여기서 l_d 는 상기 제 1 리지와 게이트 유전체 사이의 경계면에 형성된 공핍 존의 길이를 나타내며, 상기 게이트 유전체는 상기 제 1 리지와 상기 게이트 전극 사이에 배치되고,

다음 식: $s_1/d_1 > 2.0$ 이 유효하며, 여기서 s_1 은 상기 제 1 방향을 따라서 측정된 상기 리지의 길이를 나타내는

반도체 장치.

청구항 16

삭제

청구항 17

제 15 항에 있어서,

상기 드리프트 존에 인접되게 배치된 전계판을 추가로 포함하는

반도체 장치.

청구항 18

제 15 항에 있어서,

상기 드리프트 존은 상기 소스 영역까지의 거리가 증가함에 따라 증가하는 도핑 농도를 갖는 도핑된 부분인

반도체 장치.

청구항 19

제 15 항에 있어서,

상기 게이트 전극과 상기 리지 사이에 배치된 게이트 유전체 층 및 전계판과 상기 드리프트 존 사이에 배치된 필드 산화물을 추가로 포함하며, 여기서 상기 필드 산화물의 두께는 상기 소스 영역으로부터의 거리가 증가함에 따라 증가하는

반도체 장치.

청구항 20

제 15 항에 있어서,

상기 게이트 전극은 상기 제 1 리지의 적어도 두 개의 면들에 배치되는 반도체 장치.

청구항 21

제 1 주 표면과 트랜지스터를 포함하는 반도체 기판에 반도체 장치를 제조하는 방법으로서, 상기 트랜지스터를 제조하는 것은:

소스 영역, 드레인 영역, 채널 영역, 드리프트 존, 및 상기 채널 영역에 인접한 게이트 전극을 형성하는 단계를 포함하고,

상기 채널 영역과 상기 드리프트 존은 상기 소스 영역과 상기 드레인 영역 사이의 제 1 방향을 따라서 배치되도록 형성되며, 상기 제 1 방향은 상기 제 1 주 표면에 평행하며, 상기 채널 영역의 형성은 상기 반도체 기판에 제 1 리지를 형성하는 것을 포함하고, 상기 제 1 리지는 상기 제 1 방향을 따라서 연장되고, 상기 제 1 리지는 제 1 폭 d_1 : $d_1 \leq 2 \times l_d$ 를 가지며, 여기서 l_d 는 상기 제 1 리지와 게이트 유전체 사이의 경계면에 형성된 공핍 존의 길이를 나타내며, 상기 게이트 유전체는 상기 제 1 리지와 상기 게이트 전극 사이에 배치되고,

다음 식: $s_1/d_1 > 2.0$ 이 유효하며, 여기서 s_1 은 상기 제 1 방향을 따라서 측정된 상기 리지의 길이를 나타내는

반도체 장치의 제조 방법.

청구항 22

제 21 항에 있어서,

상기 제 1 리지의 형성 및 상기 게이트 전극의 형성은 상기 반도체 기판에 게이트 트렌치들을 형성하는 단계 및 인접한 트렌치들을 충전하기 위하여 도전성 층을 형성하는 단계를 포함하는 방법에 의해 이루어지는

반도체 장치의 제조 방법.

청구항 23

제 21 항에 있어서,

상기 드리프트 존에 인접한 전계판을 형성하는 단계를 추가로 포함하는 반도체 장치의 제조 방법.

청구항 24

제 23 항에 있어서,

상기 전계판을 형성하는 단계는 상기 반도체 기판에 전계판 트렌치들을 형성하는 것과 상기 전계판 트렌치들을 충전시키기 위하여 도전성 층을 형성하는 것을 포함하는

반도체 장치의 제조 방법.

청구항 25

제 23 항에 있어서,

상기 게이트 전극의 형성은 상기 반도체 기판에 게이트 트렌치들을 형성하는 것을 포함하고, 상기 전계판을 형성하는 단계는 상기 반도체 기판에 전계판 트렌치들을 형성하는 것을 포함하며, 여기서 상기 게이트 트렌치들과 상기 전계판 트렌치들은 인접한 게이트 트렌치들 사이의 피치가 인접한 전계판 트렌치들 사이의 피치와 다르도록 형성되며, 상기 게이트 트렌치들의 형성 및 상기 전계판 트렌치들의 형성은 조인트 식각 공정에 의해 수행되는

반도체 기판의 제조 방법.

명세서

기술분야

[0001] 본 명세서는 반도체 장치 및 반도체 장치를 제조하는 방법에 관한 것이다.

배경 기술

[0002] 자동차 및 산업 전자장치에 일반적으로 사용되는 MOS 파워 트랜지스터들 또는 MOS 파워 장치들은 스위치 온 상태에서 낮은 스위치-온 저항(R_{on})을 가져야만 한다. 스위치-오프 상태에서는, 그것들은 높은 파괴 전압 특성을 가져야 하며 소스-드레인 전압들에 견디어야만 한다. 예를 들면, MOS 파워 트랜지스터는 스위치 오프 상태에서 몇십 내지 몇백 볼트의 드레인-소스 전압 V_{ds} 을 견디어야만 한다. 추가 예로서, MOS 파워 트랜지스터들은 낮은 전압강하 V_{ds} 이고 약 2 내지 20 V의 게이트-소스 전압에서 최대 몇 백 암페어일 수 있는 매우 큰 전류를 전도한다.

[0003] 일반적으로 채용되는 기술들에 의하면, 드레인 확장 영역을 포함하거나 또는 소위 resurf 개념에 기초한 수평 구조 MOS 트랜지스터들이 사용된다. Resurf 개념에 의하면, 오프-상태에서 전하들은 드리프트 영역 아래에 배치된 도핑된 부분에 의해 제거된다. 대안적으로는, 이 도핑된 부분은 드리프트 영역 위에(over) 배치되고 드리프트 영역으로부터 절연된 전극으로서 구현될 수 있다.

발명의 내용

해결하려는 과제

[0004] $R_{ds_{on}}$ 및 기생 캐패시턴스들을 더 감소시키기 위하여, 트랜지스터를 구현하는 새로운 개념들이 추구되고 있다.

과제의 해결 수단

[0005] 실시형태에 따르면, 반도체 기판에 형성된 반도체 장치는 제 1 주 표면 및 트랜지스터를 포함한다. 트랜지스터는 소스 영역, 드레인 영역, 채널 영역, 드리프트 존(drift zone) 및 채널 영역에 인접한 게이트 전극을 포함하며, 게이트 전극은 채널 영역에 형성된 채널의 도전율을 제어하도록 구성된다. 채널 영역 및 드리프트 존은 소스 영역과 드레인 영역 사이의 제 1 방향을 따라서 배치되며, 제 1 방향은 제 1 주 표면에 평행하다. 채널 영역은 제 1 방향을 따라 연장되는 제 1 리지(ridge)의 형상을 가진다. 트랜지스터는 추가로 드리프트 존에 인접되게 배열되는 제 1 전계판(a first field plate)을 추가로 포함한다.

[0006] 추가 실시형태에 의하면, 반도체 기판에 형성된 반도체 장치는 제 1 주 표면 및 트랜지스터를 포함한다. 트랜지스터는 소스 영역, 드레인 영역, 채널 영역, 드리프트 존 및 채널 영역에 인접한 게이트 전극을 포함하며, 게이트 전극은 채널 영역에 형성된 채널의 도전율을 제어하도록 구성된다. 채널 영역 및 드리프트 존은 소스 영역과 드레인 영역 사이의 제 1 방향을 따라서 배치되며, 제 1 방향은 제 1 주 표면에 평행하다. 채널 영역은 제 1 방향으로 연장되는 제 1 리지의 형상을 가지며, 제 1 리지는 $d_1 \leq 2 \times l_d$ 의 관계를 갖는 제 1 폭 d_1 를 가지며, 여기서 l_d 는 제 1 리지와 게이트 유전체 사이의 경계면에 형성된 공핍 존의 길이를 나타내며, 게이트 유전체는 제 1 리지와 게이트 전극 사이에 배치된다.

[0007] 추가 실시형태에 의하면, 제 1 주 표면과 트랜지스터를 포함하는 반도체 기판에 반도체 장치를 제조하는 방법이 기재된다. 상기 방법에 의하면, 트랜지스터를 형성하는 것은 소스 영역, 드레인 영역, 채널 영역, 드리프트 존 및 채널 영역에 인접한 게이트 전극을 형성하는 것을 포함하며, 상기 채널 영역 및 상기 드리프트 존은 소스 영역과 드레인 영역 사이의 제 1 방향을 따라서 배치되도록 형성되며, 제 1 방향은 제 1 주 표면에 평행하다. 상기 채널 영역을 형성하는 것은 반도체 기판에 제 1 리지를 형성하는 것을 포함하며, 제 1 리지는 제 1 방향을 따라 연장되며, 제 1 리지는 $d_1 \leq 2 \times l_d$ 의 관계를 갖는 제 1 폭 d_1 를 가지며, 여기서 l_d 는 제 1 리지와 게이트 유전체 사이의 경계면에 형성된 공핍 존의 길이를 나타내며, 게이트 유전체는 제 리지와 게이트 전극 사이에 배치된다.

도면의 간단한 설명

[0008] 도 1a는 일 실시형태에 따른 반도체 장치의 예의 평면도이다.

도 1b는 도 1a에 보여진 반도체 장치의 단면도를 보여준다.

도 1c는 도 1b의 단면도가 취해진 방향에 수직한 방향을 따라 취해진, 일 실시형태에 따른 반도체 장치의 단면

도를 보여준다.

도 1d는 도 1b의 단면도가 취해진 방향에 수직한 방향을 따라 취해진, 일 실시형태에 따른 반도체 장치의 단면도를 보여준다.

도 2는 추가 실시형태에 따른 반도체 장치의 평면도를 보여준다.

도 3a 내지 도 3d는 제조 방법의 처리 방법들을 수행하는 동안에 반도체 기판의 단면도들을 보여준다.

도 4a 및 도 4b는 실시형태들에 따른 반도체 장치를 제조하는 단계들을 도식화하여 설명하는 흐름도들을 보여준다.

발명을 실시하기 위한 구체적인 내용

[0009] 첨부 도면들은 본 발명의 실시형태들의 추가적인 이해를 제공하기 위하여 포함하며 또한 본 명세서에 통합되며 본 명세서의 일부를 구성한다. 도면들은 본 발명의 실시형태들을 도시하며 상세한 설명과 함께 원리들을 설명하는 역할을 한다. 본 발명의 다른 실시형태들 및 많은 의도된 장점들은, 그것들이 하기 상세한 설명을 언급하여 더 잘 이해되어짐에 따라서, 용이하게 이해될 것이다. 도면들의 요소들은 서로에 대하여 반드시 축적으로 설계된 것은 아니다. 동종 도면번호들은 대응하는 유사 부품들을 나타낸다.

[0010] 하기의 상세한 설명에서 첨부 도면들이 언급되며 이 도면들은 상세한 설명의 일부를 이루며 도면들에는 실례로서 본 발명이 실시되는 특정 실시형태들이 도시된다. 이 점에서, "상의", "바닥의", "전방의", "후방의", "전연의", "후연의" 등의 방향성 용어가 설명되는 도면들의 방위와 관련하여 사용된다. 본 발명의 실시형태들의 부품들은 다수의 각각 다른 방위들로 위치될 수 있기 때문에, 방향성 용어는 예시 목적으로 사용되며 전혀 제한적이지 않다. 다른 실시형태들이 이용될 수 있고 구조적 또는 논리적 변화들이 청구항들에 의해 정의된 범위를 이탈하지 않고 이루어질 수 있다는 것을 이해할 것이다.

[0011] 실시형태들의 설명은 제한적이지 않다. 특히, 이후에 설명된 실시형태들의 요소들은 다른 실시형태들의 요소들과 결합될 수 있다.

[0012] 다음의 상세한 설명에서 사용된 용어들 "웨이퍼", "기판" 또는 "반도체 기판"은 반도체 표면을 갖는 임의의 반도체-기판 구조를 포함한다. 웨이퍼 및 구조는 실리콘, 실리콘-온-인슐레이터(SOI), 실리콘-온-사파이어(SOS), 도핑된 및 도핑되지 않은 반도체들, 베이스 반도체 기판에 의해 지지된 실리콘의 에피택시얼 층들 및 기타 반도체 구조들을 포함하는 것으로 해석될 것이다. 반도체는 실리콘-게일 필요는 없다. 반도체는 당연히 실리콘-게르마늄, 게르마늄, 또는 갈륨 비소일 수 있다. 본 출원의 실시형태들에 의하면, 일반적으로 실리콘, 실리콘 카바이드(SiC), 또는 갈륨 나이트라이드(GaN)는 반도체 기판재의 추가 예이다.

[0013] 이 명세서에서 사용된 용어들 "가로" 및 "수평"은 반도체 기판 또는 반도체 본체의 제 1 표면에 평행한 방위를 기술하려는 것이다. 이것은 예를 들면 웨이퍼 또는 다이의 표면일 수 있다.

[0014] 본 명세서에서 사용된 용어 "수직"은 반도체 기판 또는 반도체 본체의 제 1 표면에 수직으로 배열된 방위를 기술하려는 것이다.

[0015] 도면들 및 상세한 설명은 도핑 타입 "n" 또는 "p" 다음에 "-" 또는 "+" 를 표시하여 상대 도핑 농도들을 나타낸다. 예를 들면, "n⁻"는 "n"-도핑 영역의 도핑 농도보다 낮은 도핑 농도를 의미하며, 반면에 "n⁺"-도핑 영역은 "n"-도핑 영역 보다 더 높은 도핑 농도를 갖는다. 동일한 상대 도핑 농도의 도핑 영역들은 반드시 동일한 절대 도핑 농도를 가질 필요는 없다. 예를 들면, 두개의 각각 다른 "n"-도핑 영역들은 동일하거나 또는 각각 다른 절대 도핑 농도들을 가질 수 있다. 도면들 및 상세한 설명에서, 더 잘 이해하기 위하여, 종종 도핑된 부분들은 "p"-도핑되거나 또는 "n"-도핑되는 것으로 지정된다. 분명하게 이해되듯이 이 지정은 결코 제한할 의도는 아니다. 도핑 타입은 기술된 가능성이 달성되기만 하면 임의적이다. 또한, 모든 실시형태들에서 도핑 타입들은 역으로 될 수 있다.

[0016] 이 명세서에서 채용된 용어들 "결합된" 및/또는 "전기적으로 결합된"은 요소들이 직접적으로 함께 결합되어야 한다는 것을 의미하려는 것이 아니며- 개재 요소들이 "결합된" 또는 "전기적으로 결합된" 요소들 사이에 제공될 수 있다. 용어 "전기적으로 연결된"은 전기적으로 연결된 요소들 사이에 낮은-옴 전기 연결(low-ohmic electric connection)을 기술하려는 것이다.

[0017] 일반적으로, 물질 층들을 패턴화하기 위하여, 적절한 포토레지스트가 제공되는 포토리소그래피 방법이 사용될

수 있다. 포토레지스트 재료는 적절한 포토마스크를 사용하여 포토리소그래피에 의해 패터닝된다. 패터닝된 포토레지스트 층은 차후의 처리 단계들 동안에 마스크로서 사용될 수 있다. 예를 들면, 보통으로 있는 바와 같이, 하드마스크 또는 실리콘 나이트라이드, 폴리실리콘 또는 탄소와 같은 적절한 물질로 제조된 층이 패터닝될 물질 층 위에 제공될 수 있다. 하드마스크 층은 예를 들면 식각 공정을 사용하여 포토리소그래피에 의해 패터닝된다. 패터닝된 하드마스크 층을 식각 마스크로 하여, 물질 층이 패터닝된다.

[0018] 여기서 사용된 바와 같이, "갖는(having)", "함유하는(containing)", "포함하는(including)", "포함하는(comprising)" 등의 용어들은 열거된 요소들 또는 특징들의 존재를 나타내지만, 부가 요소들 또는 특징들을 배제하지 않는 제한이 없는 용어들(open-ended terms)이다. 관사들 "하나(a)", "하나(an)" 및 "그(the)"는 문장에서 명확하게 그렇지 않다고 표시되지 않는다면, 단수뿐만 아니라 복수를 포함할 것이다.

[0019] 도 1a는 실시형태에 따른 반도체 장치의 평면도를 보여주며, 도 1b는 I와 I' 사이에 취해진 반도체 장치의 단면도를 보여준다.

[0020] 도 1에 보여진 반도체 장치는 소스 영역(201), 드레인 영역(205), 채널 영역(220) 및 드리프트 존(260)을 포함한다. 소스 영역(201), 드레인 영역(205), 및 드리프트 존(260)은 제 1 도전율 형의 도펀트들, 예를 들면 n-형 도펀트들로 도핑될 수 있다. 소스 영역(201)과 드레인 영역(205)의 도핑 농도는 드리프트 존(260)의 도핑 농도보다 더 높을 수 있다. 채널 영역(220)은 소스 영역(201)과 드리프트 존(260) 사이에 배열된다. 채널 영역(220)은 제 2 도전율 형의 도펀트로 도핑되며, 예를 들면 p-도핑된다. 드리프트 존(260)은 채널 영역(220)과 드레인 영역(205) 사이에 배열될 수 있다. 소스 영역(201), 채널 영역(220), 드리프트 존(260) 및 드레인 영역(205)은 제 1 방향으로 따라서 배치된다.

[0021] 적절한 전압이 게이트 전극(210)에 인가되었을 때, 채널 영역(220)에 형성된 채널의 도전율은 게이트 전압에 의해 제어될 것이다. 게이트 전극(210)은 실리콘 옥사이드 등의 절연 게이트 유전체 물질(211)에 의해 채널 영역(220)으로부터 절연된다. 채널 영역(220)에 형성된 채널의 도전율을 제어함으로써, 소스 영역(201)으로부터 채널 영역(220)에 형성된 채널과 드리프트 존(260)을 거쳐서 드레인 영역(205)으로의 전류가 제어될 수 있다.

[0022] 소스 영역(201)은 소스 전극(202)에 연결된다. 드레인 영역(205)은 드레인 전극(206)에 연결된다.

[0023] 도 1a에 보여진 배열구조는 제 1 주 표면(110)을 갖는 반도체 기판(100)에 형성된 트랜지스터(200)를 포함하는 반도체 장치(1)를 구현한다. 일 실시형태에 의하면, 트랜지스터(200)는 드리프트 존(260)에 인접하게 배열된 전계판(250)을 추가로 포함할 수 있다. 전계판(250)은 필드 산화물과 같은 절연 유전체 층(251)에 의해 드리프트 존(260)으로부터 절연된다. 스위칭-온 되었을 때, 역전 층이 채널 영역(220)과 절연 게이트 유전체 물질(211)사이의 경계면에 형성된다. 따라서, 트랜지스터(200)는 소스 영역(201)으로부터 드리프트 존(260)을 거쳐서 드레인 영역(205)으로의 도전 상태에 있다. 트랜지스터(200)가 스위칭 오프되었을 때, 채널 영역(220)과 절연 게이트 유전체 물질(211) 사이의 경계면에서 어떠한 도전성 채널이 형성되지 않기 때문에 어떠한 전류도 흐르지 않는다. 또한, 적절한 전압이 오프 상태에서 전계판(250)에 인가된다. 오프 상태에서, 전계판(250)은 드리프트 존(260)으로부터 전하 캐리어들을 공핍시키며 그래서 반도체 장치의 역 전압 특성이 개선된다. 전계판을 포함하는 반도체 장치에서, 드리프트 존(260)의 도핑 농도는 전계판이 없는 장치와 비교하여 역 전압 특성을 저하시키지 않고 증가될 수 있다. 드리프트 존(260)의 높은 도핑 농도로 인해, 온-저항 $R_{ds,on}$ 이 더욱더 감소되어 장치 특성이 개선된다.

[0024] 도 1b는 I와 I' 사이의 도 1a에 도시된 반도체 장치(1)의 단면도를 보여준다. I와 I' 사이의 방향은 제 1 방향에 해당된다. 보여진 바와 같이, 소스 영역(201)은 주 표면(110)에서 기판(100)의 깊이 방향으로, 즉 주 표면(110)에 대하여 수직되게 연장된다. 채널영역(220)과 드리프트 존(260)은 소스 영역(201)과 드레인 영역(205) 사이의 제 1 주 표면에 평행한 제 1 방향을 따라서 배치된다. 드레인 영역(205)은 동일하게 제 1 주 표면(110)으로부터 기판의 깊이 방향으로 연장된다. 점선들로 표시된 바와 같이, 도면의 그려진 평면 전 및 후의 평면에서 게이트 트렌치들(212)이 채널 영역(220)에 인접되게 배치된다. 대응하는 방식으로, 전계판 트렌치들(252)이 드리프트 존(260)에 인접되게 배치될 수 있다. 게이트 트렌치(212)와 전계판 트렌치(252)는 제 1 주 표면(110)으로부터 기판의 깊이 방향으로 연장된다. 따라서, 채널 영역(220)은 제 1 리지의 형상을 가진다. 전계판 트렌치들(252)의 존재로 인해, 드리프트 존(260)도 제 1 리지의 형상을 갖는다. 도 1b는 또한 본체 영역(220) 아래에 그리고 드리프트 존(260)의 부분 아래에 배치된 바디 연결 주입 영역(body connect implantation region)(225)을 보여준다. 바디 연결 주입 영역(225)은 그렇지 않으면 이 부분에 생길 수 있는 기생 바이폴라 트랜지스터를 없애기 위하여 채널 영역(220)을 소스 접점(202)에 연결한다. 게다가, 바디 연결 주입 영역(225)은 트랜지스터(200)의 오프 상태에서, 드리프트 존(260)이 더 용이하게 공핍될 수 있도록 드리프트 존(260)

아래에서 연장된다.

[0025] 도 1c 및 도 1d는 도 1a의 II와 II' 사이 및 III와 III' 사이에서 취해진 기관의 단면도를 도시한다. II와 II' 사이 및 III와 III' 사이의 방향들은 제 1 방향에 수직이다. 도 1c에 보여진 바와 같이, 채널 영역(220)은 폭 d_1 과 깊이 또는 높이 t_1 를 갖는 리지의 형상을 갖는다. 예를 들면, 제 1 리지는 상면(220a) 및 두 측벽(220b)을 가질 수 있다. 측벽들(220b)은 제 1 주 표면(110)에 대하여 수직으로 또는 75° 보다 큰 각도로 연장될 수 있다. 게이트 전극(210)은 리지의 적어도 두 면들에 인접되게 배치될 수 있다.

[0026] 게다가, III와 III' 사이의 단면도에서, 드리프트 존(260)도 폭 d_2 및 깊이 또는 높이 t_2 를 갖는 제 2 리지의 형상을 갖는다. 예를 들면, 제 2 리지는 상면(260a) 및 두 측벽(260b)을 가질 수 있다. 측벽들(260b)은 제 1 주 표면(110)에 대하여 수직으로 또는 75° 보다 큰 각도로 연장될 수 있다. 드리프트 존(260)은 리지의 상면(260a)에 인접되거나 또는 리지의 적어도 두 면들에 인접되게 배치될 수 있다.

[0027] 리지들의 각각의 아래에, 깊은 바다 연결 주입 영역(225)이 배치되며, 그것은 이후에 설명될 것이다. 게이트 유전체 층(211)은 게이트 전극(210)과 채널 영역(220) 사이에 배치된다. 유사한 방식으로, 필드 유전체 층(251)은 전계판(250)과 드리프트 존(260) 사이에 배치된다.

[0028] 일 실시형태에 의하면, 채널 영역(220)의 폭 d_1 은 $d_1 \leq 2 \times l_d$ 이며, 여기서 d_1 은 게이트 유전체 층(211)과 채널 영역(220) 사이의 경계면에 형성된 공핍 존의 길이를 나타낸다. 예를 들면, 공핍 존의 폭은 다음과 같이 결정될 수 있다:

$$l_d = \sqrt{\frac{4\epsilon_s kT \ln(N_A/n_i)}{q^2 N_A}}$$

[0029]

[0030] 여기서 ϵ_s 는 반도체 재료의 유전율(실리콘에 대하여 $11.9 \times \epsilon_0$)을 나타내고, k 는 볼츠만 상수(1.38066×10^{-23} J/K)를 나타내며, T 는 온도를 나타내며, \ln 은 자연 로그를 나타내며, N_A 는 반도체 본체의 불순물 농도를 나타내고, n_i 는 진성 캐리어 농도(27°C 의 실리콘에 대하여 1.45×10^{10}), q 는 초전하(elementary charge)(1.6×10^{-19} C)을 나타낸다.

[0031] 일반적으로 트랜지스터에서 임계 전압에 해당하는 게이트 전압에서 공핍 존의 길이는 공핍 존의 최대 폭에 해당된다. 예를 들면, 제 1 트랜치들의 폭은 대략 20 - 130 nm이고, 예를 들면 반도체 기관(100)의 주 표면(110)을 따라서 40 - 120 nm일 수 있다.

[0032] 또한, 길이의 폭에 대한 비는 다음 관계식: $s_1/d_1 > 2.0$ 을 만족시킬 수 있으며, 여기서 s_1 은 도 1a에도 도시된 바와 같이, 제 1 방향을 따라서 측정된 리지의 길이를 나타낸다. 추가 실시형태들에 의하면, $s_1/d_1 > 2.5$ 이다. 도 1c 및 도 1d에 보여진 바와 같이, 채널 영역(220)의 폭 d_1 은 드리프트 존(260)의 폭 d_2 와 다를 수 있다. 추가 실시형태에 의하면, 드리프트 존(260)은 도 1d에 보여진 바와 같이, 리지들을 형성하기 위하여 패터닝되지 않은 평탄 표면을 포함할 수 있다.

[0033] 폭 $d_1 \leq 2 \times l_d$ 인 실시형태에 의하면, 트랜지스터(200)는 게이트 전극이 온-포텐셜로 설정되었을 때 채널 영역(220)이 완전하게 공핍되어 있는 소위 "완전 공핍(fully depleted)" 트랜지스터이다. 이러한 트랜지스터에서, 최적-서브 임계전압이 얻어질 수 있고, 짧은 채널 효과들이 효율적으로 억제되어 장치특성이 개선된다.

[0034] 전계판을 포함하는 트랜지스터에서, 다른 한편으로, 폭 d_1 보다 훨씬 더 큰 폭 d_2 을 갖는 드리프트 존(260)을 사용하는 것이 바람직하다. 드리프트 존 d_2 의 더 큰 폭으로 인해, 드리프트 존(260)의 저항 $R_{ds_{on}}$ 이 더욱더 감소되어 장치특성이 더욱더 개선된다. 본체 영역(220)에서 반도체 장치의 특성을 개선하기 위하여 그리고 드리프트 존(260)에서 장치특성을 추가로 개선하기 위하여, 게이트 전극 및 전계판(250)을 패터닝하는 것이 제 1 및 제 2 리지들의 각각 다른 폭을 제공하기 위하여, 이루어진다.

[0035] 도 1b를 참고하여 추가로 설명한 바와 같이, 소스 영역 및 드레인 영역(201, 205)은 기관의 깊이 방향으로 연장된다. 따라서, 소스 영역과 드레인영역(201, 205)의 깊이를 적절하게 설정하여, 트랜지스터들의 전기적 성질들

이 요구조건들에 따라 설정될 수 있다. 게이트 전극(210)과 전계판(250)이 채널 영역(220)과 드리프트 존(260)에 인접되게 깊이 방향으로 연장되는 특별 추가 특징에 의해, 채널 영역(220)에서 게이트 전극에 의해 채널 영역(220)의 전체 깊이 t_1 를 따라서 형성된 채널의 도전율을 제어하는 것이 가능하다. 상응하는 방식으로, 전계판(250)은 제 2 리지의 깊이 t_2 에 따라서 드리프트 존(260)의 거동에 영향을 준다. 그러므로, 소스 영역(201)과 드레인 영역(205)은 트랜지스터(200)의 유효 폭을 결정한다. 소스 영역(201)과 드레인 영역(205)의 깊이를 설정함으로써 폭 및 결과적으로 장치의 특성이 결정될 수 있다. 예를 들면, 소스 영역(201)과 드레인 영역(205)의 깊이는 1 μm 보다 더 클 수 있다.

[0036] 일반적으로, 온-상태에서 작동될 때, 도전성 역전 층(a conductive inversion layer)이 게이트 유전체 층(211)에 인접한 채널 영역(220)에 형성된다. 실시형태에 의하면, 상기 역전 층이 두 측면들(220b 및 220a) 중 적어도 하나를 따라서 연장되고 전류는 대개 제 1 주 표면에 평행하게 흐른다.

[0037] 도 1c 및 도 1d에 도시된 바와 같이, 게이트 전극은 리지의 적어도 두 측면들에 배치될 수 있다. 추가 실시형태에 의하면, 게이트 전극은 리지의 두 수직 측면들을 따라서 배치될 수 있으며 반면에 어떠한 게이트 전극도 리지의 수평 부분에 인접되게 배치되지 않는다. 유사한 방식으로, 전계판(250)은 드리프트 존(260)의 세 측면들에 배치될 수 있다. 그림에도 불구하고, 일 실시형태에 의하면, 전계판(250)은 드리프트 존(260)의 수직 부분들에만 인접되게 배치될 수 있다. 도 1에 보여진 실시형태에 의하면, 게이트 전극(210) 및 전계판(250)은 서로 분리된다.

[0038] 일 실시형태에 의하면, 드리프트 존(260) 내부의 도핑 농도는 일정할 수 있다. 추가적인 실시형태에 의하면, 상기 도핑 농도는 소스 영역(201)으로부터의 거리가 증가함에 따라 증가할 것이다. 또한, 게이트 유전체 층(211)의 두께는 전계판 유전체 층(251)의 두께보다 더 얇을 수 있다. 전계판 유전체 층(251)의 두께는 일정하거나 또는 소스 영역(201)로부터의 거리가 증가함에 따라 증가할 수 있다. 게다가, 리지(ridge)의 수평 표면에 인접한 전계판 유전체 층(251)의 두께는 리지의 수직 부분에 인접한 전계판 유전체 층(251)의 두께와 다를 수 있다. 예를 들면, 전계판 유전체 층(251)의 수직 부분의 두께는 전계판 유전체 층(251)의 수평 부분보다 더 클 수 있다. 도 1에 보여진 반도체 장치는 반도체 기판(100)의 제 1 주 표면(110)으로 연장하는 접점들(접점s)을 추가로 포함할 수 있다. 추가 실시형태에 의하면, 반도체 장치는 반도체 기판(100)의 제 1 주 표면(110) 맞은편에 있는 제 2 주 표면에 대한 접점들을 추가로 포함할 수 있다. 일 실시형태에 의하면, 소스 영역(201)에 전기적으로 결합된 소스 접점들(202)은 제 1 주 표면(110)까지 연장될 수 있으며 드레인 영역(205)에 전기적으로 결합된 드레인 전극(206)은 제 1 주 표면(110)과 마주하는 제 2 주 표면까지 연장될 수 있다.

[0039] 도 2는 반도체 장치의 추가 실시형태를 보여준다. 반도체 장치(100)는 소스 전극(202)에 연결된 소스 영역(201)을 포함하는 트랜지스터(200)를 포함한다. 트랜지스터(200)는 드레인 전극(206)에 연결된 드레인 영역(205)을 추가로 포함한다. 트랜지스터(200)는 채널 영역(220)에 인접되게 배치되며 게이트 유전체 층(211)에 의해 채널 영역(211)으로부터 절연된 게이트 전극들(210)을 추가로 포함한다. 트랜지스터(200)는 채널 영역(220)에 인접되게 배치된 드리프트 존(260)을 추가로 포함한다. 소스 영역(201), 채널 영역(220), 드리프트 존(260) 및 드레인 영역(205)은 제 1 방향으로 따라 연장된다.

[0040] 트랜지스터(200)는 제 1 전계판 유전체(251)에 의해 드리프트 존(260)으로부터 절연된 제 1 전계판(2501)을 추가로 포함한다. 또한, 트랜지스터(200)는 제 2 전계판 유전체 층(252)에 의해 드리프트 존(260)으로부터 절연된 제 2 전계판(2502)을 추가로 포함한다. 도 2에 보여진 실시형태에 의하면, 제 2 전계판(2502)은 제 1 전계판(2501)의 형상과 구조와 다른 형상과 구조를 갖는다. 예를 들면, 드리프트 존(260)은 제 1 전계판(2501) 아래에 있는 제 1 리지의 형상 및 제 2 전계판 아래에 있는 제 2 리지의 형상을 가질 수 있으며 제 1 리지의 폭은 제 2 리지의 폭과 다르다. 예를 들면, 제 2 리지의 폭은 제 1 리지의 폭보다 더 클 수 있다. 또한, 제 2 전계판 유전체(252)의 두께는 제 1 전계판 유전체(251)의 두께와 다를 수 있다. 예를 들면, 제 2 전계판 유전체(252)의 두께는 제 1 전계판 유전체(251)의 두께 보다 더 클 수 있다. 따라서, 많은 파라미터들은 제 1 및 제 2 전계판들(2501, 2502)에 대하여 다를 수 있다. 제 1 및 제 2 전계판들(2501, 2502)은 각각 다른 포텐셜들 V_1 , V_2 에 유지될 수 있다. 일 실시형태에 의해 분명하게 이해되듯이, 트랜지스터(200)는 두께 보다 많은 전계판들을 포함할 수 있다.

[0041] 도 3a 내지 도 3d는 일 실시형태에 따른 반도체 장치를 제조하는 단계들을 도시한다.

[0042] 반도체 기판은 일반적으로 알려진 얇은 트렌치 분리 공정들(STI) 및 주입 단계들을 수행하여 전처리될 수 있다. 예를 들면, 웰 주입 단계는 웰 주입 부분(120)을 형성하도록 행해질 수 있으며, 그 후에 깊은 바디 연결 주입

영역(225)을 제공하기 위한 추가 주입 단계 및 채널 영역(220)을 형성하기 위한 도핑 단계가 행해진다. 또한, 주입 단계는 드리프트 존을 정의하기 위하여 행해질 수 있다. 도 3a에 보여진 실시형태에서, 드리프트 존(260)은 n-도핑되며 반면에 채널 영역(220)은 p-도핑된다. 깊은 바디 연결 주입 영역(225)은 고농도 p-도핑된다. 분명하게 이해되듯이, 반대의 도핑 타입들이 적용될 수 있다.

[0043] 도 3a는 도 1a에 보여진 I와 I' 사이의 단면도를 보여준다. 다음 단계에서, 게이트 트렌치들(212)와 전계판 트렌치들(252)은 포토리소그라피에 의해 정의되고 또한 임의로 하드마스크를 사용하여 식각된다. 예를 들면, 트렌치들은 약 500 내지 5000 nm의 깊이를 가질 수 있다. 인접한 게이트 트렌치들(212) 사이의 거리는 30 내지 300 nm일 수 있으며 인접한 전계판 트렌치들(252)사이의 거리는 200 내지 2000 nm일 수 있다. 게이트 트렌치들(212)와 전계판 트렌치들(252)은 채널 영역(220)과 드리프트 존(260)을 패터닝하여 제 1 및 제 2 리지들을 형성하도록 정의된다. 그리고나서, 전계판 유전체 층(251)은 예를 들면 저압 CVD 방법에 의해 형성된다. 예를 들면, 전계판 산화물 층은 30 내지 500 nm의 두께를 가질 수 있다. 그리고나서, 불필요한 부분들로부터 필드 산화물을 식각하기 위하여 포토리소그라피 단계가 수행될 수 있다.

[0044] 도 3b는 결과적으로 생긴 구조의 예의 단면도를 보여준다. 도 3b의 단면도는 도 1a의 IV와 IV' 사이에 취해진다. 보여진 바와 같이, 전계판 트렌치(252)는 게이트 트렌치들(212)보다 더 깊은 깊이까지 연장될 수 있다. 필드 유전체 층(251)은 전계판 트렌치(252)에만 형성된다.

[0045] 그리고나서, 게이트 유전체 층(211)은 예를 들면 열 산화에 의해 형성될 수 있다. 예를 들면, 게이트 유전체 층(211)은 5 내지 50 nm의 두께를 가질 수 있다. 그리고나서, 게이트 전극(210)과 전계판(250)을 형성하는 도전체가 형성된다. 예를 들면, 폴리실리콘이 침착될 수 있다. 예를 들면, 폴리실리콘 층이 50 내지 200 nm의 두께를 가질 수 있다. 폴리실리콘층이 n-도핑되거나 또는 비도핑되고 침착 후에 도핑될 수 있다. 그리고나서, 도전체가 게이트 전극(210) 및 전계판(250)을 형성하도록 패터닝된다.

[0046] 도 3c는 결과로서 생긴 구조의 예를 보여준다. 보여진 바와 같이, 게이트 전극(210)은 채널 영역(220)에 인접하도록 형성되며 전계판(250)은 드리프트 존(260)에 인접하도록 배치된다. 그리고나서, 점점 트렌치들은 소스 및 드레인 영역들(201, 205)에 연결부들을 제공하도록 정의된다. 예를 들면, 점점 트렌치들은 포토리소그라피에 의해 정의되고 임의로 하드마스크 층을 사용하여 식각될 수 있다. 그 후에, 틸트 주입 단계(tilted implantation step)는 소스 영역(201)과 드레인 영역(205)을 형성하도록 예를 들면, n-형 도펀트들을 가지고 수행될 수 있다. 예를 들면, 소스 영역(201)과 드레인 영역(205)은 각각 다른 깊이로 연장될 수 있다. 예를 들면, 소스 영역(201)과 드레인 영역(205)은 약 500 내지 5000 nm의 깊이로 연장될 수 있다. 예를 들면, 소스 영역(201)과 드레인 영역(205) 중 임의의 것은 게이트 트렌치(212)의 깊이와 대략적으로 동일한 깊이로 연장되거나 또는 게이트 트렌치(212)의 깊이 보다 적은 깊이로 연장된다. 용어 "대략적으로 동일한 깊이"는 공정 유도 변화들로 인해, 소스 영역(201)과 드레인 영역(205)중 임의의 것의 깊이는 게이트 트렌치들(212)의 깊이보다 약 10% 덜 깊을 수 있다. 임의로, p⁺-도핑 바디 연결 주입 영역(225)을 형성하도록, 채널 영역(220) 직하에 배치된 부분들을 추가로 도핑하기 위하여 추가 p⁺ 주입 단계가 수행될 수 있다. 이 추가 p⁺ 주입 단계는 소스 및 드레인 영역들(201, 205)을 정의하기 전 또는 후에 수행될 수 있다. 그 후에, 소스 전극(202)과 드레인 전극(206)을 형성하기 위한 도전체가 점점 트렌치들에 충전된다. 예를 들면, 도전체는 폴리실리콘 또는 Ti, TiN 및 텅스텐(W)을 포함하는 적층을 포함할 수 있다. 도전체는 다시 식각될 수 있다. 점점들이 형성될 수 있으며 트렌지스터 제조에 공통적인 추가 처리 단계들이 수행될 수 있다.

[0047] 또 하나의 실시형태에 의하면, 틸트 주입 단계 및 점점 트렌치 처리는 나중의 처리 단계에서, 예를 들면 소위 MOL(미드-오프-라인) 처리 단계들 동안에 수행될 수 있다.

[0048] 추가 실시형태들에 의하면, 반도체 장치의 제 2 주 표면에 점점을 제공하기 위하여 점점 트렌치들이 도 3d에 도시된 것보다 더 깊은 깊이로 식각될 수 있다.

[0049] 도 3d는 결과적으로 생긴 구조의 예를 보여준다.

[0050] 도 4a는 일 실시형태에 따른 반도체 장치를 제조하는 방법을 도시한다. 도 4a에 도시된 바와 같이, 상기 방법은 제 1 주 표면을 포함하는 반도체 기판에 트렌지스터를 형성하는 것을 포함할 수 있으며, 여기서 트렌지스터를 형성하는 것은 소스 영역(S40), 드레인 영역(S40), 채널 영역(S10), 드리프트 존(S20) 및 상기 채널 영역에 인접한 게이트 전극(S30)을 형성하는 것을 포함하며, 채널 영역과 드리프트 존은 소스 영역과 드레인 영역 사이의 제 1 주 표면에 평행한 제 1 방향을 따라 배치되도록 형성되며, 채널 영역은 제 1 방향을 따라 연장되는 제

1 리지의 형상을 갖는 기관 부분에 형성되며, 제 1 리지는 $d_1 \leq 2 \times l_d$ 의 관계를 갖는 제 1 폭 d_1 을 가지며 여기서 l_d 는 게이트 전극과 제 1 리지 사이의 경계면에 형성된 공핍 존의 길이를 나타낸다. 임의로, 상기 방법은 전계판(S 35)을 형성하는 것을 추가로 포함할 수 있다. 실시형태들에 의하면, 일련의 단일 처리 방법들은 전체적인 공정 요구조건들에 따라서 변화되고 결정될 수 있다.

[0051]

도 4b는 추가 실시형태에 따른 반도체 장치를 제조하는 방법을 도시한다. 상기 실시형태에 의하면, 제 1 주 표면을 포함하는 반도체 기관에 트랜지스터를 형성하는 것을 포함하며, 트랜지스터를 형성하는 것은 소스 영역(S40), 드레인 영역(S40), 채널 영역(S10), 드리프트 존(S20) 및 상기 채널 영역에 인접한 게이트 전극(S30)을 형성하는 것을 포함하며, 채널 영역과 드리프트 존은 소스 영역과 드레인 영역 사이의 제 1 주 표면에 평행한 제 1 방향을 따라 배치되도록 형성된다. 채널 영역(S10)을 형성하는 것은 제 1 방향을 따라 연장되는 제 1 리지를 반도체 기관에 정의하는 것을 포함할 수 있다. 제 1 리지를 정의하며 게이트 전극(S30)을 형성하는 것은 게이트 트렌치들(S15)을 반도체 기관에 형성하고 인접한 트렌치들을 충전하기 위하여 도전층(S17)을 형성하여, 이루어질 수 있다.

[0052]

추가 실시형태에 의하면, 드리프트 존(S20)을 형성하는 것은 제 1 방향을 따라서 연장되는 제 2 리지를 반도체 기관에 정의하는 것을 포함할 수 있다. 제 2 리지를 정의하고 전계판(S35)을 형성하는 것은 반도체 기관에 전계판 트렌치들(S25)을 형성하고 인접한 트렌치들을 충전하기 위하여 도전층(S27)을 형성하여, 이루어질 수 있다.

[0053]

게이트 트렌치들 및 임의로, 전계판 트렌치들을 형성하고 그 후에 인접한 트렌치들을 충전하기 위하여 도전층을 형성함으로써 트랜지스터를 형성하는 것은 소위 다마신(damascene) 제조 방법을 가리키고 있다. 이 방법에 의하면, 제 1 리지의 수직 측벽들에 인접한 게이트 전극의 부분들을 형성하기 위하여 도전층을 패터닝하는 것은 없애질 수 있다. 유사하게, 제 2 리지의 수직 측벽들에 인접한 전계판의 부분들을 형성하기 위하여 도전층을 패터닝하는 것은 없애질 수 있다. 따라서, 이 방법은 반도체 장치를 제조하는 방법을 추가로 단순화시킨다.

[0054]

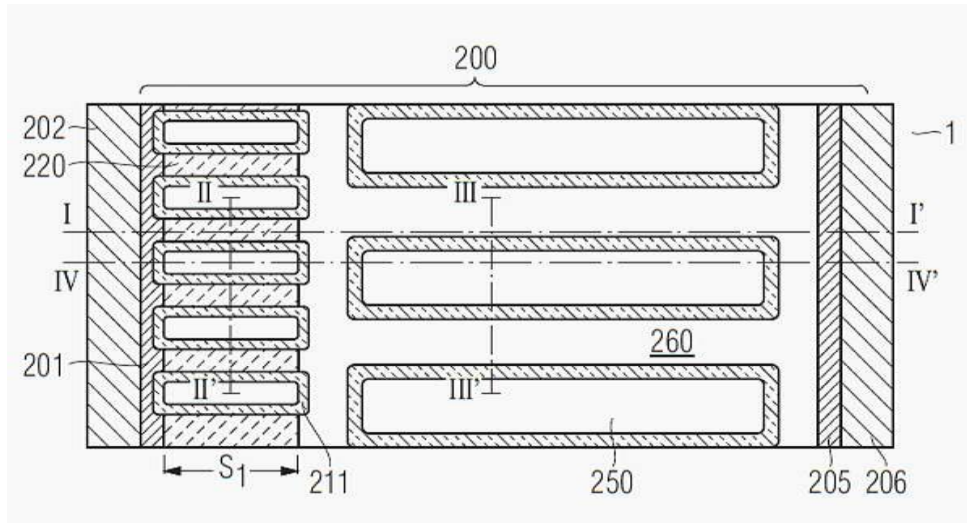
앞에서 설명된 바와 같이, 본 명세서의 실시형태들은 반도체 기관(200)의 주 표면(110)에 대략적으로 평행한 전류 흐름을 가능케 하는 소위 가로 장치(lateral device: 수평구조 장치)로서 구현되는 반도체 장치에 관한 것이다. 따라서, 예를 들면, 소스 및 드레인 영역들은 용이한 방식으로 형성될 수 있으며 모든 장치 부품들은 기관의 제 1 주 표면(110)에 인접되게 처리될 수 있다. 채널 영역(220)은 리지의 형상을 가지며 그래서 3 차원 구조를 구현한다. 게이트 전극(210)은 채널 영역(220)의 전체 깊이에 따라 연장되는 게이트 트렌치들(212)에 배치된다. 따라서, 채널 영역(220)에 형성된 도전성 채널의 제어는 트랜지스터의 전체 깊이에 걸쳐서 이루어질 수 있다. 또한, 전계판(250)의 존재로 인해, 전계판(250)에 의한 드리프트 존(260)의 전하 보상이 달성된다. 실시형태에 의하면, 전계판(250)은 기관의 깊이 방향으로 연장되는 전계판 트렌치(252)에 배치된다. 따라서, 오프 상태에서, 전계판을 갖는 드리프트 존(260)에서 전하 캐리어들의 공핍이 용이하고 효율적으로 달성될 수 있다. 채널 영역(220)이 특별한 폭을 갖는 리지의 형상을 가지는 실시형태에 의하면, 트랜지스터는 온-상태에 해당하는 게이트 전압이 인가되었을 때, 완전하게 공핍될 수 있다. 그 결과, 개선된 서브-임계 구배 특성을 갖는 트랜지스터가 구현된다. 또한, 유효 트랜지스터 폭이 증가되며, 그래서 트랜지스터의 유효 면적이 필요한 공간의 증가 없이 증가된다.

[0055]

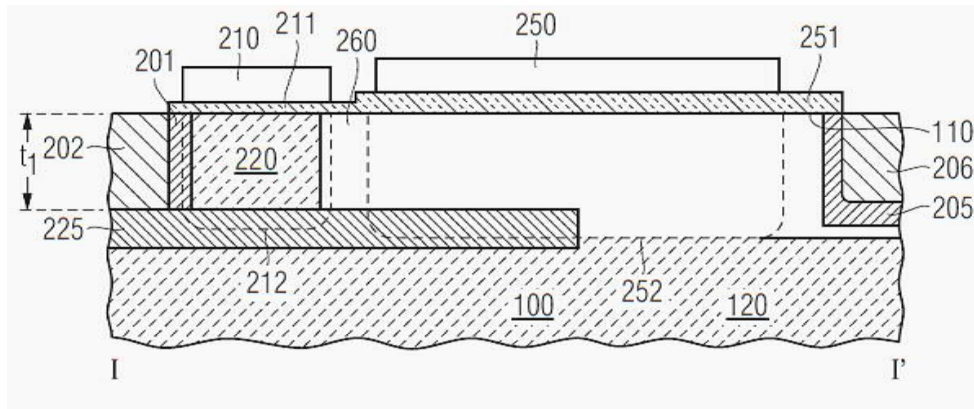
본 발명의 실시형태들은 위에서 기재되었지만, 추가 실시형태들이 구현될 수 있는 것은 자명하다. 예를 들면, 추가 실시형태들은 청구항들에 열거된 특징들의 임의의 서브 결합 또는 위에 제시된 예들에 기재된 요소들의 임의의 서브 결합을 포함할 수 있다. 따라서, 첨부 청구항들의 이 사상 및 범위는 여기에 포함된 실시형태들의 설명에 제한되지 않는다.

도면

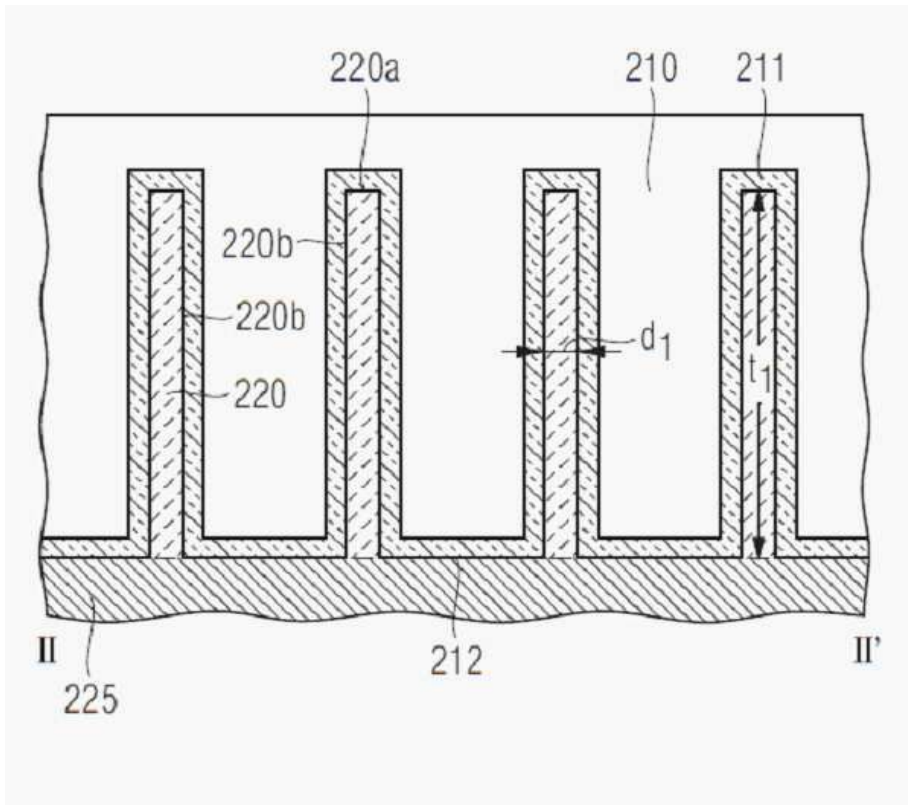
도면1a



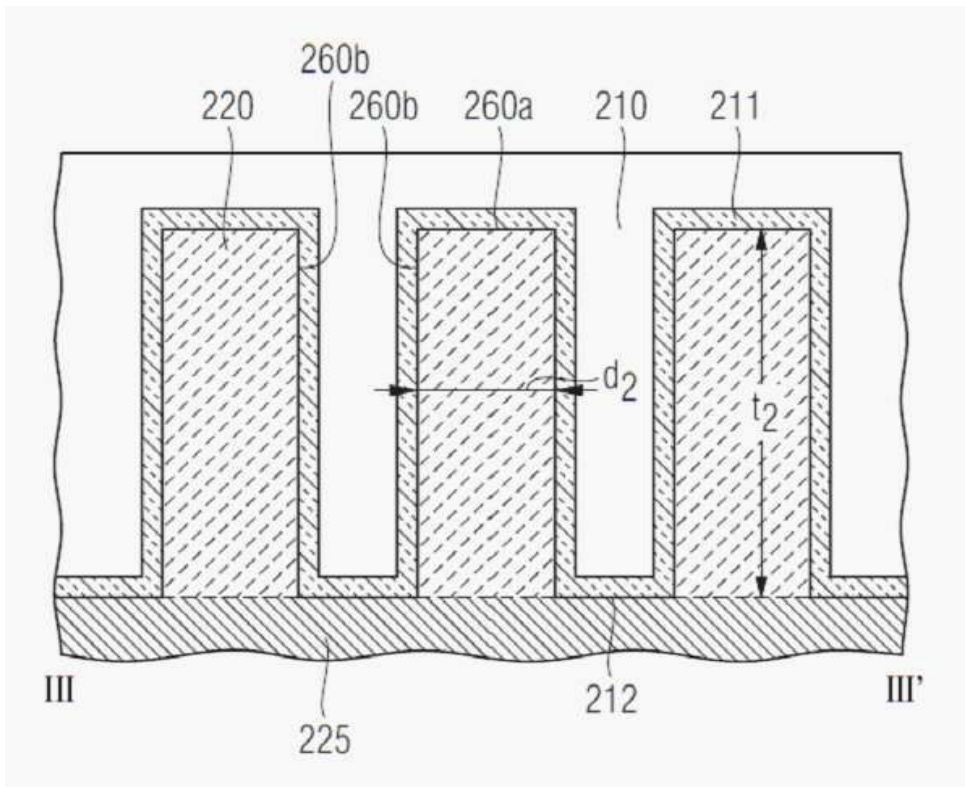
도면1b



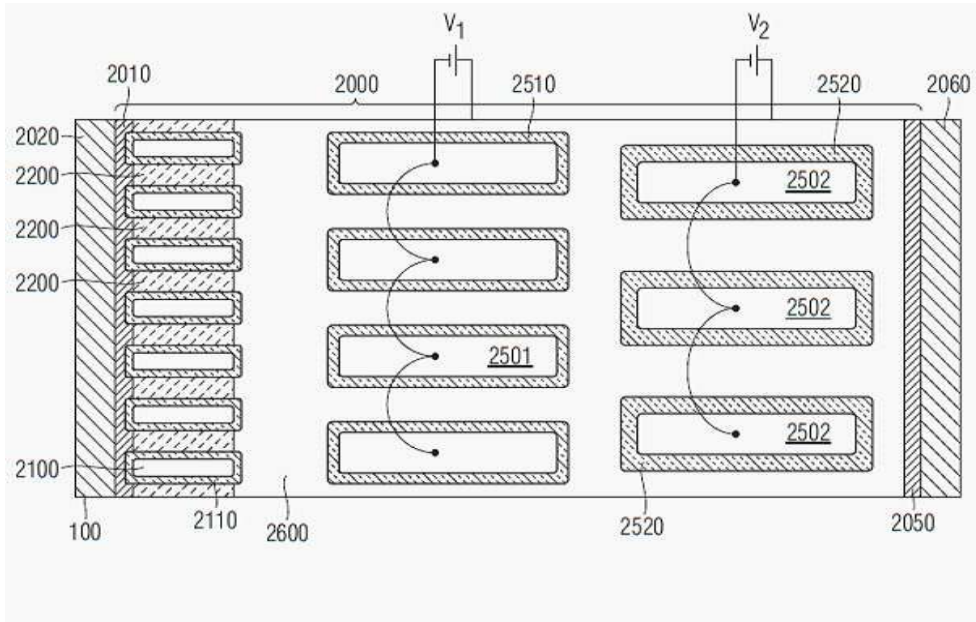
도면1c



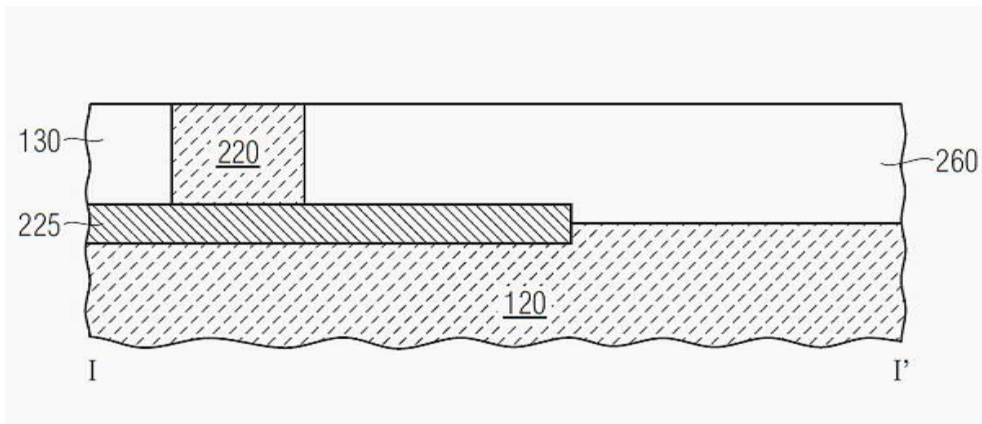
도면1d



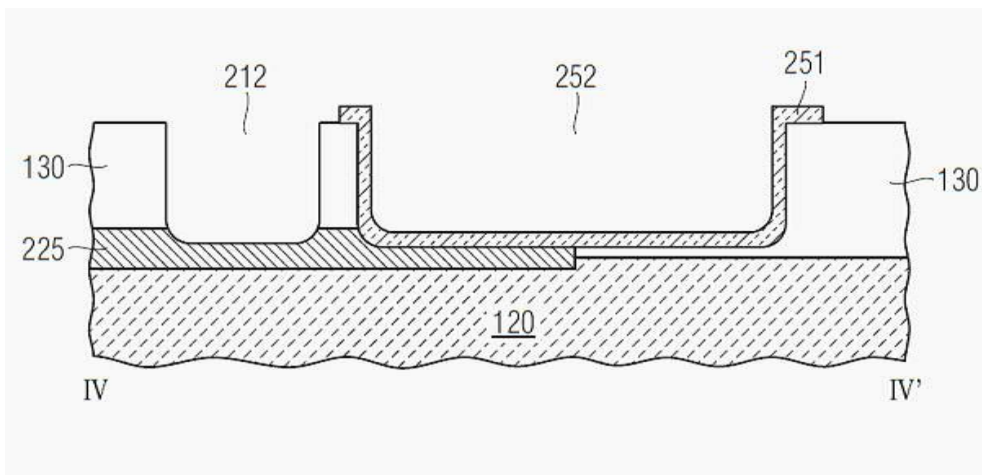
도면2



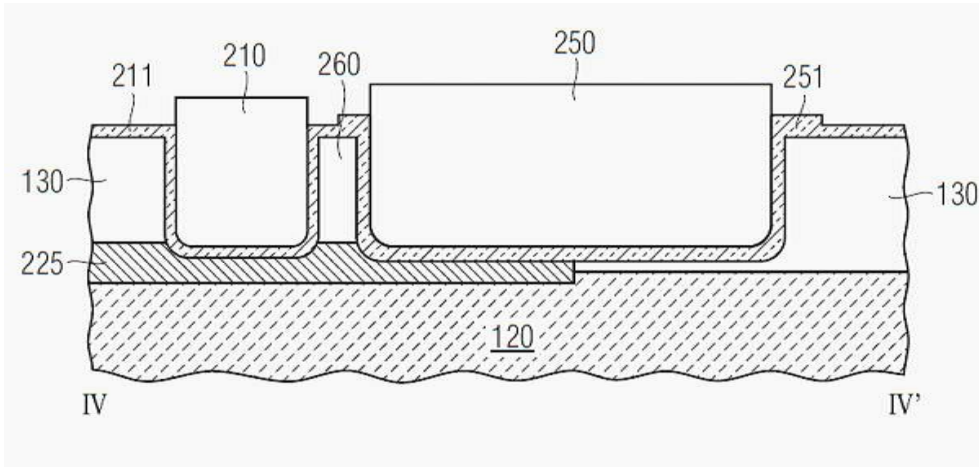
도면3a



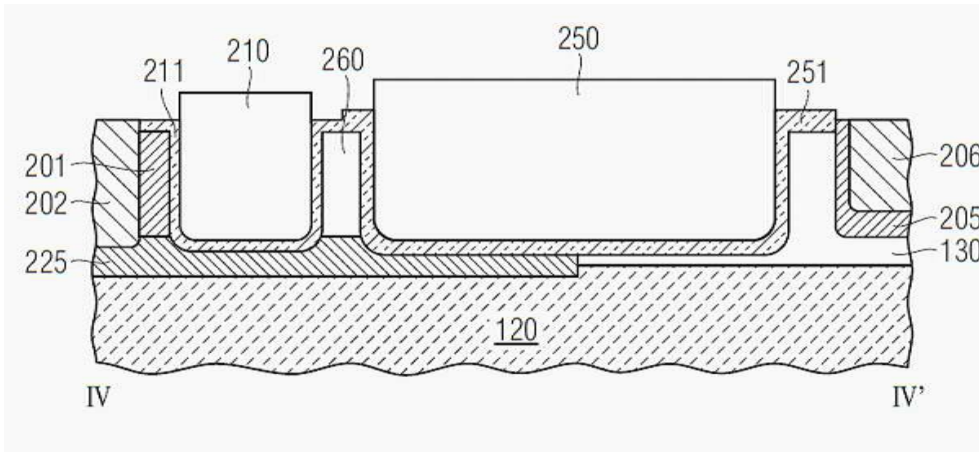
도면3b



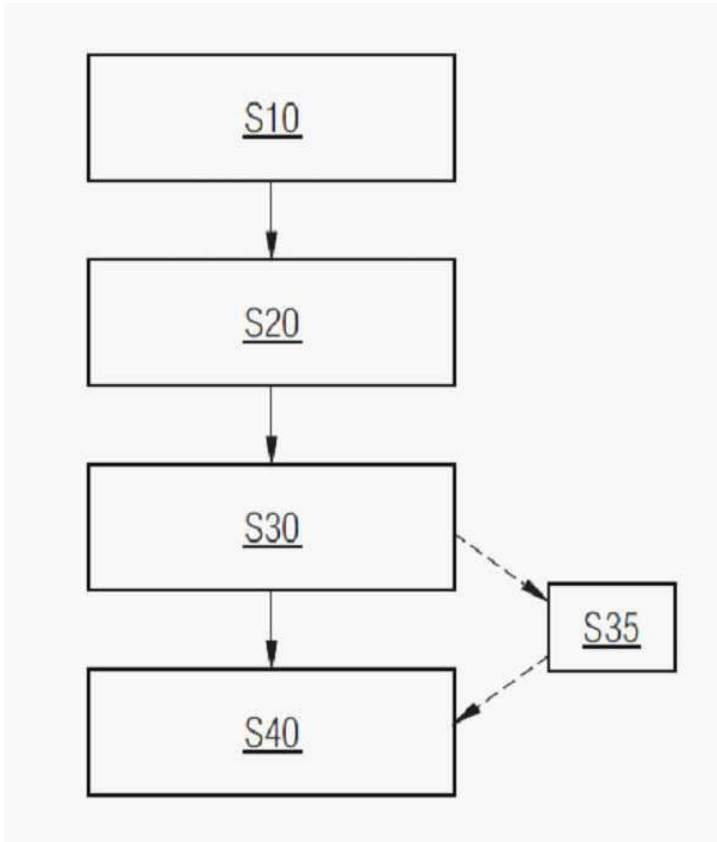
도면3c



도면3d



도면4a



도면4b

