



(12) 发明专利申请

(10) 申请公布号 CN 102306623 A

(43) 申请公布日 2012.01.04

(21) 申请号 201110285908.8

(22) 申请日 2011.09.23

(71) 申请人 厦门市三安光电科技有限公司

地址 361009 福建省厦门市思明区吕岭路
1721-1725 号

(72) 发明人 郑高林 黄少华 吴志强

(51) Int. Cl.

H01L 21/02(2006.01)

H01L 33/00(2010.01)

B82Y 40/00(2011.01)

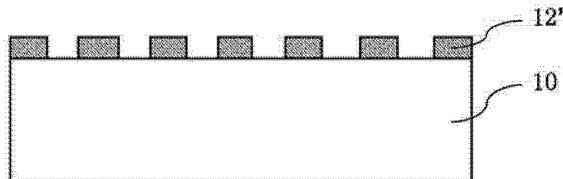
权利要求书 1 页 说明书 3 页 附图 3 页

(54) 发明名称

一种制备纳米级二氧化硅图形掩膜的方法

(57) 摘要

本发明公开了一种制备纳米级二氧化硅图形掩膜的方法，其工艺包括：首先利用退火热处理在材料层表面上形成纳米级金属颗粒，接着在金属颗粒的表面上蒸镀一层 SiO_2 薄膜，采用化学蚀刻和超声共同作用，利用金属颗粒与 SiO_2 粘附性的差异，蚀刻金属颗粒的同时使得包裹金属颗粒的 SiO_2 层脱落，在所述材料层的表面上形成纳米级二氧化硅多孔状图形掩膜。本发明一方面利用金属层的厚度和退火工艺可以很好的控制金属颗粒的尺寸从而可获得不同尺寸的 SiO_2 孔状掩膜，另一方面有效地避免了采用干法蚀刻可能造成的金属污染，同时剥离后的图形跟金属颗粒的形状几乎一致，图形掩膜的制作工艺相对比较稳定。



1. 一种制备纳米级二氧化硅图形掩膜的方法，其包括如下步骤：
 - 1) 提供一待在其上形成二氧化硅图形掩膜的材料层；
 - 2) 在所述材料层的表面上蒸镀一层金属薄膜；
 - 3) 退火热处理，在材料层表面上形成随机均匀分布的纳米级金属颗粒；
 - 4) 在镀有纳米金属颗粒的材料层的表面上沉积一层 SiO_2 薄膜；
 - 5) 采用化学蚀刻和超声共同作用，蚀刻金属颗粒的同时使得包裹金属颗粒的 SiO_2 层脱落，在所述材料层的表面上形成纳米级二氧化硅多孔状图形掩膜。
2. 根据权利 1 所述的一种制备纳米级二氧化硅图形掩膜的方法，其特征在于：所述材料层为外延生长衬底、半导体外延层的支撑基板、半导体材料层、透明导电层中任意一种。
3. 根据权利 1 所述的一种制备纳米级二氧化硅图形掩膜的方法，其特征在于：所述金属薄膜的厚度为 $10 \sim 70$ 纳米。
4. 根据权利 1 所述的一种制备纳米级二氧化硅图形掩膜的方法，其特征在于：所述金属颗粒的大小为 $200\text{nm} \sim 1\mu\text{m}$ 。
5. 根据权利 1 所述的一种制备纳米级二氧化硅图形掩膜的方法，其特征在于：所述金属薄膜的材料为 Ag、Ni、Au、Ti、Cr 中任意的一种。
6. 根据权利 1 所述的一种制备纳米级二氧化硅图形掩膜的方法，其特征在于：所沉积的 SiO_2 层厚度为 $30\text{nm} \sim 100\text{nm}$ 。
7. 根据权利 1 所述的一种制备纳米级二氧化硅图形掩膜的方法，其特征在于：所述步骤 3) 中的退火温度为 $400 \sim 600^\circ\text{C}$ 。
8. 根据权利 1 所述的一种制备纳米级二氧化硅图形掩膜的方法，其特征在于：所述步骤 5) 中采用氨水和双氧水的混合溶液作为化学蚀刻的蚀刻液。

一种制备纳米级二氧化硅图形掩膜的方法

技术领域

[0001] 本发明涉及一种纳米级二氧化硅图形掩膜的制备方法。

背景技术

[0002] 二氧化硅材料(SiO_2)由于其具有良好的绝缘性、稳定性和易制备性被广泛地应用于半导体光电子领域。 SiO_2 纳米或微米小球可以用来做干法蚀刻的掩膜;微米(或纳米)级别的二氧化硅图形掩膜可以用来外延生长高质量的GaN 基 LED 器件,可以有效降低GaN 基 LED 器件中的位错密度; SiO_2 可用光刻的方法在蓝宝石衬底上制备出微米级别的掩膜图形,从而可将蓝宝石做成PSS(图形化蓝宝石衬底)衬底。

[0003] 目前, SiO_2 纳米小球的制备需用较复杂的化学工艺,而且纳米小球的涂覆工艺要求形成均匀排列的单层纳米球,较难控制。普通光刻设备能够制备微米级别的 SiO_2 掩膜图形,要想获得纳米级别的掩膜图形一般需用电子束曝光设备,而该设备比较昂贵。中国专利 ZL200710120612.4 提出了一种用于氮化物外延生长的纳米级图形衬底的制作方法,具体方法如下:在用于氮化物外延生长的衬底上淀积一层二氧化硅薄膜,在 SiO_2 薄膜上沉积金属薄层(如 Ni),经快速退火后形成金属纳米颗粒,再经干法蚀刻做成纳米级别的 SiO_2 掩膜。此方法虽然可获得纳米级别的 SiO_2 图形掩膜,不过此法获得的图形是以一个个随机排列的 SiO_2 小岛(或小柱)所组成的;而且干法蚀刻时由于金属颗粒的抗蚀刻性不强,容易造成金属污染,且不易控制蚀刻后的 SiO_2 图形。

发明内容

[0004] 针对现有技术中存在的上述问题,本发明提出一种纳米级二氧化硅图形掩膜的制备方法。

[0005] 本发明解决上述问题所采用的技术方案为:一种纳米级二氧化硅图形掩膜的制备方法,其包括如下步骤:1) 提供一待在其上形成二氧化硅图形掩膜的材料层;2) 在所述材料层的表面上蒸镀一层金属薄膜;3) 退火热处理,在材料层表面上形成随机分布的纳米级金属颗粒;4) 在镀有纳米金属颗粒的材料层的表面上沉积一层 SiO_2 薄膜;5) 采用化学蚀刻和超声共同作用,蚀刻金属颗粒的同时使得包裹金属颗粒的 SiO_2 层脱落,在所述材料层的表面上形成纳米级二氧化硅图形掩膜。

[0006] 首先,本发明利用金属纳米颗粒为掩膜,利用金属层的厚度和退火工艺可以很好的控制金属颗粒的尺寸从而可获得不同尺寸的 SiO_2 孔状掩膜。在获得纳米级金属掩膜后,利用金属薄膜与材料层表面粘附性较差,而 SiO_2 与基板有着较佳的粘附性,同时金属颗粒与 SiO_2 之间的粘附性也较差,采用化学蚀刻和超声共同作用,蚀刻去除纳米级金属颗粒的同时使得包裹金属颗粒的 SiO_2 层脱落,形成纳米级别的 SiO_2 孔状掩膜。本发明有效地避免了采用干法蚀刻可能造成的金属污染,同时剥离后的图形跟金属颗粒的形状几乎一致,图形掩膜的制作工艺相对比较稳定。而且本发明方法简单实用,易于产业化。

[0007] 本发明的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变

得显而易见,或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书、权利要求书以及附图中所特别指出的结构来实现和获得。

附图说明

[0008] 附图用来提供对本发明的进一步理解,并且构成说明书的一部分,与本发明的实施例一起用于解释本发明,并不构成对本发明的限制。此外,附图数据是描述概要,不是按比例绘制。

[0009] 图 1 ~ 图 4 是本发明优选实施例的一种纳米级二氧化硅图形掩膜的制备过程示意图。

[0010] 图 5 为本发明优选实施例中外延生长衬底表面形成了随机分散的 Ag 纳米颗粒的正面 SEM 实物图。

[0011] 图中各标号为:

10 :待形成掩膜的材料层;

11 :金属薄膜;

11' :金属颗粒;

12 :SiO₂ 层;

12' :SiO₂ 掩膜层。

具体实施方式

[0012] 以下将结合附图及实施例来详细说明本发明的实施方式,借此对本发明如何应用技术手段来解决技术问题,并达成技术效果的实现过程能充分理解并据以实施。需要说明的是,只要不构成冲突,本发明中的各个实施例以及各实施例中的各个特征可以相互结合,所形成的技术方案均在本发明的保护范围之内。

[0013] 下面结合图 1 ~ 图 5 对本发明的实施方式进行说明。SiO₂ 掩膜层可用于发光二极管中 PSS 制作或表面粗化工艺等。用于 PSS 制作时, SiO₂ 掩膜层主要形成于外延生长衬底的表面上;用于表面粗化工艺, SiO₂ 掩膜层主要形成于半导体外延层的表层或 ITO 层上。可以根据 SiO₂ 掩膜层的具体用途选择不同的材料层。下面实施例为方便说明,选择 SiO₂ 掩膜层用于发光二极管中 PSS 制作进行说明。

[0014] 一种纳米级二氧化硅图形掩膜的制备方法的方法,通过如下步骤实现:

首先提供一待形成 SiO₂ 掩膜层的基板 10。目前使用较为普遍的基板有蓝宝石衬底、硅衬底和半导体外延层等。

[0015] 下一步,在所述基板或半导体外延层的表面上蒸镀一层金属薄膜 11。金属薄膜材料 11 的选择以在高温退火后可以凝结成纳米级颗粒为准,如 Ni、Au、Ti、Cr、Ag 等。金属薄膜的厚度一般在 10 ~ 70 纳米之间,选择不同的金属薄膜的厚度,将获得不同尺寸的金属颗粒。在本实施例中,优选 Ag 作为金属薄膜的材料,厚度约为 30 纳米,结构剖面图如图 1 所示。

[0016] 下一步,退火热处理,在基板 10 表面上形成随机分布的纳米级金属颗粒 11'。在本实施例中,将上一步骤已镀有 Ag 膜 11 的基板放入快速退火炉里,在 400~600℃下退火 1 ~ 3 分钟,此时在基板表面形成了随机分散的 Ag 纳米颗粒 11'。其结构剖面图如图 2 所示,图

5 为其正面 SEM 实物图,Ag 纳米颗粒 11' 的大小为 200nm ~ 500nm, 高度为 100nm ~ 300nm, 颗粒间距为 300nm ~ 1um。改变退火条件可以获得不同尺寸、分布均匀的 Ag 纳米颗粒阵列。

[0017] 下一步, 在镀有纳米金属颗粒的基板或半导体外延层的表面上沉积一层 SiO₂ 薄膜 12。在本实施例中, 在上述图 2 所示的镀有纳米金属颗粒 11' 的衬底表面用等离子增强 CVD 法沉积 30nm ~ 100nm 的 SiO₂ 薄膜 12, 其结构剖面图如图 3 所示。

[0018] 下一步, 采用化学蚀刻和超声共同作用, 蚀刻金属颗粒 11' 的同时使得包裹金属颗粒的 SiO₂ 层脱落, 在所述基板或半导体外延层的表面上形成纳米级二氧化硅图形掩膜。在本实施例中, 上述 Ag 纳米颗粒 11' 和 SiO₂ 薄膜 12 组成的复合薄膜浸入到氨水和双氧水的混合溶液中超声半小时到 1 小时, 超声仪的功率要比较大, 使得在上述蚀刻溶液渗透过 SiO₂ 薄层而对 Ag 颗粒进行蚀刻的同时能够使包裹 Ag 颗粒的 SiO₂ 层脱落。如图 4 所示, 可以获得一层纳米级别的 SiO₂ 多孔阵列掩膜 12', 其孔径大小为 200nm ~ 1um, 间距为 200nm ~ 1um。

[0019] 最后利用制得的 SiO₂ 多孔状掩膜, 采用化学蚀刻的方法制备凹坑形状的 PSS 衬底。

[0020] 以上实施例仅供说明本发明之用, 而非对本发明的限制, 有关技术领域的技术人员, 在不脱离本本发明的精神和范围的情况下, 还可以作出各种变换或变化。因此, 所有等同的技术方案也应该属于本发明的范畴, 应由各权利要求限定。

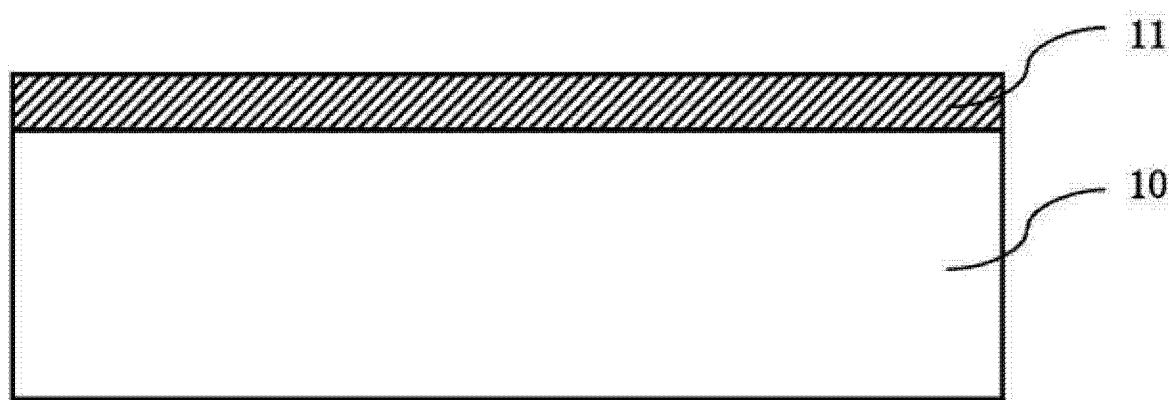


图 1

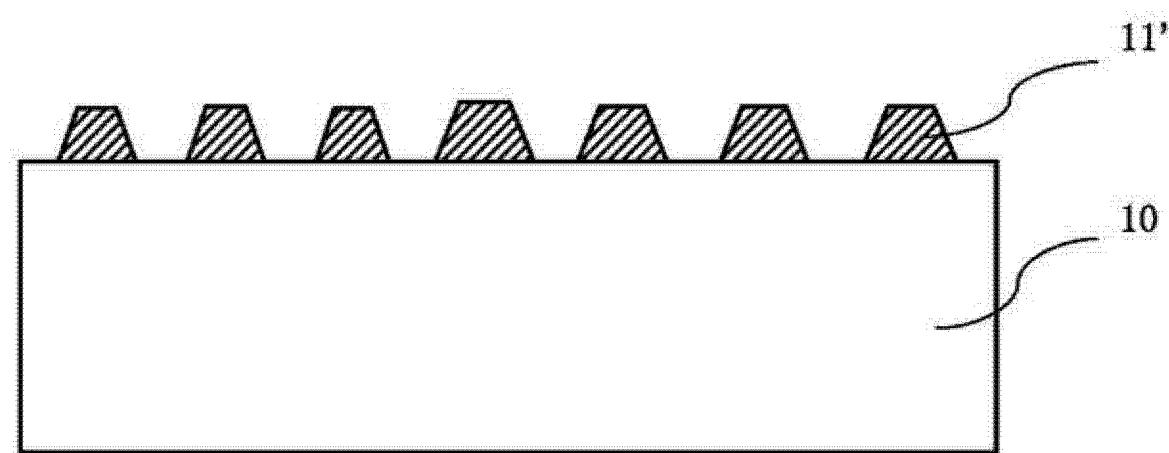


图 2

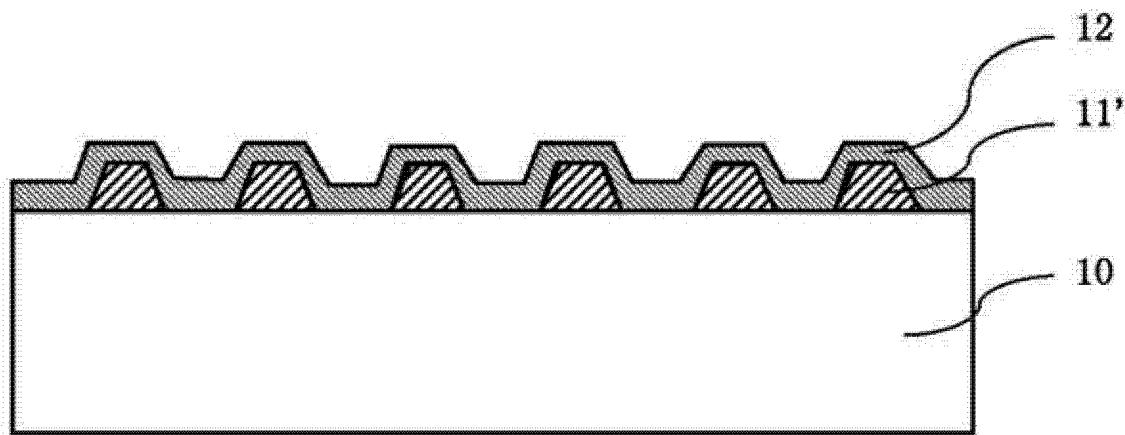


图 3

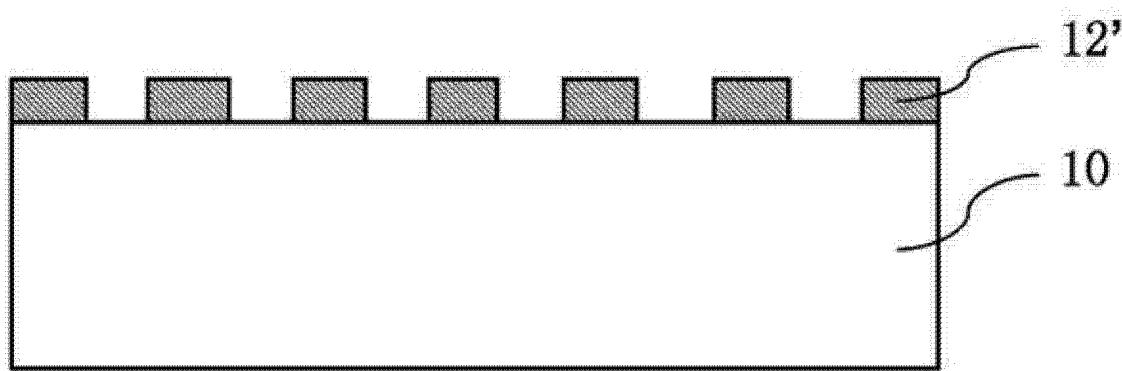


图 4

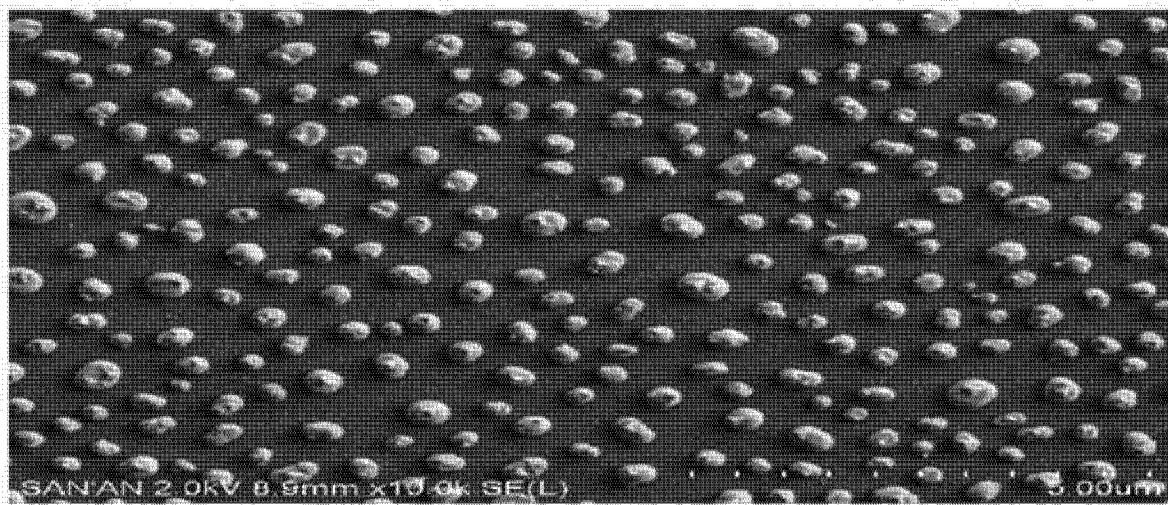


图 5