

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

(57) 要約: 【課題】高い信頼性のあるリファレンス電位を設定することが可能な半導体記憶装置を提供する。【解決手段】センスアンプに供給するリファレンス電位を生成する抵抗素子と、前記抵抗素子への電流の注入によりセンスアンプに供給するリファレンス電位を生成する状態と、外部で生成されるリファレンス電位を前記センスアンプに供給する状態と、の少なくとも2つの状態を有するスイッチ部と、を備える、半導体記憶装置が提供される。

明 細 書

発明の名称：

半導体記憶装置、情報処理装置及びリファレンス電位設定方法

技術分野

[0001] 本開示は、半導体記憶装置、情報処理装置及びリファレンス電位設定方法に関する。

背景技術

[0002] 抵抗変化型半導体記憶装置は、少なくとも2値の情報を電氣的抵抗値に基づき保存する少なくとも1つの抵抗変化型記憶素子で構成される記憶素子を備えている。そして抵抗変化型半導体記憶装置は、選択された記憶素子に電流を流し、記憶素子の電氣的抵抗に掛かる電圧値をセンスアンプで検知することで、記憶素子に保存された論理値を読み取る。また抵抗変化型半導体記憶装置の記憶素子は、閾値以上の電圧が印加されると、印加された電圧の方向に応じて高抵抗または低抵抗に変化する特徴を有している。従って抵抗変化型半導体記憶装置には、この閾値電圧以内での読み出しが要求される。また、記憶素子の抵抗値を判別するために2値の抵抗値の中間の値をリファレンス用に用意する必要があり、例えば高低2つの記憶素子を並列に並べて平均値を取る半導体記憶装置が開示されている（特許文献1、2等）。

先行技術文献

特許文献

[0003] 特許文献1：特開2016-4589号公報

特許文献2：特開2009-238327号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、リファレンス用の記憶素子には高い信頼性が要求される。また、抵抗変化型記憶素子には、読み出しのために印加した電流により値が変化するリードディスタート現象及びデータ保持エラーがある確率で発生すること

が知られており、抵抗変化型記憶素子をリファレンス用に用いる場合にデータの読み出し時の信頼性が低下するおそれがある。

[0005] そこで、本開示では、高い信頼性のあるリファレンス電位を設定することが可能な、新規かつ改良された半導体記憶装置、情報処理装置及びリファレンス電位設定方法を提案する。

課題を解決するための手段

[0006] 本開示によれば、センスアンプに供給するリファレンス電位を生成する抵抗素子と、前記抵抗素子への電流の注入によりセンスアンプに供給するリファレンス電位を生成する状態と、外部で生成されるリファレンス電位を前記センスアンプに供給する状態と、の少なくとも2つの状態を有するスイッチ部と、を備える、半導体記憶装置が提供される。

[0007] また本開示によれば、少なくとも1つの上記半導体記憶装置を備える、情報処理装置が提供される。

[0008] また本開示によれば、センスアンプに供給するリファレンス電位を生成する抵抗素子への電流の注入によりセンスアンプに供給するリファレンス電位を生成する状態と、外部で生成されるリファレンス電位を前記センスアンプに供給する状態と、の少なくとも2つの状態の間の切り替えを行う、リファレンス電位設定方法。

発明の効果

[0009] 以上説明したように本開示によれば、高い信頼性のあるリファレンス電位を設定することが可能な、新規かつ改良された半導体記憶装置、情報処理装置及びリファレンス電位設定方法を提供することが出来る。

[0010] なお、上記の効果は必ずしも限定的なものではなく、上記の効果とともに、または上記の効果に代えて、本明細書に示されたいずれかの効果、または本明細書から把握され得る他の効果が奏されてもよい。

図面の簡単な説明

[0011] [図1]本開示の実施の形態に係る半導体記憶装置、及び半導体記憶装置に関する構成を示す説明図である。

[図2]同実施の形態に係る半導体記憶装置の回路構成例を示す説明図である。

[図3A]データ記憶用の記憶素子の構成例を示す説明図である。

[図3B]データ記憶用の記憶素子の構成例を示す説明図である。

[図4A]リファレンス用の記憶素子の構成例を示す説明図である。

[図4B]リファレンス用の記憶素子の構成例を示す説明図である。

[図4C]リファレンス用の記憶素子の構成例を示す説明図である。

[図4D]リファレンス用の記憶素子の構成例を示す説明図である。

[図4E]リファレンス用の記憶素子の構成例を示す説明図である。

[図4F]リファレンス用の記憶素子の構成例を示す説明図である。

[図4G]リファレンス用の記憶素子の構成例を示す説明図である。

[図4H]リファレンス用の記憶素子の構成例を示す説明図である。

[図4I]リファレンス用の記憶素子の構成例を示す説明図である。

[図5]同実施の形態に係る半導体記憶装置の動作例を示す流れ図である。

[図6]同実施の形態に係る半導体記憶装置の別の回路構成例を示す説明図である。

[図7]同実施の形態に係る半導体記憶装置を備えたシステムの構成例を示す説明図である。

[図8]同実施の形態に係る半導体記憶装置を備えたシステムの構成例を示す説明図である。

[図9]同実施の形態に係る半導体記憶装置を備えたシステムの構成例を示す説明図である。

[図10]同実施の形態に係る半導体記憶装置を備えたシステムの構成例を示す説明図である。

[図11]同実施の形態に係る半導体記憶装置が搭載されうる電子デバイスの機能構成例を示す説明図である。

発明を実施するための形態

[0012] 以下に添付図面を参照しながら、本開示の好適な実施の形態について詳細に説明する。なお、本明細書及び図面において、実質的に同一の機能構成を

有する構成要素については、同一の符号を付することにより重複説明を省略する。

[0013] なお、説明は以下の順序で行うものとする。

1. 本開示の実施の形態

1. 1. 概要

1. 2. 構成例

2. 応用例

3. まとめ

[0014] <1. 本開示の実施の形態>

[1. 1. 概要]

本開示の実施の形態について説明する前に、本開示の実施の形態の概要について説明する。

[0015] 上述したように、抵抗変化型半導体記憶装置は、少なくとも2値の情報を電氣的抵抗値に基づき保存する少なくとも1つの抵抗変化型記憶素子で構成される記憶素子を備えている。そして抵抗変化型半導体記憶装置は、選択された記憶素子に電流を流し、記憶素子の電氣的抵抗に掛かる電圧値をセンスアンプで検知することで、記憶素子に保存された論理値を読み取る。また抵抗変化型半導体記憶装置の記憶素子は、閾値以上の電圧が印加されると、印加された電圧の方向に応じて高抵抗または低抵抗に変化する特徴を有している。従って抵抗変化型半導体記憶装置には、この閾値電圧以内での読み出しが要求される。

[0016] また、記憶素子の抵抗値を判別するために2値の抵抗値の中間の値をリファレンス用に用意する必要があり、例えば高低2つの記憶素子を並列に並べて平均値を取る半導体記憶装置が開示されている。

[0017] 高低2つの記憶素子を並列に並べて平均値を取ることでリファレンス電位を生成する場合、記憶素子に高い信頼性が要求される。そのため、上記特許文献1、2で記されているように、高抵抗と低抵抗の記憶素子の平均を取ることでリファレンスの信頼性を高める技術が開示されている。しかし、記憶

素子の抵抗値はばらつきを持つことは避けられず、この記憶素子によって平均値を高精度に制御することは困難である。

[0018] また抵抗変化型記憶素子は、読み出しのために印加した電流により値が変化するリードディスタート現象及びデータ保持エラーがある確率で発生することが知られており、抵抗変化型記憶素子をリファレンス用に用いる場合にデータの読み出し時の信頼性が低下するおそれがある。

[0019] そこで本件開示者は、上述した点に鑑み、記憶素子、特に抵抗変化型記憶素子からのデータの読み出しの際に、高い信頼性のあるリファレンス電位を設定することが可能な技術について鋭意検討を行った。その結果、本件開示者は、以下で説明するように、記憶素子、特に抵抗変化型記憶素子からのデータの読み出しの際に、高い信頼性のあるリファレンス電位を設定することが可能な技術を考案するに至った。

[0020] 以上、本開示の実施の形態の概要について説明した。

[0021] [1. 2. 構成例]

続いて、本開示の実施の形態に係る半導体記憶装置 1 の機能構成例を説明する。図 1 は、本開示の実施の形態に係る半導体記憶装置 1、及び半導体記憶装置 1 に関係する構成を示す説明図である。以下、図 1 を用いて本開示の実施の形態に係る半導体記憶装置 1 の機能構成例について説明する。

[0022] 図 1 に示したように、本開示の実施の形態に係る半導体記憶装置 1 は、参照電流生成器 2 と、スイッチ 5、6 と、カレントミラー電流源 10 a、10 b と、電圧クランプ 12 a、12 b と、選択回路 13 a と、選択回路レプリカ 13 b と、記憶素子アレイ 20 と、リファレンス抵抗 30 と、を含んで構成される。また図 1 には、スイッチ 5、6 の切り替えを行うための外部切り替え信号を出力する外部切り替え信号出力部 3 と、半導体記憶装置 1 の外部から参照電位を出力する外部参照電位出力部 4 と、も併せて示されている。

[0023] 参照電流生成器 2 は、記憶素子アレイ 20 からデータを読み出す際に、記憶素子アレイ 20 の中の読み出し対象となる記憶素子へ流すための参照電流を生成する。参照電流生成器 2 は、例えば定電流源と、カレントミラー電流

源 10a、10b とカレントミラーを形成するためのトランジスタと、を含む。

[0024] カレントミラー電流源 10a、10b は、参照電流生成器 2 とカレントミラーを形成し、記憶素子アレイ 20 からデータを読み出す際に、それぞれ、記憶素子アレイ 20 の中の読み出し対象となる記憶素子と、リファレンス抵抗 30 とに電流を流す。

[0025] 電圧クランプ 12a、12b は、記憶素子アレイ 20 からデータを読み出す際に、それぞれ、記憶素子アレイ 20 の中の読み出し対象となる記憶素子と、リファレンス抵抗 30 とに掛かる電圧を制限する。

[0026] 記憶素子アレイ 20 は、マトリクス状に配置された抵抗変化型記憶素子を備える。選択回路 13a は、記憶素子アレイ 20 からデータを読み出す際に、記憶素子アレイ 20 の中の読み出し対象となる記憶素子を選択する回路である。選択回路レプリカ 13b は、記憶素子アレイ 20 からデータを読み出す際に、リファレンス抵抗 30 とカレントミラー電流源 10b とを接続する回路である。

[0027] リファレンス抵抗 30 は、記憶素子アレイ 20 からデータを読み出す際にリファレンス電位をセンスアンプ 100 に与えるための抵抗素子である。なお、リファレンス電位を設定する素子は抵抗変化型記憶素子であってもよい。

[0028] スイッチ 5 は、参照電流生成器 2 とカレントミラー電流源 10b との接続と遮断とを切り替えるスイッチである。参照電流生成器 2 とカレントミラー電流源 10b とが接続されていれば、参照電流生成器 2 とカレントミラー電流源 10b とでカレントミラーが形成される。一方、参照電流生成器 2 とカレントミラー電流源 10b とが接続されていなければ、参照電流生成器 2 とカレントミラー電流源 10b とでカレントミラーが形成されない。すなわち、参照電流生成器 2 とカレントミラー電流源 10b とが接続されていなければ、電流がリファレンス抵抗 30 へ供給されない。従って、スイッチ 5 は、リファレンス抵抗 30 への電流の供給と遮断とを切り替えるスイッチである。

とも言える。スイッチ5の接続と遮断とは、例えば、外部切り替え信号出力部3からの出力信号によって切り替わる。なお、スイッチ5の接続と遮断とは、信号によって切り替わるのではなく、電源によって切り替わっても良い。すなわち、半導体記憶装置1が製品に組み込まれ、電源が投入されている間は、参照電流生成器2とカレントミラー電流源10bとを接続する状態となっていてよい。

[0029] 以下の説明では、スイッチ5によって参照電流生成器2とカレントミラー電流源10bとが接続されている状態を、スイッチ5の第1の状態と称し、スイッチ5によって参照電流生成器2とカレントミラー電流源10bとが遮断されている状態を、スイッチ5の第2の状態と称する。

[0030] スイッチ6は、センスアンプ100と外部参照電位出力部4との接続と遮断とを切り替えるスイッチである。センスアンプ100と外部参照電位出力部4とが接続されていなければ、センスアンプ100は、選択回路レプリカ13bが接続状態となっていれば、リファレンス抵抗30が出力する電位を入力する。一方、センスアンプ100と外部参照電位出力部4とが接続されていれば、センスアンプ100は、選択回路レプリカ13bが遮断状態となっていれば、外部参照電位出力部4が出力する参照電位を入力する。

[0031] 以下の説明では、スイッチ6によってセンスアンプ100と外部参照電位出力部4とが遮断されている状態を、スイッチ6の第1の状態と称し、スイッチ6によってセンスアンプ100と外部参照電位出力部4とが接続されている状態を、スイッチ6の第2の状態と称する。

[0032] すなわち、本開示の実施の形態に係る半導体記憶装置1は、記憶素子アレイ20からデータを読み出す際に用いるリファレンス電位を、リファレンス抵抗30により生成される電位と、外部から出力される電位とで切り替えることができる。よって、本開示の実施の形態に係る半導体記憶装置1は、データの読み出しに速度が求められる場合は、リファレンス電位としてリファレンス抵抗30により生成される電位を用い、データの読み出しに精度が求められる場合は、リファレンス電位として外部参照電位出力部4が出力する

電位を用いることが出来る。

[0033] 以上、図1を用いて本開示の実施の形態に係る半導体記憶装置1の機能構成例を説明した。続いて、本開示の実施の形態に係る半導体記憶装置1の具体的な回路構成例を説明する。

[0034] 図2は、本開示の実施の形態に係る半導体記憶装置1の回路構成例を示す説明図である。図2には、半導体記憶装置1に加えて、半導体記憶装置1の外部から参照電位を出力する外部参照電位出力部4も併せて示されている。以下、図2を用いて本開示の実施の形態に係る半導体記憶装置1の回路構成例について説明する。

[0035] 図2に示した参照電流生成器2は、定電流源と、カレントミラー電流源10a、10bとカレントミラーを形成するためのトランジスタと、を含む。カレントミラー電流源10a、10bは、それぞれ、参照電流生成器2とカレントミラーを形成するためのトランジスタで構成される。

[0036] 電圧クランプ12a、12bは、記憶素子アレイ20からデータを読み出す際に、それぞれ、記憶素子アレイ20の中の読み出し対象となる記憶素子と、リファレンス抵抗30とに掛かる電圧を制限するためのトランジスタで構成される。

[0037] 記憶素子アレイ20は、マトリクス状に配置された記憶素子20aを備える。記憶素子20aは、抵抗変化型記憶素子21aと、抵抗変化型記憶素子21aに直列に接続される選択トランジスタ22aと、を備える。選択トランジスタ22aは、ゲートに行選択線WLが接続され、ソースにソース線SLが接続され、ドレインに抵抗変化型記憶素子21aが接続されている。抵抗変化型記憶素子21aは、少なくとも2値の情報を電氣的抵抗値に基づき保存する。

[0038] 記憶素子アレイ20からデータを読み出す際には、読み出し対象の記憶素子20aが選択される。その際、読み出し対象の記憶素子20aの選択のため、まず行選択線WLが選択される。行選択線WLの選択の後、選択回路13aの中から1つのスイッチが接続状態となることで、読み出し対象の記憶

素子 20 a が選択される。読み出し対象の記憶素子 20 a が選択されると、その選択された記憶素子 20 a へカレントミラー電流源 10 a から電流が注入される。この電流の注入により記憶素子 20 a に掛かる電圧は電圧クランプ 12 a により増幅され、センスアンプ 100 に出力される。

[0039] 記憶素子 20 a に掛かる電圧を判定するために、リファレンス抵抗 30 へカレントミラー電流源 10 b から電流が注入される。この電流の注入によりリファレンス抵抗 30 に掛かる電圧は電圧クランプ 12 b により増幅され、リファレンス電位としてセンスアンプ 100 に出力される。ここで、本開示の実施の形態に係る半導体記憶装置 1 は、スイッチ 5、6 の状態を切り替えることで、外部参照電位出力部 4 が生成した電位をリファレンス電位として用いることが出来る。

[0040] 以下の説明では、選択回路レプリカ 13 b によってカレントミラー電流源 10 b とリファレンス抵抗 30 とが接続されている状態を、選択回路レプリカ 13 b の第 1 の状態と称し、選択回路レプリカ 13 b によってカレントミラー電流源 10 b とリファレンス抵抗 30 とが遮断されている状態を、選択回路レプリカ 13 b の第 2 の状態と称する。

[0041] なお、図 2 では、外部参照電位出力部 4 として 2 つの抵抗 R 1、R 2 が示されている。この抵抗 R 1、R 2 の分圧比により設定される電位が半導体記憶装置 1 へ出力される。

[0042] 記憶素子 20 a は様々な構成を採りうる、図 3 A、3 B はデータ記憶用の記憶素子 20 a の構成例を示す説明図である。図 3 A に示したように、ソース線 S L と選択トランジスタ 22 a との間に抵抗変化型記憶素子 21 a が設けられていても良く、また図 3 B に示したように、ソース線 S L と行選択線 W L との間に抵抗変化型記憶素子 21 a だけが設けられていても良い。

[0043] リファレンス電位を設定する素子としてリファレンス用の記憶素子を用いる場合、一方を論理値「0」が書き込まれた記憶素子、他方を論理値「1」が書き込まれた記憶素子を用いても良い。そしてそのリファレンス用の記憶素子として抵抗変化型記憶素子を用いる場合、一方を高抵抗 (R H)、他方

を低抵抗（ R_L ）の状態とする。そしてそれらの記憶素子が並列に接続されていることで、それらの記憶素子の値の平均がリファレンスとして用いられる。図4 A～4 Fは、リファレンス用の記憶素子の構成例を示す説明図である。リファレンス用の記憶素子は、図4 A～4 Fの中のいずれかの構成であってもよく、これらの他にも様々な構成を採りうる。

[0044] 図4 A～4 Cは、2つの抵抗変化型記憶素子を直列に接続したものを2つ並列に並べることでリファレンス電位を生成する場合の構成例である。直列に接続された抵抗変化型記憶素子は、1つが高抵抗、1つが低抵抗である。従って、全体として2つの高抵抗状態の抵抗変化型記憶素子と、2つの低抵抗状態の抵抗変化型記憶素子とでリファレンス電位を生成する。図4 A～4 Cに示した構成の違いは、選択トランジスタの位置、または選択トランジスタの有無である。

[0045] 図4 D～4 Fは、2つの抵抗変化型記憶素子を並列に接続したものを2つ直列に接続することでリファレンス電位を生成する場合の構成例である。直列に接続された抵抗変化型記憶素子は、1つが高抵抗、1つが低抵抗である。従って、全体として2つの高抵抗状態の抵抗変化型記憶素子と、2つの低抵抗状態の抵抗変化型記憶素子とでリファレンス電位を生成する。図4 D～4 Fに示した構成の違いは、選択トランジスタの位置、または選択トランジスタの有無である。

[0046] また、リファレンス用の記憶素子として、低抵抗の状態にある抵抗変化型記憶素子と、別の抵抗とを直列に組み合わせてもよい。図4 G～4 Iは、リファレンス用の記憶素子の構成例を示す説明図である。図4 G～4 Iに示した構成の違いは、選択トランジスタの位置、または選択トランジスタの有無である。

[0047] 続いて、本開示の実施の形態に係る半導体記憶装置1の動作例を説明する。図5は、本開示の実施の形態に係る半導体記憶装置1の動作例を示す流れ図である。図5に示したのは、リファレンス電位を半導体記憶装置1の内部で生成したものを使用するか、外部から出力されるものを使用するかを判断

してデータの読み出し処理を行う、半導体記憶装置 1 の動作例である。以下、図 5 を用いて本開示の実施の形態に係る半導体記憶装置 1 の動作例を説明する。

[0048] 半導体記憶装置 1 は、外部切り替え信号出力部 3 からの信号によってスイッチ 5、6 の切り替えの制御を行う（ステップ S 1 0 1）。例えば半導体記憶装置 1 の外部に設けられるプロセッサにおいて、リファレンス電位としてリファレンス抵抗 3 0 を使用するかどうか判断され（ステップ S 1 0 2）、リファレンス電位としてリファレンス抵抗 3 0 を使用する場合は（ステップ S 1 0 2、Y e s）、半導体記憶装置 1 は、スイッチ 5、6 をいずれも第 1 の状態に倒す（ステップ S 1 0 3）。その後半導体記憶装置 1 は、選択回路 1 3 a 及び選択回路レプリカ 1 3 b の選択により、記憶素子 2 0 a 及びリファレンス抵抗 3 0 へ電流の注入を開始する（ステップ S 1 0 4）。記憶素子 2 0 a 及びリファレンス抵抗 3 0 へ電流を注入すると、続いて半導体記憶装置 1 は、センスアンプ 1 0 0 の入力に、センスノード S N に現れる電位と、リファレンスノード R N に現れる電位との差電位が現れるのを待つ（ステップ S 1 0 5）。そして半導体記憶装置 1 は、センスアンプ 1 0 0 にて、その差電位の論理値への変換を完了させる（ステップ S 1 0 6）。

[0049] 一方、リファレンス電位としてリファレンス抵抗 3 0 を使用しない場合、すなわち、外部からの電位を使用する場合は（ステップ S 1 0 2、N o）、半導体記憶装置 1 は、スイッチ 5、6 をいずれも第 2 の状態に倒すとともに、選択回路レプリカ 1 3 b も第 2 の状態に倒す（ステップ S 1 0 7）。その後半導体記憶装置 1 は、選択回路 1 3 a の選択により、記憶素子 2 0 a へ電流の注入を開始する（ステップ S 1 0 8）。記憶素子 2 0 a へ電流を注入すると、続いて半導体記憶装置 1 は、センスアンプ 1 0 0 の入力に、センスノード S N に現れる電位と、リファレンスノード R N に現れる電位（すなわち、外部参照電位出力部 4 から出力される電位）との差電位が現れるのを待つ（ステップ S 1 0 9）。そして半導体記憶装置 1 は、センスアンプ 1 0 0 にて、その差電位の論理値への変換を完了させる（ステップ S 1 1 0）。

- [0050] 本開示の実施の形態に係る半導体記憶装置 1 は、このような一連の動作を実行することで、記憶素子 20 a からのデータの読み出しの際に用いるリファレンス電位として、内部のリファレンス抵抗 30 を用いて生成したものと、外部から提供されるものとのいずれかを使用することができる。
- [0051] なお、上述の例では、スイッチ 5、6、選択回路レプリカ 13 b を第 1 の状態または第 2 の状態に切り替えていたが、本開示は係る例に限定されるものではない。
- [0052] 例えば、外部切り替え信号出力部 3 は、スイッチ 5 だけを第 1 の状態にして、スイッチ 6 及び選択回路レプリカ 13 b を第 2 の状態にするための信号を出力しても良い。スイッチ 5 だけを第 1 の状態にして、スイッチ 6 及び選択回路レプリカ 13 b を第 2 の状態にすることで、半導体記憶装置 1 は、リファレンス用の抵抗素子として、半導体記憶装置 1 の外部に形成された高精度の抵抗素子を用いることができる。
- [0053] また例えば、外部切り替え信号出力部 3 は、スイッチ 6 だけを第 2 の状態にして、スイッチ 5 及び選択回路レプリカ 13 b を第 1 の状態にするための信号を出力しても良い。スイッチ 6 だけを第 2 の状態にして、スイッチ 5 及び選択回路レプリカ 13 b を第 1 の状態にすることで、半導体記憶装置 1 は、リファレンス抵抗 30 により生成される電圧値を外部に出力することができる。リファレンス抵抗 30 により生成される電圧値が半導体記憶装置 1 から出力されることで、半導体記憶装置 1 の外部のプロセッサ等は、その電圧値をモニタすることができる。
- [0054] 図 6 は、本開示の実施の形態に係る半導体記憶装置 1 の別の回路構成例を示す説明図である。上述したように、リファレンス電位を設定する素子としてリファレンス用の記憶素子を用いる場合、一方を論理値「0」が書き込まれた記憶素子 20 b、他方を論理値「1」が書き込まれた記憶素子 20 c を用いても良い。記憶素子 20 b は、抵抗変化型記憶素子 21 b と、選択トランジスタ 22 b と、が直列に接続された構成を有する。同様に、記憶素子 20 c は、抵抗変化型記憶素子 21 c と、選択トランジスタ 22 c と、が直列

に接続された構成を有する。そして、記憶素子 20b、20c は、図 6 に示したように、記憶素子アレイ 20 と同じアレイ上に設けられても良く、別のアレイ上に設けられてもよい。

[0055] 外部切り替え信号出力部 3 と、スイッチ 5、6 及び選択回路レプリカ 13b との間には、少なくとも 2 状態以上を保持する少なくとも 1 ビット以上のレジスタを備えていても良い。すなわち、スイッチ 5、6 及び選択回路レプリカ 13b、上記レジスタからの出力に応じて状態が切り替わっても良い。そして、レジスタによる制御は、記憶素子アレイ 20 からのデータの読み出し動作に先立って行われうる。

[0056] <2. 応用例>

本開示の実施の形態に係る半導体記憶装置 1 は、1 つまたは複数が、半導体記憶装置 1 を制御する制御回路と同じ半導体装置に組み込まれても良く、半導体記憶装置 1 を制御する制御回路と異なる半導体装置に組み込まれても良い。図 7 ～ 10 は、本開示の実施の形態に係る半導体記憶装置 1 を備えたシステムの構成例を示す説明図である。

[0057] 図 7 に示した例は、半導体記憶装置 1 が、信号処理回路 211 を備える半導体装置 210 と接続され、さらに外部参照電位出力部 4 が半導体装置 210 の外部に設けられている例である。信号処理回路 211 は、半導体記憶装置 1 に対してデータの読み書きのための信号を生成する回路である。

[0058] 図 8 に示した例は、半導体記憶装置 1 が、信号処理回路 211 を備える半導体装置 210 と接続され、さらに外部参照電位出力部 4 が半導体装置 210 の内部に設けられている例である。

[0059] 図 9 に示した例は、半導体記憶装置 1 が、信号処理回路 211 を備える半導体装置 210 の内部に設けられ、さらに外部参照電位出力部 4 が半導体装置 210 の外部に設けられている例である。

[0060] 図 10 に示した例は、半導体記憶装置 1 が、信号処理回路 211 を備える半導体装置 210 の内部に設けられ、さらに外部参照電位出力部 4 が半導体装置 210 の内部に設けられている例である。

[0061] そして、本開示の実施の形態に係る半導体記憶装置１は、様々な電子デバイスに搭載されうる。本開示の実施の形態に係る半導体記憶装置１が搭載されうる電子デバイスとしては、スマートフォン、タブレット型端末、デジタルスチルカメラ、デジタルビデオカメラ、音楽プレイヤー、セットトップボックス、コンピュータ、テレビ、時計、アクティブスピーカー、ヘッドセット、ゲーム機、ラジオ、計測器、電子タグ、ビーコンなどがある。

[0062] 図１１は、本開示の実施の形態に係る半導体記憶装置１が搭載されうる電子デバイス１０００の機能構成例を示す説明図である。図１１に示した電子デバイス１０００は、システムインパッケージ１１００、アンテナ１１１０、スピーカ１１２０、マイク１１３０、表示装置１１４０、入力装置１１５０、センサ１１６０、電源１１７０を含む。またシステムインパッケージ１１００は、プロセッサ１２００、無線通信インターフェース１２１０、オーディオ回路１２２０を含む。

[0063] アンテナ１１１０は、移動体通信、無線ＬＡＮまたは近距離通信を行うためのアンテナであり、無線通信インターフェース１２１０と接続されている。スピーカ１１２０は、音を出力するものであり、オーディオ回路１２２０と接続されている。マイク１１３０は、電子デバイス１０００の周囲の音を集音するものであり、オーディオ回路１２２０と接続されている。

[0064] 表示装置１１４０は、例えば液晶ディスプレイ、有機ＥＬディスプレイ、ＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）インジケータ等で構成され、プロセッサ１２００と接続されている。入力装置１１５０は、例えばキーボード、ボタン、タッチパネルなどで構成され、プロセッサ１２００と接続されている。

[0065] センサ１１６０は、光学センサ、位置センサ、加速度センサ、生体センサ、磁気センサ、機械量センサ、熱センサ、電気センサまたは化学センサ等の機能を有する。センサ１１６０には、本開示の実施の形態に係る抵抗変化型の半導体記憶装置１が接続されてもよい。電源１１７０は、電子デバイス１０００へ電源を供給するものであり、例えばバッテリーやＡＣアダプタなどが

ら供給される電源である。

[0066] プロセッサ 1200 は、電子デバイス 1000 の動作を制御するための電子回路であり、システムインパッケージ 1100 の中に、またはシステムインパッケージ 1100 の外に、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 が接続されてもよい。

[0067] 無線通信インターフェース 1210 は、移動体通信、無線 LAN または近距離通信の機能を有する。無線通信インターフェース 1210 には、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 が接続されてもよい。オーディオ回路 1220 は、スピーカ 1120 およびマイク 1130 を制御する機能を持ち、オーディオ回路 1220 には、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 が接続されてもよい。

[0068] このような電子デバイス 1000 は、本開示の実施の形態に係る抵抗変化型の半導体記憶装置 1 を搭載することで、高い信頼性のあるリファレンス電位を設定することができ、従ってデータ読出し時の信頼性を向上させることが可能となる。

[0069] <3. まとめ>

以上説明したように本開示の実施の形態によれば、記憶素子からのデータの読み出しの際に用いるリファレンス電位として、内部で生成したリファレンス電位と、外部で生成されたリファレンス電位とのいずれかを使用することが出来る半導体記憶装置 1 が提供される。

[0070] 本開示の実施の形態に係る半導体記憶装置 1 は、内部で生成したリファレンス電位と、外部で生成されたリファレンス電位とのいずれかを使用することで、記憶素子から高速にデータを読み出す場合には内部で生成したリファレンス電位を用い、記憶素子から高い信頼性でデータを読み出す場合には外部で生成されたリファレンス電位を用いることが出来る。

[0071] また本開示の実施の形態に係る半導体記憶装置 1 は、外部で生成されたリファレンス電位を用いることで、記憶素子のばらつき、リードディスタート、データ保持エラーの影響を受けずに、リファレンス電位を用いた記憶素子

からのデータの読み出しを行うことができる。従って、本開示の実施の形態に係る半導体記憶装置 1 は、要求される信頼度に応じたシステムの構築に適している。

[0072] 本開示の実施の形態に係る半導体記憶装置 1 は、抵抗変化型の半導体記憶装置、例えばスピナム（Spin-RAM）であり得る。

[0073] 以上、添付図面を参照しながら本開示の好適な実施形態について詳細に説明したが、本開示の技術的範囲はかかる例に限定されない。本開示の技術分野における通常の知識を有する者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、これらについても、当然に本開示の技術的範囲に属するものと了解される。

[0074] また、本明細書に記載された効果は、あくまで説明的または例示的なものであって限定的ではない。つまり、本開示に係る技術は、上記の効果とともに、または上記の効果に代えて、本明細書の記載から当業者には明らかな他の効果を奏しうる。

[0075] なお、以下のような構成も本開示の技術的範囲に属する。

(1)

センスアンプに供給するリファレンス電位を生成する抵抗素子と、
前記抵抗素子への電流の注入によりセンスアンプに供給するリファレンス電位を生成する状態と、外部で生成されるリファレンス電位を前記センスアンプに供給する状態と、の少なくとも 2 つの状態を有するスイッチ部と、
を備える、半導体記憶装置。

(2)

前記スイッチ部は、
前記抵抗素子への電流の注入により、前記センスアンプに供給する前記リファレンス電位を生成するための電流源からの電流の注入の有無を制御する 2 つの状態を有する第 1 のスイッチと、
外部で生成されるリファレンス電位の前記センスアンプへの供給の有無を

制御する２つの状態を有する第２のスイッチと、
を含む、前記（１）に記載の半導体記憶装置。

（３）

前記スイッチ部の状態は、外部からの信号によって切り替わる、前記（１）または（２）に記載の半導体記憶装置。

（４）

前記リファレンス電位は、第１の抵抗状態を有する第１の抵抗素子と、前記第１の抵抗状態とは異なる第２の抵抗状態を有する第２の抵抗素子とによって生成される、前記（１）～（３）のいずれかに記載の半導体記憶装置。

（５）

前記第１の抵抗素子および前記第２の抵抗素子は抵抗変化型のメモリ素子である、前記（４）に記載の半導体記憶装置。

（６）

前記第１の抵抗素子および前記第２の抵抗素子は磁気抵抗変化型のメモリ素子である、前記（４）に記載の半導体記憶装置。

（７）

少なくとも１つの前記（１）～（４）のいずれかに記載の半導体記憶装置を備える、情報処理装置。

（８）

センスアンプに供給するリファレンス電位を生成する抵抗素子への電流の注入によりセンスアンプに供給するリファレンス電位を生成する状態と、外部で生成されるリファレンス電位を前記センスアンプに供給する状態と、の少なくとも２つの状態の間の切り替えを行う、リファレンス電位設定方法。

符号の説明

- [0076] 1 : 半導体記憶装置
2 : 参照電流生成器
3 : 外部切り替え信号出力部
4 : 外部参照電位出力部

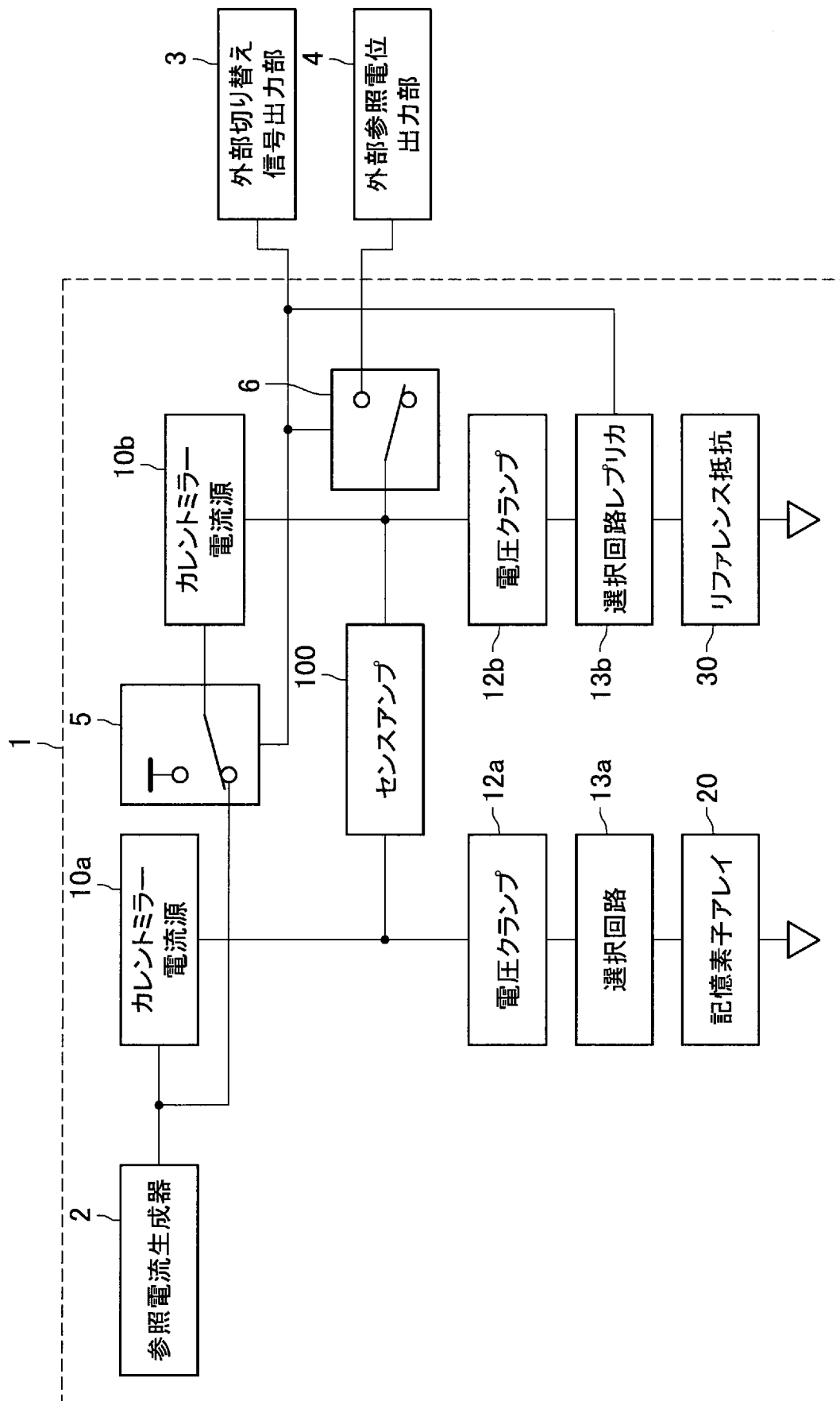
5	: スイッチ
6	: スイッチ
1 0 a	: カレントミラー電流源
1 0 b	: カレントミラー電流源
1 2 a	: 電圧クランプ
1 2 b	: 電圧クランプ
1 3 a	: 選択回路
1 3 b	: 選択回路レプリカ
2 0	: 記憶素子アレイ
2 0 a	: 記憶素子
2 0 b	: 記憶素子
2 0 c	: 記憶素子
2 1 a	: 抵抗変化型記憶素子
2 1 b	: 抵抗変化型記憶素子
2 1 c	: 抵抗変化型記憶素子
2 2 a	: 選択トランジスタ
2 2 b	: 選択トランジスタ
2 2 c	: 選択トランジスタ
3 0	: リファレンス抵抗
1 0 0	: センスアンプ
2 1 0	: 半導体装置
2 1 1	: 信号処理回路
R 1	: 抵抗
R 2	: 抵抗
R N	: リファレンスノード
S L	: ソース線
S N	: センスノード
W L	: 行選択線

請求の範囲

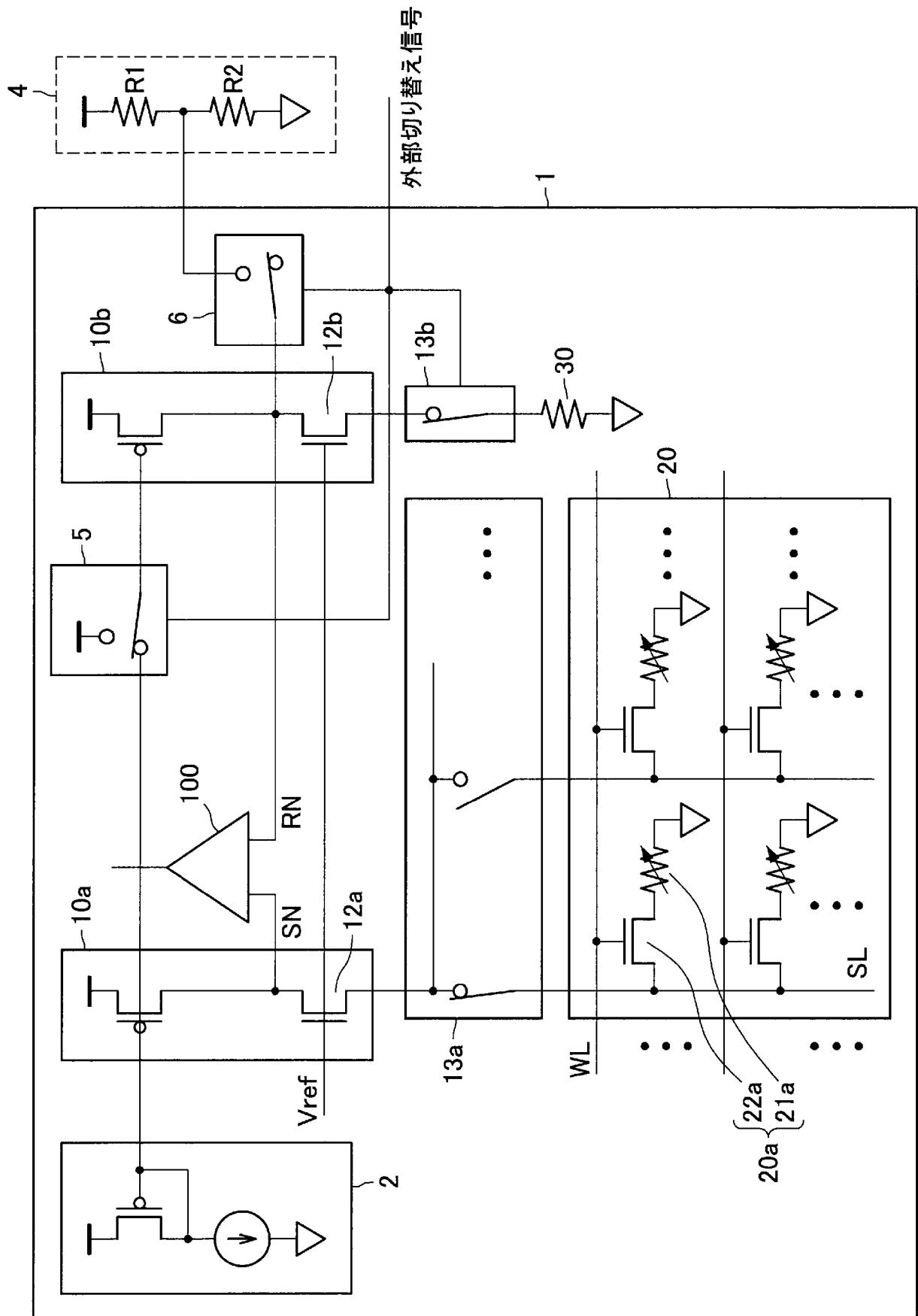
- [請求項1] センスアンプに供給するリファレンス電位を生成する抵抗素子と、
 前記抵抗素子への電流の注入によりセンスアンプに供給するリファレンス電位を生成する状態と、外部で生成されるリファレンス電位を前記センスアンプに供給する状態と、の少なくとも2つの状態を有するスイッチ部と、
 を備える、半導体記憶装置。
- [請求項2] 前記スイッチ部は、
 前記抵抗素子への電流の注入により、前記センスアンプに供給する前記リファレンス電位を生成するための電流源からの電流の注入の有無を制御する2つの状態を有する第1のスイッチと、
 外部で生成されるリファレンス電位の前記センスアンプへの供給の有無を制御する2つの状態を有する第2のスイッチと、
 を含む、請求項1に記載の半導体記憶装置。
- [請求項3] 前記スイッチ部の状態は、外部からの信号によって切り替わる、請求項1に記載の半導体記憶装置。
- [請求項4] 前記リファレンス電位は、第1の抵抗状態を有する第1の抵抗素子と、前記第1の抵抗状態とは異なる第2の抵抗状態を有する第2の抵抗素子とによって生成される、請求項1に記載の半導体記憶装置。
- [請求項5] 前記第1の抵抗素子および前記第2の抵抗素子は抵抗変化型のメモリ素子である、請求項4に記載の半導体記憶装置。
- [請求項6] 前記第1の抵抗素子および前記第2の抵抗素子は磁気抵抗変化型のメモリ素子である、請求項4に記載の半導体記憶装置。
- [請求項7] 少なくとも1つの請求項1に記載の半導体記憶装置を備える、情報処理装置。
- [請求項8] センスアンプに供給するリファレンス電位を生成する抵抗素子への電流の注入によりセンスアンプに供給するリファレンス電位を生成する状態と、外部で生成されるリファレンス電位を前記センスアンプに

供給する状態と、の少なくとも 2 つの状態の間の切り替えを行う、リファレンス電位設定方法。

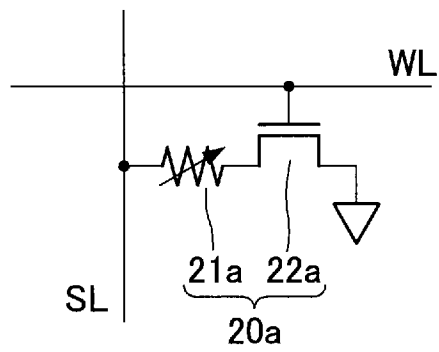
[図1]



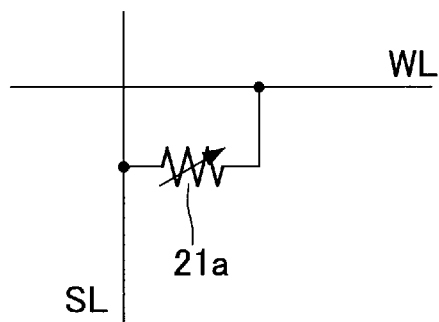
[図2]



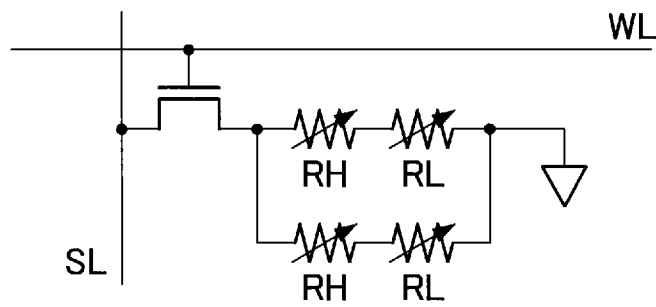
[図3A]



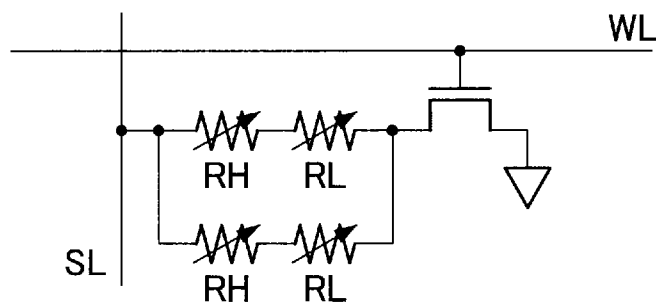
[図3B]



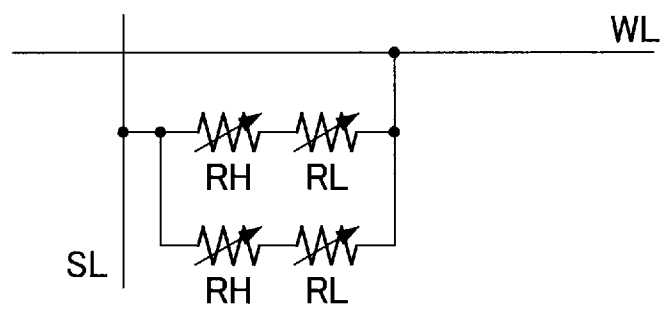
[図4A]



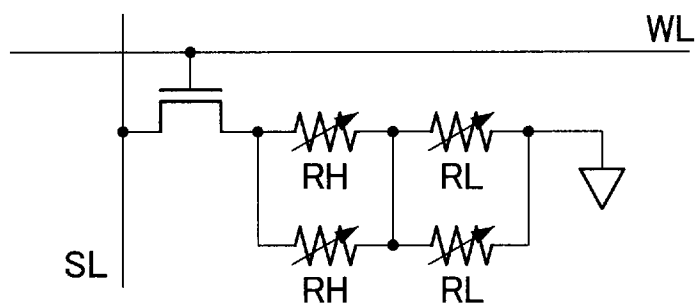
[図4B]



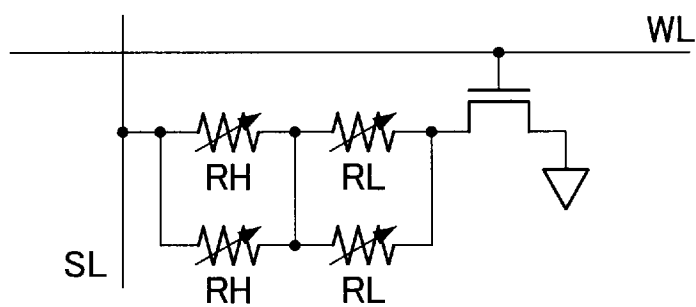
[図4C]



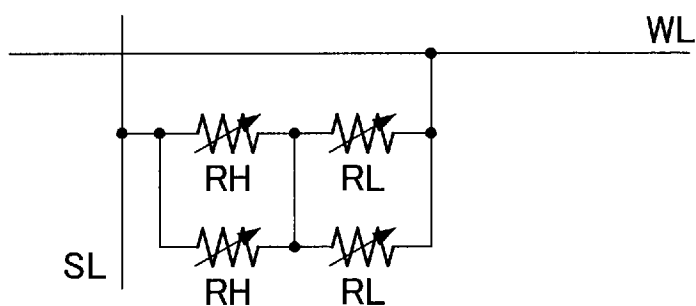
[図4D]



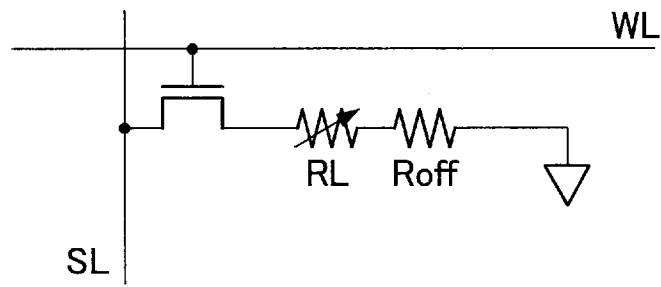
[図4E]



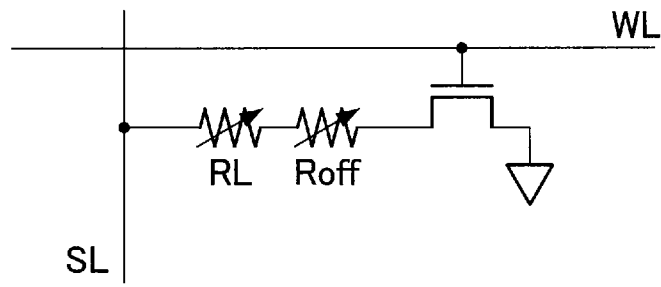
[図4F]



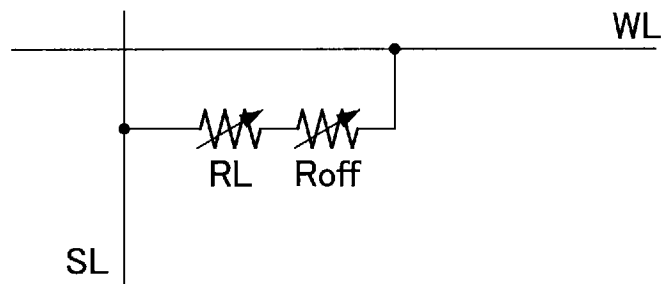
[図4G]



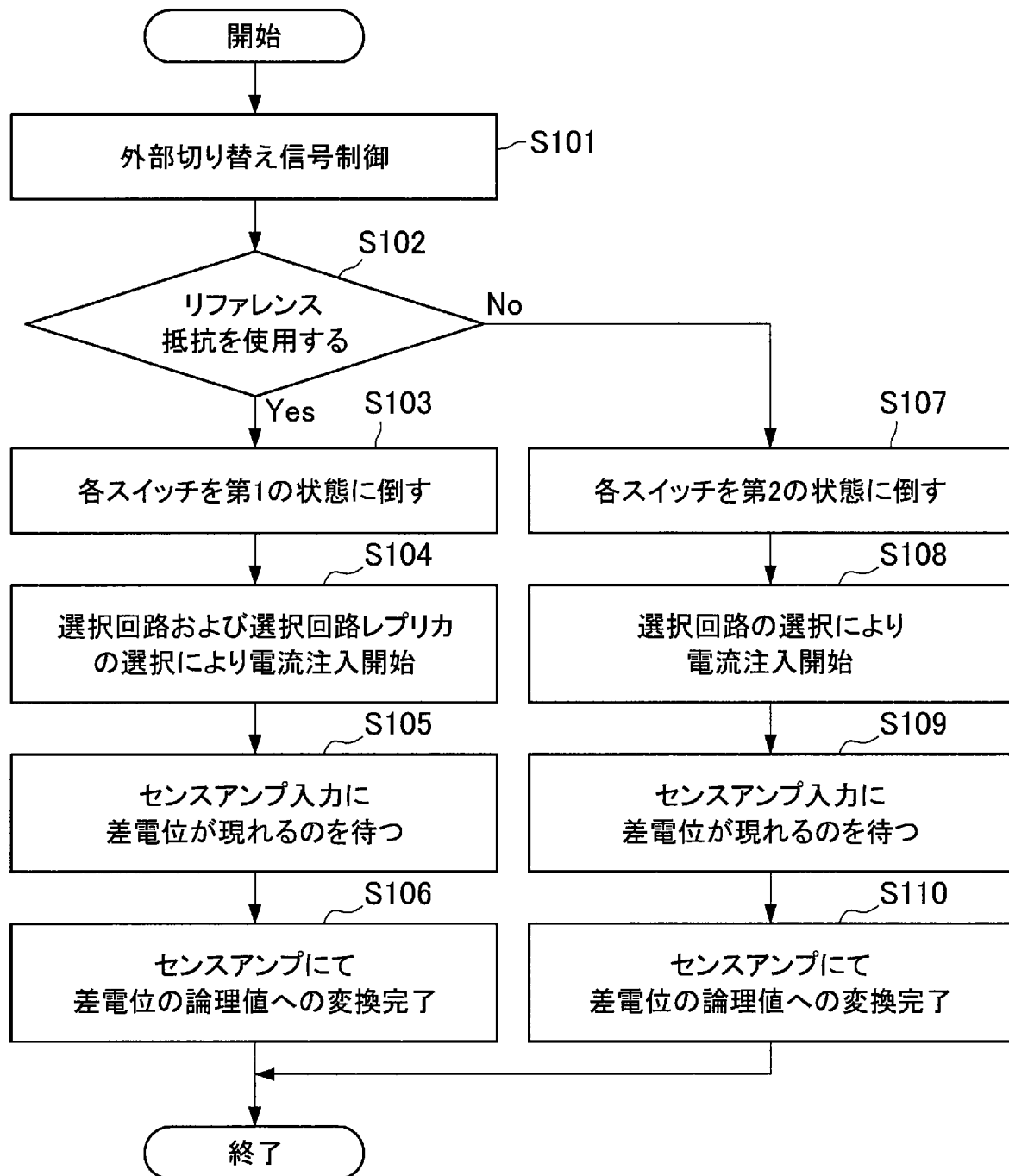
[図4H]



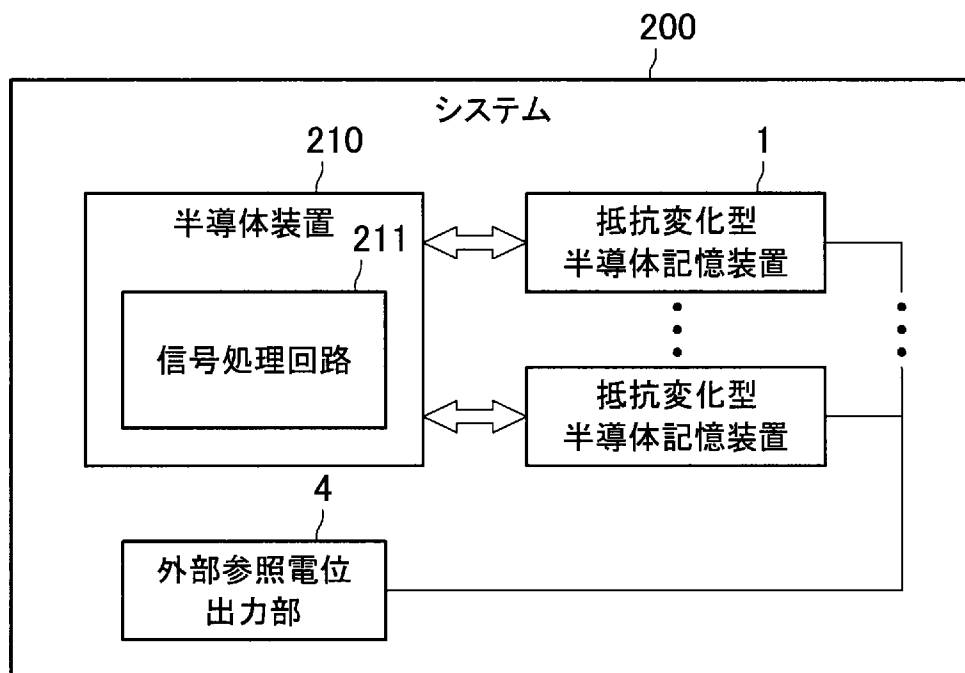
[図4I]



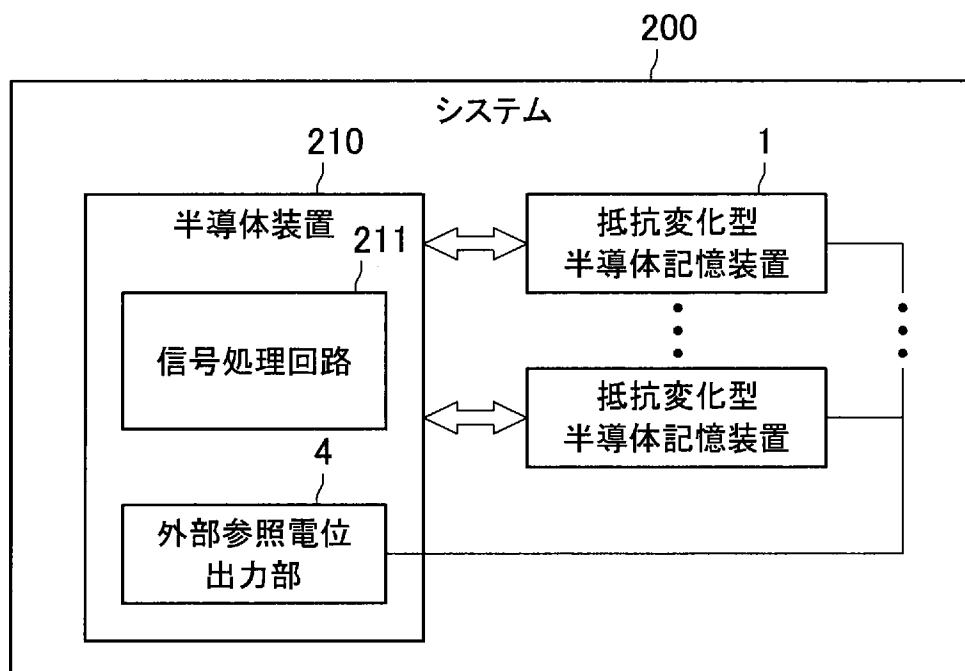
[図5]



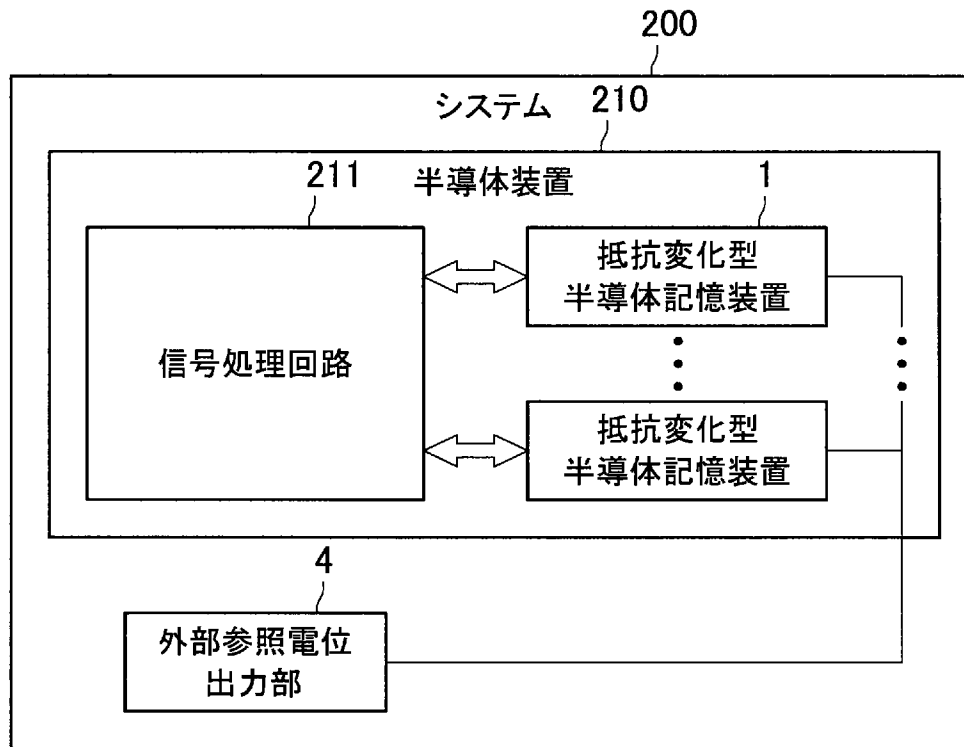
[図7]



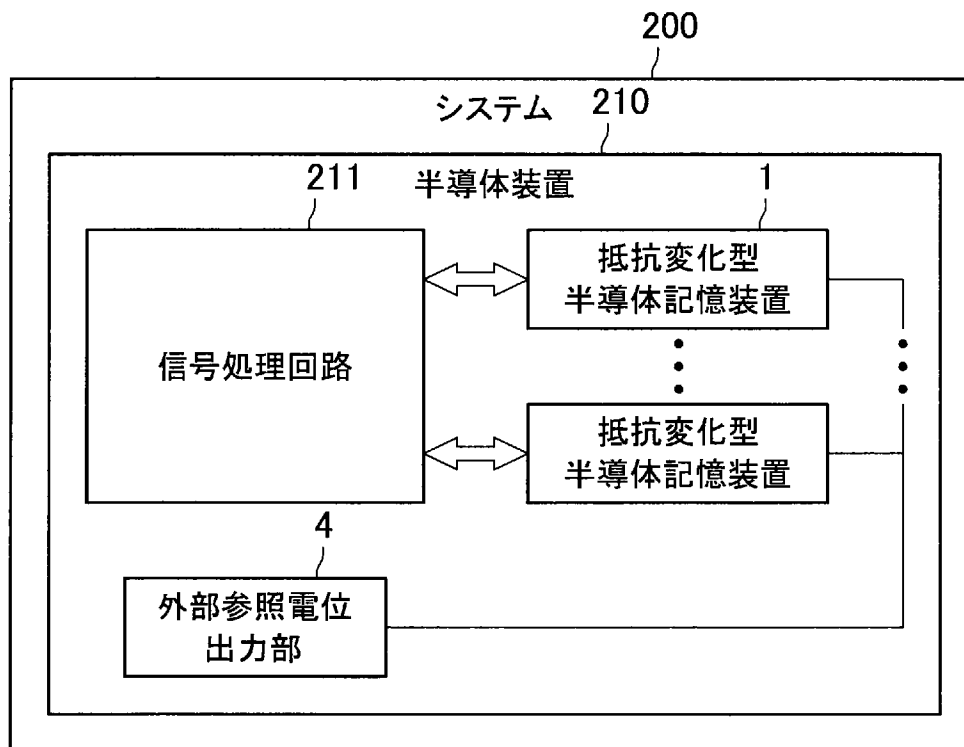
[図8]



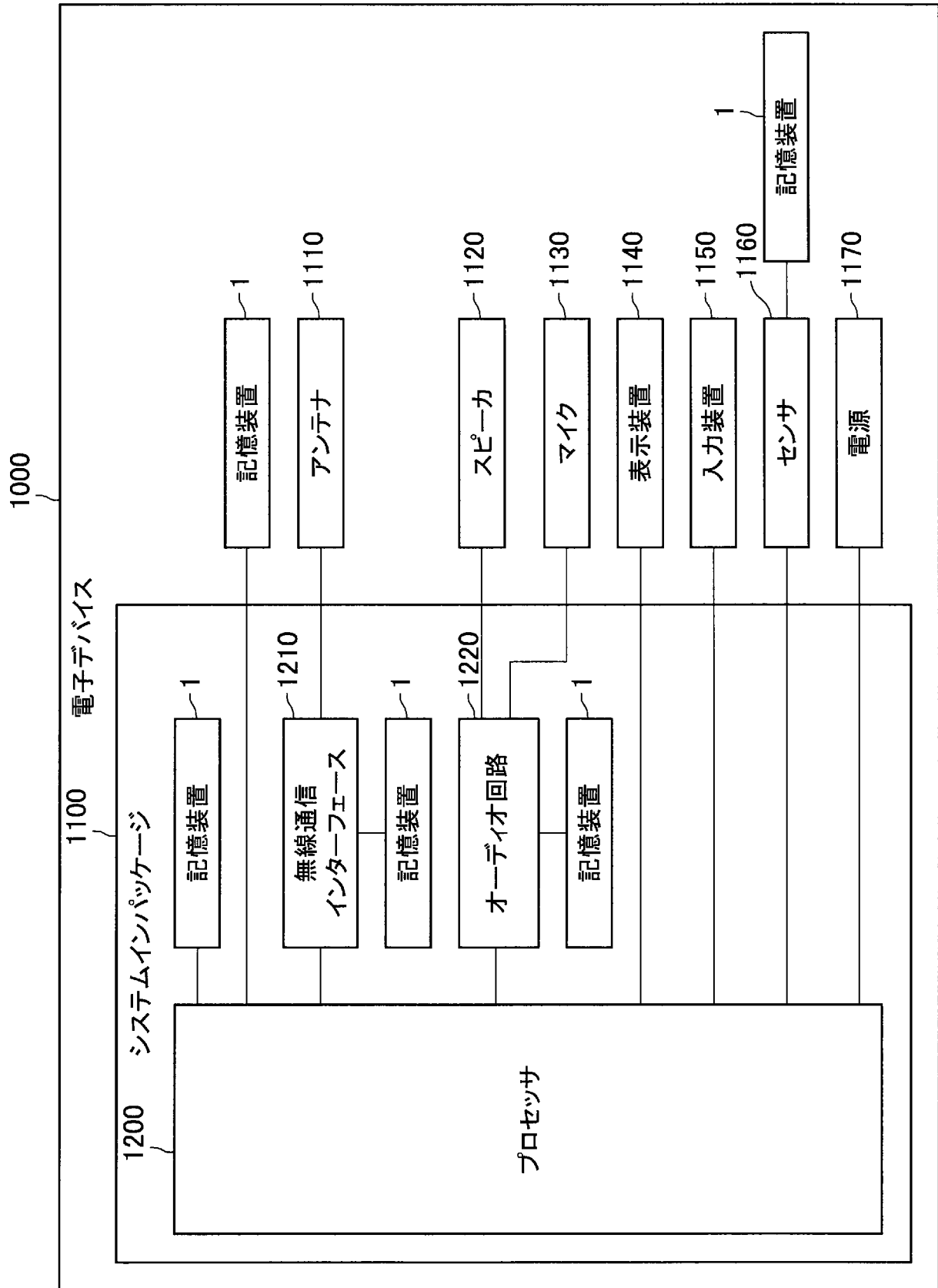
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/004064

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. G11C13/00 (2006.01) i, G11C7/14 (2006.01) i, G11C11/16 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. G11C13/00, G11C7/14, G11C11/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-527066 A (QUALCOMM INCORPORATED) 20 October 2011, paragraphs [0019]-[0033], fig. 2 & WO 2010/002637 A1, paragraphs [0030]-[0049], fig. 2 & US 2009/0323405 A1 & EP 2515305 A1 & KR 10-2011-0025700 A & CN 102077291 A	1-8
A	JP 2009-289352 A (ELPIDA MEMORY, INC.) 10 December 2009, paragraphs [0023]-[0027], fig. 1, 2 & US 2009/0296452 A1, paragraphs [0037]-[0041], fig. 2, 3	1-8

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 March 2018 (07.03.2018)

Date of mailing of the international search report
20 March 2018 (20.03.2018)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G11C13/00(2006.01)i, G11C7/14(2006.01)i, G11C11/16(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G11C13/00, G11C7/14, G11C11/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2011-527066 A（クアラルコム・インコーポレイテッド） 2011.10.20, 段落[0019]-[0033], 図2 & WO 2010/002637 A1, 段落[0030]-[0049], 図2 & US 2009/0323405 A1 & EP 2515305 A1 & KR 10-2011-0025700 A & CN 102077291 A	1-8
A	JP 2009-289352 A（エルピーダメモリ株式会社）2009.12.10, 段落[0023]-[0027], 図1, 2 & US 2009/0296452 A1, 段落[0037]-[0041], 図2, 3	1-8

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

07.03.2018

国際調査報告の発送日

20.03.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

後藤 彰

5 N

4 2 2 6

電話番号 03-3581-1101 内線 3586