



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0134686
(43) 공개일자 2018년12월19일

(51) 국제특허분류(Int. Cl.)
H01S 5/10 (2006.01) G02B 6/122 (2006.01)
G02F 1/01 (2006.01)
(52) CPC특허분류
H01S 5/105 (2013.01)
G02B 6/1225 (2013.01)
(21) 출원번호 10-2017-0072751
(22) 출원일자 2017년06월09일
심사청구일자 2017년06월09일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암
동5가)
(72) 발명자
황민수
서울특별시 광진구 광나루로56길 32, 207동 1006
호
박홍규
서울특별시 서초구 신반포로 270, 133동 2003호
(뒷면에 계속)
(74) 대리인
특허법인 누리

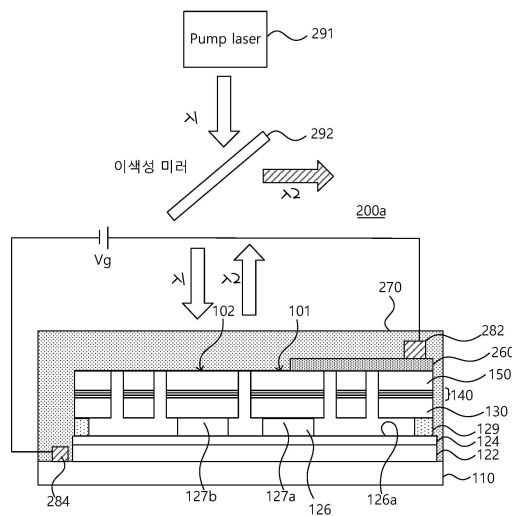
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 광결정 소자

(57) 요약

본 발명은 광결정소자를 제공한다. 이 광결정 소자는, 이득 물질을 포함하고 서로 이격되어 배치된 제1 광결정 공진기 및 제2 광결정 공진기를 가지는 2차원 포토닉 크리스탈; 및 상기 제1 광결정 공진기를 부분적으로 덮고 상기 제2 광결정 공진기를 덮지 않도록 배치된 그래핀 층을 포함한다.

대표도 - 도11d



(52) CPC특허분류

G02F 1/0102 (2013.01)

(72) 발명자

김경호

충청남도 천안시 동남구 중앙로 255-11, 201동 50
2호

최재혁

서울특별시 동작구 매봉로 134, 9동 302호

김하림

서울특별시 성북구 인촌로12길 58, B동 205호

노유신

서울특별시 강서구 화곡로66길 80, 101동 402호

이 발명을 지원한 국가연구개발사업

과제고유번호 L1601781

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 개인연구지원

연구과제명 극미세 나노선 광소자 연구단

기 여 율 1/1

주관기관 고려대학교

연구기간 2016.03.01 ~ 2017.02.28

명세서

청구범위

청구항 1

이득 물질을 포함하고 서로 이격되어 배치된 제1 광결정 공진기 및 제2 광결정 공진기를 가지는 2차원 포토닉 크리스탈; 및

상기 제1 광결정 공진기를 부분적으로 덮고 상기 제2 광결정 공진기를 덮지 않도록 배치된 그래핀 층을 포함하는 광결정 소자.

청구항 2

제1 항에 있어서,

상기 그래핀 층 상에 국부적으로 배치된 제어 전극을 더 포함하고,

상기 제어 전극은 상기 그래핀 층에 전압을 인가하여 상기 그래핀 층의 광 흡수 특성을 전기적으로 제어하는 것을 특징으로 하는 광결정 소자.

청구항 3

제1 항에 있어서,

상기 제어 전극의 전압에 따라, 상기 제1 광결정 공진기 및 제2 광결정 공진기는 결합 고유 모드/비결합 고유모드 또는 단일 고유 모드로 발진하는 것을 특징으로 하는 광결정 소자.

청구항 4

제1 항에 있어서,

상기 그래핀 층은 상기 제1 광결정 공진기를 1/3을 덮는 것을 특징으로 하는 광결정 소자.

청구항 5

제2 항에 있어서,

상기 포토닉 크리스탈은:

반도체 기관;

상기 반도체 기관 상에서 결정으로 성장하는 식각 저지층;

상기 식각 저지층 상에서 결정으로 성장하는 하부 희생 반도체층;

상기 하부 반도체 기관 상에 성장된 제1 도전형의 제1 반도체층;

상기 제1 반도체층 상에 배치된 활성 반도체층; 및

상기 활성 반도체층 상에 배치된 제2 도전형의 제2 반도체층을 포함하고,

상기 제1 반도체층, 상기 활성 반도체층, 및 상기 제2 반도체층을 관통하는 복수의 홀들을 포함하고,

상기 홀들은 동일한 지름을 가지고 2차원적으로 주기적으로 배열되어 광결정을 제공하고,

상기 홀들의 하부면은 상기 하부 희생 반도체층에 형성된 공기로 채워진 캐비티에 연통되고,

상기 제1 광결정 공진기는 상기 하부 희생 반도체층에 형성된 제1 포스트를 포함하고,

상기 제2 광결정 공진기는 상기 하부 희생 반도체층에 형성된 제2 포스트를 포함하고,

상기 제1 광결정 공진기 및 상기 제2 광결정 공진기 각각은 주기적으로 배열된 홀들 중에서 일부의 홀들이 제거되거나 홀들의 지름이 상대적으로 작도록 형성되는 것을 특징으로 하는 광결정 소자.

청구항 6

제5 항에 있어서,

상기 반도체 기판은 p형으로 도핑된 InP 기판이고,

상기 식각 저지층은 p형으로 도핑된 InGaAs 층이고,

상기 하부 희생 반도체층은 p형으로 도핑된 InP 층이고,

상기 제1 도전형의 제1 반도체층은 p형으로 도핑된 InGaAsP층이고,

상기 활성 반도체층은 도핑되지 않은 InGaAsP층을 포함하는 양자 우물 구조이고,

상기 활성 반도체층은 이득 물질로 동작하고,

상기 제2 도전형의 제2 반도체층은, n형으로 도핑된 InGaAsP층인 것을 특징으로 하는 광결정 소자.

청구항 7

제5 항에 있어서,

상기 하부 희생 반도체층이 제거되어 형성된 상기 캐비티의 가장자리를 채우는 절연 지지부를 더 포함하는 것을 특징으로 하는 광결정 소자.

청구항 8

제1 항에 있어서,

상기 제1 광결정 공진기와 상기 제2 광결정 공진기 사이에 펌핑광을 제공하는 외부 펌핑 광원을 더 포함하는 것을 특징으로 하는 광결정 소자.

청구항 9

제5 항에 있어서,

상기 홀들은 삼각 격자 구조를 가지고,

상기 제1 광결정 공진기 및 제2 광결정 공진기 각각은 서로 이웃한 3 개의 홀이 제거되고, 한 쌍의 작은 홀들이 배치된 구조인 것을 특징으로 광결정 소자.

청구항 10

제5 항에 있어서,

상기 반도체 기판의 하부에 배치된 보조 기판;

상기 보조 기판 상에 배치되고 노출된 보조 기판 전극; 및

상기 보조 기판 전극 및 상기 제어 전극을 덮도록 배치된 이온-겔을 더 포함하는 것을 특징으로 하는 광결정 소자.

청구항 11

제5 항에 있어서,

상기 제2 반도체층과 오믹 접합하고 노출된 상부 전극; 및

상기 반도체 기판 하부에 배치되고 상기 반도체 기판과 오믹 접합하는 하부 전극을 더 포함하고,

상기 상부 전극과 상기 하부 전극 사이에 전류를 인가하여 상기 활성 반도체층에서 발광하는 것을 특징으로 하는 광결정 소자.

청구항 12

제1 항에 있어서,

상기 그래핀 층은:

제1 그래핀층;

상기 제1 그래핀층 상에 배치된 층간 절연층; 및

상기 층간 절연층 상에 배치된 제2 그래핀층;을 포함하고,

상기 제어 전극은:

상기 제1 그래핀층 상에 배치되고 노출된 제1 제어 전극; 및

상기 제2 그래핀층 상에 배치되고 노출된 제2 전극을 포함하고,

상기 제1 제어 전극과 상기 제2 제어 전극 사이에 전압을 인가하여 상기 제1 그래핀층 및 제2 그래핀층의 광흡수율을 조절하는 것을 특징으로 하는 광결정 소자.

청구항 13

제1 항에 있어서,

상기 제1 광결정 공진기 및 제2 광결정 공진기는 3 줄의 홀들을 기준으로 상하 대칭적으로 배치되는 것을 특징으로 하는 광결정 소자.

발명의 설명

기술 분야

[0001] 본 발명은 나노 광집적 회로에 관한 것이며, 보다 상세하게는 파장보다 작은 나노 광결정 소자에 관한 것이다.

배경 기술

[0002] 광결정은 서로 다른 유전 상수의 주기적인 배열에 의하여 광 밴드갭(photonic band gap)을 가진다. 광결정은 레이저 또는 광 스위치 등에 응용될 수 있다. 이차원 광결정 구조는 격자의 구조에 따라 삼각 격자(triangular lattice) 구조와 사각 격자(square lattice) 구조로 구분될 수 있다.

[0003] 광결정 내에 공진기를 설계할 때, 단일 결점을 도입하여 단일 세포(single-cell) 공진기가 제공될 수 있다. 또한, 선형 배열된 결점들을 도입하여 선형 타입 공진기(linear type resonator)나 링 형태의 결점들을 도입하여 링 타입 공진기(ring type resonator)가 제공될 수 있다. 광결정 공진기는 공진기 내에 이득물질을 도입하여 레이저를 발생시킬 수 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 해결하고자 하는 일 기술적 과제는 두 개의 광결정 공진기의 상호 작용을 이용하여 레이저 발진 특성을 변경할 수 있다.

[0005] 본 발명의 해결하고자 하는 일 기술적 과제는 나노미터 수준의 작은 한 쌍의 광결정 공진기를 사용하여 특이점을 제어할 수 있는 광결정 소자를 제공하는 것이다. 레이저의 크기를 줄이면 특이점을 관측하는 것도 쉽고 특이점을 이용한 새로운 광소자를 제작하는 것도 훨씬 용이하다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 광결정 소자는, 이득 물질을 포함하고 서로 이격되어 배치된 제1 광결정 공진기 및 제2 광결정 공진기를 가지는 2차원 포토닉 크리스탈; 및 상기 제1 광결정 공진기를 부분적으로 덮고 상기 제2 광결정 공진기를 덮지 않도록 배치된 그래핀 층을 포함한다.

[0007] 본 발명의 일 실시예에 있어서, 상기 그래핀 층 상에 국부적으로 배치된 제어 전극을 더 포함하고, 상기 제어 전극은 상기 그래핀 층에 전압을 인가하여 상기 그래핀 층의 광 흡수 특성을 전기적으로 제어한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 제어 전극의 전압에 따라, 상기 제1 광결정 공진기 및 제2 광결정 공진기

는 결합 고유 모드/비결합 고유모드 또는 단일 고유 모드로 발진한다.

- [0009] 본 발명의 일 실시예에 있어서, 상기 그래핀 층은 상기 제1 광결정 공진기를 1/3을 덮을 수 있다.
- [0010] 본 발명의 일 실시예에 있어서, 상기 포토닉 크리스탈은, 반도체 기판; 상기 반도체 기판 상에서 결정으로 성장하는 식각 저지층; 상기 식각 저지층 상에서 결정으로 성장하는 하부 희생 반도체층; 상기 하부 반도체 기판 상에 성장된 제1 도전형의 제1 반도체층; 상기 제1 반도체층 상에 배치된 활성 반도체층; 및 상기 활성 반도체층 상에 배치된 제2 도전형의 제2 반도체층을 포함할 수 있다. 상기 제1 반도체층, 상기 활성 반도체층, 및 상기 제2 반도체층을 관통하는 복수의 홀들을 포함하고, 상기 홀들은 동일한 지름을 가지고 2차원적으로 주기적으로 배열되어 광결정을 제공하고, 상기 홀들의 하부면은 상기 하부 희생 반도체층에 형성된 공기로 채워진 캐비티에 연통되고, 상기 제1 광결정 공진기는 상기 하부 희생 반도체층에 형성된 제1 포스트를 포함하고, 상기 제2 광결정 공진기는 상기 하부 희생 반도체층에 형성된 제2 포스트를 포함하고, 상기 제1 광결정 공진기 및 상기 제2 광결정 공진기 각각은 주기적으로 배열된 홀들 중에서 일부의 홀들이 제거되거나 홀들의 지름이 상대적으로 작도록 형성될 수 있다.
- [0011] 본 발명의 일 실시예에 있어서, 상기 하부 희생 반도체층이 제거되어 형성된 상기 캐비티의 가장자리를 채우는 절연 지지부를 더 포함할 수 있다.
- [0012] 본 발명의 일 실시예에 있어서, 상기 반도체 기판은 p형으로 도핑된 InP 기판이고, 상기 식각 저지층은 p형으로 도핑된 InGaAs 층이고, 상기 하부 희생 반도체층은 p형으로 도핑된 InP 층이고, 상기 제1 도전형의 제1 반도체층은 p형으로 도핑된 InGaAsP층이고, 상기 활성 반도체층은 도핑되지 않은 InGaAsP층을 포함하는 양자 우물 구조이고, 상기 제2 도전형의 제2 반도체층은, n형으로 도핑된 InGaAsP층일 수 있다.
- [0013] 본 발명의 일 실시예에 있어서, 상기 제1 광결정 공진기와 상기 제2 광결정 공진기 사이에 펌핑광을 제공하는 외부 펌핑 광원을 더 포함할 수 있다.
- [0014] 본 발명의 일 실시예에 있어서, 상기 홀들은 삼각 격자 구조를 가지고, 상기 제1 광결정 공진기 및 제2 광결정 공진기 각각은 서로 이웃한 3 개의 홀이 제거되고, 한 쌍의 작은 홀들이 배치된 구조일 수 있다.
- [0015] 본 발명의 일 실시예에 있어서, 상기 반도체 기판의 하부에 배치된 보조 기판; 상기 보조 기판 상에 배치되고 노출된 보조 기판 전극; 및 상기 보조 기판 전극 및 상기 제어 전극을 덮도록 배치된 이온-겔을 더 포함할 수 있다.
- [0016] 본 발명의 일 실시예에 있어서, 상기 제2 반도체층과 오믹 접합하고 노출된 상부 전극; 및 상기 반도체 기판 하부에 배치되고 상기 반도체 기판과 오믹 접합하는 하부 전극을 더 포함할 수 있다. 상기 상부 전극과 상기 하부 전극 사이에 전류를 인가하여 상기 활성 반도체층에서 발광할 수 있다.
- [0017] 본 발명의 일 실시예에 있어서, 상기 그래핀 층은, 제1 그래핀층; 상기 제1 그래핀층 상에 배치된 층간 절연층; 및 상기 층간 절연층 상에 배치된 제2 그래핀층;을 포함할 수 있다. 상기 제어 전극은, 상기 제1 그래핀층 상에 배치되고 노출된 제1 제어 전극; 및 상기 제2 그래핀층 상에 배치되고 노출된 제2 전극을 포함하고, 상기 제1 제어 전극과 상기 제2 제어 전극 사이에 전압을 인가하여 상기 제1 그래핀층 및 제2 그래핀층의 광흡수율을 조절할 수 있다.
- [0018] 본 발명의 일 실시예에 있어서, 상기 제1 광결정 공진기 및 제2 광결정 공진기는 3 줄의 홀들을 기준으로 상하 대칭적으로 배치될 수 있다.

발명의 효과

- [0019] 본 발명의 일 실시예에 따른 광결정 광소자는 두 개의 동일한 광결정 나노레이저에서 한쪽 레이저에만 그래핀을 덮어서, 두 가지 다른 색깔을 가지는 레이저 빛을 한가지 색깔을 가진 레이저 빛으로 변환시킨다. 이 변환 지점을 특이점이라 한다. 특이점을 가지는 나노레이저가 실험적으로 관측되었다.
- [0020] 본 발명의 일 실시예에 따른 나노레이저의 특이점 제어는 레이저의 색깔을 원하는 대로 바꿀 수 있을 뿐만 아니라, 전기 구동 방식을 도입하여 초소형 파장 가변 레이저와 같은 새로운 소자를 제공할 수 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명의 일 실시예에 따른 광결정 소자의 국소적인 빛의 발생 및 손실에 대한 개념도이다.

도 2는 도 1의 광결정 소자의 발진 파장을 설명하는 도면이다.

도 3은 본 발명의 일 실시예에 따른 광결정 소자의 펌핑 위치를 설명하는 평면도이다.

도 4는 도 3의 펌핑 위치에 따른 광결정 소자의 발진 파장 및 세기를 나타내는 도면이다.

도 5는 본 발명의 일 실시예에 따른 그래핀을 이용한 광결정 소자의 국소적인 빛의 발생 및 손실에 대한 개념도이다.

도 6은 도 5의 광결정 소자의 발진 파장을 설명하는 도면이다.

도 7은 본 발명의 일 실시예에 따른 그래핀으로 2/3를 덮은 광결정 소자의 펌핑 위치를 설명하는 평면도이다.

도 8은 도 7의 펌핑 위치에 따른 광결정 소자의 발진 파장 및 세기를 나타내는 도면이다.

도 9는 본 발명의 다른 실시예에 따른 그래핀으로 1/3을 덮은 광결정 소자의 펌핑 위치를 설명하는 평면도이다.

도 10은 도 9의 펌핑 위치에 따른 광결정 소자의 발진 파장 및 세기를 나타내는 도면이다.

도 11a는 본 발명의 다른 실시예에 따른 광결정 소자를 나타내는 평면도이다.

도 11b는 도 11a의 A-A'선을 따라 자른 단면도이다.

도 11c는 도 11a의 B-B'선을 따라 자른 단면도이다.

도 11d는 도 11a의 C-C'선을 따라 자른 단면도이다.

도 12는 본 발명의 일 실시예에 따른 광결정 소자의 펌핑 위치에 따른 파장을 나타내는 결과이다.

도 13은 본 발명의 일 실시예에 따른 고정된 펌핑 위치에서 제어 전극의 전압에 따른 파장을 나타내는 결과이다.

도 14a는 본 발명의 또 다른 실시예에 따른 광결정 소자를 나타내는 평면도이다.

도 14b는 도 14a의 D-D' 선을 따라 단면도이다.

도 14c는 도 14a의 E-E' 선을 따라 단면도이다.

도 14d는 도 14a의 F-F' 선을 따라 단면도이다.

도 15a는 본 발명의 또 다른 실시예에 따른 광결정 소자를 나타내는 평면도이다.

도 15b는 도 15a의 G-G' 선을 따라 자른 단면도이다.

도 15c는 도 15a의 H-H' 선을 따라 자른 단면도이다.

도 15d는 도 15a의 I-I' 선을 따라 자른 단면도이다.

도 16a는 본 발명의 또 다른 실시예에 따른 광결정 소자를 나타내는 평면도이다.

도 16b는 도 16a의 J-J' 선을 따라 자른 단면도이다.

도 16c는 도 16a의 K-K' 선을 따라 자른 단면도이다.

도 16d는 도 16a의 L-L' 선을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0022] 본 발명의 일 실시예에 따르면, 광결정 소자에서 빛을 발생시키는 부분과 빛이 손실되는 부분을 공간적으로 따로 분리하여 위치시키면, 이 둘 사이에 상호작용이 발생하여 새로운 광학 특성이 나타나게 된다. 이때 새로운 현상이 나타나기 시작하는 지점을 특이점(exceptional point)이라 한다. 이 특이점 근처에서는 한 방향으로만 빛을 진행시키거나 레이저의 색깔을 하나로만 만드는 것이 가능하다.

[0023] 빛의 파장 정도로 작은 광결정 공진기 안에서 광학적 이득과 손실을 구현하기 위해, 반도체 물질을 이용한 두 개의 동일 크기 광결정 공진기가 제작된다.

[0024] 두 개의 광결정 공진기 간의 상호작용을 극대화하기 위해, 두 개의 광결정 공진기를 매우 가깝게 위치한다. 두 개의 광결정 공진기 중 하나의 광결정 공진기(제1 광결정 공진기)에만 그래핀을 덮어 하나의 광결정 공진기는

광학적 손실이 발생하게 하고, 다른 광결정 공진기(제2 광결정 공진기)에는 광학적 이득이 발생할 수 있도록 하였다.

- [0025] 광결정 공진기는 외부로부터 펌핑광을 제공받아, 광결정 공진기 내의 고유모드의 레이저 특성을 제공한다. 광펌핑을 통해 그래핀을 덮지 않은 부분에서는 광학적 이득이 발생하지만, 그래핀을 덮은 부분은 그래핀에 의한 광학적 손실이 지속적으로 발생한다. 그래핀에 의한 국소적 광 이득/ 손실 분포의 구현 여부를 확인하기 위해, 그래핀을 적용하기 전/후에 각각 레이저 특성을 스펙트럼과 모드 이미지 분석을 통해 관찰하였다. 그래핀 적용 전, 광결정 공진기는 결합/비결합의 두 가지 고유모드 레이저 특성을 보인다. 한편, 그래핀 적용 후에는 단일 고유모드 레이저 특성을 보였다.
- [0026] 광펌핑 위치를 이동시키며 고유모드의 레이저 특성을 관찰하였다. 그래핀이 부분적으로 덮은 제1 광결정 공진기의 경우, 그래핀이 제1 광결정 공진기를 덮은 넓이에 따라 레이저 특성이 다르게 나타났다. 그래핀이 제1 광결정 공진기의 2/3를 덮은 경우, 항상 단일 고유모드 레이저 특성이 나타난다.
- [0027] 한편, 그래핀이 한 광결정 공진기를 1/3만 덮은 경우, 광펌핑 위치에 따라 결합/비결합 고유모드와 단일 고유모드 레이저 특성이 모두 나타났다. 특히 그래핀이 제1 광결정 공진기를 1/3만 덮은 경우, 결합/비결합 고유모드에서 단일 고유모드 레이저로 상태가 변화되는 특이점을 직접적으로 관찰할 수 있었다. 이는 광결정 공진기를 덮는 그래핀의 넓이를 제어함으로써, 공진기 내의 국소적 광 손실이 효과적으로 제어될 수 있음을 보여준다.
- [0028] 그래핀의 광학적 흡수 특성은 외부에서 그래핀에 전압을 인가하여 제어할 수 있다. 본 발명의 일 실시예에 따르면, 이온-겔(Ion-gel)을 통한 전압 인가 방법을 활용하여 그래핀의 광학적 흡수 특성을 변화시켰다. 그래핀의 광 흡수 특성을 전기적으로 제어함으로써, 광결정 공진기 내 고유모드의 특이점이 조절될 수 있다.
- [0029] 나노 광소자가 실용적인 측면에서 중요한 역할을 수행하기 위하여 전기 구동 및 효율적인 광신호 추출이 중요하다. 전기 구동 광소자는 초소형 광집적 회로의 궁극적인 광원으로 활용 가능하며, 효율적인 광신호 추출을 위해서는 광원으로부터 발진하는 빛을 효율적이고 원하는 방향으로 유도할 수 있는 플랫폼이 필요하다.
- [0030] 본 발명의 일 실시예에 따른 광결정 구조는 광펌핑에 의한 구동뿐만 아니라 전류 주입에 의한 자체 발광 펌핑에 의한 구동될 수 있다. 뿐만 아니라 광결정 안에서 광도파로를 다른 공진기와 연결시키기 매우 용이하다.
- [0031] 본 발명의 일 실시예에 따른 광결정 광소자는 그래핀-광공진기 구조에 전기 구동 방식과 광도파로를 추가함으로써, 광스위칭이 가능한 전기구동 광소자가 제공될 수 있다.
- [0032] 전류 주입에 의한 자체 발광 광결정 레이저는 n-i-p 다이오드 구조의 InGaAsP 반도체를 사용할 수 있다. 진성 반도체층은 양자우물층을 포함할 수 있다. p형 반도체는 p형 불순물로 도핑된 InGaAsP 층일 수 있다. n형 반도체는 광결정의 상부 표면에 배치되고, n형 불순물로 도핑된 InGaAsP 층일 수 있다. 전류는 바닥에서부터 광결정 기둥을 따라 n형 반도체층의 표면으로 흐른다. 광결정의 바깥 둘레 부분에 배치된 금속 전극은 상기 n형 반도체와 오믹 접촉될 수 있다. 전류는 두 개의 공진기 바로 아래에 있는 상기 광결정 기둥을 따라 흐르고, 상기 공진기의 양자우물층에서 재결합하여 발광한다.
- [0033] 양자우물층은 외부 펌핑광 또는 전류 주입에 의한 발광과 같은 외부 자극에 반응하여 1100nm ~ 1700 nm 파장 영역에서 발진할 수 있다. 광결정 공진기의 구조에 따라, 해당 파장영역 내에서 파장 가변, 광 스위칭, 파장 스위칭과 같은 광 변조가 가능하다.
- [0034] 본 발명의 일 실시예에 따른 2 개의 광결정 공진기 중에서 하나의 광 결정 공진기 상에 그래핀이 덮힌다. 상기 그래핀은 전극과 연결되고, 상기 전극은 전압 인가에 의한 발진 파장을 변경할 수 있다. 특히, 광결정과 그래핀 사이에 보론나이트라이드(Boron Nitride)과 같은 절연층을 삽입하여, 상기 그래핀은 상기 광결정과 전기적으로 절연될 수 있다. 상기 절연층에 의해 그래핀은 게이트 전압을 인가될 수 있다. 상기 절연층이 아주 얇기 때문에 그래핀-광결정 공진기의 광 이득/손실 제어 효과를 동시에 얻을 수 있다. 따라서 그래핀의 광흡수를 제어에 의한 공진기의 특이점 제어가 가능해진다.
- [0035] 본 발명의 일 실시예에 따르면, 그래핀이 덮혀 있지 않은 광 공진기 옆에 광결정 광도파로를 연결시킬 수 있다. 광도파로 연결로 인해 전기 구동된 주파수 변조 레이저를 원하는 방향으로 효율적이게 유도하는 것이 가능하다.
- [0036] 본 발명의 일 실시예에 따른 광결정 광소자는 그래핀을 이용하여 제작 과정이 상대적으로 단순하고, 국부적인 광 이득 및 손실 분포를 제어할 수 있어, 불필요한 기계적인 장치가 필요하지 않는다. 또한, 상기 광결정 광소자는 특이점 제어가 가능한 나노레이저의 안정적인 제작과 구동을 제공할 수 있다. 이 특이점 근처에서는 한 방

향으로만 빛을 진행시키거나 레이저의 색깔을 하나로만 만드는 것이 가능하다.

- [0037] 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세하게 설명한다. 이하, 바람직한 실시예를 들어 본 발명을 더욱 상세하게 설명한다. 그러나 이들 실시예는 본 발명을 보다 구체적으로 설명하기 위한 것으로, 실험 조건, 물질 종류 등에 의하여 본 발명이 제한되거나 한정되지는 않는다는 것은 당업계의 통상의 지식을 가진 자에게 자명할 것이다. 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예는 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다. 도면들에 있어서, 구성요소는 명확성을 기하기 위하여 과장되어진 것이다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 나타낸다.
- [0038] 도 1은 본 발명의 일 실시예에 따른 광결정 소자의 국소적인 빛의 발생 및 손실에 대한 개념도이다.
- [0039] 도 2는 도 1의 광결정 소자의 발진 파장을 설명하는 도면이다.
- [0040] 도 3은 본 발명의 일 실시예에 따른 광결정 소자의 펌핑 위치를 설명하는 평면도이다.
- [0041] 도 4는 도 3의 펌핑 위치에 따른 광결정 소자의 발진 파장 및 세기를 나타내는 도면이다.
- [0042] 도 1 및 도 2를 참조하면, 광결정 소자(100)는 서로 커플링된 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)를 포함한다. 상기 제1 광결정 공진기(101)와 제2 광결정 공진기(102)의 구조는 동일하다. 각 광결정 공진기는 제1 방향으로 정렬된 3 개의 홀들을 제거하고 양측의 한 쌍의 홀들의 직경을 감소시킨 구조를 가진다. 상기 제1 광결정 공진기(101) 및 상기 제2 광결정 공진기(102)는 제2 방향으로 서로 1.45 μm 이격될 수 있다. 상기 제1 광결정 공진기(101) 및 상기 제2 광결정 공진기(102) 사이에는 제1 방향으로 배열된 3 줄의 홀들이 배치될 수 있다.
- [0043] 상기 제1 광결정 공진기(101) 및 제2 광결정 공진기(102) 각각의 광이득 및 광 손실에 따라, 상기 제1 광결정 공진기(101) 및 상기 제2 광결정 공진기(102)는 결합 모드(bonding mode)와 비결합모드(anti-bonding mode)에서 발진할 수 있다. 이득 물질은 III-V족 반도체층일 수 있으며, p-i-n 구조일 수 있다. 상기 제1 광결정 공진기 및 제2 광결정 공진기는 3 줄의 홀들을 기준으로 상하 대칭적으로 배치될 수 있다.
- [0044] 980nm의 펌핑 광을 외부에서 상기 광결정 소자에 조사한 상태에서, 그래핀층을 가지지 않고 결합된 제1, 제2 광결정 공진기의 결합 레이징 피크(bonding lasing peak)와 비결합 레이징 피크(anti-bonding lasing peak)는 1502.1 nm 와 1508.8 nm에서 각각 관측된다.
- [0045] 도 3 및 도 4를 참조하면, 펌핑 위치가 -2.2 μm 내지 +2.2 μm 인 경우, 1510.1nm의 결합 모드가 발진하고, 펌핑 위치가 -0.6 μm 내지 +0.6 μm 인 경우, 1513.8 nm의 비결합 모드가 발진한다.
- [0046] 도 5는 본 발명의 일 실시예에 따른 그래핀을 이용한 광결정 소자의 국소적인 빛의 발생 및 손실에 대한 개념도이다.
- [0047] 도 6은 도 5의 광결정 소자의 발진 파장을 설명하는 도면이다.
- [0048] 도 7은 본 발명의 일 실시예에 따른 그래핀으로 2/3를 덮은 광결정 소자의 펌핑 위치를 설명하는 평면도이다.
- [0049] 도 8은 도 7의 펌핑 위치에 따른 광결정 소자의 발진 파장 및 세기를 나타내는 도면이다.
- [0050] 도 5 및 도 6을 참조하면, 광결정 소자(100a)는 서로 커플링된 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)를 포함한다. 제1 광결정 공진기(101)와 제2 광결정 공진기(102)에 서로 다른 광이득을 제공하기 위하여, 상기 제1 광결정 공진기(101) 상에만 단일층 그래핀층(160)이 배치된다. 상기 제1 광결정 공진기(101)를 그래핀층(160)으로 일부를 덮음으로써, 결합된 제1, 제2 광결정 공진기는 큰 이득 대비(gain contrast)를 경험한다. 상기 제1 광결정 공진기(101)의 광이득은 상기 그래핀층(160)의 광손실에 의하여 감소한다. 상기 제1 광결정 공진기의 광손실(K_{graphene})은 상기 그래핀층(160)에 의하여 상기 제1 광결정 공진기(101)를 덮는 면적에 따라 증가한다.
- [0051] 상기 제1 광결정 공진기(101)를 그래핀층으로 2/3를 덮으면, 980nm의 펌핑 광을 상기 광결정 소자(100a)에 조사한 상태에서, 단일 레이징 피크가 1505.6 nm에서 관측된다. 이 파장은 결합 레이징 모드와 반결합 레이징 모드의 파장들 사이에 있다.
- [0052] 도 7 및 도 8을 참조하면, 제1 광결정 공진기(101)를 그래핀층(160)으로 2/3를 덮으면, 980nm의 펌핑 광을 상기 광결정 소자에 조사한 상태에서, 단일 레이징 피크가 1505.6 nm가 관측된다. 이 파장은 펌핑 위치에 따라 변하

지 않는다.

- [0053] 도 9는 본 발명의 다른 실시예에 따른 광결정 소자의 펌핑 위치를 설명하는 평면도이다.
- [0054] 도 10은 도 9의 펌핑 위치에 따른 광결정 소자의 발진 파장 및 세기를 나타내는 도면이다.
- [0055] 도 9 및 도 10을 참조하면, 광결정 소자(200)는 서로 커플링된 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)를 포함한다. 상기 제1 광결정 공진기(101)를 그래핀층(260)으로 1/3를 덮으면, 980nm의 펌핑 광을 상기 광결정 소자(200)에 조사한 상태에서, 두 개의 레이징 피크가 1505 nm와 1510nm 근처에서 관측된다. 1505 nm 근처의 레이징 피크는 양의 펌핑 위치에서 관측되고, 1510nm 근처의 레이징 피크는 음의 펌핑 위치에서 관측된다. 1505 nm의 파장은 펌핑 위치에 따라 변경된다. 음의 펌핑 위치에서 레이징되는 1510nm의 레이징 피크는 비결합 모드로 해석된다. 양의 펌핑 위치에서 레이징되는 1505 nm의 레이징 피크는 결합 모드로 해석된다. 양의 1.2 μ m의 펌핑 위치에서, 1506 nm의 레이징 피크는 최대 세기를 보이며, 이 펌핑 위치에 레이징되는 1506 nm의 레이징 피크는 증폭 모드(amplification mode)로 해석된다.
- [0056] 도 11a는 본 발명의 다른 실시예에 따른 광결정 소자를 나타내는 평면도이다.
- [0057] 도 11b는 도 11a의 A-A'선을 따라 자른 단면도이다.
- [0058] 도 11c는 도 11a의 B-B'선을 따라 자른 단면도이다.
- [0059] 도 11d는 도 11a의 C-C'선을 따라 자른 단면도이다.
- [0060] 도 11을 참조하면, 광결정 소자(200a)는, 이득 물질을 포함하고 제2 방향으로 서로 이격되어 배치된 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)를 가진 2차원 포토닉 크리스탈(103); 및 상기 제1 광결정 공진기(101)를 부분적으로 덮고 상기 제2 광결정 공진기를 덮지 않도록 배치된 그래핀 층(260)을 포함한다. 상기 그래핀 층(260)은 상기 제1 광결정 공진기를 1/3을 덮을 수 있다.
- [0061] 2차원 포토닉 크리스탈(103)은 제1 방향(x축) 및 제2 방향으로(y축)에 의하여 정의되는 배치평면에 배치된다. 상기 2차원 포토닉 크리스탈(103)은 상기 배치평면에 배치되는 복수의 홀들(109)을 포함한다. 상기 홀들(109)은 삼각 격자 구조를 가질 수 있다. 상기 제1 광결정 공진기 및 제2 광결정 공진기 각각은 제1 방향으로 서로 이웃한 3 개의 홀이 제거되고, 제1 방향으로 한 쌍의 작은 홀들이 배치된 구조일 수 있다. 상기 제1 광결정 공진기(101)와 제2 광결정 공진기(102)의 구조는 동일하다.
- [0062] 상기 포토닉 크리스탈(103)은, 반도체 기판(122); 상기 반도체 기판(122) 상에서 결정으로 성장하는 식각 저지층(124); 상기 식각 저지층(124) 상에서 결정으로 성장하는 하부 희생 반도체층(126); 상기 하부 희생 반도체층(126) 상에 성장된 제1 도전형의 제1 반도체층(130); 상기 제1 반도체층(130) 상에 배치된 활성 반도체층(140); 및 상기 활성 반도체층(140) 상에 배치된 제2 도전형의 제2 반도체층(150)을 포함할 수 있다.
- [0063] 상기 홀들(109)은 상기 제1 반도체층(130), 상기 활성 반도체층(140), 및 상기 제2 반도체층(150)을 관통할 수 있다. 상기 홀들(109)은 동일한 지름을 가지고 2차원적으로 주기적으로 배열되어 광결정을 제공할 수 있다. 상기 홀들은 삼각 격자 구조를 가질 수 있다. 상기 홀들(109)의 하부면은 상기 하부 희생 반도체층(126)에 형성된 공기로 채워진 캐비티(126a)에 연통될 수 있다. 상기 제1 광결정 공진기(101)는 상기 하부 희생 반도체층(126)에 형성된 제1 포스트(127a)를 포함할 수 있다. 상기 제2 광결정 공진기(102)는 상기 하부 희생 반도체층(126)에 형성된 제2 포스트(127b)를 포함할 수 있다. 상기 제1 광결정 공진기 및 상기 제2 광결정 공진기 각각은 주기적으로 배열된 홀들 중에서 일부의 홀들이 제거되거나 홀들의 지름이 상대적으로 작도록 형성될 수 있다. 상기 제1 포스트(127a) 및 상기 제2 포스트(127b)는 상기 하부 희생 반도체층(126)이 습식 식각에 의하여 제거되지 않은 영역일 수 있다. 상기 이득 물질은 활성 반도체층(140)일 수 있다.
- [0064] 절연 지지부(129)는 상기 하부 희생 반도체층(126)이 제거되어 형성된 상기 캐비티(122a)의 가장자리를 채울 수 있다. 상기 절연 지지부(129)는 포토레지스트일 수 있다. 상기 하부 희생 반도체층은 상기 홀들을 형성하기 위한 이방성 식각에 의하여 패터닝된다. 상기 패터닝된 하부 희생 반도체층은 습식 식각에 의하여 제1 포스트 및 제2 포스트를 제외하고 제거되어 캐비티를 형성한다. 상기 캐비티 및 상기 홀들이 형성된 기판 상에 절연 지지막이 스핀 코팅에 의하여 형성될 수 있다. 상기 절연 지지막은 컨포멀 하게 기판을 덮고 상기 캐비티의 가장자리 부분으로 침투할 수 있다. 이어서, 상기 기판을 이방식 식각하면, 노출된 절연 지지막은 제거되고, 상기 캐비티 내부에 침투한 절연 지지막은 상기 절연 지지부를 형성할 수 있다.
- [0065] 상기 제1 반도체층(130), 상기 활성 반도체층(140), 및 상기 제2 반도체층(150)은 p-i-n 다이오드 구조를 제공

할 수 있다. 상기 활성 반도체층(140)은 진성 반도체 영역일 수 있다.

- [0066] 상기 반도체 기판(110)은 p형으로 도핑된 InP 기판이고, 상기 식각 저지층(122)은 p형으로 도핑된 InGaAs 층이고, 상기 하부 희생 반도체층(126)은 p형으로 도핑된 InP 층일 수 있다.
- [0067] 상기 제1 도전형의 제1 반도체층(130)은 p형으로 도핑된 InGaAsP층이고, 상기 활성 반도체층(140)은 도핑되지 않은 InGaAsP층을 포함하는 양자 우물 구조일 수 있다. 상기 제2 도전형의 제2 반도체층(150)은, n형으로 도핑된 InGaAsP층일 수 있다.
- [0068] 상기 활성 반도체층(140)은 차례로 적층된 1.24Q InGaAsP층, 1.30Q InGaAsP 층, 1.65Q InGaAsP층, 1.30Q InGaAsP 층, 및 1.24Q InGaAsP층을 포함할 수 있다. 상기 활성 반도체층(140)은 단일 양자우물 구조 또는 다중 양자우물 구조일 수 있다. 1.24Q InGaAsP층은 $1.24\mu\text{m}$ 의 발광을 가지도록 물 분율을 가진 InGaAsP층이고, 구체적으로, 1.24Q InGaAsP층은 $\text{In}_{0.76}\text{Ga}_{0.24}\text{As}_{0.85}\text{P}_{0.15}$ 일 수 있다. 1.30Q InGaAsP 층은 $1.30\mu\text{m}$ 의 발광을 가지도록 물 분율을 가진 InGaAsP 층일 수 있다. 1.65Q InGaAsP 층은 $1.65\mu\text{m}$ 의 발광을 가지도록 물 분율을 가진 InGaAsP 층일 수 있다.
- [0069] 상기 하부 희생 반도체층에 형성된 공기로 채워진 캐비티(126a)는 습식 식각에 의하여 상기 식각 저지층(124) 상에 상기 하부 희생 반도체층(126)의 습식 식각에 의하여 형성될 수 있다. 상기 제1 광결정 공진기(101)에서, 상기 하부 희생 반도체층(126)은 국부적으로 식각되지 않고 제1 포스트(127a)를 제공할 수 있다. 또한, 상기 제2 광결정 공진기(102)에서, 상기 하부 희생 반도체층(126)은 식각되지 않고 제2 포스트(126b)를 제공할 수 있다.
- [0070] 상기 그래핀 층(260)은 상기 제2 도전형의 제2 반도체층(150) 상에 배치되어, 상기 제1 광결정 공진기(101)의 광손실을 제어할 수 있다. 상기 그래핀 층(260)은 단일 그래핀층으로 화학 기상 증착법 등을 통하여 제작되어 상기 제2 반도체층 (150) 상에 전사될 수 있다.
- [0071] 제어 전극(282)은 상기 그래핀 층(260) 상에 국부적으로 배치되고, 상기 제어 전극은 상기 그래핀 층에 전압을 인가하여 상기 그래핀 층의 광 흡수 특성을 전기적으로 제어한다. 상기 제어 전극(282)은 상기 홀들이 배치되지 않는 영역에 배치될 수 있다. 상기 제어 전극(282)은 상기 그래핀층에 전압을 인가하고, 상기 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)는 결합 고유 모드/비결합 고유모드 또는 단일 고유 모드로 발진할 수 있다. 상기 제어 전극은 Ti/Au 박막층을 포함할 수 있다.
- [0072] 보조 기판(110)은 상기 반도체 기판(122)의 하부에 배치될 수 있다. 상기 보조 기판(110)은 유리기판 또는 플라스틱 기판일 수 있다. 상기 보조 기판은 상기 반도체 기판에 의하여 덮이지 않은 영역을 포함할 수 있다.
- [0073] 보조 기판 전극(284)은 노출되고 상기 보조 기판(110) 상에 배치될 수 있다. 상기 보조 기판 전극(284)은 Ti/Au 박막층을 포함할 수 있다.
- [0074] 이온-겔(270)은 상기 보조 기판 전극(284), 상기 제어 전극(282) 그리고 그래핀층(260)을 덮도록 배치되고, 상기 보조 기판 전극과 상기 제어 전극 사이에 전기적 연결을 제공할 수 있다. 상기 이온-겔(270)은 이온 도전성 고분자일 수 있다.
- [0075] 상기 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)를 연결하는 선을 따른 펌핑광의 위치에 따라, 결합 고유 모드/비결합 고유모드 또는 단일 고유 모드로 발진할 수 있다. 외부 펌핑 광원(291)은 상기 제1 광결정 공진기와 상기 제2 광결정 공진기 사이에 펌핑광을 제공할 수 있다. 상기 외부 펌핑 광원(291)의 출력광은 이색성 미러(292)를 투과하여 상기 광결정 소자(200)에 제공될 수 있다. 상기 펌핑광에 의하여 레이징되는 출력광은 상기 광결정 소자의 배치평면에 수직하게 출력되어, 상기 이색성 미러(292)에서 반사될 수 있다.
- [0076] 도 12는 본 발명의 일 실시시에 따른 광결정 소자의 펌핑 위치에 따른 파장을 나타내는 결과이다.
- [0077] 도 13은 본 발명의 일 실시시에 따른 고정된 펌핑 위치에서 제어 전극의 전압에 따른 파장을 나타내는 결과이다.
- [0078] 도 11, 도 12 및 도 13을 참조하면, 제어 전극(282)의 전기 게이팅을 통한 그래핀 층의 광손실(K_{graphene})을 제어하여 특이점의 제어가 가능하다. 이온 겔(270)이 제1, 제2 광결정 공진기 상에 배치되고, 제1 광결정 공진기(101)는 부분적으로 그래핀에 의하여 덮힌다.
- [0079] 외부 펌핑 광원의 펌프 레이저는 843mW의 최대 펌프 전력을 가지고 $-2.0\mu\text{m}$ 에서 $+2.0\mu\text{m}$ 까지 라인 스캔된다.

측정된 공명 피크들의 파장은 펌핑 위치 및 게이트 전압에 따라 변경된다.

- [0080] 주사 광발광(Scanning photoluminescence) 측정이 수행되었다. 제어 전극의 게이트 전압(V_g)이 상기 그래핀층에 이온 겔을 이용하여 인가된다.
- [0081] 다른 게이트 전압에 특이점을 평가하기 위하여, 게이트 전압(V_g)을 0V에서 -1.1V로 변경하면서, 그래핀/이온겔의 투과도(light transmission)가 측정되었다. 상기 그래핀층의 광손실(K_{graphene})은 0.0 V, -0.4 V, 그리고 -0.9V의 게이트 전압에 대하여 각각 0.20, 0.17 그리고 0.13THz이다. 0.0 V, -0.4 V, 그리고 -0.9V의 게이트 전압에 대하여, 특이점의 위치는 각각 0.45 μm , 0.47 μm , 그리고 0.75 μm 이다. 게이트 전압의 절대값이 증가하거나 그래핀층의 광손실이 감소됨에 따라, 특이점에 대한 펌프 위치는 증가한다.
- [0082] 도 13을 참조하면, -0.4 μm 의 펌핑 위치에서, 게이트 전압(V_g)에 따라, 발진 파장이 변경된다. 게이트 전압이 0V에서 -0.9V로 변경된 경우, 피크 세기의 파장은 1553.1nm에서 1552.3nm로 변경된다. 따라서, 상기 광결정 소자(200a)는 파장 가변 광소자로 사용될 수 있다.
- [0083] 도 14a는 본 발명의 또 다른 실시예에 따른 광결정 소자를 나타내는 평면도이다.
- [0084] 도 14b는 도 14a의 D-D' 선을 따라 단면도이다.
- [0085] 도 14c는 도 14a의 E-E' 선을 따라 단면도이다.
- [0086] 도 14d는 도 14a의 F-F' 선을 따라 단면도이다.
- [0087] 도 14a 내지 도 14d를 참조하면, 광결정 소자(300)는, 이득 물질을 포함하고 제2 방향으로 서로 이격되어 배치된 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)를 가진 2차원 포토닉 크리스탈(103); 및 상기 제1 광결정 공진기(101)를 부분적으로 덮고 상기 제2 광결정 공진기를 덮지 않도록 배치된 그래핀 층(360,380)을 포함한다. 상기 그래핀 층(360,380)은 상기 제1 광결정 공진기를 1/3을 덮을 수 있다.
- [0088] 2차원 포토닉 크리스탈(103)은 제1 방향(x축) 및 제2 방향으로(y축)에 의하여 정의되는 배치평면에 배치된다. 상기 2차원 포토닉 크리스탈(103)은 상기 배치평면에 배치되는 복수의 홀들(109)을 포함한다. 상기 홀들(109)은 삼각 격자 구조를 가질 수 있다. 상기 제1 광결정 공진기 및 제2 광결정 공진기 각각은 제1 방향으로 서로 이웃한 3 개의 홀이 제거되고, 제1 방향으로 한 쌍의 작은 홀들이 배치된 구조일 수 있다. 상기 제1 광결정 공진기(101)와 제2 광결정 공진기(102)의 구조는 동일하다.
- [0089] 상기 포토닉 크리스탈(103)은, 반도체 기판(122); 상기 반도체 기판(122) 상에서 결정으로 성장하는 식각 저지층(124); 상기 식각 저지층(124) 상에서 결정으로 성장하는 하부 희생 반도체층(126); 상기 하부 희생 반도체층(126) 상에 성장된 제1 도전형의 제1 반도체층(130); 상기 제1 반도체층(130) 상에 배치된 활성 반도체층(140); 및 상기 활성 반도체층(140) 상에 배치된 제2 도전형의 제2 반도체층(150)을 포함할 수 있다. 절연 지지부(129)은 상기 하부 희생 반도체층(126)이 제거되어 형성된 상기 캐비티(122a)의 가장자리를 채울 수 있다.
- [0090] 상기 제2 도전형의 제2 반도체층(150) 상에 절연층(155)이 배치될 수 있다. 상기 절연층은 실리콘산화막, 알루미늄 산화막, 보론나이트라이드(BN)막, 또는 하프늄 산화막일 수 있다. 상기 절연층(155)은 상기 제1 그래핀층과 상기 제2 반도체층(150)을 전기적으로 절연시킬 수 있다.
- [0091] 상기 홀들(109)은 상기 제1 반도체층(130), 상기 활성 반도체층(140), 상기 제2 반도체층(150), 및 상기 절연층(155)을 관통할 수 있다. 상기 홀들(109)은 동일한 지름을 가지고 2차원적으로 주기적으로 배열되어 광결정을 제공할 수 있다. 상기 홀들(109)의 하부면은 상기 하부 희생 반도체층(126)에 형성된 공기로 채워진 캐비티(126a)에 연통될 수 있다. 상기 제1 광결정 공진기(101)는 상기 하부 희생 반도체층(126)에 형성된 제1 포스트(127a)를 포함할 수 있다. 상기 제2 광결정 공진기(102)는 상기 하부 희생 반도체층(126)에 형성된 제2 포스트(127b)를 포함할 수 있다. 상기 제1 광결정 공진기 및 상기 제2 광결정 공진기 각각은 주기적으로 배열된 홀들 중에서 일부의 홀들이 제거되거나 홀들의 지름이 상대적으로 작도록 형성될 수 있다. 상기 제1 포스트(127a) 및 상기 제2 포스트(127b)는 상기 하부 희생 반도체층(126)이 습식 식각에 의하여 제거되지 않은 영역일 수 있다.
- [0092] 상기 제1 반도체층(130), 상기 활성 반도체층(140), 및 상기 제2 반도체층(150)은 p-i-n 다이오드 구조를 제공할 수 있다. 상기 활성 반도체층(140)은 진성 반도체 영역일 수 있다.
- [0093] 상기 반도체 기판(110)은 p형으로 도핑된 InP 기판이고, 상기 식각 저지층(122)은 p형으로 도핑된 InGaAs 층이

고, 상기 하부 희생 반도체층(126)은 p형으로 도핑된 InP 층일 수 있다.

- [0094] 상기 제1 도전형의 제1 반도체층(130)은 p형으로 도핑된 InGaAsP층이고, 상기 활성 반도체층(140)은 도핑되지 않은 InGaAsP층을 포함하는 양자 우물 구조일 수 있다. 상기 제2 도전형의 제2 반도체층(150)은, n형으로 도핑된 InGaAsP층일 수 있다. 상기 활성 반도체층(140)은 이득물질로 동작할 수 있다.
- [0095] 상기 활성 반도체층(140)은 차례로 적층된 1.24Q InGaAsP층, 1.30Q InGaAsP 층, 1.65Q InGaAsP층, 1.30Q InGaAsP 층, 및 1.24Q InGaAsP층을 포함할 수 있다. 상기 활성 반도체층(140)은 단일 양자우물 구조 또는 다중 양자우물 구조일 수 있다. 1.24Q InGaAsP층은 1.24 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP층이고, 구체적으로, 1.24Q InGaAsP층은 $\text{In}_{0.76}\text{Ga}_{0.24}\text{As}_{0.85}\text{P}_{0.15}$ 일 수 있다. 1.30Q InGaAsP 층은 1.30 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP 층일 수 있다. 1.65Q InGaAsP 층은 1.65 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP 층일 수 있다.
- [0096] 상기 하부 희생 반도체층에 형성된 공기로 채워진 캐비티(126a)는 습식 식각에 의하여 상기 식각 저지층(124) 상에 상기 하부 희생 반도체층(126)의 습식 식각에 의하여 형성될 수 있다. 상기 제1 광결정 공진기(101)에서, 상기 하부 희생 반도체층(126)은 국부적으로 식각되지 않고 제1 포스트(127a)를 제공할 수 있다. 또한, 상기 제2 광결정 공진기(102)에서, 상기 하부 희생 반도체층(126)은 식각되지 않고 제2 포스트(126b)를 제공할 수 있다.
- [0097] 상기 그래핀 층(360,380)은 상기 제2 도전형의 제2 반도체층(150) 상에 배치되어, 상기 제1 광결정 공진기(101)의 광손실을 제어할 수 있다. 상기 그래핀 층(360,380)은 단일 그래핀층으로 화학 기상 증착법 등을 통하여 제작되어 절연막(155) 상에 전사될 수 있다.
- [0098] 상기 그래핀 층은, 상기 절연층(155) 또는 상기 제2 반도체층(150) 상에 배치되어, 상기 제1 광결정 공진기(101)를 부분적으로 덮는 제1 그래핀층(360); 상기 제1 그래핀층(360) 상에 배치된 층간 절연층(370); 및 상기 층간 절연층(370) 상에 배치된 제2 그래핀층(380);을 포함한다. 상기 제1 그래핀층(360)의 일부는 노출되고, 상기 제2 그래핀층(380)의 일부는 노출될 수 있다.
- [0099] 상기 제어 전극(362,382)은, 상기 제1 그래핀층(360) 상에 국부적으로 배치되고 노출된 제1 제어 전극(362); 및 상기 제2 그래핀층(380) 상에 국부적으로 배치되고 노출된 제2 전극(382)을 포함한다. 상기 제1 제어 전극과 상기 제2 제어 전극 사이에 전압을 인가하여 상기 제1 그래핀층 및 제2 그래핀층의 광흡수율을 조절한다. 상기 제1 제어 전극(362) 및 상기 제2 제어 전극(382)은 상기 홀들이 배치되지 않은 제1 방향의 좌측/우측에 각각 배치될 수 있다. 상기 제1 및 제2 제어 전극은 Ti/Au 박막층을 포함할 수 있다.
- [0100] 상기 제1 제어 전극(362)과 상기 제2 제어 전극(382) 사이에 게이트 전압이 인가되는 경우, 상기 제1 그래핀 층과 상기 제2 그래핀층 사이에 전압을 인가하여 상기 제1 그래핀 층 및 제2 그래핀층의 광 흡수 특성을 전기적으로 제어한다. 펌핑 광이 제공되는 경우, 상기 제어 전극(362,382)은 상기 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)는 결합 고유 모드/비결합 고유모드 또는 단일 고유 모드로 발진할 수 있다. 또한, 상기 제어 전극의 전압에 따라, 발진 파장이 변경될 수 있다.
- [0101] 도 15a는 본 발명의 또 다른 실시예에 따른 광결정 소자를 나타내는 평면도이다.
- [0102] 도 15b는 도 15a의 G-G' 선을 따라 자른 단면도이다.
- [0103] 도 15c는 도 15a의 H-H' 선을 따라 자른 단면도이다.
- [0104] 도 15d는 도 15a의 I-I' 선을 따라 자른 단면도이다.
- [0105] 도 15a 내지 도 15d를 참조하면, 자체 발진 광결정 소자(400)는 외부에서 펌핑광을 제공받지 않고 자체 발광할 수 있다. 상기 광결정 소자(400)는, 이득물질을 포함하고 제2 방향으로 서로 이격되어 배치된 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)를 가진 2차원 포토닉 크리스탈(103); 및 상기 제1 광결정 공진기(101)를 부분적으로 덮고 상기 제2 광결정 공진기를 덮지 않도록 배치된 그래핀 층(360,380)을 포함한다. 상기 그래핀 층(360,380)은 상기 제1 광결정 공진기를 1/3을 덮을 수 있다. 상기 제1 광결정 공진기 및 상기 제2 광결정 공진기 중에서 적어도 하나는 전류 주입에 의한 발광 다이오드로 동작할 수 있다.
- [0106] 2차원 포토닉 크리스탈(103)은 제1 방향(x축) 및 제2 방향으로(y축)에 의하여 정의되는 배치평면에 배치된다. 상기 2차원 포토닉 크리스탈(103)은 상기 배치평면에 배치되는 복수의 홀들(109)을 포함한다. 상기 홀들(109)은 삼각 격자 구조를 가질 수 있다. 상기 제1 광결정 공진기 및 제2 광결정 공진기 각각은 제1 방향으로 서로 이웃

한 3 개의 홀이 제거되고, 제1 방향으로 한 쌍의 작은 홀들이 배치된 구조일 수 있다. 상기 제1 광결정 공진기(101)와 제2 광결정 공진기(102)의 구조는 동일하다.

- [0107] 상기 포토닉 크리스탈(103)은, 반도체 기판(122); 상기 반도체 기판(122) 상에서 결정으로 성장하는 식각 저지층(124); 상기 식각 저지층(124) 상에서 결정으로 성장하는 하부 희생 반도체층(126); 상기 하부 희생 반도체층(126) 상에 성장된 제1 도전형의 제1 반도체층(130); 상기 제1 반도체층(130) 상에 배치된 활성 반도체층(140); 및 상기 활성 반도체층(140) 상에 배치된 제2 도전형의 제2 반도체층(150)을 포함할 수 있다. 절연 지지부(129)은 상기 하부 희생 반도체층(126)이 제거되어 형성된 상기 캐비티(122a)의 가장자리를 채울 수 있다.
- [0108] 상기 제2 도전형의 제2 반도체층(150) 상에 절연층(155)이 배치될 수 있다. 상기 절연층은 실리콘산화막, 알루미늄 산화막, 보론나이트라이드(BN)막, 또는 하프늄 산화막일 수 있다.
- [0109] 상기 홀들(109)은 상기 제1 반도체층(130), 상기 활성 반도체층(140), 상기 제2 반도체층(150), 및 상기 절연층(155)을 관통할 수 있다. 상기 홀들(109)은 동일한 지름을 가지고 2차원적으로 주기적으로 배열되어 광결정을 제공할 수 있다. 상기 홀들(109)의 하부면은 상기 하부 희생 반도체층(126)에 형성된 공기로 채워진 캐비티(126a)에 연통될 수 있다. 상기 제1 광결정 공진기(101)는 상기 하부 희생 반도체층(126)에 형성된 제1 포스트(127a)를 포함할 수 있다. 상기 제2 광결정 공진기(102)는 상기 하부 희생 반도체층(126)에 형성된 제2 포스트(127b)를 포함할 수 있다. 상기 제1 광결정 공진기 및 상기 제2 광결정 공진기 각각은 주기적으로 배열된 홀들 중에서 일부의 홀들이 제거되거나 홀들의 지름이 상대적으로 작도록 형성될 수 있다. 상기 제1 포스트(127a) 및 상기 제2 포스트(127b)는 상기 하부 희생 반도체층(126)이 습식 식각에 의하여 제거되지 않은 영역일 수 있다. 상기 제1 포스트(127a) 및 상기 제2 포스트(127b)는 전류인가를 위한 전류 통로로 사용될 수 있다.
- [0110] 상기 제1 반도체층(130), 상기 활성 반도체층(140), 및 상기 제2 반도체층(150)은 p-i-n 다이오드 구조를 제공할 수 있다. 상기 활성 반도체층(140)은 진성 반도체 영역일 수 있다. 상기 활성 반도체층(140)은 전류 주입에 의하여 발광할 수 있다.
- [0111] 상부 전류 주입 전극(452)은 상기 제2 반도체층(150)과 오믹 접합하도록 배치되고, 제2 광결정 공진기(102) 주위에 배치될 수 있다. 하부 전류 주입 전극(121)은 상기 반도체 기판(122)의 하부면에 배치될 수 있다. 상기 상부 전류 주입 전극(452)과 상기 하부 전류 주입 전극(121) 사이에 전압을 인가하여 전류를 주입하면, 상기 제2 포스트(127b)를 통하여 전류가 흘러, 상기 활성 반도체층(140)에서 자체 발광할 수 있다.
- [0112] 상기 반도체 기판(110)은 p형으로 도핑된 InP 기판이고, 상기 식각 저지층(122)은 p형으로 도핑된 InGaAs 층이고, 상기 하부 희생 반도체층(126)은 p형으로 도핑된 InP 층일 수 있다.
- [0113] 상기 제1 도전형의 제1 반도체층(130)은 p형으로 도핑된 InGaAsP층이고, 상기 활성 반도체층(140)은 도핑되지 않은 InGaAsP층을 포함하는 양자 우물 구조일 수 있다. 상기 제2 도전형의 제2 반도체층(150)은, n형으로 도핑된 InGaAsP층일 수 있다.
- [0114] 상기 활성 반도체층(140)은 차례로 적층된 1.24Q InGaAsP층, 1.30Q InGaAsP 층, 1.65Q InGaAsP층, 1.30Q InGaAsP 층, 및 1.24Q InGaAsP층을 포함할 수 있다. 상기 활성 반도체층(140)은 단일 양자우물 구조 또는 다중 양자우물 구조일 수 있다. 1.24Q InGaAsP층은 1.24 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP층이고, 구체적으로, 1.24Q InGaAsP층은 $\text{In}_{0.76}\text{Ga}_{0.24}\text{As}_{0.85}\text{P}_{0.15}$ 일 수 있다. 1.30Q InGaAsP 층은 1.30 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP 층일 수 있다. 1.65Q InGaAsP 층은 1.65 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP 층일 수 있다.
- [0115] 상기 하부 희생 반도체층에 형성된 공기로 채워진 캐비티(126a)는 습식 식각에 의하여 상기 식각 저지층(124) 상에 상기 하부 희생 반도체층(126)의 습식 식각에 의하여 형성될 수 있다. 상기 제1 광결정 공진기(101)에서, 상기 하부 희생 반도체층(126)은 국부적으로 식각되지 않고 제1 포스트(127a)를 제공할 수 있다. 또한, 상기 제2 광결정 공진기(102)에서, 상기 하부 희생 반도체층(126)은 식각되지 않고 제2 포스트(126b)를 제공할 수 있다.
- [0116] 상기 그래핀 층(360,380)은 상기 제2 도전형의 제2 반도체층(150) 상에 배치되어, 상기 제1 광결정 공진기(101)의 광손실을 제어할 수 있다. 상기 그래핀 층(360,380)은 단일 그래핀층으로 화학 기상 증착법 등을 통하여 제작되어 절연막(155) 상에 전사될 수 있다.
- [0117] 상기 그래핀 층은, 상기 절연층(155) 또는 상기 제2 반도체층(150) 상에 배치되어, 상기 제1 광결정 공진기(101)를 부분적으로 덮는 제1 그래핀층(360); 상기 제1 그래핀층(360) 상에 배치된 층간 절연층(370); 및 상기

층간 절연층(370) 상에 배치된 제2 그래핀층(380);을 포함한다. 상기 제1 그래핀층(360)의 일부는 노출되고, 상기 제2 그래핀층(380)의 일부는 노출될 수 있다.

[0118] 상기 제어 전극(362,382)은, 상기 제1 그래핀층(360) 상에 국부적으로 배치되고 노출된 제1 제어 전극(362); 및 상기 제2 그래핀층(380) 상에 국부적으로 배치되고 노출된 제2 전극(382)을 포함한다. 상기 제1 제어 전극과 상기 제2 제어 전극 사이에 전압을 인가하여 상기 제1 그래핀층 및 제2 그래핀층의 광흡수율을 조절한다. 상기 제1 제어 전극(362) 및 상기 제2 제어 전극(382)은 상기 홀들이 배치되지 않은 제1 방향의 좌측/우측에 각각 배치될 수 있다. 상기 제1 및 제2 제어 전극은 Ti/Au 박막층을 포함할 수 있다.

[0119] 상기 제1 제어 전극(362)과 상기 제2 제어 전극(382) 사이에 게이트 전압이 인가되는 경우, 상기 제1 그래핀 층과 상기 제2 그래핀층 사이에 전압을 인가하여 상기 제1 그래핀 층 및 제2 그래핀층의 광 흡수 특성을 전기적으로 제어한다. 펌핑 광이 제공되는 경우, 상기 제어 전극(362,382)은 상기 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)는 결합 고유 모드/비결합 고유모드 또는 단일 고유 모드로 발진할 수 있다. 또한, 상기 제어 전극의 전압에 따라, 발진 파장이 변경될 수 있다.

[0120] 도 16a는 본 발명의 또 다른 실시예에 따른 광결정 소자를 나타내는 평면도이다.

[0121] 도 16b는 도 16a의 J-J' 선을 따라 자른 단면도이다.

[0122] 도 16c는 도 16a의 K-K' 선을 따라 자른 단면도이다.

[0123] 도 16d는 도 16a의 L-L' 선을 따라 자른 단면도이다.

[0124] 도 16a 내지 도 16d를 참조하면, 자체 발진 광결정 소자(600)는 외부에서 펌핑광을 제공받지 않고 자체 발광할 수 있다. 상기 광결정 소자(500)는, 이득 물질을 포함하고 제2 방향으로 서로 이격되어 배치된 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)를 가진 2차원 포토닉 크리스탈(103); 및 상기 제1 광결정 공진기(101)를 부분적으로 덮고 상기 제2 광결정 공진기를 덮지 않도록 배치된 그래핀 층(560)을 포함한다. 상기 그래핀 층(560)은 상기 제1 광결정 공진기를 1/3을 덮을 수 있다. 상기 제1 광결정 공진기 및 상기 제2 광결정 공진기 중에서 적어도 하나는 전류 주입에 의한 발광 다이오드로 동작할 수 있다.

[0125] 2차원 포토닉 크리스탈(103)은 제1 방향(x축) 및 제2 방향으로(y축)에 의하여 정의되는 배치평면에 배치된다. 상기 2차원 포토닉 크리스탈(103)은 상기 배치평면에 배치되는 복수의 홀들(109)을 포함한다. 상기 홀들(109)은 삼각 격자 구조를 가질 수 있다. 상기 제1 광결정 공진기 및 제2 광결정 공진기 각각은 제1 방향으로 서로 이웃한 3 개의 홀이 제거되고, 제1 방향으로 한 쌍의 작은 홀들이 배치된 구조일 수 있다. 상기 제1 광결정 공진기(101)와 제2 광결정 공진기(102)의 구조는 동일하다.

[0126] 상기 포토닉 크리스탈(103)은, 반도체 기판(122); 상기 반도체 기판(122) 상에서 결정으로 성장하는 식각 저지층(124); 상기 식각 저지층(124) 상에서 결정으로 성장하는 하부 희생 반도체층(126); 상기 하부 희생 반도체층(126) 상에 성장된 제1 도전형의 제1 반도체층(130); 상기 제1 반도체층(130) 상에 배치된 활성 반도체층(140); 및 상기 활성 반도체층(140) 상에 배치된 제2 도전형의 제2 반도체층(150)을 포함할 수 있다. 절연 지지부(129)은 상기 하부 희생 반도체층(126)이 제거되어 형성된 상기 케비티(122a)의 가장자리를 채울 수 있다.

[0127] 상기 제2 도전형의 제2 반도체층(150) 상에 절연층(155)이 배치될 수 있다. 상기 절연층은 실리콘산화막, 알루미늄 산화막, 보론나이트라이드(BN)막, 또는 하프늄 산화막일 수 있다.

[0128] 상기 홀들(109)은 상기 제1 반도체층(130), 상기 활성 반도체층(140), 상기 제2 반도체층(150), 및 상기 절연층(155)을 관통할 수 있다. 상기 홀들(109)은 동일한 지름을 가지고 2차원적으로 주기적으로 배열되어 광결정을 제공할 수 있다. 상기 홀들(109)의 하부면은 상기 하부 희생 반도체층(126)에 형성된 공기로 채워진 케비티(126a)에 연통될 수 있다. 상기 제1 광결정 공진기(101)는 상기 하부 희생 반도체층(126)에 형성된 제1 포스트(127a)를 포함할 수 있다. 상기 제2 광결정 공진기(102)는 상기 하부 희생 반도체층(126)에 형성된 제2 포스트(127b)를 포함할 수 있다. 상기 제1 광결정 공진기 및 상기 제2 광결정 공진기 각각은 주기적으로 배열된 홀들 중에서 일부의 홀들이 제거되거나 홀들의 지름이 상대적으로 작도록 형성될 수 있다. 상기 제1 포스트(127a) 및 상기 제2 포스트(127b)는 상기 하부 희생 반도체층(126)이 습식 식각에 의하여 제거되지 않은 영역일 수 있다. 상기 제1 포스트(127a) 및 상기 제2 포스트(127b)는 전류인가를 위한 전류 통로로 사용될 수 있다.

[0129] 상기 제1 반도체층(130), 상기 활성 반도체층(140), 및 상기 제2 반도체층(150)은 p-i-n 다이오드 구조를 제공할 수 있다. 상기 활성 반도체층(140)은 진성 반도체 영역일 수 있다. 상기 활성 반도체층(140)은 전류 주입에

의하여 발광할 수 있다.

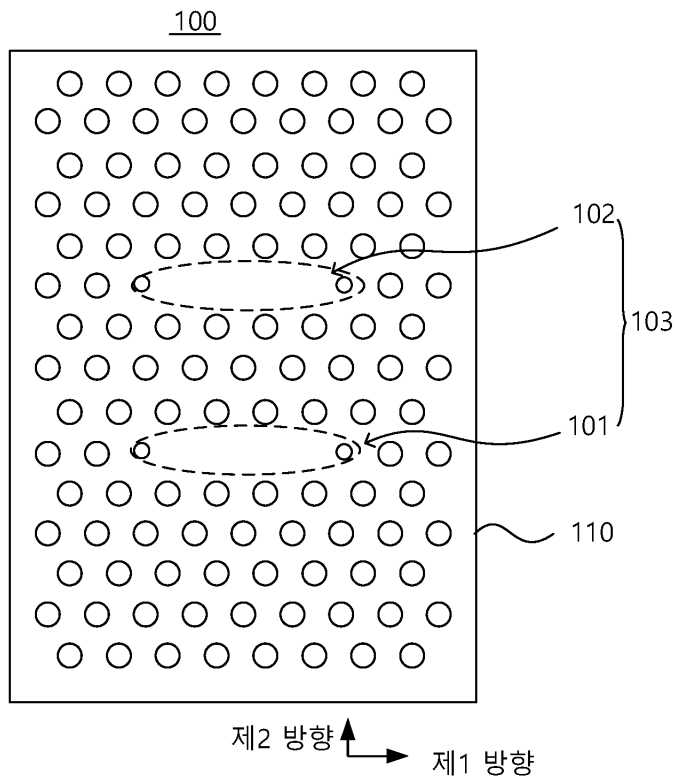
- [0130] 상부 전류 주입 전극(570)은 상기 제2 반도체층(150)과 오믹 접합하도록 배치되고, 제1 광결정 공진기(101) 주위에 배치될 수 있다. 상부 전류 주입 전극(570)은 전기적으로 접지될 수 있다. 하부 전류 주입 전극(121)은 상기 반도체 기판(122)의 하부면에 배치될 수 있다. 상기 상부 전류 주입 전극(570)과 상기 하부 전류 주입 전극(121) 사이에 전압을 인가하여 전류를 주입하면, 상기 제1 포스트(127a)를 통하여 전류가 흘러, 상기 활성 반도체층에서 자체 발광할 수 있다.
- [0131] 상기 반도체 기판(110)은 p형으로 도핑된 InP 기판이고, 상기 식각 저지층(122)은 p형으로 도핑된 InGaAs 층이고, 상기 하부 희생 반도체층(126)은 p형으로 도핑된 InP 층일 수 있다.
- [0132] 상기 제1 도전형의 제1 반도체층(130)은 p형으로 도핑된 InGaAsP층이고, 상기 활성 반도체층(140)은 도핑되지 않은 InGaAsP층을 포함하는 양자 우물 구조일 수 있다. 상기 제2 도전형의 제2 반도체층(150)은, n형으로 도핑된 InGaAsP층일 수 있다.
- [0133] 상기 활성 반도체층(140)은 차례로 적층된 1.24Q InGaAsP층, 1.30Q InGaAsP 층, 1.65Q InGaAsP층, 1.30Q InGaAsP 층, 및 1.24Q InGaAsP층을 포함할 수 있다. 상기 활성 반도체층(140)은 단일 양자우물 구조 또는 다중 양자우물 구조일 수 있다. 1.24Q InGaAsP층은 1.24 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP층이고, 구체적으로, 1.24Q InGaAsP층은 $\text{In}_{0.76}\text{Ga}_{0.24}\text{As}_{0.85}\text{P}_{0.15}$ 일 수 있다. 1.30Q InGaAsP 층은 1.30 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP 층일 수 있다. 1.65Q InGaAsP 층은 1.65 μm 의 발광을 가지도록 물 분율을 가진 InGaAsP 층일 수 있다.
- [0134] 상기 하부 희생 반도체층에 형성된 공기로 채워진 캐비티(126a)는 습식 식각에 의하여 상기 식각 저지층(124) 상에 상기 하부 희생 반도체층(126)의 습식 식각에 의하여 형성될 수 있다. 상기 제1 광결정 공진기(101)에서, 상기 하부 희생 반도체층(126)은 국부적으로 식각되지 않고 제1 포스트(127a)를 제공할 수 있다. 또한, 상기 제2 광결정 공진기(102)에서, 상기 하부 희생 반도체층(126)은 식각되지 않고 제2 포스트(126b)를 제공할 수 있다.
- [0135] 상기 그래핀 층(560)은 상기 제2 도전형의 제2 반도체층(150) 상에 배치되어, 상기 제1 광결정 공진기(101)의 광손실을 제어할 수 있다. 상기 그래핀 층(560)은 단일 그래핀층으로 화학 기상 증착법 등을 통하여 제작되어 절연막(155) 상에 전사될 수 있다.
- [0136] 상기 그래핀 층(560)은, 상기 절연층(155) 상에 배치되어, 상기 제1 광결정 공진기(101)를 부분적으로 1/3을 덮을 수 있다.
- [0137] 상기 제어 전극(562)은 상기 그래핀층(560) 상에 국부적으로 배치될 수 있다. 상기 상부 전류 주입 전극과 상기 제어 전극(562) 사이에 게이트 전압이 인가되어, 상기 그래핀층의 광흡수율을 조절한다. 상기 상기 제어 전극(562)은 상기 홀들이 배치되지 않은 제2 방향의 하측에 배치될 수 있다.
- [0138] 상기 제어 전극(562)과 상기 상부 전류 주입 전극(570) 사이에 게이트 전압이 인가되는 경우, 상기 그래핀 층에 전압을 인가하여 상기 그래핀 층의 광 흡수 특성을 전기적으로 제어한다. 펄핑 광이 제공되는 경우, 상기 제어 전극(562)은 상기 제1 광결정 공진기(101) 및 제2 광결정 공진기(102)는 결합 고유 모드/비결합 고유모드 또는 단일 고유 모드로 발진할 수 있다. 또한, 상기 제어 전극의 전압에 따라, 발진 파장이 변경될 수 있다.
- [0139] 이상에서는 본 발명을 특정의 바람직한 실시예에 대하여 도시하고 설명하였으나, 본 발명은 이러한 실시예에 한정되지 않으며, 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 특허청구범위에서 청구하는 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 실시할 수 있는 다양한 형태의 실시예들을 모두 포함한다.

부호의 설명

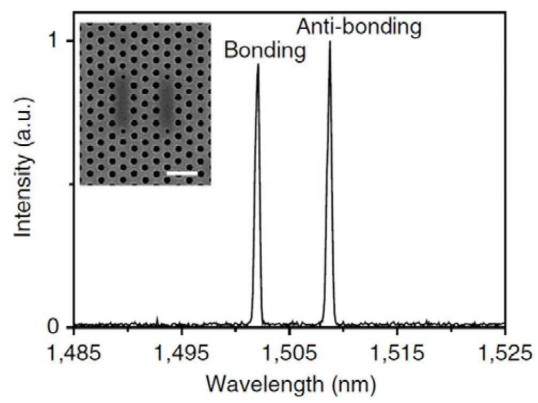
- [0140] 200: 광결정 소자(200)
101: 제1 광결정 공진기
102: 제2 광결정 공진기
260: 그래핀층
270: 이온-겔

도면

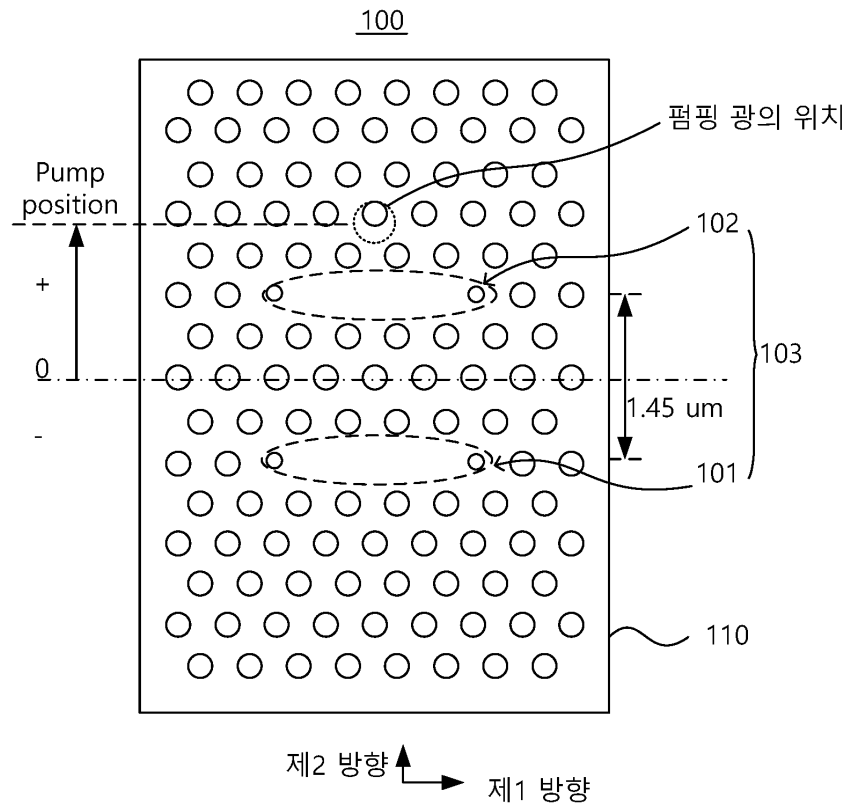
도면1



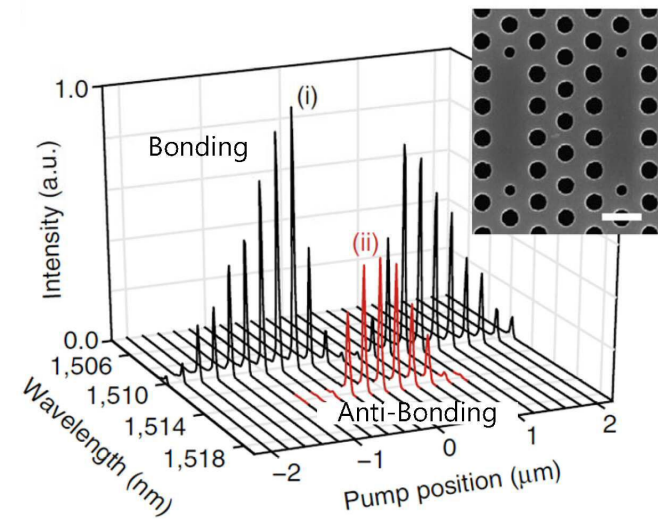
도면2



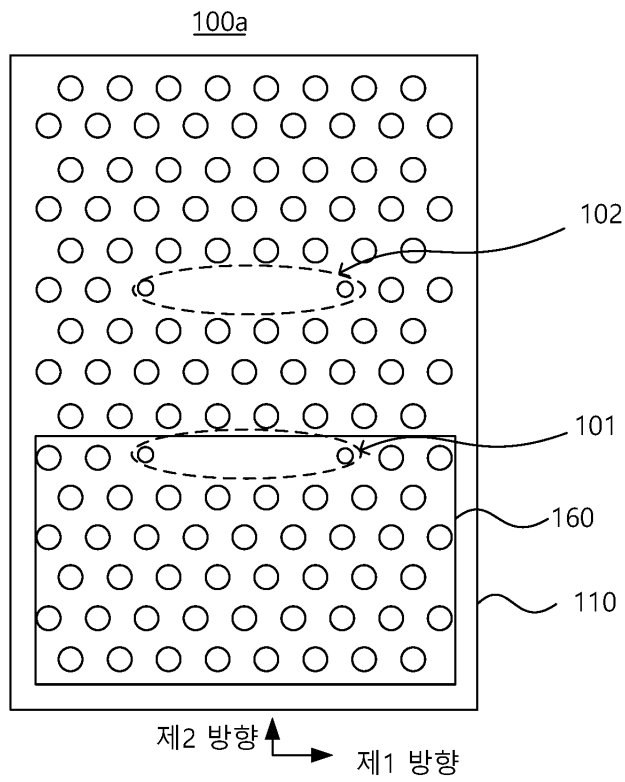
도면3



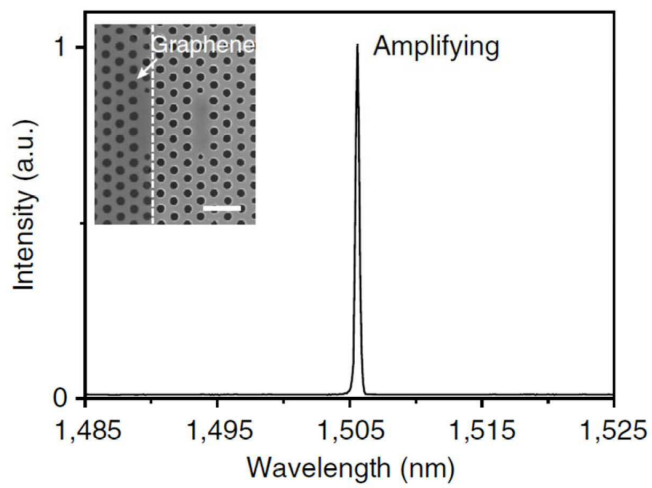
도면4



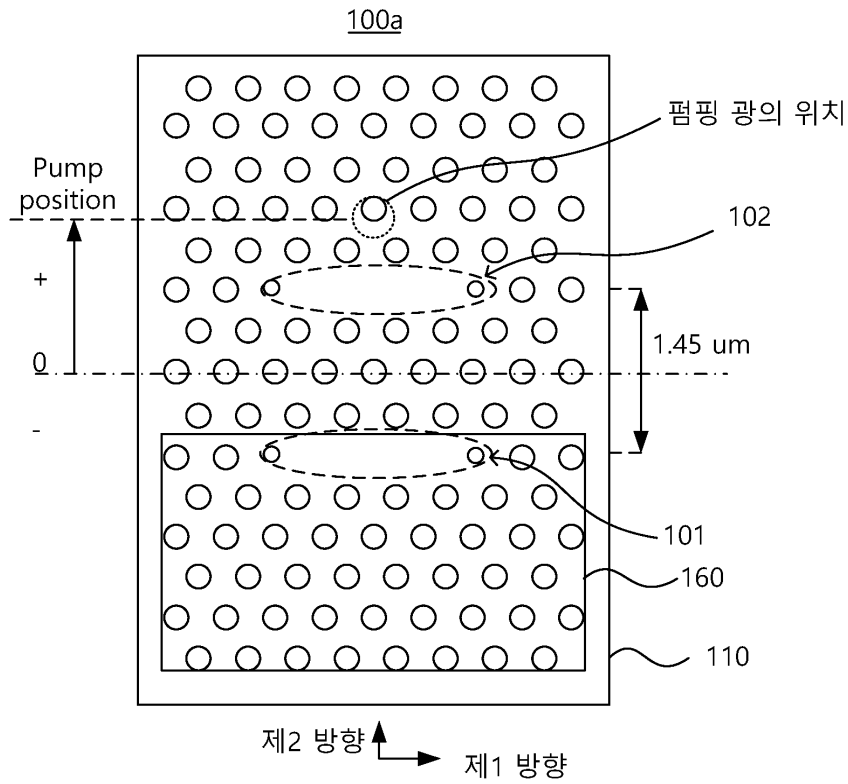
도면5



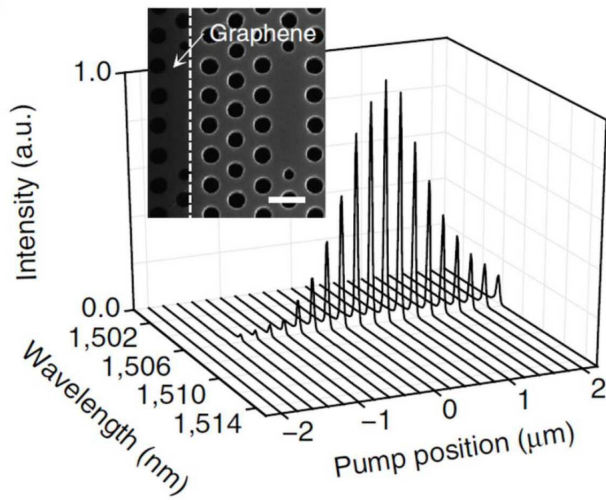
도면6



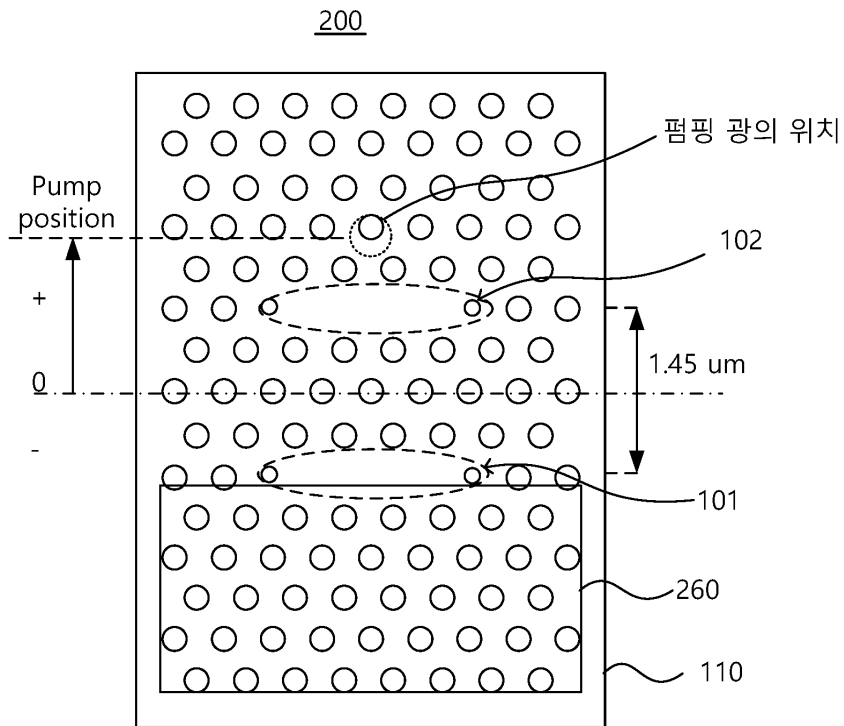
도면7



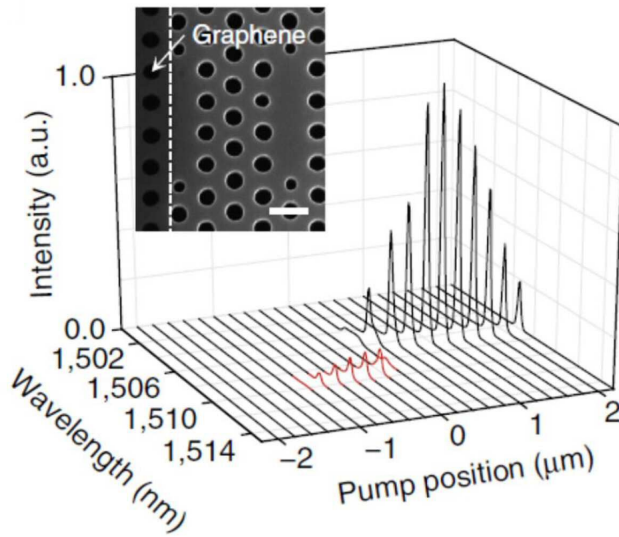
도면8



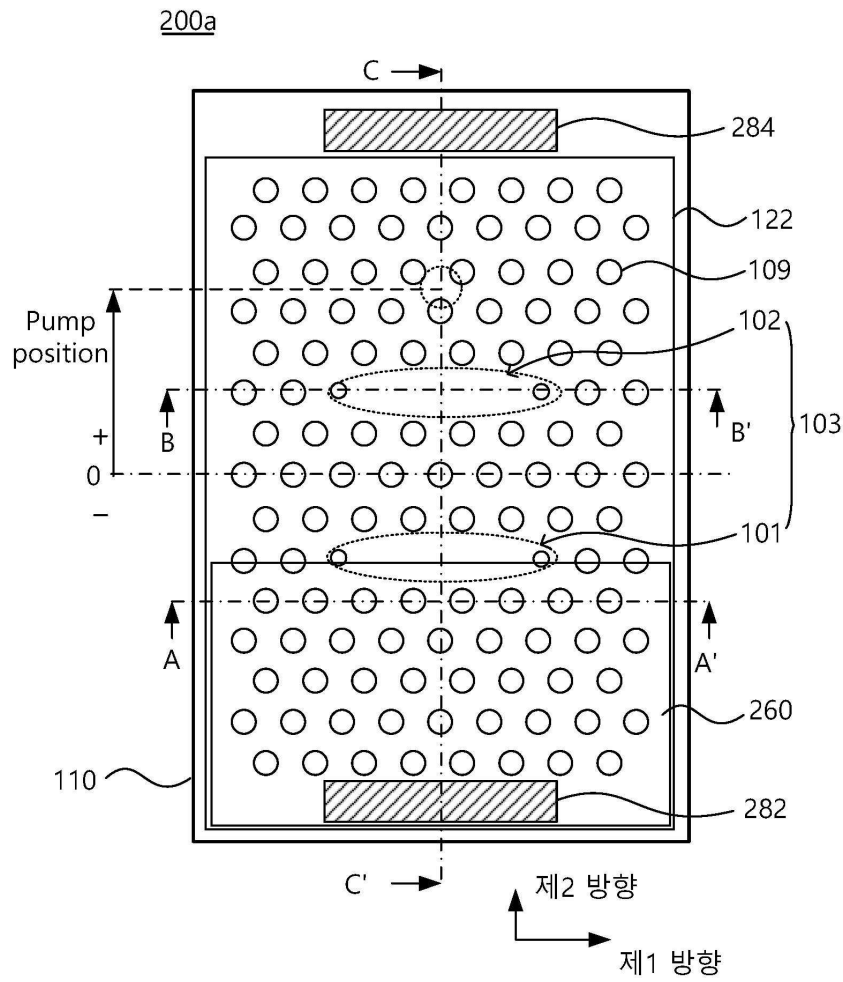
도면9



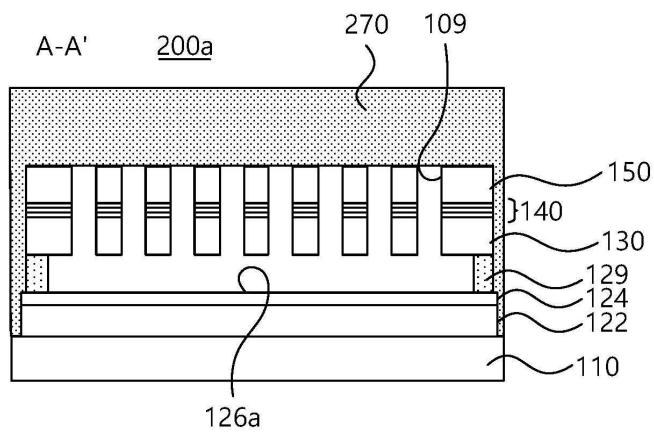
도면10



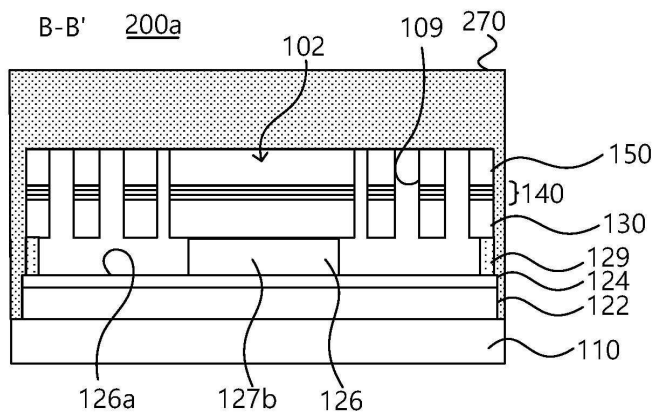
도면11a



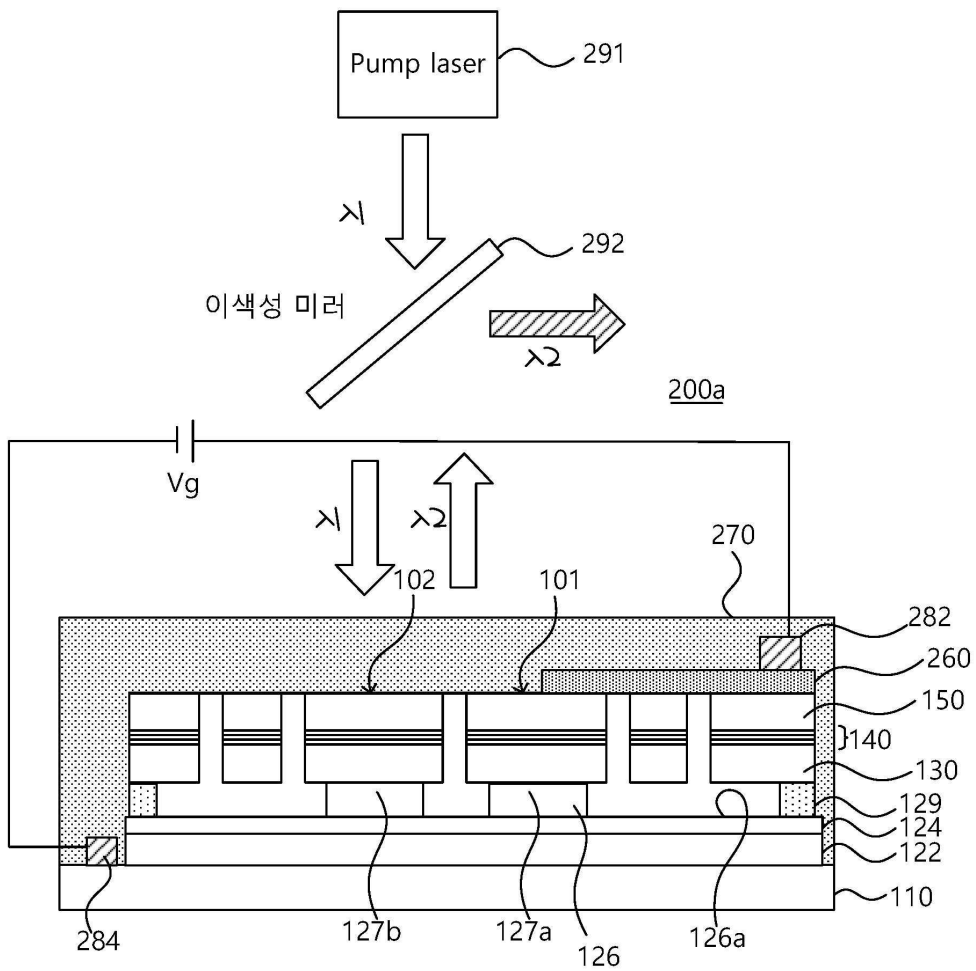
도면11b



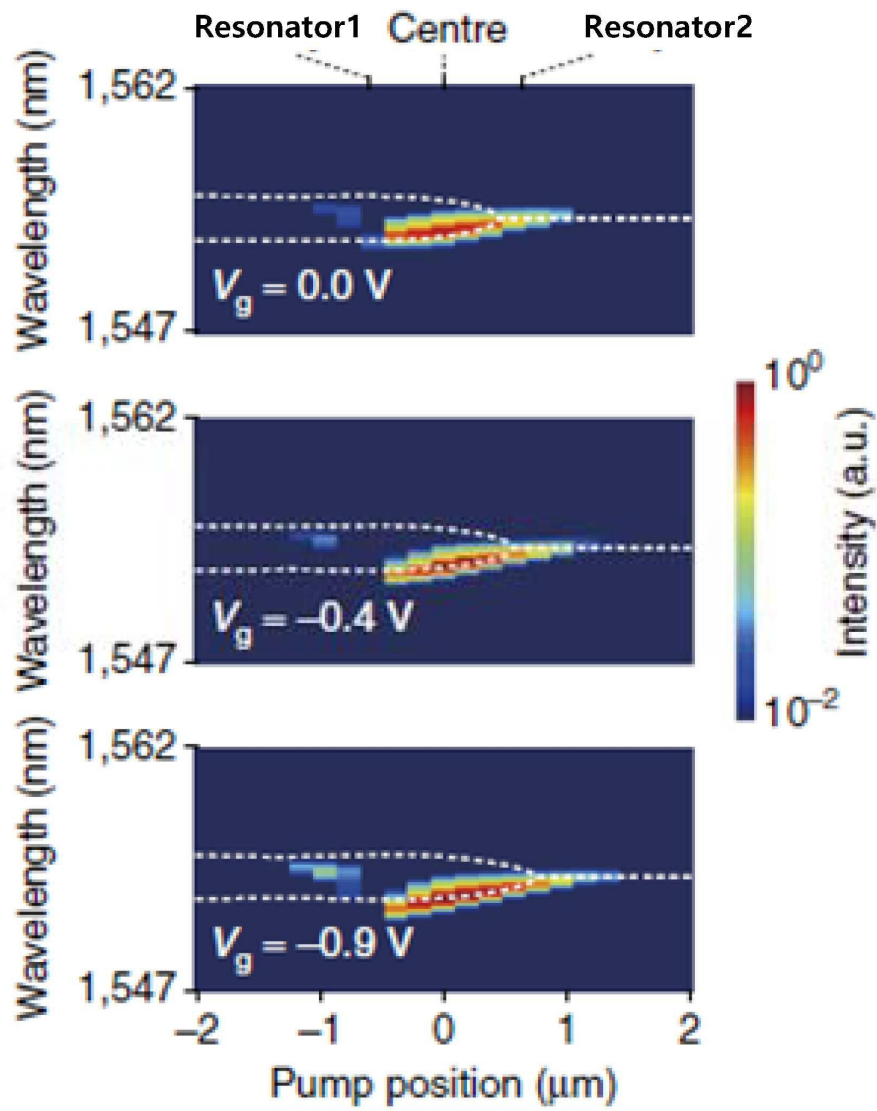
도면11c



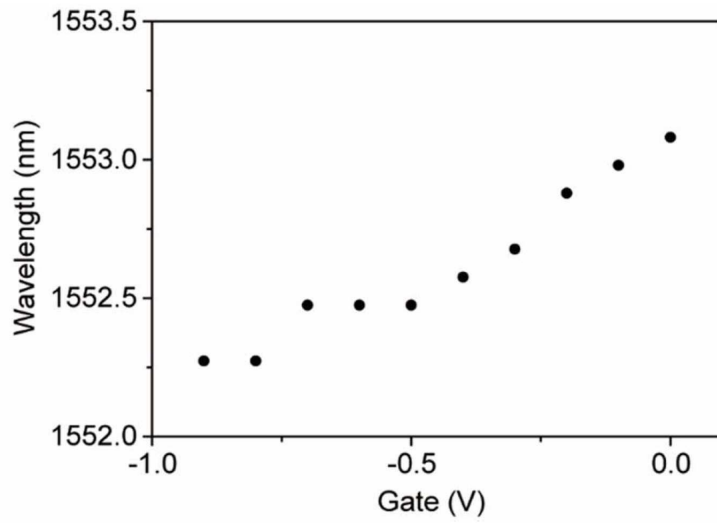
도면11d



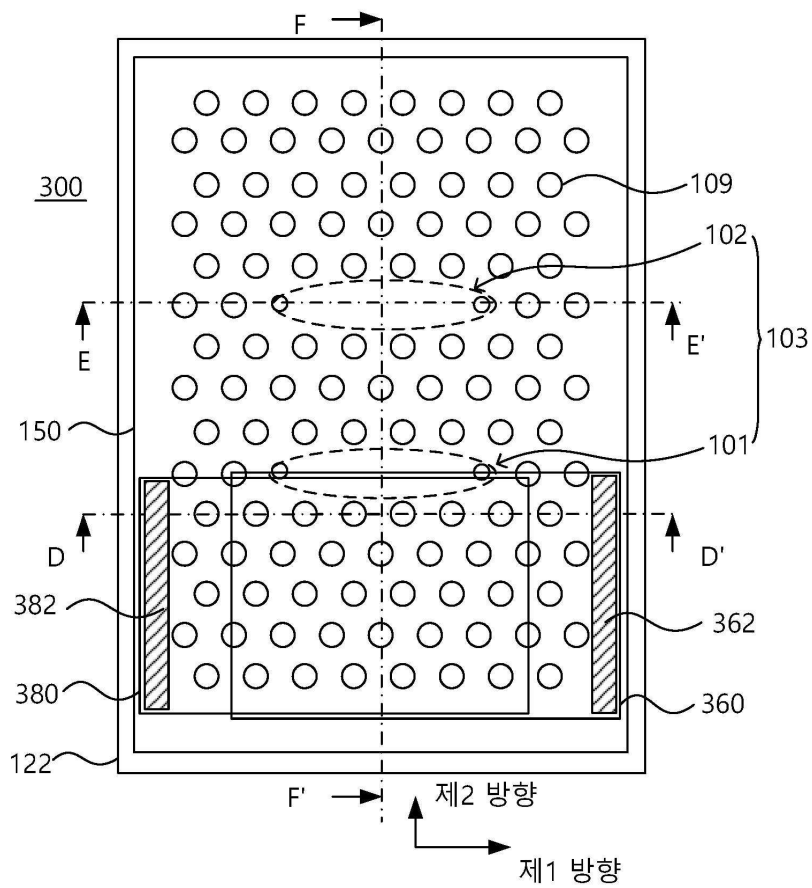
도면12



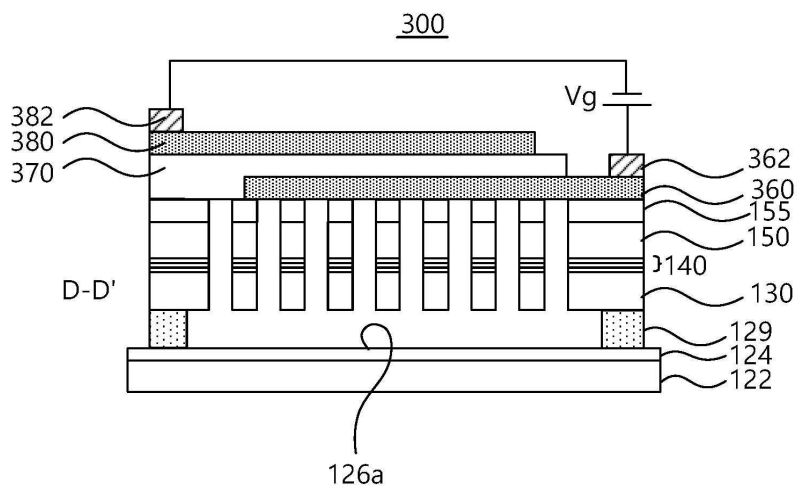
도면13



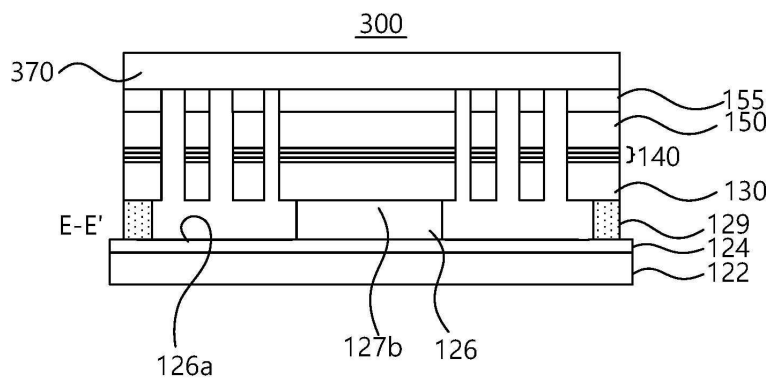
도면14a



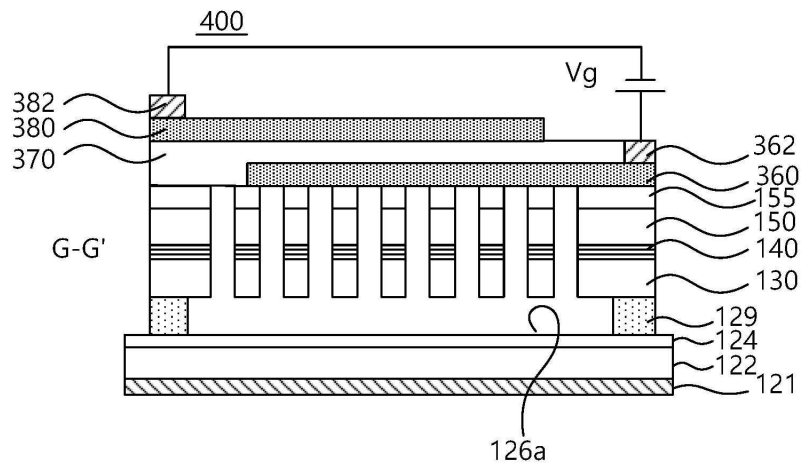
도면14b



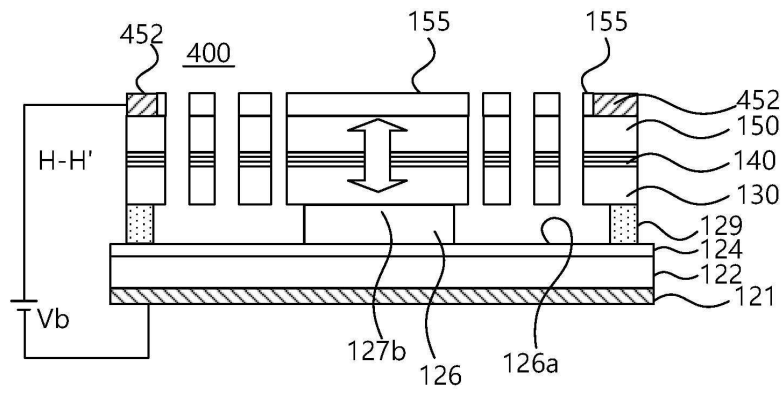
도면14c



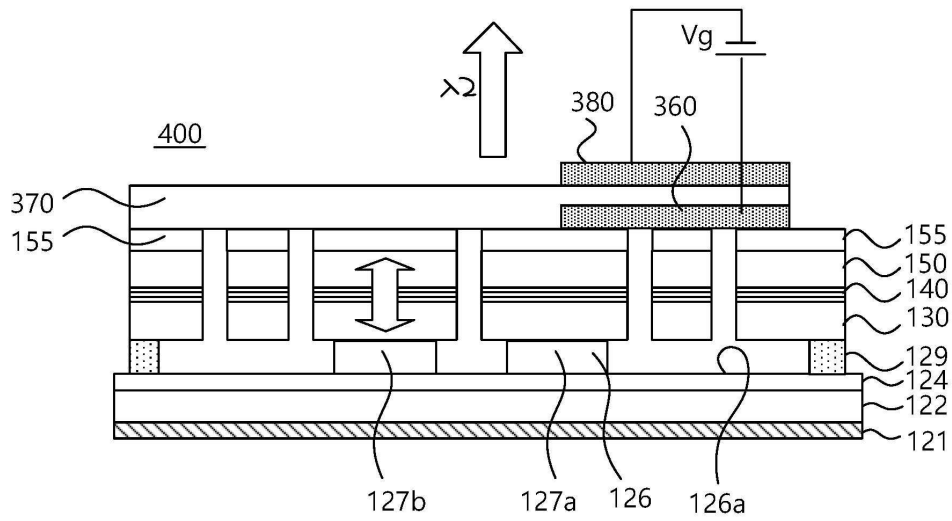
도면15b



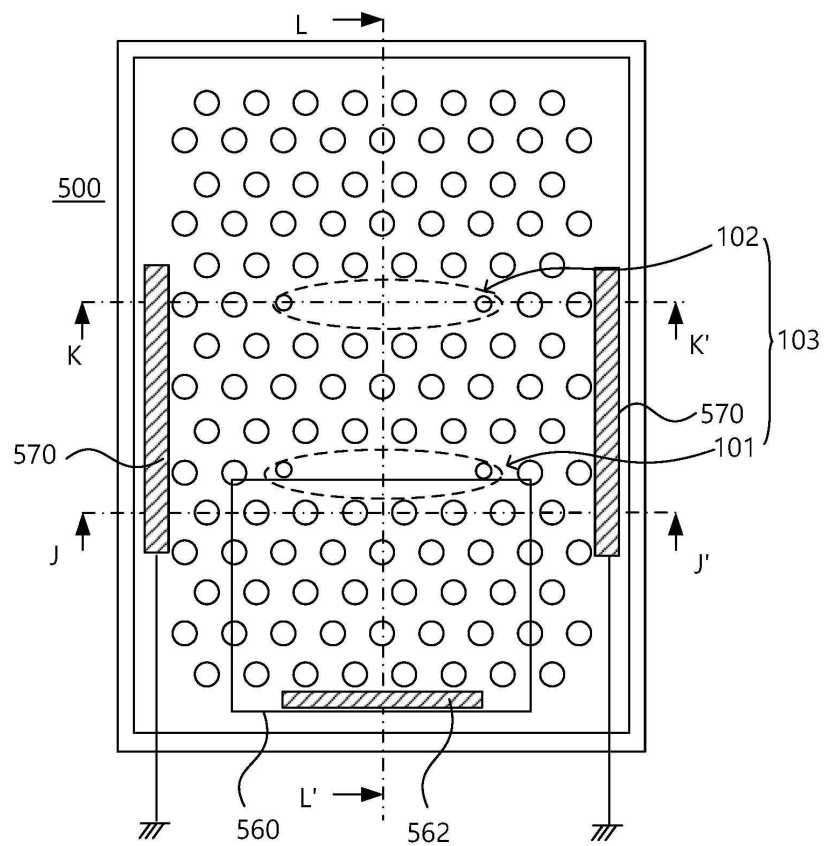
도면15c



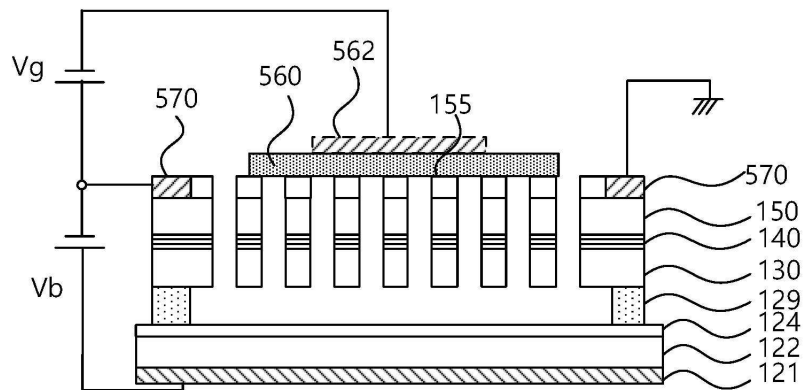
도면15d



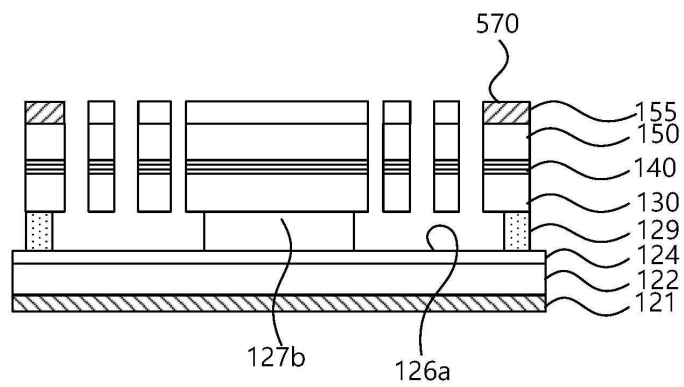
도면16a



도면 16b



도면16c



도면16d

