202425332

(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202425332 A

(43)公開日： 中華民國 113 (2024) 年 06 月 16 日

(21)申請案號：112128526 (22)申請日： 中華民國 112 (2023) 年 07 月 31 日

(51)Int. Cl.： *H01L29/772 (2006.01)* *H01L21/02 (2006.01)*
G06F30/39 (2020.01)

(30)優先權：2022/12/14 南韓 10-2022-0174700

(71)申請人：南韓商三星電子股份有限公司 (南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓

(72)發明人：羅炯住 NA, HYUNGJOO (KR) ；宋宇彬 SONG, WOO BIN (KR) ；梁辰旭 YANG, JIN-WOOK (KR) ；尹喆珍 YUN, CHEOLJIN (KR) ；原田佳尚 HARADA, YOSHINAO (JP)

(74)代理人：林孟閱；盧姵君；陳怡如

申請實體審查：無 申請專利範圍項數：10 項 圖式數：17 共 93 頁

(54)名稱

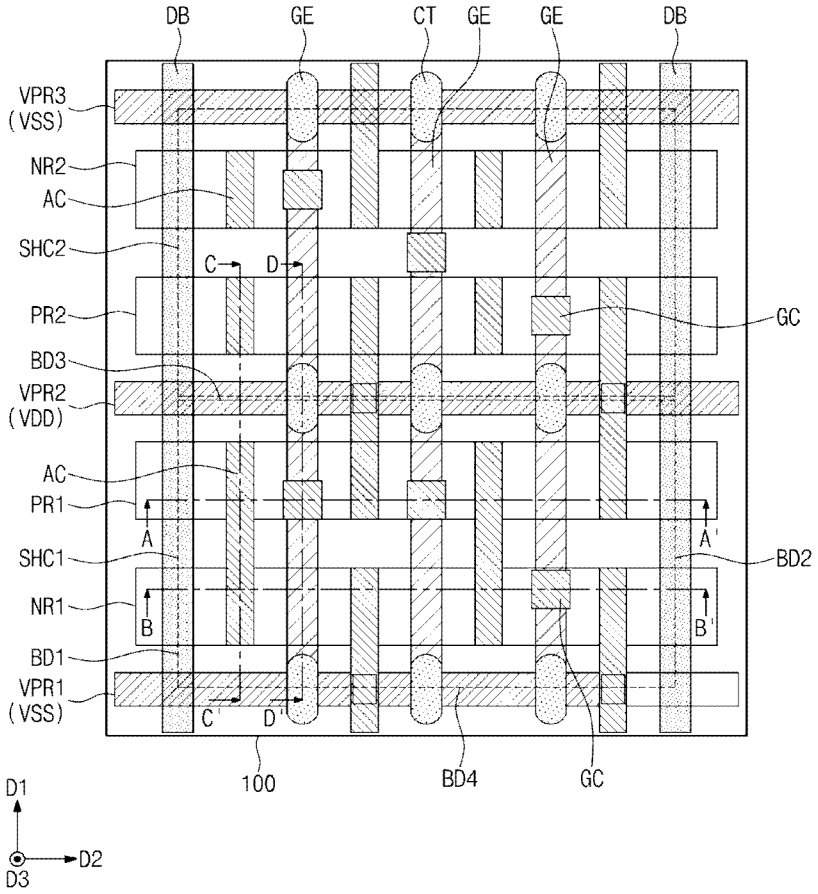
包括對準標記的半導體裝置

(57)摘要

本發明提供一種半導體裝置，包含：基底，包含主動圖案；通道圖案，位於主動圖案上，通道圖案包含彼此間隔開且豎直堆疊的多個半導體圖案；源極/汲極圖案，連接至多個半導體圖案；貫穿圖案，穿透源極/汲極圖案；金屬半導體化合物層，位於源極/汲極圖案與貫穿圖案之間；閘極電極，位於多個半導體圖案上，閘極電極包含位於多個半導體圖案中的相鄰半導體圖案之間的內部電極及位於多個半導體圖案的最上部半導體圖案上的外部電極；主動觸點，位於貫穿圖案上；以及第一金屬層，位於主動觸點上，第一金屬層包含連接至主動觸點的電力佈線及第一佈線。

A semiconductor device includes a substrate including an active pattern, a channel pattern on the active pattern, the channel pattern including a plurality of semiconductor patterns that are spaced apart from each other and are vertically stacked, a source/drain pattern connected to the plurality of semiconductor patterns, a through pattern penetrating the source/drain pattern, a metal-semiconductor compound layer between the source/drain pattern and the through pattern, a gate electrode on the plurality of semiconductor patterns, the gate electrode including inner electrodes between adjacent semiconductor patterns of the plurality of semiconductor patterns and an outer electrode on an uppermost semiconductor pattern of the plurality of semiconductor patterns, an active contact on the through pattern, and a first metal layer on the active contact, the first metal layer including a power wiring and first wirings connected to the active contact.

指定代表圖：



【圖4】

符號簡單說明：

100:基底

A-A'、B-B'、C-C'、D-D':線

AC:主動觸點

BD1:第一邊界

BD2:第二邊界

BD3:第三邊界

BD4:第四邊界

CT:閘極切割圖案

D1:第一方向

D2:第二方向

D3:第三方向

DB:分離結構

GC:閘極觸點

GE:閘極電極

NR1:第一 NMOSFET 區

NR2:第二 NMOSFET 區

PR1:第一 PMOSFET 區

PR2:第二 PMOSFET 區

SHC1:第一單高度單元

SHC2:第二單高度單元

VDD:汲極電壓

VPR1:第一下部電力佈線

VPR2:第二下部電力佈線

VPR3:第三下部電力佈線

VSS:源極電壓

【發明摘要】

【中文發明名稱】包括對準標記的半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE COMPRISING ALIGNMENT KEY

【中文】本發明提供一種半導體裝置，包含：基底，包含主動圖案；通道圖案，位於主動圖案上，通道圖案包含彼此間隔開且豎直堆疊的多個半導體圖案；源極/汲極圖案，連接至多個半導體圖案；貫穿圖案，穿透源極/汲極圖案；金屬半導體化合物層，位於源極/汲極圖案與貫穿圖案之間；閘極電極，位於多個半導體圖案上，閘極電極包含位於多個半導體圖案中的相鄰半導體圖案之間的內部電極及位於多個半導體圖案的最上部半導體圖案上的外部電極；主動觸點，位於貫穿圖案上；以及第一金屬層，位於主動觸點上，第一金屬層包含連接至主動觸點的電力佈線及第一佈線。

【英文】A semiconductor device includes a substrate including an active pattern, a channel pattern on the active pattern, the channel pattern including a plurality of semiconductor patterns that are spaced apart from each other and are vertically stacked, a source/drain pattern connected to the plurality of semiconductor patterns, a through pattern penetrating the source/drain pattern, a metal-semiconductor compound layer between the source/drain pattern and the through pattern, a gate electrode on the plurality of semiconductor patterns, the gate electrode including inner electrodes between

adjacent semiconductor patterns of the plurality of semiconductor patterns and an outer electrode on an uppermost semiconductor pattern of the plurality of semiconductor patterns, an active contact on the through pattern, and a first metal layer on the active contact, the first metal layer including a power wiring and first wirings connected to the active contact.

【指定代表圖】圖4

【代表圖之符號簡單說明】

100:基底

A-A'、B-B'、C-C'、D-D':線

AC:主動觸點

BD1:第一邊界

BD2:第二邊界

BD3:第三邊界

BD4:第四邊界

CT:閘極切割圖案

D1:第一方向

D2:第二方向

D3:第三方向

DB:分離結構

GC:閘極觸點

GE:閘極電極

NR1:第一 NMOSFET 區

NR2:第二 NMOSFET 區

PR1:第一 PMOSFET 區

PR2:第二 PMOSFET 區

SHC1:第一單高度單元

SHC2:第二單高度單元

VDD:汲極電壓

VPR1:第一下部電力佈線

VPR2:第二下部電力佈線

VPR3:第三下部電力佈線

VSS:源極電壓

【特徵化學式】

無

【發明說明書】

【中文發明名稱】包括對準標記的半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE COMPRISING ALIGNMENT KEY

【技術領域】

【0001】 本揭露的實例實施例是關於一種半導體裝置，且更尤其是關於一種包含場效電晶體的半導體裝置。

[相關申請案的交叉參考]

【0002】 本申請案是基於 2022 年 12 月 14 日在韓國智慧財產局申請的韓國專利申請案第 10-2022-0174700 號且主張所述申請案的優先權，所述韓國專利申請案的揭露內容以全文引用的方式併入本文中。

【先前技術】

【0003】 半導體裝置可包含積體電路，所述積體電路包含金屬氧化物半導體場效電晶體（metal-oxide-semiconductor field effect transistors；MOSFET）。由於半導體裝置的大小及設計規則已減少，故 MOSFET 的大小亦已按比例縮小。半導體裝置的操作特性可因 MOSFET 按比例縮小而劣化。因此，對於半導體裝置進行進一步研究以克服由高整合密度所引起的限制且改良性能。

【0004】 此背景技術部分中所揭露的資訊在達成本申請案的實施例的過程之前或期間已被本發明人知曉或得出，或為在達成實施例的過程中所獲取的技術資訊。因此，所述資訊可含有未形成已由

公眾知曉的先前技術的資訊。

【發明內容】

【0005】 本發明提供一種具有改良電特性且改良可靠性的半導體裝置。

【0006】 額外態樣將部分地闡述於以下描述中且部分地將自描述中顯而易見，或可藉由實踐所呈現的實施例來獲悉。

【0007】 根據實例實施例的態樣，半導體裝置可包含：基底，包含主動圖案；通道圖案，位於主動圖案上，通道圖案包含彼此間隔開且豎直堆疊的多個半導體圖案；源極/汲極圖案，連接至多個半導體圖案；貫穿圖案，穿透源極/汲極圖案；層間絕緣層，位於源極/汲極圖案上；金屬半導體化合物層，位於源極/汲極圖案與貫穿圖案之間；閘極電極，位於多個半導體圖案上，閘極電極包含多個半導體圖案中的相鄰半導體圖案之間的內部電極及位於多個半導體圖案的最上部半導體圖案上的外部電極；主動觸點，位於貫穿圖案上；以及第一金屬層，位於主動觸點上，所述第一金屬層包含連接至主動觸點的電力佈線及第一佈線，其中貫穿圖案的上部表面低於層間絕緣層的上部表面。

【0008】 根據實例實施例的態樣，半導體裝置可包含：基底，包含主動圖案；通道圖案，位於主動圖案上，通道圖案包含彼此間隔開且豎直堆疊的多個半導體圖案；源極/汲極圖案，連接至多個半導體圖案；貫穿圖案，穿透源極/汲極圖案；金屬半導體化合物層，位於源極/汲極圖案與貫穿圖案之間；主動觸點，位於貫穿圖案上；以及內埋連接件，位於基底中且連接至貫穿圖案，其中主動觸點可

與貫穿圖案對準且可連接至貫穿圖案的上部表面，且內埋連接件可與貫穿圖案對準且可連接至貫穿圖案的底部表面。

【0009】 根據實例實施例的態樣，半導體裝置可包含：基底，包含主動區；裝置隔離層，界定主動區上的主動圖案；源極/汲極圖案，位於主動圖案上；通道圖案，位於主動圖案上，通道圖案包含彼此間隔開且豎直堆疊的多個半導體圖案；閘極電極，位於多個半導體圖案上，閘極電極包含多個半導體圖案中的相鄰半導體圖案之間的內部電極及位於多個半導體圖案的最上部半導體圖案上的外部電極；閘極絕緣層；位於相鄰半導體圖案與閘極電極之間；閘極間隔件，位於閘極電極的側壁；閘極頂蓋圖案，位於閘極電極的上部表面上；閘極切割圖案，穿透閘極電極；貫穿圖案，穿透源極/汲極圖案且連接至源極/汲極圖案；金屬半導體化合物層，位於源極/汲極圖案與貫穿圖案之間；層間絕緣層，至少部分地覆蓋源極/汲極圖案、閘極頂蓋圖案以及貫穿圖案；主動觸點，穿透層間絕緣層以使得主動觸點連接至貫穿圖案；閘極觸點，穿透層間絕緣層及閘極頂蓋圖案以使得閘極觸點連接至閘極電極；第一金屬層，位於層間絕緣層上，第一金屬層包含分別連接至主動觸點及閘極觸點的電力佈線及第一佈線；第二金屬層，位於第一金屬層上，第二金屬層包含連接至第一金屬層的第二佈線；內埋連接件，自貫穿圖案朝向基底的底部表面延伸；內埋間隔件，位於內埋連接件的側面；背側互連層，位於基底的底部表面上，背側互連層連接至內埋連接件；以及電力傳輸網路層，位於背側互連層的底部表面上，其中主動觸點、貫穿圖案以及內埋連接件可與彼此在垂直於基底的表面的方向上對準。

【圖式簡單說明】

【0010】 本揭露內容的某些實例實施例的上述及其他態樣、特徵以及優勢將自結合隨附圖式所進行的以下描述而變得更加顯而易見，在隨附圖式中：

圖 1、圖 2 以及圖 3 為示出根據本揭露的實施例的半導體裝置的邏輯單元的圖式。

圖 4 為示出根據本揭露的實施例的半導體裝置的平面圖。

圖 5A、圖 5B、圖 5C 以及圖 5D 為根據本揭露的實施例的分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取的橫截面圖。

圖 6A、圖 6B、圖 7A、圖 7B、圖 8A、圖 8B、圖 9A、圖 9B、圖 9C、圖 10A、圖 10B、圖 10C、圖 11A、圖 11B、圖 11C、圖 11D、圖 12A、圖 12B、圖 12C、圖 12D、圖 13A、圖 13B、圖 13C、圖 14A、圖 14B 以及圖 14C 為示出根據本揭露的實施例的製造半導體裝置的方法的橫截面圖。

圖 15A、圖 15B 以及圖 15C 示出根據本揭露的實施例的圖 5A 的區『M』的實施例的放大圖。

圖 16A 及圖 16B 為示出根據本揭露的實施例的圖 15A 的其他實施例的放大圖。

圖 17A、圖 17B 以及圖 17C 為示出根據本揭露的實施例的半導體裝置的橫截面圖。

【實施方式】

【0011】 在下文中，將參考隨附圖式詳細地描述本發明的實例實施例。在圖式中針對相同組件使用相同附圖標號，且將省略對所述組件的冗餘描述。本文中所描述的實施例為實例實施例，且因此，本揭露不限於此且可以各種其他形式實現。

【0012】 如本文中所使用，諸如「...中的至少一者」的表述在位於元件清單之前時修飾整個元件清單，而並不修飾清單中的個別元件。舉例而言，表述「a、b 以及 c 中的至少一者」應理解為僅包含 a、僅包含 b、僅包含 c、包含 a 及 b 兩者、包含 a 及 c 兩者、包含 b 及 c 兩者或包含 a、b 以及 c 中的所有。

【0013】 圖 1、圖 2 以及圖 3 為示出根據本揭露的實施例的半導體裝置的邏輯單元的圖式。

【0014】 參考圖 1，可提供單高度單元 SHC。第一低電力佈線 VPR1 及第二低電力佈線 VPR2 可設置於基底 100 的下部部分上。第一低電力佈線 VPR1 可為通路，經由所述通路提供源極電壓 VSS（例如，接地電壓）。第二低電力佈線 VPR2 可為通路，經由所述通路提供汲極電壓 VDD（例如，電源電壓）。

【0015】 可在第一低電力佈線 VPR1 與第二低電力佈線 VPR2 之間界定單高度單元 SHC。單高度單元 SHC 可包含一個 p 型金屬氧化物半導體場效電晶體（MOSFET）（p-type metal-oxide-semiconductor field effect transistor；PMOSFET）區 PR 及一個 n 型 MOSFET（n-type MOSFET；NMOSFET）區 NR。亦即，單高度單元 SHC 可具有設置於第一低電力佈線 VPR1 與第二低電力佈線 VPR2 之間的互補金屬氧化物半導體（complementary metal-oxide semiconductor；CMOS）結構。

【0016】 PMOSFET 區 PR 及 NMOSFET 區 NR 中的各者可在第一方向 D1 上具有第一寬度。單高度單元 SHC 在第一方向 D1 上的長度可界定為第一高度 HE1。第一高度 HE1 可實質上等於第一低電力佈線 VPR1 與第二低電力佈線 VPR2 之間的距離（例如，節距）。

【0017】 單高度單元 SHC 可構成一個邏輯單元。邏輯單元可指執行特定功能的邏輯元件（例如，AND、OR、XOR、XNOR、反相器等）。亦即，邏輯單元可包含構成邏輯元件的電晶體及將電晶體彼此連接的佈線。

【0018】 參考圖 2，可提供雙倍高度單元 DHC。第一低電力佈線 VPR1、第二低電力佈線 VPR2，以及第三低電力佈線 VPR3 可設置於基底 100 上。第二低電力佈線 VPR2 可安置於第一低電力佈線 VPR1 與第三低電力佈線 VPR3 之間。第三低電力佈線 VPR3 可為通路，經由所述通路提供源極電壓 VSS。

【0019】 可在第一低電力佈線 VPR1 與第三低電力佈線 VPR3 之間界定雙倍高度單元 DHC。雙倍高度單元 DHC 可包含第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2。

【0020】 第一 NMOSFET 區 NR1 可鄰近於第一低電力佈線 VPR1。第二 NMOSFET 區 NR2 可鄰近於第三低電力佈線 VPR3。第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 可鄰近於第二低電力佈線 VPR2。在平面圖中，第二低電力佈線 VPR2 可安置於第一 PMOSFET 區 PR1 與第二 PMOSFET 區 PR2 之間。

【0021】 雙倍高度單元 DHC 在第一方向 D1 上的長度可界定為第

二高度 HE2。第二高度 HE2 可為圖 1 的第一高度 HE1 的約兩倍。雙倍高度單元 DHC 的第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 可分組在一起以作為一個 PMOSFET 區操作。因此，雙倍高度單元 DHC 的 PMOS 電晶體的通道大小可大於圖 1 的單高度單元 SHC 的 PMOS 電晶體的通道大小。

【0022】 舉例而言，雙倍高度單元 DHC 的 PMOS 電晶體的通道大小可為單高度單元 SHC 的 PMOS 電晶體的通道大小的約兩倍。因此，雙倍高度單元 DHC 可以比單高度單元 SHC（例如，圖 1 的 SHC）更高的速度操作。在本揭露中，圖 2 中所繪示的雙倍高度單元 DHC 可界定為多高度單元。多高度單元可包含具有單高度單元 SHC 的單元高度的約三倍的單元高度的三倍高度單元。

【0023】 參考圖 3，第一單高度單元 SHC1、第二單高度單元 SHC2 以及雙倍高度單元 DHC 可二維地安置於基底 100 上。第一單高度單元 SHC1 可安置於第一低電力佈線 VPR1 與第二低電力佈線 VPR2 之間。第二單高度單元 SHC2 可安置於第二下部電力佈線 VPR2 與第三下部電力佈線 VPR3 之間。第二單高度單元 SHC2 可在第一方向 D1 上鄰近於第一單高度單元 SHC1。

【0024】 雙高度單元 DHC 可安置於第一下部電力佈線 VPR1 與第三下部電力佈線 VPR3 之間。雙倍高度單元 DHC 可在第二方向 D2 上鄰近於第一單高度單元 SHC1 及第二單高度單元 SHC2。

【0025】 分離結構 DB 可設置於第一單高度單元 SHC1 與雙倍高度單元 DHC 之間及第二單高度單元 SHC2 與雙倍高度單元 DHC 之間。雙倍高度單元 DHC 的主動區可藉由分離結構 DB 而與第一單高度單元 SHC1 及第二單高度單元 SHC2 中的各者的主動區電

分離。

【0026】 圖 4 為示出根據本揭露的實施例的半導體裝置的平面圖。圖 5A、圖 5B、圖 5C 以及圖 5D 為根據本揭露的實施例的分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取的橫截面圖。圖 4 至圖 5D 中所示出的半導體裝置為圖 3 的第一單高度單元 SHC1 及第二單高度單元 SHC2 更詳細的實例。

【0027】 參考圖 4 及圖 5A 至圖 5D，第一單高度單元 SHC1 及第二單高度單元 SHC2 可設置於基底 100 上。構成邏輯電路的邏輯電晶體可安置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的各者上。基底 100 可為包含矽、鍺、矽鍺或類似者的半導體基底，或可為化合物半導體基底。舉例而言，基底 100 可為矽基底。

【0028】 基底 100 可具有第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2。第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2 中的各者可在第二方向 D2 上延伸。第一單高度單元 SHC1 可包含第一 NMOSFET 區 NR1 及第一 PMOSFET 區 PR1，且第二單高度單元 SHC2 可包含第二 PMOSFET 區 PR2 及第二 NMOSFET 區 NR2。

【0029】 第一主動圖案 AP1 及第二主動圖案 AP2 可由形成於基底 100 的上部表面上的溝槽 TR 界定。第一主動圖案 AP1 可設置於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的各者上。第二主動圖案 AP2 可設置於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的各者上。第一主動圖案 AP1 及第二主動圖案 AP2 可在第二方向 D2 上延伸。第一主動圖案 AP1 及第二主動圖案 AP2

可為基底 100 的部分且可為豎直突出部分。

【0030】 裝置隔離層 ST 可填充溝槽 TR。裝置隔離層 ST 可包含氧化矽層。裝置隔離層 ST 可不覆蓋第一通道圖案 CH1 及第二通道圖案 CH2。

【0031】 第一通道圖案 CH1 可設置於第一主動圖案 AP1 上。第二通道圖案 CH2 可設置於第二主動圖案 AP2 上。第一通道圖案 CH1 及第二通道圖案 CH2 中的各者可包含依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可在豎直方向（亦即，第三方向 D3）上彼此間隔開。

【0032】 第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的各者可包含矽（Si）、鍺（Ge）或矽鍺（SiGe）。舉例而言，第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的各者可包含結晶矽。第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可為奈米薄片。

【0033】 多個第一源極/汲極圖案 SD1 可設置於第一主動圖案 AP1 上。多個第一凹部 RS1 可形成於第一主動圖案 AP1 上。第一源極/汲極圖案 SD1 可分別設置於第一凹部 RS1 中。第一源極/汲極圖案 SD1 可為第一導電類型（例如，p 型）的雜質區。第一通道圖案 CH1 可插入於一對第一源極/汲極圖案 SD1 之間。亦即，堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可將一對第一源極/汲極圖案 SD1 彼此連接。

【0034】 多個第二源極/汲極圖案 SD2 可設置於第二主動圖案 AP2 上。多個第二凹部 RS2 可形成於第二主動圖案 AP2 上。第二源極

/汲極圖案 SD2 可分別設置於第二凹部 RS2 中。第二源極/汲極圖案 SD2 可為第二導電類型（例如，n 型）的雜質區。第二通道圖案 CH2 可插入於一對第二源極/汲極圖案 SD2 之間。亦即，堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可將一對第二源極/汲極圖案 SD2 彼此連接。

【0035】 第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 可為經由選擇性磊晶成長（selective epitaxial growth；SEG）製程形成的磊晶圖案。舉例而言，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的各者的上部表面可定位於與第三半導體圖案 SP3 的上部表面實質上相同的層級處。作為另一實例，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的各者的上部表面可高於第三半導體圖案 SP3 的上部表面。

【0036】 第一源極/汲極圖案 SD1 可包含具有大於基底 100 的半導體元件的晶格常數的晶格常數的半導體元件（例如，SiGe）。因此，一對第一源極/汲極圖案 SD1 可為其間的第一通道圖案 CH1 提供壓縮應力。第二源極/汲極圖案 SD2 可包含與基底 100 相同的半導體元件（例如，Si）。

【0037】 第一源極/汲極圖案 SD1 中的各者可包含緩衝層 BFL 及緩衝層 BFL 上的主層 MAL。參考圖 5A，緩衝層 BFL 可覆蓋第一凹部 RS1 的內壁。在一個實施例中，緩衝層 BFL 可具有實質上保形的厚度。舉例而言，第一凹部 RS1 的底部上的緩衝層 BFL 在第三方向 D3 上的厚度可實質上等於第一凹部 RS1 的上部部分上的緩衝層 BFL 在第二方向 D2 上的厚度。

【0038】 在另一實施例中，緩衝層 BFL 的厚度可自下部部分至上

部部分減少。舉例而言，第一凹部 RS1 的底部上的緩衝層 BFL 在第三方向 D3 上的厚度可大於第一凹部 RS1 的上部部分上的緩衝層 BFL 在第二方向 D2 上的厚度。緩衝層 BFL 可沿著第一凹部 RS1 的輪廓具有 U 形。

【0039】 主層 MAL 可填充除了緩衝層 BFL 的第一凹部 RS1 的剩餘區的大部分。主層 MAL 的體積可大於緩衝層 BFL 的體積。緩衝層 BFL 及主層 MAL 中的各者可包含矽鍺（SiGe）。緩衝層 BFL 可含有濃度相對較低的鍺（Ge）。在本揭露的另一實施例中，緩衝層 BFL 可僅含有矽（Si）而不包含鍺（Ge）。緩衝層 BFL 中鍺（Ge）的濃度可為約 0 原子%（atomic%；at%）至約 10 原子%。

【0040】 主層 MAL 可含有濃度相對較高的鍺（Ge）。舉例而言，主層 MAL 中鍺（Ge）的濃度可為約 30 原子%至約 70 原子%。主層 MAL 中的鍺（Ge）濃度可在第三方向 D3 上增加。舉例而言，鄰近於緩衝層 BFL 的主層 MAL 可具有約 40 原子%的鍺（Ge）濃度，而主層 MAL 的上部部分可具有約 60 原子%的鍺（Ge）濃度。

【0041】 緩衝層 BFL 及主層 MAL 中的各者可包含使第一源極/汲極圖案 SD1 具有 p 型的雜質（例如，硼、鎵或銦）。緩衝層 BFL 及主層 MAL 中的各者的雜質濃度可為約 $1x10^{18}$ 原子/立方公分至約 $5x10^{22}$ 原子/立方公分。主層 MAL 的雜質濃度可大於緩衝層 BFL 的雜質濃度。

【0042】 緩衝層 BFL 可避免基底 100（亦即，第一主動圖案 AP1）與主層 MAL 之間及第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 與主層 MAL 之間的堆疊缺陷。在堆疊缺陷產生時，可提高通道電阻。緩衝層 BFL 可在用如下文將描述的閘

極電極 GE 的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3 替換第二半導體層 SAL 的製程期間保護主層 MAL。亦即，緩衝層 BFL 可避免移除第二半導體層 SAL 的蝕刻材料穿透至主層 MAL 中且蝕刻主層 MAL。

【0043】 第二源極/汲極圖案 SD2 中的各者可包含矽（Si）。第二源極/汲極圖案 SD2 可更包含使第二源極/汲極圖案 SD2 為 n 型的雜質（例如，磷、砷或銻）。第二源極/汲極圖案 SD2 的雜質濃度可為約 $1x10^{18}$ 原子/立方公分至約 $5x10^{22}$ 原子/立方公分。

【0044】 半導體裝置可包含多閘極電極 GE。閘極電極 GE 可設置成跨越第一通道圖案 CH1 及第二通道圖案 CH2 且在第一方向 D1 上延伸。閘極電極 GE 可在第二方向 D2 上以第一節距配置。閘極電極 GE 可與第一通道圖案 CH1 及第二通道圖案 CH2 豎直地重疊。

【0045】 閘極電極 GE 中的各者可包含插入於主動圖案 AP1 或主動圖案 AP2 與第一半導體圖案 SP1 之間的第一內部電極 PO1、插入於第一半導體圖案 SP1 與第二半導體圖案 SP2 之間的第二內部電極 PO2、插入於第二半導體圖案 SP2 與第三半導體圖案 SP3 之間的第三內部電極 PO3 以及位於第三半導體圖案 SP3 上的外部電極 PO4。

【0046】 參考圖 5D，閘極電極 GE 中的各者（亦即，各閘極電極 GE 的 PO1 至 PO4）可共同地設置於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的各者的上部表面 TS、底部表面 BS 以及的兩個側壁 SW 上。亦即，根據本實施例的電晶體可為三維場效電晶體（field effect transistor；FET）（例如，多重

橋接通道 FET（multi-bridge channel FET；MBCFET）、全繞式閘極 FET（gate-all-around FET；GAAFET）等），其中所述閘極電極以三維方式包圍通道。

【0047】 第一單高度單元 SHC1 可具有在第二方向 D2 上彼此面對的第一邊界 BD1 及第二邊界 BD2。第一邊界 BD1 及第二邊界 BD2 可在第一方向 D1 上延伸。第一單高度單元 SHC1 可具有在第一方向 D1 上彼此面對的第三邊界 BD3 及第四邊界 BD4。第三邊界 BD3 及第四邊界 BD4 可在第二方向 D2 上延伸。

【0048】 閘極切割圖案 CT 可在第二方向 D2 上安置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的各者的邊界上。舉例而言，閘極切割圖案 CT 可安置於第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上。閘極切割圖案 CT 可沿著第三邊界 BD3 以第一節距配置。閘極切割圖案 CT 可沿著第四邊界 BD4 一第一節距配置。在平面圖中，第三邊界 BD3 及第四邊界 BD4 上的閘極切割圖案 CT 可經安置以在閘極電極 GE 上彼此重疊。閘極切割圖案 CT 可包含諸如氧化矽層、氮化矽層或其組合的絕緣材料。

【0049】 第一單高度單元 SHC1 上的閘極電極 GE 可藉由閘極切割圖案 CT 與第二單高度單元 SHC2 上的閘極電極 GE 分離。閘極切割圖案 CT 可插入於在第一方向 D1 上對準的第一單高度單元 SHC1 上的閘極電極 GE 與第二單高度單元 SHC2 上的閘極電極 GE 之間。亦即，可藉由閘極切割圖案 CT 將在第一方向 D1 上延伸的閘極電極分離成多個閘極電極 GE。

【0050】 一對閘極間隔件 GS 可分別安置於外部電極 PO4 的兩個側壁上。閘極間隔件 GS 可在第一方向 D1 上沿著閘極電極 GE 延

伸。閘極間隔件 GS 的上部表面可高於閘極電極 GE 的上部表面。閘極間隔件 GS 的上部表面可與稍後將描述的第一層間絕緣層 110 的上部表面共面。閘極間隔件 GS 可包含 SiCN、SiCON 以及 SiN 中的至少一者。作為另一實例，閘極間隔件 GS 可包含由 SiCN、SiCON 以及 SiN 中的至少兩者構成的多層。

【0051】 閘極頂蓋圖案 GP 可設置於閘極電極 GE 上（例如，位於閘極電極 GE 的外部電極 PO4 上）。閘極頂蓋圖案 GP 可沿著閘極電極 GE 在第一方向 D1 上延伸。閘極頂蓋圖案 GP 可包含相對於第一層間絕緣層 110 及第二層間絕緣層 120 具有蝕刻選擇性的材料。閘極頂蓋圖案 GP 可包含 SiON、SiCN、SiCON 以及 SiN 中的至少一者。

【0052】 閘極絕緣層 GI 可插入於閘極電極 GE 與第一通道圖案 CH1 之間以及閘極電極 GE 與第二通道圖案 CH2 之間。亦即，閘極絕緣層 GI 可包含對應於閘極電極 GE 的各種組件的各種部分。舉例而言，閘極絕緣層 GI 可包含對應於各閘極電極 GE 的內部電極及外部電極（PO1 至 PO4）中的各者的部分。閘極絕緣層 GI 可覆蓋第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的各者的上部表面 TS、底部表面 BS 以及側壁 SW1 及側壁 SW2 二者。閘極絕緣層 GI 可覆蓋閘極電極 GE 下方的裝置隔離層 ST 的上部表面。

【0053】 在本揭露的實施例中，閘極絕緣層 GI 可包含氧化矽層、氮氧化矽層及/或高 k 介電層。高 k 層可包含具有高於氧化矽層的介電常數的介電常數的高 k 材料。舉例而言，高 k 材料可包含以下中的至少一者：氧化鉿、氧化鉿矽、氧化鉿鋯、氧化鉿鉭、氧化

鑭、氧化鋯、氧化鋯矽、氧化鉭、氧化鈦、氧化鋇鍶鈦、氧化鋇鈦、氧化鍶鈦、氧化鋰、氧化鋁、氧化鉛鈧鉭以及鈮酸鉛鋅。

【0054】 在另一實施例中，本揭露的半導體裝置可包含使用負電容器的負電容（negative capacitance；NC）FET。舉例而言，閘極絕緣層GI可包含具有鐵電特性的鐵電材料層及具有順電特性的順電材料層。

【0055】 鐵電材料層可具有負電容，且順電材料層可具有正電容。舉例而言，當兩個或大於兩個電容器串聯連接且各電容器的電容具有正值時，總電容小於各個別電容器的電容。另一方面，當串聯連接的兩個或大於兩個電容器的電容中的至少一者具有負值時，總電容可具有正值且可大於各個別電容的絕對值。

【0056】 當具有負電容的鐵電材料層與具有正電容的順電材料層串聯連接時，串聯連接的鐵電材料層及順電材料層的總電容值可增加。使用總電容值的增加，包含鐵電材料層的電晶體可在室溫下具有小於60毫伏/十倍（mV/decade）的次臨界擺幅（subthreshold swing；SS）。

【0057】 鐵電材料層可具有鐵電特性。鐵電材料層可包含例如氧化鉿、氧化鉿鋯、氧化鋇鍶鈦、氧化鋇鈦以及氧化鉛鋯鈦中的至少一者。此處，作為實例，氧化鉿鋯可為其中鋯（Zr）摻雜有氧化鉿的材料。作為另一實例，氧化鉿鋯可為鉿（Hf）、鋯（Zr）以及氧（O）的化合物。

【0058】 鐵電材料層可更包含經摻雜的摻雜劑。舉例而言，摻雜劑可包含鋁（Al）、鈦（Ti）、鈮（Nb）、鑭（La）、釔（Y）、鎂（Mg）、矽（Si）、鈣（Ca）、鈰（Ce）、鏑（Dy）、鉺（Er）、釓（Gd）、鍺

（Ge）、鈧（Sc）、鍶（Sr）以及錫（Sn）中的至少一者。取決於包含於鐵電材料層中的鐵電材料的類型，包含於鐵電材料層中的摻雜劑的類型可為不同的。

【0059】 當鐵電材料層包含氧化鉿時，包含於鐵電材料層中的摻雜劑可包含例如釓（Gd）、矽（Si）、鋯（Zr）、鋁（Al）以及釔（Y）中的至少一者。

【0060】 當摻雜劑為鋁（Al）時，鐵電材料層可包含約 3 原子%至約 8 原子%的鋁。此處，摻雜劑的比率可為鋁與鉿及鋁的總和的比率。

【0061】 當摻雜劑為矽（Si）時，鐵電材料層可包含約 2 原子%至約 10 原子%的矽。當摻雜劑為釔（Y）時，鐵電材料層可包含約 2 原子%至約 10 原子%的釔。當摻雜劑為釓（Gd）時，鐵電材料層可包含約 1 原子%至約 7 原子%的釓。當摻雜劑為鋯（Zr）時，鐵電材料層可包含約 50 原子%至約 80 原子%的鋯。

【0062】 順電材料層可具有順電特性。順電材料層可包含例如氧化矽及具有高介電常數的金屬氧化物中的至少一者。包含於順電材料層中的金屬氧化物可包含例如氧化鉿、氧化鋯或氧化鋁中的至少一者，但不限於此。

【0063】 鐵電材料層及順電材料層可包含相同材料。鐵電材料層可具有鐵電特性，但順電材料層可不具有鐵電特性。舉例而言，當鐵電材料層及順電材料層包含氧化鉿時，包含於鐵電材料層中的氧化鉿的晶體結構不同於包含於順電材料層中的氧化鉿的晶體結構。

【0064】 鐵電材料層可具有帶鐵電特性的厚度。鐵電材料層的厚

度可為例如約 0.5 奈米至約 10 奈米，但不限於此。表示鐵電特性的臨界厚度可針對各鐵電材料而不同，且因此鐵電材料層的厚度可取決於鐵電材料而不同。

【0065】 舉例而言，閘極絕緣層 GI 可包含一個鐵電材料層。作為另一實例，閘極絕緣層 GI 可包含彼此間隔開的多個鐵電材料層。閘極絕緣層 GI 可具有多層結構，其中多個鐵電材料層及多個順電材料層交替堆疊。

【0066】 閘極電極 GE 中的各者可包含第一金屬圖案及位於第一金屬圖案上的第二金屬圖案。第一金屬圖案可設置於閘極絕緣層 GI 上且可鄰近於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一金屬圖案可包含用於調節電晶體的臨限電壓的功函數金屬。電晶體的特定臨限電壓可藉由調節第一金屬圖案的厚度及組成而達到。舉例而言，閘極電極 GE 的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3 可由為功函數金屬的第一金屬圖案形成。

【0067】 第一金屬圖案可包含金屬氮化物層。舉例而言，第一金屬圖案可包含氮（N）及自由鈦（Ti）、鉭（Ta）、鋁（Al）、鎢（W）以及鉬（Mo）組成的群組中選出的至少一種金屬。另外，第一金屬圖案可更包含碳（C）。第一金屬圖案可包含多個堆疊的功函數金屬層。

【0068】 第二金屬圖案可包含具有低於第一金屬圖案的電阻的電阻的金屬。舉例而言，第二金屬圖案可包含自由鎢（W）、鋁（Al）、鈦（Ti）以及鉭（Ta）組成的群組中選出的至少一種金屬。在實施例中，閘極電極 GE 的外部電極 PO4 可包含第一金屬圖案及位於

第一金屬圖案上的第二金屬圖案。

【0069】 參考圖 5B，內部間隔件 IP 可設置於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上。亦即，內部間隔件 IP 可設置於第二主動圖案 AP2 上。內部間隔件 IP 可分別插入於閘極電極 GE 的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3 與第二源極/汲極圖案 SD2 之間。內部間隔件 IP 可直接第二源極/汲極圖案 SD2。閘極電極 GE 中的各者的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3 中的各者可藉由內部間隔件 IP 與第二源極/汲極圖案 SD2 間隔開。

【0070】 第一層間絕緣層 110 可設置於基底 100 上。第一層間絕緣層 110 可覆蓋閘極間隔件 GS 以及第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。第一層間絕緣層 110 的上部表面可與閘極頂蓋圖案 GP 的上部表面及閘極間隔件 GS 的上部表面實質上共面。覆蓋閘極頂蓋圖案 GP 的第二層間絕緣層 120 可安置於第一層間絕緣層 110 上。第三層間絕緣層 130 可設置於第二層間絕緣層 120 上。第四層間絕緣層 140 可設置於第三層間絕緣層 130 上。舉例而言，第一層間絕緣層 110 至第四層間絕緣層 140 可包含氧化矽層。

【0071】 在第二方向 D2 上彼此面對的一對分離結構 DB 可設置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的各者的兩側上。舉例而言，一對分離結構 DB 可分別設置於第一單高度單元 SHC1 的第一邊界 BD1 及第二邊界 BD2 上。分離結構 DB 可在第一方向 D1 上平行於閘極電極 GE 延伸。分離結構 DB 與鄰近於其的閘極電極 GE 之間的節距可與第一節距相同。

【0072】 分離結構 DB 可穿過第一層間絕緣層 110 及第二層間絕緣層 120 且可延伸至第一主動圖案 AP1 及第二主動圖案 AP2 中。分離結構 DB 可穿過第一主動圖案 AP1 及第二主動圖案 AP2 中的各者的上部部分。分離結構 DB 可將第一單高度單元 SHC1 及第二單高度單元 SHC2 的主動區與相鄰單元的主動區電分離。

【0073】 參考圖 5A 至圖 5C，可提供穿過第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的貫穿圖案 MSV。貫穿圖案 MSV 可穿過第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的各者且可在第三方向 D3 上延伸。亦即，貫穿圖案 MSV 可在第三方向 D3 上向上延伸至第一層間絕緣層 110 且向下延伸至基底 100（亦即，第一主動圖案 AP1 及主動圖案 AP2）。貫穿圖案 MSV 可減小與第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的接觸電阻。根據本揭露的貫穿圖案 MSV 的更詳細描述將稍後參考圖 15A 至圖 16B 描述。

【0074】 金屬半導體化合物層 SC（例如，矽化物層）可分別安置於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 之間以及貫穿圖案 MSV 與第二源極/汲極圖案 SD2 之間。亦即，金屬半導體化合物層 SC 可形成於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的各者接觸的表面上。貫穿圖案 MSV 可經由金屬半導體化合物層 SC 電連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。舉例而言，金屬半導體化合物層 SC 可包含矽化鈦、矽化鉭、矽化鎢、矽化鎳以及矽化鈷中的至少一者。

【0075】 可提供穿透第二層間絕緣層 120 且電連接至第一層間絕緣層 110 內部的貫穿圖案 MSV 的主動觸點 AC。亦即，主動觸點

AC 的下部表面可連接至貫穿圖案 MSV 的上部表面。一對主動觸點 AC 可分別設置於閘極頂蓋圖案 GP 的兩側上。在平面圖中，主動觸點 AC 可具有在第一方向 D1 上延伸的條形狀。

【0076】 主動觸點 AC 可為自對準觸點。亦即，主動觸點 AC 可使用閘極頂蓋圖案 GP、閘極間隔件 GS 以及貫穿圖案 MSV 以自對準方式形成。舉例而言，主動觸點 AC 可覆蓋閘極間隔件 GS 的側壁的至少一部分。主動觸點 AC 可覆蓋貫穿圖案 MSV 的上部表面。主動觸點 AC 可覆蓋閘極頂蓋圖案 GP 的上部表面的一部分。主動觸點 AC 可電連接至包含金屬材料的貫穿圖案 MSV。

【0077】 電連接至閘極電極 GE 的閘極觸點 GC 可設置成穿過第二層間絕緣層 120 及閘極頂蓋圖案 GP。在平面圖中，位於第一單高度單元 SHC1 上的一個閘極觸點 GC 可經安置以與第一 PMOSFET 區 PR1 重疊。亦即，位於第一單高度單元 SHC1 上的一個閘極觸點 GC 可設置於第一主動圖案 AP1 上（參考圖 5A）。在平面圖中，位於第一單高度單元 SHC1 上的一個閘極觸點 GC 可經安置以與第一 NMOSFET 區 NR1 重疊。亦即，位於第一單高度單元 SHC1 上的一個閘極觸點 GC 可設置於第二主動圖案 AP2 上（參考圖 5B）。

【0078】 閘極觸點 GC 可自由安置於閘極電極 GE 上而無需限制閘極觸點 GC 的定位。舉例而言，第二單高度單元 SHC2 上的閘極觸點 GC 可分別配置於第二 PMOSFET 區 PR2、第二 NMOSFET 區 NR2 以及填充溝槽 TR 的裝置隔離層 ST 上（參考圖 4）。

【0079】 作為本揭露的實施例，參考圖 5A 及圖 5B，主動觸點 AC 的鄰近於閘極觸點 GC 的上部部分可藉由上部絕緣圖案 UIP 填充。

上部絕緣圖案 UIP 可避免由閘極觸點 GC 與相鄰主動觸點 AC 之間的接觸所導致的短路。

【0080】 主動觸點 AC 及閘極觸點 GC 中的各者可包含導電圖案 FM 及包圍或至少部分地包圍導電圖案 FM 的障壁圖案 BM。舉例而言，導電圖案 FM 可包含鋁、銅、鎢、鉭或鈷中的至少一者。障壁圖案 BM 可覆蓋導電圖案 FM 的側壁及底部表面。障壁圖案 BM 可包含金屬層/金屬氮化物層。金屬層可包含鈦、鉭、鎢、鎳、鈷或鉑中的至少一者。金屬氮化物層可包含氮化鈦層（TiN）、氮化鉭層（TaN）、氮化鎢層（WN）、氮化鎳層（NiN）、氮化鈷層（CoN）以及氮化鉑層（PtN）中的至少一者。

【0081】 第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 可設置於基底 100 的底部表面 100b 上。第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 可具有在第二方向 D2 上延伸的條形狀。

【0082】 背側互連層 BSPR 可設置於基底 100 的底部表面 100b 上。背側互連層 BSPR 可包含第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 以及電連接至所述下部電力佈線的多個金屬佈線 BSPR_I。背側互連層 BSPR 可更包含後通孔 VI_B。儘管未繪示，但 BSPR 可包含用於單元之間路由的佈線。

【0083】 第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 可在第二方向 D2 上彼此平行延伸。第一下部電力佈線 VPR1 可安置於第一單高度單元 SHC1 的第四邊界 BD4 上。第二下部電力佈線 VPR2 可安置於第一單高度單元 SHC1

的第三邊界 BD3 上。亦即，可在第一下部電力佈線 VPR1 與第二下部電力佈線 VPR2 之間界定第一單高度單元 SHC1。可在第二下部電力佈線 VPR2 與第三下部電力佈線 VPR3 之間界定第二單高度單元 SHC2。

【0084】 參考圖 5A 至圖 5C，背側互連層 BSPR 可電連接至至少一個貫穿圖案 MSV。舉例而言，背側互連層 BSPR 可電連接至第一 PMOSFET 區 PR1 上的貫穿圖案 MSV 且電連接至第一 NMOSFET 區 NR1 的貫穿圖案 MSV。背側互連層 BSPR 可經由內埋連接件 BSI 電連接至貫穿圖案 MSV。作為另一實例，內埋連接件 BSI 及背側互連層 BSPR 可整體彼此連接以形成一個電力佈線。

【0085】 內埋連接件 BSI 可穿過基底 100 且連接至貫穿圖案 MSV 的下部表面。在此情況下，內埋連接件 BSI 的上部表面可直接連接至貫穿圖案 MSV 的下部表面。內埋連接件 BSI 及貫穿圖案 MSV 中的各者可包含相同或不同的金屬材料。因此，金屬半導體化合物層可不插入於內埋連接件 BSI 與貫穿圖案 MSV 之間。

【0086】 內埋連接件 BSI 可包含導電圖案。舉例而言，內埋連接件 BSI 可包含銅、鉭或釕。在本揭露的一個實施例中，內埋連接件 BSI 可與貫穿圖案 MSV 自對準。亦即，內埋連接件 BSI 的中心線與貫穿圖案 MSV 的中心線可共線對準。

【0087】 內埋間隔件 BSSP 可設置於內埋連接件 BSI 的兩側上。內埋間隔件 BSSP 可在內埋連接件 BSI 的兩側保形地沈積。內埋間隔件 BSSP 可包含絕緣材料。絕緣材料可包含氧化矽、氮化矽、氮氧化矽或其組合。內埋間隔件 BSSP 可將基底 100 與內埋連接件 BSI 隔離。因此，在根據本揭露的半導體裝置中可避免漏電流。

【0088】 電力傳輸網路層 PDN 可設置於背側互連層 BSPR 的底部表面上。電力傳輸網路層 PDN 可包含電連接至第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 的多個下部佈線。舉例而言，電力傳輸網路層 PDN 可包含用於將源極電壓 VSS 施加至第一下部電力佈線 VPR1 及第三下部電力佈線 VPR3 的佈線網路。電力傳輸網路層 PDN 可包含用於將汲極電壓 VDD 施加至第二下部電力佈線 VPR2 的佈線網路。

【0089】 第一金屬層 M1 可設置於第三層間絕緣層 130 中。第一金屬層 M1 可包含第一佈線 M1_I。第一金屬層 M1 的第一佈線 M1_I 可在第二方向 D2 上彼此平行延伸。

【0090】 根據本揭露的實施例，用於將電力供應至單高度單元 SHC 的電力佈線可以下部電力佈線 VPR1 至下部電力佈線 VPR3 的形式安置於基底 100 下方。因此，在第一金屬層 M1 中可省略電力佈線。用於信號傳輸的第一佈線 M1_I 可安置於第一金屬層 M1 中。第一佈線 M1_I 可在第一方向 D1 上以第二節距配置。第二節距可小於第一節距。

【0091】 第一金屬層 M1 可更包含第一通孔 VI1。第一通孔 VI1 可分別設置於第一金屬層 M1 的第一佈線 M1_I 下方。主動觸點 AC 及第一金屬層 M1 的第一佈線 M1_I 可經由第一通孔 VI1 電連接。閘極觸點 GC 及第一金屬層 M1 的第一佈線 M1_I 可經由第一通孔 VI1 電連接。

【0092】 第一金屬層 M1 的第一佈線 M1_I 及其下方的第一通孔 VI1 可經由分離製程形成。亦即，第一金屬層 M1 的第一佈線 M1_I 及第一通孔 VI1 中的各者可經由單一鑲嵌製程形成。根據實例實

施例的半導體裝置可使用小於 20 奈米的製程形成。

【0093】 第二金屬層 M2 可設置於第四層間絕緣層 140 中。第二金屬層 M2 可包含多個第二佈線 M2_I。第二金屬層 M2 的第二佈線 M2_I 中的各者可具有在第一方向 D1 上延伸的線形狀或條形狀。亦即，第二佈線 M2_I 可在第一方向 D1 上彼此平行延伸。

【0094】 第二金屬層 M2 可更包含設置於第二佈線 M2_I 下方的第二通孔 VI2。第一金屬層 M1 的第一佈線 M1_I 及第二金屬層 M2 的第二佈線 M2_I 可經由第二通孔 VI2 電連接。舉例而言，第二金屬層 M2 的第二佈線 M2_I 及其下的第二通孔 VI2 可經由雙鑲嵌製程一起形成。

【0095】 第一金屬層 M1 的第一佈線 M1_I 及第二金屬層 M2 的第二佈線 M2_I 可包含相同或不同的導電材料。舉例而言，第一金屬層 M1 的第一佈線 M1_I 及第二金屬層 M2 的第二佈線 M2_I 可包含鋁、銅、鎢、鉭、釕或鈷中的至少一種金屬材料。堆疊於第四層間絕緣層 140 上的金屬層（例如，M3、M4、M5 等）可另外安置。堆疊金屬層中的各者可包含用於在單元之間路由的佈線。

【0096】 圖 6A、圖 6B、圖 7A、圖 7B、圖 8A、圖 8B、圖 9A、圖 9B、圖 9C、圖 10A、圖 10B、圖 10C、圖 11A、圖 11B、圖 11C、圖 11D、圖 12A、圖 12B、圖 12C、圖 12D、圖 13A、圖 13B、圖 13C、圖 14A、圖 14B 以及圖 14C 為示出根據本揭露的實施例的製造半導體裝置的方法的橫截面圖。圖 6A、圖 7A、圖 8A、圖 9A、圖 10A、圖 11A、圖 12A、圖 13A 以及圖 14A 為對應於圖 4 的線 A-A'的橫截面圖。圖 8B、圖 9B、圖 10B、圖 11B、圖 12B、圖 13B 以及圖 14B 為對應於圖 4 的線 B-B'的橫截面圖。圖 9C、圖 10C、

圖 11C、圖 12C、圖 13C 以及圖 14C 為對應於圖 4 的線 C-C'的橫截面圖。圖 6B、圖 7B、圖 11D 以及圖 12D 為對應於圖 4 的線 D-D'的橫截面圖。

【0097】 參考圖 6A 及圖 6B，可提供包含第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 的基底 100。第一半導體層 ACL 及第二半導體層 SAL 可交替堆疊於基底 100 上。第一半導體層 ACL 可包含矽（Si）、鍺（Ge）以及矽鍺（SiGe）中的一者，且第二半導體層 SAL 可包含矽（Si）、鍺（Ge）以及矽鍺（SiGe）。

【0098】 第二半導體層 SAL 可包含相對於第一半導體層 ACL 具有蝕刻選擇性的材料。舉例而言，第一半導體層 ACL 可包含矽（Si），且第二半導體層 SAL 可包含矽鍺（SiGe）。第二半導體層 SAL 中的各者中的鍺（Ge）濃度可為約 10 原子%至約 30 原子%。

【0099】 遮罩圖案可分別形成於基底 100 的第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上。遮罩圖案可具有在第二方向 D2 上延伸的線形狀或條形狀。

【0100】 可使用遮罩圖案作為蝕刻遮罩執行圖案化製程以形成界定第一主動圖案 AP1 及第二主動圖案 AP2 的溝槽 TR。第一主動圖案 AP1 可形成於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的各者上。第二主動圖案 AP2 可形成於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的各者上。在平面圖中，第一主動圖案 AP1 及第二主動圖案 AP2 可具有在第二方向 D2 上彼此平行延伸的線形狀。

【0101】 堆疊圖案 STP 可形成於第一主動圖案 AP1 及第二主動圖案 AP2 中的各者上。堆疊圖案 STP 可包含彼此交替堆疊的第一半導體層 ACL 及第二半導體層 SAL。在圖案化製程期間，堆疊圖案 STP 可與第一主動圖案 AP1 及第二主動圖案 AP2 一起形成。

【0102】 裝置隔離層 ST 可形成以填充溝槽 TR。絕緣層可形成於基底 100 的整個表面上以覆蓋第一主動圖案 AP1 及第二主動圖案 AP2 以及堆疊圖案 STP。可藉由使絕緣層凹陷直至暴露堆疊圖案 STP 而形成裝置隔離層 ST。

【0103】 裝置隔離層 ST 可包含諸如氧化矽層的絕緣材料。堆疊圖案 STP 可在裝置隔離層 ST 上暴露。亦即，堆疊圖案 STP 可自裝置隔離層 ST 豎直突出。

【0104】 參考圖 7A 及圖 7B，可在基底 100 上形成與堆疊圖案 STP 交叉的犧牲圖案 PP。犧牲圖案 PP 中的各者可以在第一方向 D1 上延伸的線形狀或條形狀形成。犧牲圖案 PP 可在第二方向 D2 上以第一節距配置。

【0105】 形成犧牲圖案 PP 可包含在基底 100 的整個表面上形成犧牲層，在犧牲層上形成硬遮罩圖案 MP，以及使用硬遮罩圖案 MP 作為蝕刻遮罩圖案化犧牲層。犧牲層可包含多晶矽。

【0106】 一對閘極間隔件 GS 可形成於犧牲圖案 PP 中的各者的兩個側壁上。形成閘極間隔件 GS 可包含在基底 100 的整個表面上保形地形成閘極間隔件層及非等向性地蝕刻閘極間隔件層。閘極間隔件層可包含 SiCN、SiCON 以及 SiN 中的至少一者。作為另一實例，閘極間隔件層可為包含 SiCN、SiCON 以及 SiN 中的至少兩者的多層。

【0107】 參考圖 8A 及圖 8B，第一凹部 RS1 可形成於第一主動圖案 AP1 上的堆疊圖案 STP 中。第二凹部 RS2 可形成於第二主動圖案 AP2 上的堆疊圖案 STP 中。當形成第一凹部 RS1 及第二凹部 RS2 時，第一主動圖案 AP1 及第二主動圖案 AP2 中的各者的兩側上的裝置隔離層 ST 可進一步凹陷。

【0108】 可使用硬遮罩圖案 MP 及閘極間隔件 GS 作為蝕刻遮罩蝕刻第一主動圖案 AP1 上的堆疊圖案 STP，藉此形成第一凹部 RS1。第一凹部 RS1 可形成於一對犧牲圖案 PP 之間。第二主動圖案 AP2 上的堆疊圖案 STP 中的第二凹部 RS2 可以與形成第一凹部 RS1 相同的方法形成。

【0109】 在相鄰第一凹部 RS1 之間依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可分別由第一半導體層 ACL 形成。在相鄰第二凹部 RS2 之間依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可分別由第一半導體層 ACL 形成。相鄰第一凹部 RS1 之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可構成第一通道圖案 CH1。相鄰第二凹部 RS2 之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可構成第二通道圖案 CH2。

【0110】 參考圖 9A 至圖 9C，第一源極/汲極圖案 SD1 可分別形成於第一凹部 RS1 中。可使用第一凹部 RS1 的內壁作為晶種層執行第一 SEG 製程以形成緩衝層 BFL。緩衝層 BFL 可使用基底 100 及藉由第一凹部 RS1 暴露的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 作為晶種進行生長。舉例而言，第

一 SEG 製程可包含化學氣相沈積(chemical vapor deposition；CVD）製程或分子束磊晶法（ molecular beam epitaxy ； MBE）製程。

【0111】 緩衝層 BFL 可包含具有大於基底 100 的半導體元件的晶格常數的晶格常數的半導體元件（例如，SiGe）。緩衝層 BFL 可含有濃度相對較低的鍺(Ge)。在本揭露的另一實施例中，緩衝層 BFL 可僅含有矽（ Si ）而不包含鍺（ Ge)。緩衝層 BFL 中鍺（ Ge ）的濃度可為約 0 原子%至約 10 原子%。

【0112】 可在緩衝層 BFL 上執行第二 SEG 製程以形成主層 MAL。主層 MAL 可形成以完全地或幾乎完全地填充第一凹部 RS1。主層 MAL 可含有濃度相對較高的鍺（ Ge)。舉例而言，主層 MAL 中鍺（ Ge ）的濃度可為 30 原子%至 70 原子%。

【0113】 在本揭露的一個實施例中，可在主層 MAL 上執行第三 SEG 製程以形成頂蓋層。頂蓋層可包含矽（ Si)。頂蓋層中矽的濃度可為 98 原子%至 100 原子%。

【0114】 當形成緩衝層 BFL 及主層 MAL 時，可原位注入導致第一源極/汲極圖案 SD1 具有 p 型的雜質（例如，硼、鎵或銦）。作為另一實例，雜質可在第一源極/汲極圖案 SD1 形成之後植入至第一源極/汲極圖案 SD1 中。

【0115】 第二源極/汲極圖案 SD2 可分別形成於第二凹部 RS2 中。可使用第二凹部 RS2 的內壁作為晶種層執行 SEG 製程以形成第二源極/汲極圖案 SD2。舉例而言，第二源極/汲極圖案 SD2 可包含與基底 100 相同的半導體元件（例如，Si)。

【0116】 當形成第二源極/汲極圖案 SD2 時，可原位注入導致第二源極/汲極圖案 SD2 具有 n 型的雜質（例如，磷、砷或銻）。作為

另一實例，雜質可在第二源極/汲極圖案 SD2 形成之後植入至第二源極/汲極圖案 SD2 中。

【0117】 在本揭露的一個實施例中，在形成第二源極/汲極圖案 SD2 之前，可使用絕緣材料替換經由第二凹部 RS2 暴露的第二半導體層 SAL 的部分以形成內部間隔件 IP。因此，內部間隔件 IP 可分別形成於第二源極/汲極圖案 SD2 與第二半導體層 SAL 之間。

【0118】 參考圖 10A 至圖 10C，可形成覆蓋第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2、硬遮罩圖案 MP 以及閘極間隔件 GS 的第一層間絕緣層 110。舉例而言，第一層間絕緣層 110 可包含氧化矽層。

【0119】 可在第一層間絕緣層 110 上形成硬遮罩圖案且使用硬遮罩圖案作為蝕刻遮罩蝕刻第一層間絕緣層 110，藉此形成通孔凹部 ME_RS。通孔凹部 ME_RS 可形成於一對犧牲圖案 PP 之間。通孔凹部 ME_RS 可穿過第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的中心。此外，通孔凹部 ME_RS 可延伸至第一主動圖案 AP1 及第二主動圖案 AP2 的上部部分。亦即，通孔凹部 ME_RS 的底部表面可低於第一主動圖案 AP1 及第二主動圖案 AP2 的上部表面。

【0120】 可自通孔凹部 ME_RS 的底部表面至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 形成襯裡層。亦即，襯裡層可保形地形成以覆蓋通孔凹部 ME_RS 的下部部分。襯裡層可包含氧化矽、氮化矽或氮氧化矽。

【0121】 貫穿圖案 MSV 可形成於通孔凹部 ME_RS 中的各者中。形成貫穿圖案 MSV 可包含藉由金屬材料保形地填充通孔凹部 ME_RS 以形成金屬貫穿圖案、蝕刻金屬貫穿圖案的上部部分以及

在經蝕刻的金屬貫穿圖案上形成通孔絕緣圖案 VOX。通孔絕緣圖案 VOX 的上部表面可與第一層間絕緣層 110 的上部表面共面。通孔絕緣圖案 VOX 可包含氮化矽、氧化矽以及氮氧化矽中的至少一者。通孔絕緣圖案 VOX 可包含與第一層間絕緣層 110 相同的材料。

【0122】 貫穿圖案 MSV 可經由犧牲圖案 PP 及閘極間隔件 GS 以自對準的方式形成。貫穿圖案 MSV 的上部表面可低於犧牲圖案 PP 的上部表面。貫穿圖案 MSV 的底部表面可低於第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的下部表面。矽化物層 SC 可形成於貫穿圖案 MSV 的兩側上。亦即，矽化物層 SC 可插入於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 之間。

【0123】 參考圖 11A 至圖 11D，第一層間絕緣層 110 可經平坦化直至暴露犧牲圖案 PP 的上部表面為止。第一層間絕緣層 110 的平坦化可使用回蝕或化學機械研磨（chemical mechanical polishing；CMP）製程執行。在平坦化製程期間，可移除所有硬遮罩圖案 MP。因此，第一層間絕緣層 110 的上部表面可與犧牲圖案 PP 的上部表面及閘極間隔件 GS 的上部表面共面。

【0124】 可使用光微影選擇性地打開犧牲圖案 PP 的區。舉例而言，可選擇性地打開犧牲圖案 PP 在第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上的區。可選擇性地蝕刻及移除犧牲圖案 PP 的打開區。絕緣材料可填充移除犧牲圖案 PP 的空間以形成閘極切割圖案 CT（參考圖 11D）。

【0125】 可選擇性地移除經暴露的犧牲圖案 PP。藉由移除犧牲圖

案 PP，可形成暴露第一通道圖案 CH1 及第二通道圖案 CH2 的外部區 ORG（參考圖 11D）。移除犧牲圖案 PP 可包含使用選擇性地蝕刻多晶矽的蝕刻劑的濕式蝕刻。

【0126】 可選擇性地移除經由外部區 ORG 暴露的第二半導體層 SAL 以形成內部區 IRG（參考圖 11D）。可執行用於選擇性地蝕刻第二半導體層 SAL 的蝕刻製程以僅移除第二半導體層 SAL，同時保持第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 的完整。針對具有相對較高鍺濃度的矽鍺，蝕刻製程可具有高蝕刻速率。舉例而言，針對具有大於約 10 原子%的鍺濃度的矽鍺，蝕刻製程可具有高蝕刻速率。

【0127】 在蝕刻製程期間，可完全移除第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上的第二半導體層 SAL。蝕刻製程可為濕式蝕刻。用於蝕刻製程中的蝕刻材料可快速移除具有相對較高鍺濃度的第二半導體層 SAL。歸因於緩衝層 BFL 具有相對較低鍺濃度，在蝕刻製程期間，可保護第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 上的第一源極/汲極圖案 SD1。

【0128】 返回參考圖 11D，可選擇性地移除第二半導體層 SAL，且因此可分別保留堆疊於第一主動圖案 AP1 及第二主動圖案 AP2 上的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一內部區 IRG1、第二內部區 IRG2 以及第三內部區 IRG3 可經由移除第二半導體層 SAL 的區分別形成。

【0129】 第一內部區 IRG1 可形成於主動圖案 AP1 或主動圖案 AP2 與第一半導體圖案 SP1 之間，第二內部區 IRG2 可形成於第一半

導體圖案 SP1 與第二半導體圖案 SP2 之間，且第三內部區 IRG3 可形成於第二半導體圖案 SP2 與第三半導體圖案 SP3 之間。

【0130】 參考圖 12A 至圖 12D，閘極絕緣層 GI 可保形地形成於經暴露的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 上。閘極電極 GE 可形成於閘極絕緣層 GI 上。閘極電極 GE 可包含分別形成於第一內部區 IRG1、第二內部區 IRG2 以及第三內部區 IRG3 中的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3，以及形成於外部區 ORG 中的外部電極 PO4。

【0131】 隨著閘極電極 GE 凹陷，可降低其高度。在閘極電極 GE 凹陷的同時，亦可使第一閘極切割圖案 CT1 及第二閘極切割圖案 CT2 的上部部分略微地凹陷。閘極頂蓋圖案 GP 可形成於凹陷的閘極電極 GE 上。

【0132】 第二層間絕緣層 120 可形成於第一層間絕緣層 110 上。第二層間絕緣層 120 可包含氧化矽層。可形成穿透第二層間絕緣層 120 且延伸至第一層間絕緣層 110 以電連接至貫穿圖案 MSV 的主動觸點 AC。主動觸點 AC 與貫穿圖案 MSV 可自對準。電連接至閘極電極 GE 的閘極觸點 GC 可形成穿過第二層間絕緣層 120 及閘極頂蓋圖案 GP。

【0133】 形成主動觸點 AC 及閘極觸點 GC 中的各者的可包含形成障壁圖案 BM 及在障壁圖案 BM 上形成導電圖案 FM。障壁圖案 BM 可保形地形成且可包含金屬層/金屬氮化物層。導電圖案 FM 可包含低電阻金屬。

【0134】 一對分離結構 DB 可形成於第一單高度單元 SHC1 及第

二單高度單元 SHC2 中的各者的兩側上。分離結構 DB 可經由閘極電極 GE 自第二層間介電層 120 延伸至主動圖案 AP1 或主動圖案 AP2 中。分離結構 DB 可包含諸如氧化矽層或氮化矽層的絕緣材料。

【0135】 參考圖 13A 至圖 13C，第三層間絕緣層 130 可形成於主動觸點 AC 及閘極觸點 GC 上。第一金屬層 M1 可形成於第三層間絕緣層 130 中。第四層間絕緣層 140 可形成於第三層間絕緣層 130 上。第二金屬層 M2 可形成於第四層間絕緣層 140 中。

【0136】 在完成後段（back-end of line；BEOL）製程之後，可翻轉基底 100 以暴露基底 100 的底部表面 100b。可在基底 100 的底部表面 100b 上執行平坦化製程以減小基底 100 的厚度。

【0137】 參考圖 14A 至圖 14C，遮罩圖案可形成於基底 100 的底部表面 100b 上，且可使用遮罩圖案作為蝕刻遮罩蝕刻基底 100（亦即，第一主動圖案 AP1 及第二主動圖案 AP2）以形成內埋連接件 BSI。內埋連接件 BSI 可經形成以接觸貫穿圖案 MSV 的底部表面。亦即，內埋連接件 BSI 可經由貫穿圖案 MSV 自對準。

【0138】 內埋連接件 BSI 及貫穿圖案 MSV 可經由不同製程個別地形成。內埋連接件 BSI 與貫穿圖案 MSV 可自對準。內埋連接件 BSI 及貫穿圖案 MSV 可包含金屬材料，且因此可降低其間的介面處的接觸電阻。因此，根據本揭露的製造方法的半導體裝置可同時改良可靠性及電特性。

【0139】 形成內埋連接件 BSI 可包含藉由蝕刻基底 100 形成溝槽區，在溝槽區的兩個側壁上均勻沈積絕緣材料，及在溝槽區中及在絕緣材料上保形地填充金屬材料。

【0140】 形成溝槽區可包含蝕刻覆蓋基底 100 的下部部分及貫穿圖案 MSV 的襯裡層 LIN（圖 15A 中）。因此，內埋連接件 BSI 可接觸貫穿圖案 MSV 的底部表面且電連接。均勻沈積隔熱材料是為了形成設置在內埋連接件 BSI 的兩個側壁上的內埋間隔件 BSSP（圖 5A 中）。絕緣材料可為氧化矽、氮化矽或氮氧化矽。內埋連接件 BSI 可包含金屬材料。舉例而言，內埋連接件 BSI 可包含銅、鉭或釕。內埋連接件 BSI 及貫穿圖案 MSV 可包含相同或不同的金屬材料。

【0141】 內埋連接件 BSI 及基底 100 的底部表面 100b 可與彼此共面。背側互連層 BSPR 可形成於共面表面上。背側互連層 BSPR 可藉由執行圖案化製程形成。背側互連層 BSPR 可包含第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3（圖 4 中）以及電連接至所述下部電力佈線的多個金屬佈線 BSPR_I。背側互連層 BSPR 可更包含連接第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3（圖 4 中）與金屬佈線 BSPR_I 的後通孔 VI_B。BSPR 可包含用於單元之間路由的佈線。

【0142】 電力傳輸網路層 PDN 可形成於背側互連層 BSPR 上。電力傳輸網路層 PDN 可施加源極電壓或汲極電壓至下部電力佈線 VPR1、下部電力佈線 VPR2 以及下部電力佈線 VPR3（圖 4 中）。

【0143】 圖 15A、圖 15B 以及圖 15C 為示出根據本揭露的實施例的圖 5A 的『M』區的實施例的放大圖。圖 16A 及圖 16B 為示出根據本揭露的實施例的圖 15A 的其他實施例的放大圖。

【0144】 參考圖 15A 至圖 16B，將更詳細地描述貫穿圖案 MSV、

金屬化合物半導體層 SC 以及第一源極/汲極圖案 SD1。參考圖 15A，貫穿圖案 MSV 可穿過第一源極/汲極圖案 SD1。貫穿圖案 MSV 可穿過第一源極/汲極圖案 SD1 的中心。貫穿圖案 MSV 的中心線與第一源極/汲極圖案 SD1 的中心線可共線。

【0145】 貫穿圖案 MSV 可在第三方向 D3 上自第一源極/汲極圖案 SD1 延伸。亦即，貫穿圖案 MSV 可在第三方向 D3 上向上延伸至第一層間絕緣層 110 且向下延伸至基底 100（亦即，圖 5A 中的第一主動圖案 AP1）。貫穿圖案 MSV 的上部表面在第三方向 D3 上的高度層級可界定為第一層級 LV1。貫穿圖案 MSV 的上部表面在第三方向 D3 上的高度層級可界定為第三層級 LV3。

【0146】 閘極電極 GE 的外部電極 PO4 的上部表面在第三方向上的高度層級可界定為第二層級 LV2。外部電極 PO4 的上部表面可與包圍外部電極 PO4 的閘極絕緣層 GI 的上部表面共面。共面表面可接觸閘極頂蓋圖案 GP 的下部表面。第一層級 LV1 可高於第二層級 LV2。

【0147】 第一源極/汲極圖案 SD1 的下部表面在第三方向 D3 上的高度層級可界定為第四層級 LV4。第一源極/汲極圖案 SD1 的下部表面可為緩衝層 BFL 的下部表面。亦即，第四層級 LV4 可為緩衝層 BFL 的下部表面在第三方向 D3 上的高度層級。第四層級 LV4 可低於第一半導體圖案 SP1 的下部表面。第四層級 LV4 可低於閘極電極 GE 當中的第一內部電極 PO1 的下部表面。第三層級 LV3 可低於第四層級 LV4。亦即，貫穿圖案 MSV 的上部表面可高於外部電極 PO4 的上部表面，且貫穿圖案 MSV 的下部表面可低於第一源極/汲極圖案 SD1 的下部表面。

【0148】 金屬化合物半導體層 SC 可設置於貫穿圖案 MSV 的兩側上。金屬化合物半導體層 SC 可為矽化物層 SC。矽化物層 SC 可插入於貫穿圖案 MSV 的側表面與第一源極/汲極圖案 SD1 之間。詳細地說，矽化物層 SC 可插入於貫穿圖案 MSV 的側表面與主層 MAL 及緩衝層 BFL 的部分之間。矽化物層 SC 可包含矽化鈦、矽化鉭、矽化鎢、矽化鎳以及矽化鈷中的至少一者。矽化物層 SC 的厚度可為約 5 埃至約 20 埃。

【0149】 貫穿圖案 MSV 可包含金屬材料。舉例而言，貫穿圖案 FM 可包含鋁、銅、鎢、鉭以及鈷中的至少一種金屬。貫穿圖案 MSV 可包含鈦、鉭、鎳，以及鉑中的至少一者。

【0150】 襯裡層 LIN 可經設置以包圍貫穿圖案 MSV 的下部部分。襯裡層 LIN 可保形地覆蓋貫穿圖案 MSV 的底部表面及側表面的部分。襯裡層 LIN 可覆蓋貫穿圖案 MSV 的下部部分且可延伸至第一源極/汲極圖案 SD1 的下部表面。襯裡層 LIN 可包含氧化矽、氮化矽或氮氧化矽。襯裡層 LIN 的厚度可為約 5 埃至約 20 埃。襯裡層的厚度可與矽化物層的厚度相同。襯裡層 LIN 可將使貫穿圖案 MSV 的下部部分與基底 100（亦即，圖 5A 中的第一主動圖案 AP1）絕緣。當貫穿圖案 MSV 與內埋連接件 BSI（圖 5A 中）電連接時，襯裡層 LIN 可不插入於其間。

【0151】 貫穿圖案 MSV 的平面形狀可為圓形、橢圓形或多邊形。舉例而言，貫穿圖案 MSV 的平面形狀可具有圓形形狀，且貫穿圖案 MSV 可具有柱形或柱狀形狀。因此，可增加插入於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 之間的矽化物層 SC 的橫截面積。可減小貫穿圖案 MSV 的接觸電阻，且可改良半導體裝置的電特

性。

【0152】 參考圖 5A 及圖 15A，根據實施例的貫穿圖案 MSV 及內埋連接件 BSI 可經由不同製程個別地形成。貫穿圖案 MSV 可經由閘極電極 GE 及閘極間隔件 GS 自對準。內埋連接件 BSI 可經由貫穿圖案 MSV 自對準。因此，可避免貫穿圖案 MSV 與內埋連接件 BSI 之間的未對準，且可改良半導體裝置的可靠性。

【0153】 貫穿圖案 MSV 及內埋連接件 BSI 可包含相同或不同的金屬材料。金屬化合物半導體層可不插入於具有金屬材料的貫穿圖案 MSV 與內埋連接件 BSI 之間。此外，可最大化貫穿圖案 MSV 與內埋連接件 BSI 之間的接觸面積，藉此降低其間的接觸電阻。因此，本揭露的實施例可同時改良半導體裝置的可靠性及電特性。

【0154】 參考圖 15B，第一層級 LV1 可與第二層級 LV2 相同。第三層級 LV3 可與第四層級 LV4 相同。亦即，貫穿圖案 MSV 的上部表面及外部電極 PO4 的上部表面在第三方向 D3 上可具有相同高度層級，且貫穿圖案 MSV 的下部表面及第一源極/汲極圖案 SD1 的下部表面在第三方向 D3 上可具有相同高度層級。因為貫穿圖案 MSV 的部分可設置於第一源極/汲極圖案 SD1 的內部，所以可不存在襯裡層 LIN。

【0155】 參考圖 15C，第一層級 LV1 可為低於第二層級 LV2 的層級。第三層級 LV3 可為低於第四層級 LV4 的層級。亦即，貫穿圖案 MSV 的上部表面可低於外部電極 PO4 的上部表面，且貫穿圖案 MSV 的下部表面可低於第一源極/汲極圖案 SD1 的下部表面。襯裡層 LIN 可覆蓋貫穿圖案 MSV 的下部部分。

【0156】 參考圖 16A，當主層 MAL 的 SEG 製程停止時，可形成

貫穿圖案 MSV。亦即，貫穿圖案 MSV 可在主層 MAL 未完全合併的狀態下形成。貫穿圖案 MSV 在第二方向 D2 上的平面形狀可為圓形、橢圓形或多邊形。舉例而言，貫穿圖案 MSV 在第二方向 D2 上的平面形狀可具有圓形形狀，且貫穿圖案 MSV 可具有啞鈴形狀。矽化物層 SC 可插入於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 之間。

【0157】 第一直徑 DI1 可界定為在第二方向 D2 上設置於第一層間絕緣層 110 中的貫穿圖案 MSV 的橫截面的直徑。第二直徑 DI2 可界定為在第二方向 D2 上設置於第一源極/汲極圖案 SD1 中的貫穿圖案 MSV 的橫截面的直徑。第三直徑 DI3 可界定為在第二方向 D2 上設置於基底 100 中的貫穿圖案 MSV 的橫截面的直徑。

【0158】 第一直徑 DI1 及第三直徑 DI3 可大於第二直徑 DI2。第一直徑 DI1 可與第三直徑 DI3 相同。在第二方向 D2 上在第一層間絕緣層 110 與第一源極/汲極圖案 SD1 之間的貫穿圖案 MSV 的橫截面的直徑可朝向基底 100 減小。在第二方向 D2 上在第一源極/汲極圖案 SD1 與基底 100 之間的貫穿圖案 MSV 的橫截面的直徑可朝向第一層間絕緣層 110 減小。因此，貫穿圖案 MSV 可具有啞鈴形狀。

【0159】 參考圖 16B，貫穿圖案可在緩衝層 BFL 的 SEG 製程未充分執行的狀態下形成。亦即，貫穿圖案 MSV 可在緩衝層 BFL 尚未充分生長的狀態下使用第一半導體圖案 SP1 至第三半導體圖案 SP3 作為晶種層形成。矽化物層 SC 可插入於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 之間。貫穿圖案 MSV 的內部表面可具有波狀輪廓，且因此，矽化物層 SC 亦可具有波狀輪廓。

【0160】 貫穿圖案 MSV 在第二方向 D2 上的部分的平面形狀可為圓形、橢圓形或多邊形。在此情況下，貫穿圖案 MSV 的部分的直徑可大於第一直徑 DI1、第二直徑 DI2 以及第三直徑 DI3（圖 16A 中）。此為了允許貫穿圖案 MSV 與未充分生長的緩衝層 BFL 接觸。

【0161】 圖 17A、圖 17B 以及圖 17C 為示出根據本揭露的實施例的半導體裝置的橫截面圖。圖 17A 至圖 17C 為沿著線圖 4 的 A-A'、B-B'以及 D-D'截取的橫截面圖以示出根據本揭露的另一實施例的半導體裝置。參考圖 4 及圖 17A 至圖 17C，裝置隔離層 ST 可界定在基底 100 上的第一主動圖案 AP1 及第二主動圖案 AP2。第一主動圖案 AP1 可界定於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的各者上，且第二主動圖案 AP2 可界定於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的各者上。

【0162】 裝置隔離層 ST 可覆蓋第一主動圖案 AP1 及第二主動圖案 AP2 中的各者的下部側壁。第一主動圖案 AP1 及第二主動圖案 AP2 中的各者的上部部分可在裝置隔離層 ST 上方突出（參考圖 17C）。

【0163】 第一主動圖案 AP1 可包含第一源極/汲極圖案 SD1 及其間的第一通道圖案 CH1。第二主動圖案 AP2 可包含第二源極/汲極圖案 SD2 及其間的第二通道圖案 CH2。

【0164】 參考圖 17C，第一通道圖案 CH1 及第二通道圖案 CH2 中的各者可不包含先前參考圖 5A 至圖 5D 所描述的堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一通道圖案 CH1 及第二通道圖案 CH2 中的各者可具有在裝置隔離層 ST 上方突出的半導體支柱形狀。

【0165】 閘極電極 GE 可設置於第一通道圖案 CH1 及第二通道圖案 CH2 中的各者的上部表面 TS 及兩個側壁 SW 上。亦即，根據本實施例的電晶體可為三維場效電晶體（例如，FinFET），其中閘極電極 GE 以三維方式包圍通道。

【0166】 第一層間絕緣層 110 及第二層間絕緣層 120 可設置於基底 100 的整個表面上。主動觸點 AC 可穿透第二層間絕緣層 120 以分別連接至第一層間絕緣層 110 中的貫穿圖案 MSV。閘極觸點 GC 可穿透第二層間絕緣層 120 及閘極頂蓋圖案 GP 以連接至閘極電極 GE。主動觸點 AC 及閘極觸點 GC 的詳細描述可與先前參考圖 4 及圖 5A 至圖 5D 描述的內容實質上相同，且可省略重複描述。

【0167】 第三層間絕緣層 130 可設置於第二層間絕緣層 120 上。第四層間絕緣層 140 可設置於第三層間絕緣層 130 上。第一金屬層 M1 可設置於第三層間絕緣層 130 中。第二金屬層 M2 可設置於第四層間絕緣層 140 中。第一金屬層 M1 及第二金屬層 M2 的詳細描述可與先前參考圖 4 及圖 5A 至圖 5D 描述的內容實質上相同。

【0168】 第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 可設置於基底 100 的下部部分上。背側互連層 BSPR 可設置於基底 100 的底部表面 100b 上。電力傳輸網路層 PDN 可設置於背側互連層 BSPR 的底部表面上。第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 及電力傳輸網路層 PDN 的詳細描述可與上文參考圖 4 及圖 5A 至圖 5D 描述的內容實質上相同。

【0169】 在根據本揭露的三維場效電晶體中，貫穿圖案可插入至源極/汲極圖案中，藉此減小源極/汲極圖案與貫穿圖案之間的接觸

電阻。內埋連接件可形成於貫穿圖案的下部表面上，藉此降低內埋連接件與貫穿圖案之間的接觸電阻。此外，主動觸點可在貫穿圖案上自對準，且因此可提高製造半導體裝置的方法的效率。根據本揭露，可減小貫穿圖案與源極/汲極圖案之間以及貫穿圖案與內埋連接件之間的接觸電阻且可提供自對準的主動觸點，藉此改良半導體裝置的電特性及可靠性。

【0170】 以上描述中所提供的實施例中的各者不排除與本文中亦提供或本文中未提供但與本揭露一致的另一實例或另一實施例的一或多個特徵相關聯。

【0171】 雖然本揭露已參考其實施例進行具體繪示及描述，但應理解，可在不脫離以下申請專利範圍的精神及範疇的情況下進行形式及細節的各種改變。

【符號說明】

【0172】

100:基底

100b:底部表面

110:第一層間絕緣層

120:第二層間絕緣層

130:第三層間絕緣層

140:第四層間絕緣層

A-A'、B-B'、C-C'、D-D':線

AC:主動觸點

ACL:第一半導體層

AP1:第一主動圖案

AP2:第二主動圖案

BD1:第一邊界

BD2:第二邊界

BD3:第三邊界

BD4:第四邊界

BFL:緩衝層

BM:障壁圖案

BS:底部表面

BSI:內埋連接件

BSPR:背側互連層

BSPR_I:金屬佈線

BSSP:內埋間隔件

CH1:第一通道圖案

CH2:第二通道圖案

CT:閘極切割圖案

D1:第一方向

D2:第二方向

D3:第三方向

DB:分離結構

DHC:雙倍高度單元

DI1:第一直徑

DI2:第二直徑

DI3:第三直徑

FM:導電圖案

GC:閘極觸點

GE:閘極電極

GI:閘極絕緣層

GP:閘極頂蓋圖案

GS:閘極間隔件

HE1:第一高度

HE2:第二高度

IP:內部間隔件

IRG:內部區

IRG1:第一內部區

IRG2:第二內部區

IRG3:第三內部區

LIN:襯裡層

LV1:第一層級

LV2:第二層級

LV3:第三層級

LV4:第四層級

M:區

M1:第一金屬層

M1_I:第一佈線

M2:第二金屬層

M2_I:第二佈線

MAL:主層

ME_RS:通孔凹部

MP:硬遮罩圖案

MSV:貫穿圖案

NR: NMOSFET 區

NR1:第一 NMOSFET 區

NR2:第二 NMOSFET 區

ORG:外部區

PDN:電力傳輸網路層

PO1:第一內部電極

PO2:第二內部電極

PO3:第三內部電極

PO4:外部電極

PP:犧牲圖案

PR: PMOSFET 區

PR1:第一 PMOSFET 區

PR2:第二 PMOSFET 區

RS1:第一凹部

RS2:第二凹部

SAL:第二半導體層

SC:金屬半導體化合物層/矽化物層

SD1:第一源極/汲極圖案

SD2:第二源極/汲極圖案

SHC:單高度單元

SHC1:第一單高度單元

SHC2:第二單高度單元

SP1:第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案

STP:堆疊圖案

ST:裝置隔離層

SW:側壁

TR:溝槽

TS:上部表面

UIP:上部絕緣圖案

VDD:汲極電壓

VI1:第一通孔

VI2:第二通孔

VI_B:後通孔

VOX:通孔絕緣圖案

VPR1:第一下部電力佈線

VPR2:第二下部電力佈線

VPR3:第三下部電力佈線

VSS:源極電壓

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基底，包括主動圖案；

通道圖案，位於所述主動圖案上，所述通道圖案包括彼此間隔開且豎直堆疊的多個半導體圖案；

源極/汲極圖案，連接至所述多個半導體圖案；

貫穿圖案，穿透所述源極/汲極圖案；

層間絕緣層，位於所述源極/汲極圖案上；

金屬半導體化合物層，位於所述源極/汲極圖案與所述貫穿圖案之間；

閘極電極，位於所述多個半導體圖案上，所述閘極電極包括：

內部電極，位於所述多個半導體圖案中的相鄰的半導體圖案之間；以及

外部電極，位於所述多個半導體圖案的最上部半導體圖案上；

主動觸點，位於所述貫穿圖案上；以及

第一金屬層，位於所述主動觸點上，所述第一金屬層包括連接至所述主動觸點的電力佈線及第一佈線，

其中所述貫穿圖案的上部表面低於所述層間絕緣層的上部表面。

【請求項2】 如請求項 1 所述的半導體裝置，更包括：

內埋連接件，連接至所述貫穿圖案的底部表面；

內埋間隔件，位於所述內埋連接件的側面上；

背側互連層，位於所述內埋連接件的下部表面及所述基底的

底部表面上；以及

電力傳輸網路層，位於所述背側互連層的底部表面上。

【請求項3】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案的上部表面的第一層級在第一方向上與所述外部電極的上部表面的第二層級相同，以及

其中所述貫穿圖案的底部表面的第三層級在所述第一方向上與所述源極/汲極圖案的下部表面的第四層級相同。

【請求項4】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案的上部表面的第一層級低於所述外部電極的上部表面的第二層級，以及

其中所述貫穿圖案的底部表面的第三層級低於所述源極/汲極圖案的下部表面的第四層級。

【請求項5】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案包括第一部分、第二部分以及第三部分，以及

其中所述第一部分的第一直徑及所述第三部分的第三直徑大於所述第二部分的第二直徑。

【請求項6】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案的內部表面包括波狀輪廓，以及

其中所述金屬半導體化合物層包括波狀輪廓。

【請求項7】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案包括金屬材料，以及

其中所述金屬材料包括鋁、銅、鎢、鉬、鈷、鈦、鉭、鎳、鉑，或其組合。

【請求項8】 如請求項 1 所述的半導體裝置，其中所述金屬半導

體化合物層包括矽化物層，以及

其中所述矽化物層包括矽化鈦、矽化鉭、矽化鎢、矽化鎳、矽化鈷，或其組合。

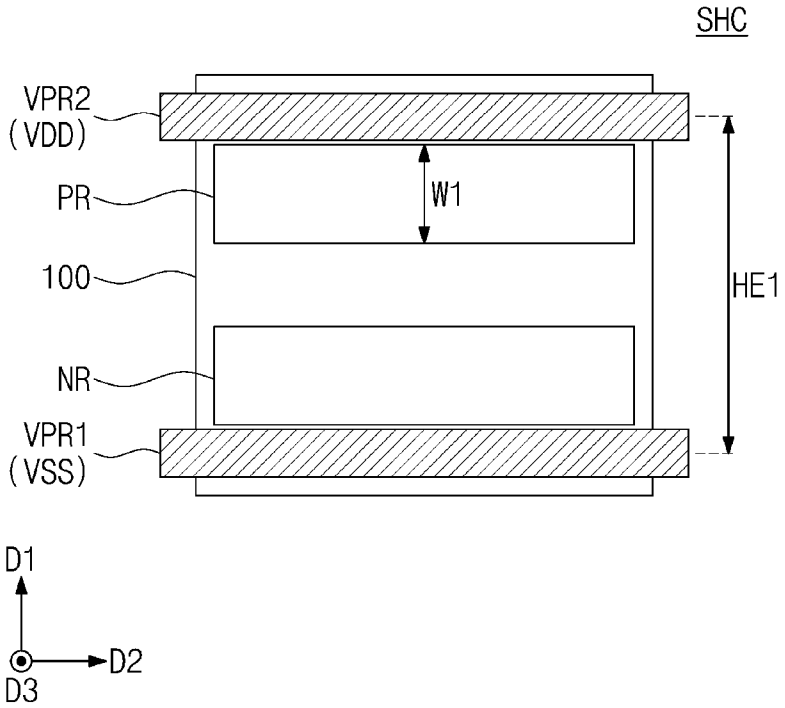
【請求項9】 如請求項 1 所述的半導體裝置，其中所述金屬半導體化合物層具有約 5 埃至約 20 埃的厚度。

【請求項10】如請求項 1 所述的半導體裝置，更包括至少部分地包圍所述貫穿圖案的下部部分的襯裡層，

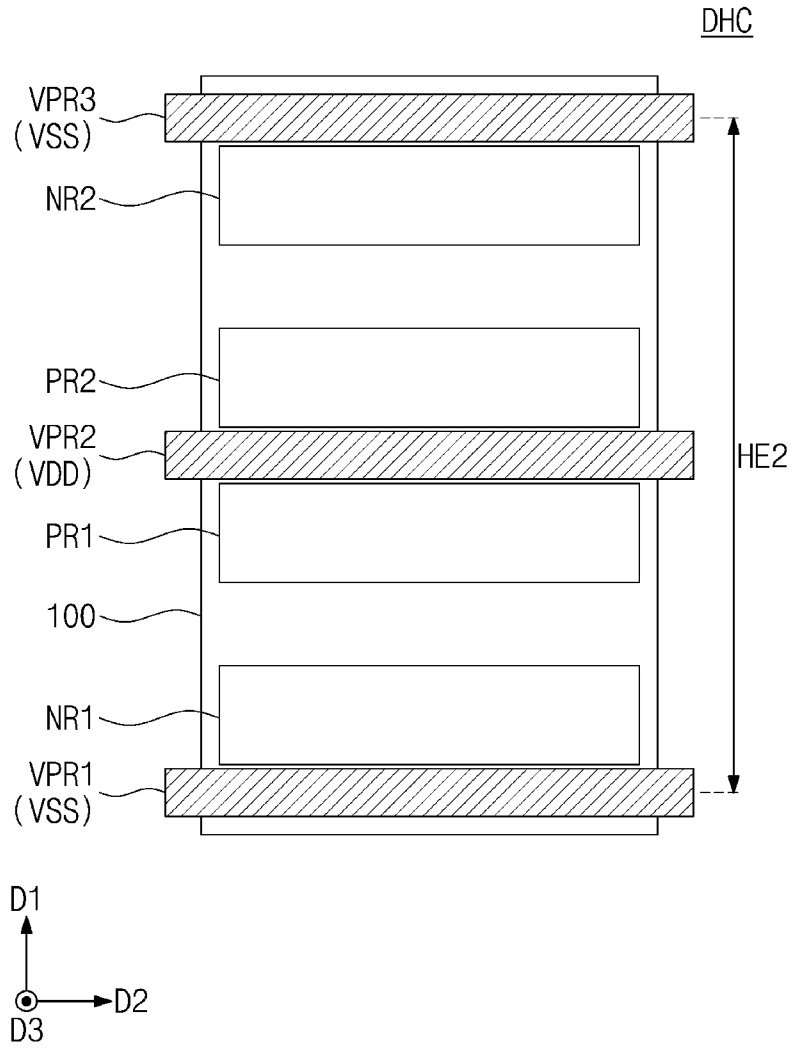
其中所述襯裡層至少部分地覆蓋所述貫穿圖案的底部表面及所述貫穿圖案的側表面，以及

其中所述襯裡層延伸至所述源極/汲極圖案的下部層。

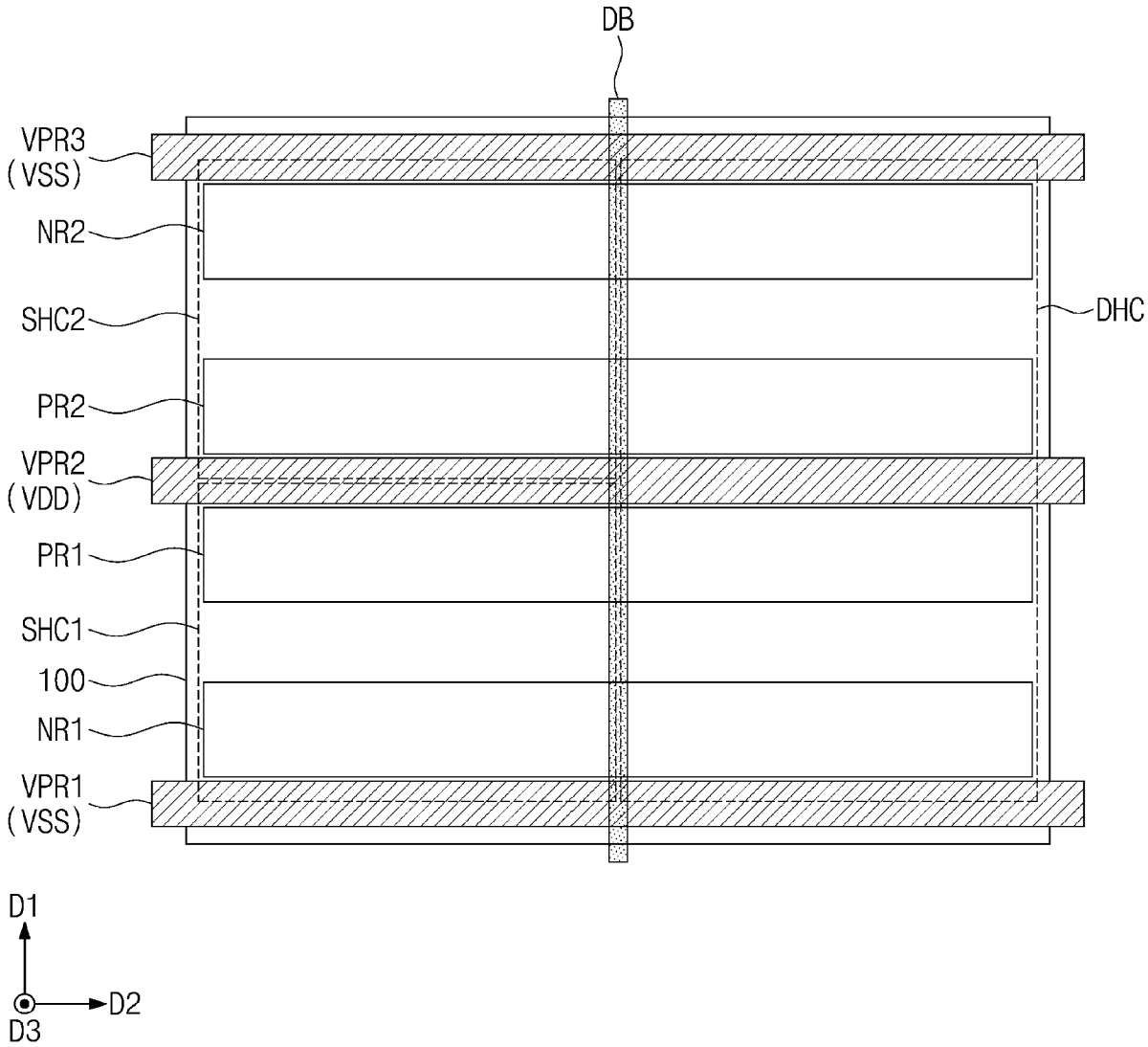
【發明圖式】



【圖1】



【圖2】


DB
VPR3
(VSS)
NR2
SHC2
PR2
VPR2
(VDD)
PR1
SHC1
100
NR1
VPR1
(VSS)
DHC
D1
D2
D3

【圖3】

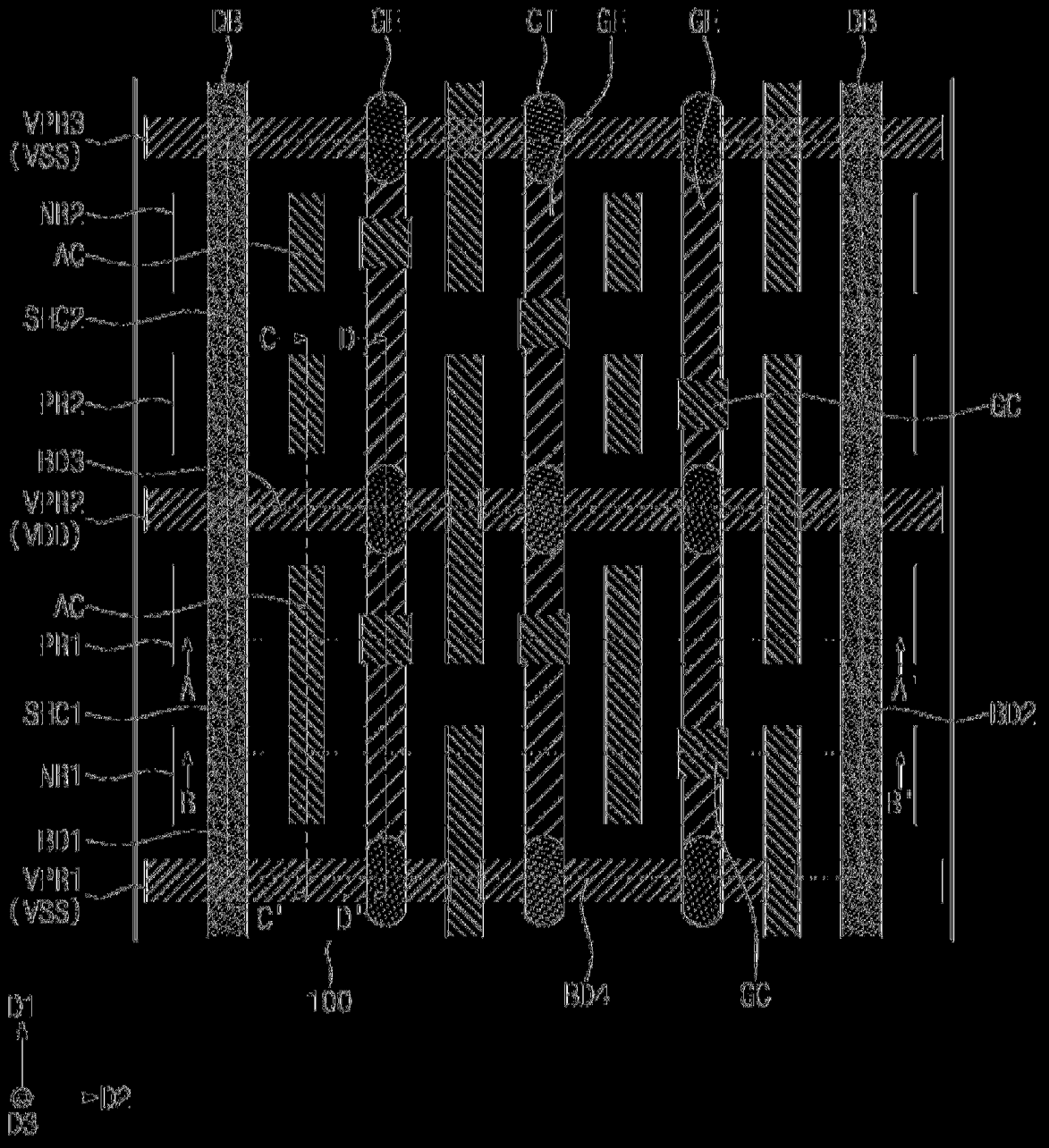
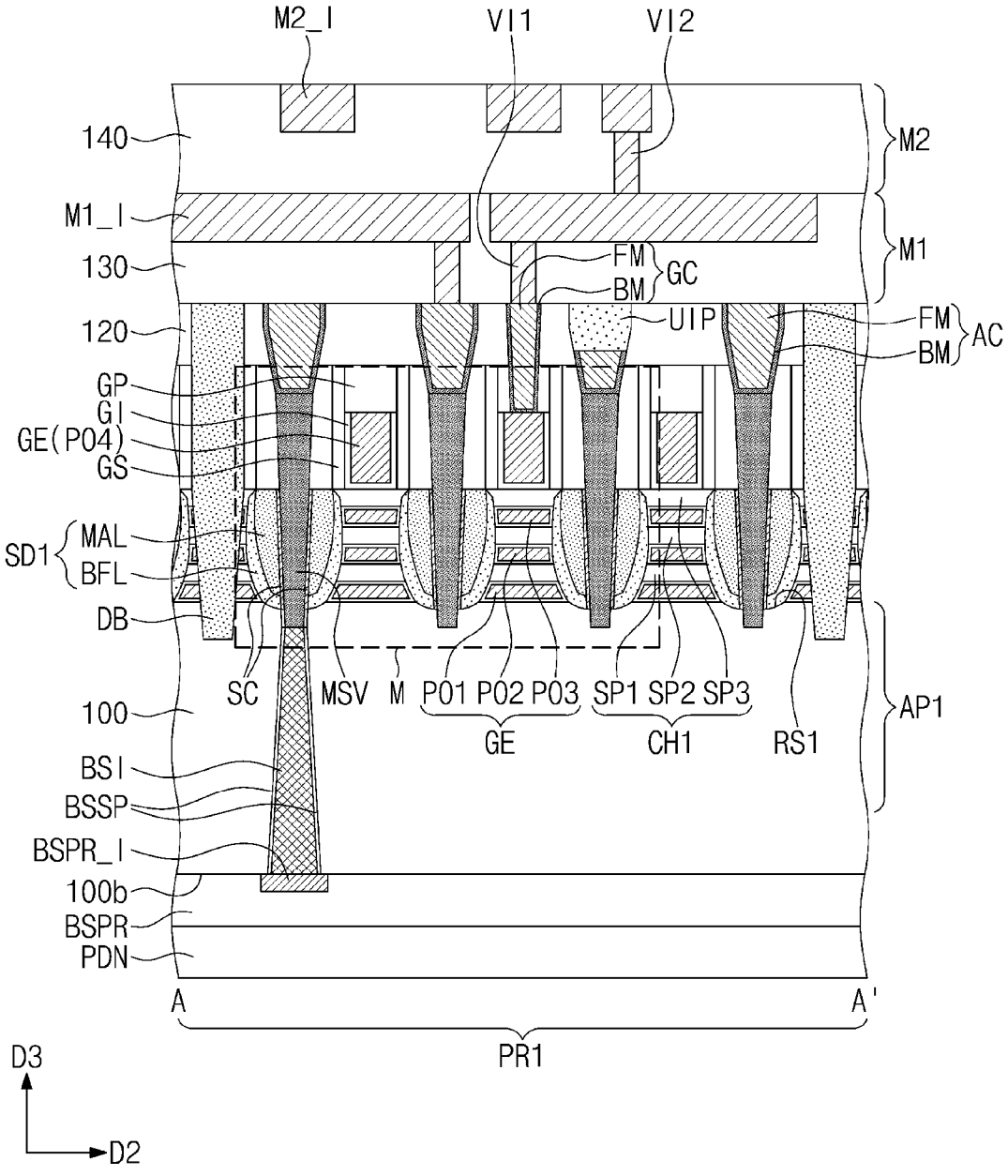
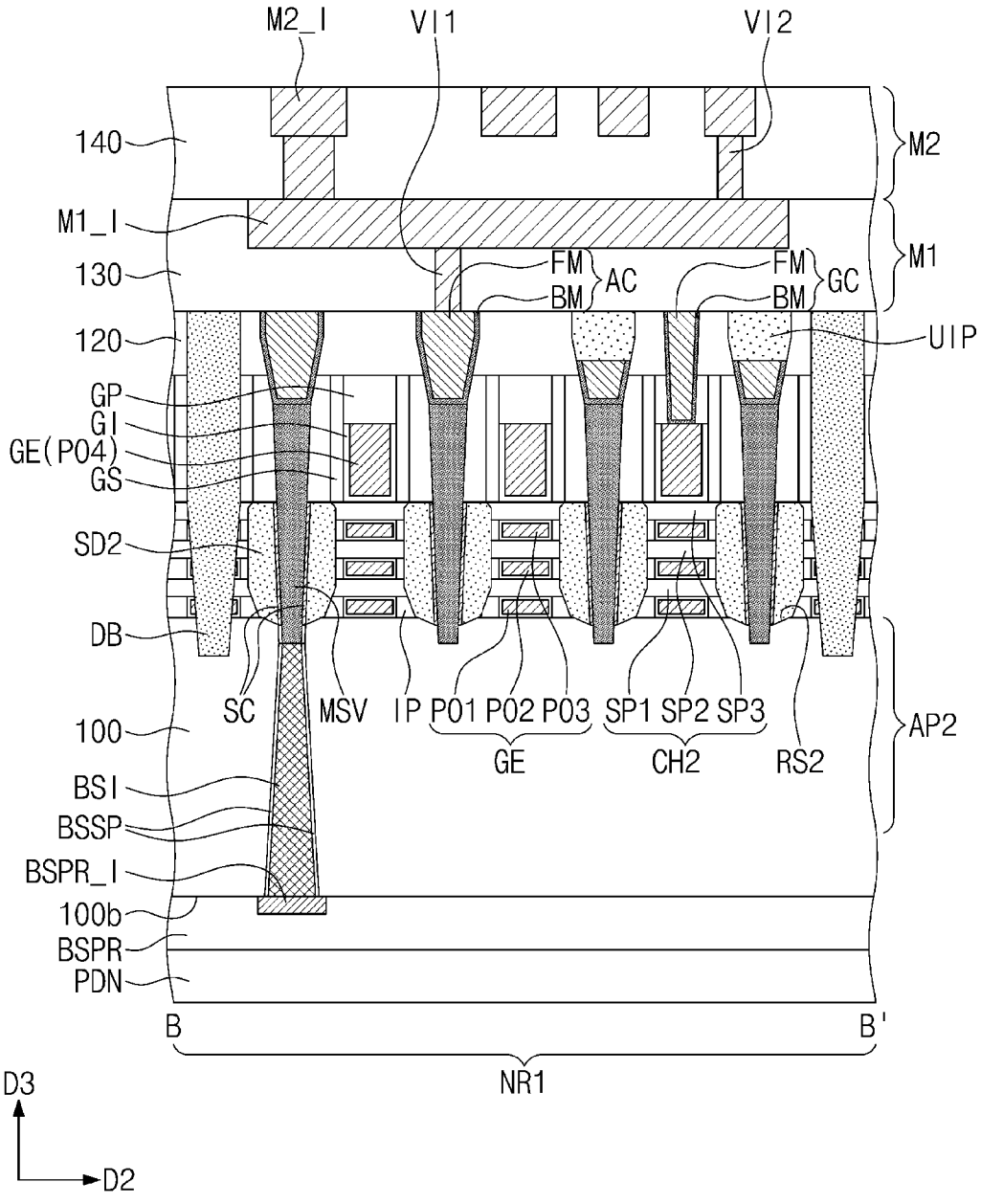

DB
GE
CT
GE
GC
DB
VPR3
(VSS)
NR2
AC
SHC2
C
D
PR2
GC
BD3
VPR2
(VDD)
AC
PR1
A
SHC1
BD2
NR1
B
BD1
VPR1
(VSS)
C'
D'
A'
B'
100
BD4
GC
D1
D3
D2

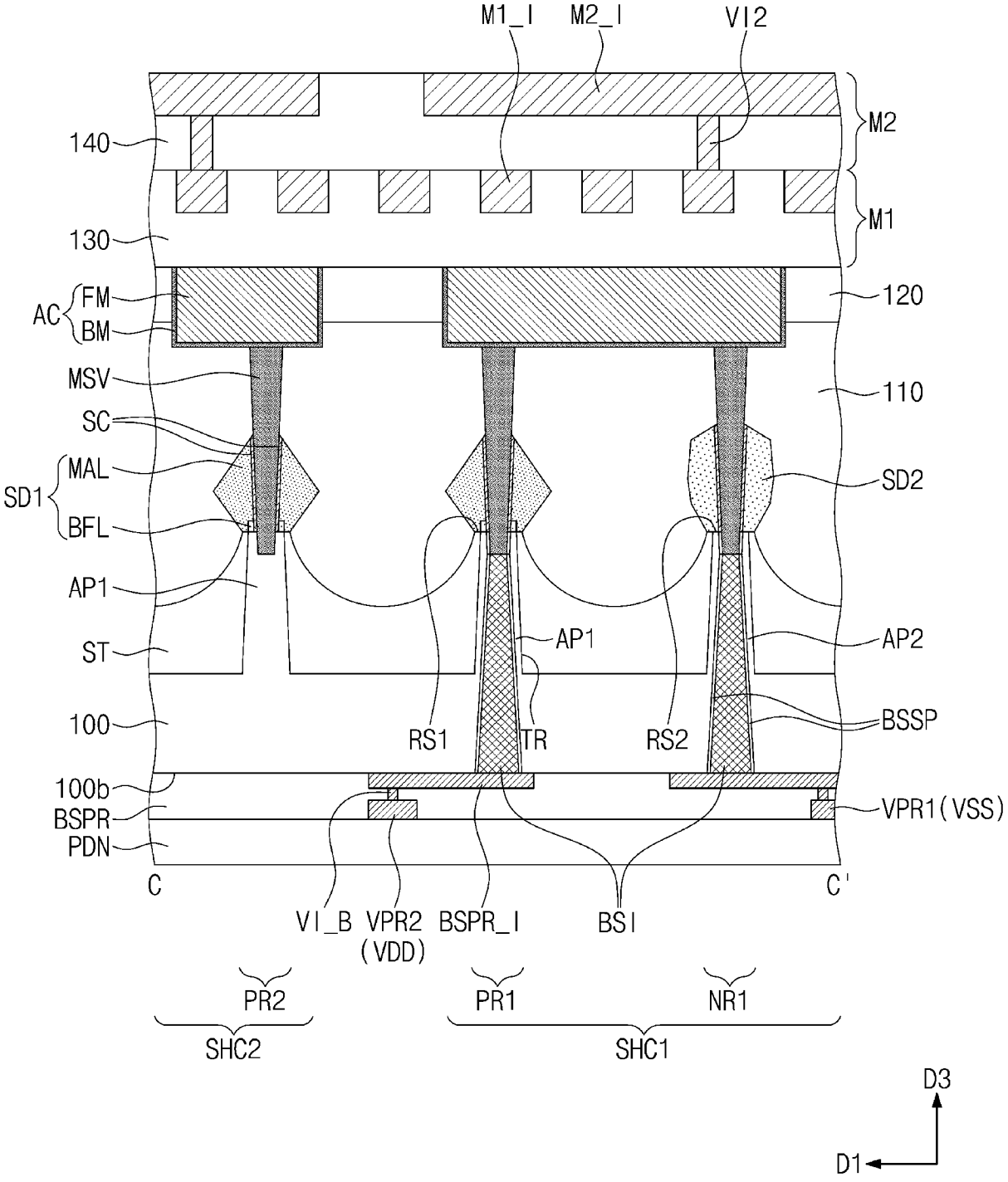
圖4


M2_I
VI1
VI2
140
M2
M1_I
M1
130
FM
GC
BM
120
UIP
FM
AC
BM
GP
GI
GE(P04)
GS
SD1
MAL
BFL
DB
SC
MSV
M
P01 P02 P03
SP1 SP2 SP3
GE
CH1
RS1
AP1
100
BSI
BSSP
BSPR_I
100b
BSPR
PDN
A
A'
PR1
D3
D2

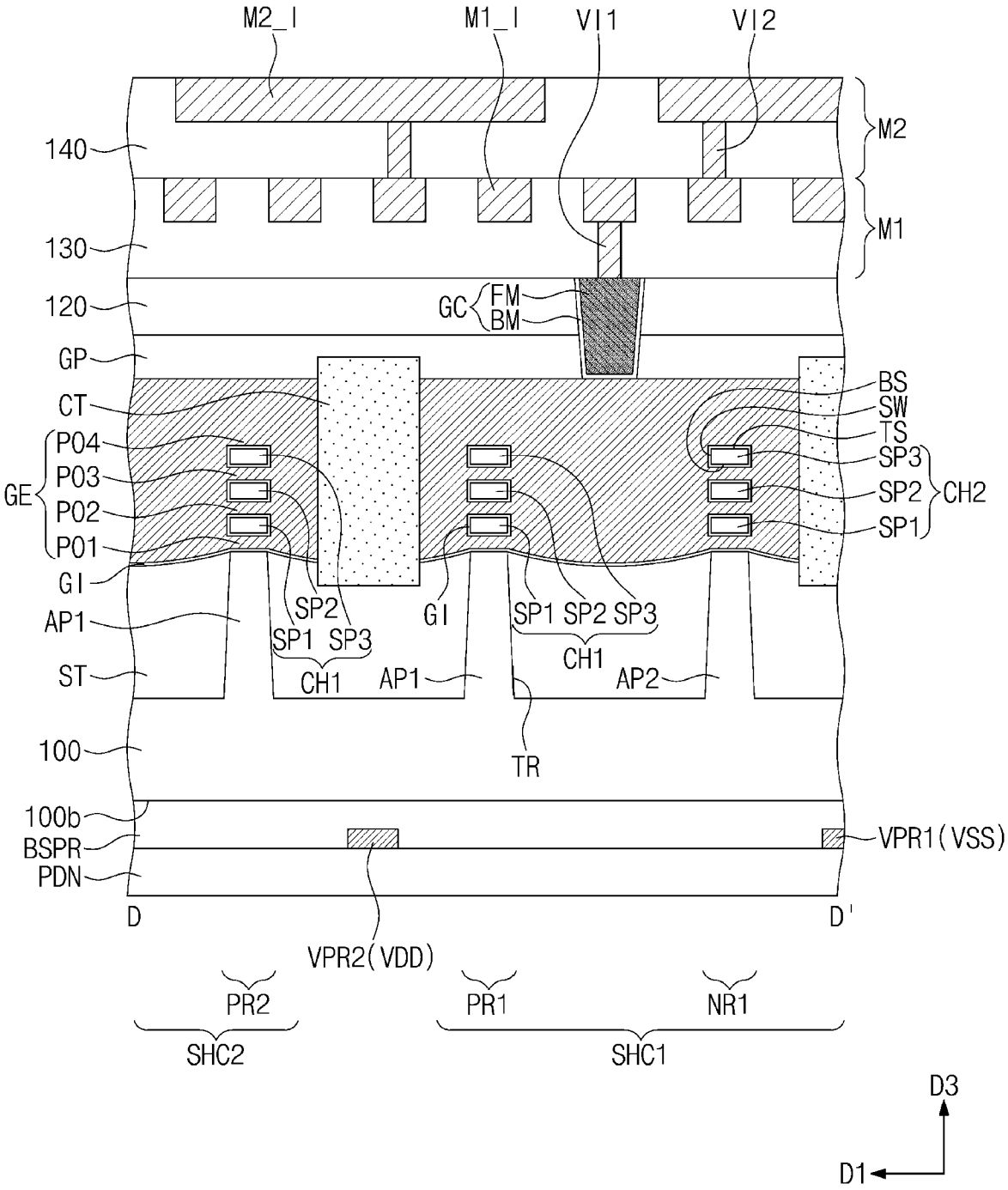
【圖5A】


M2_I
VI1
VI2
140
M2
M1_I
M1
130
FM
BM
AC
FM
BM
GC
120
UIP
GP
GI
GE(P04)
GS
SD2
DB
SC
MSV
IP
P01 P02 P03
SP1 SP2 SP3
GE
CH2
RS2
AP2
100
BSI
BSSP
BSPR_I
100b
BSPR
PDN
B
B'
NR1
D3
D2

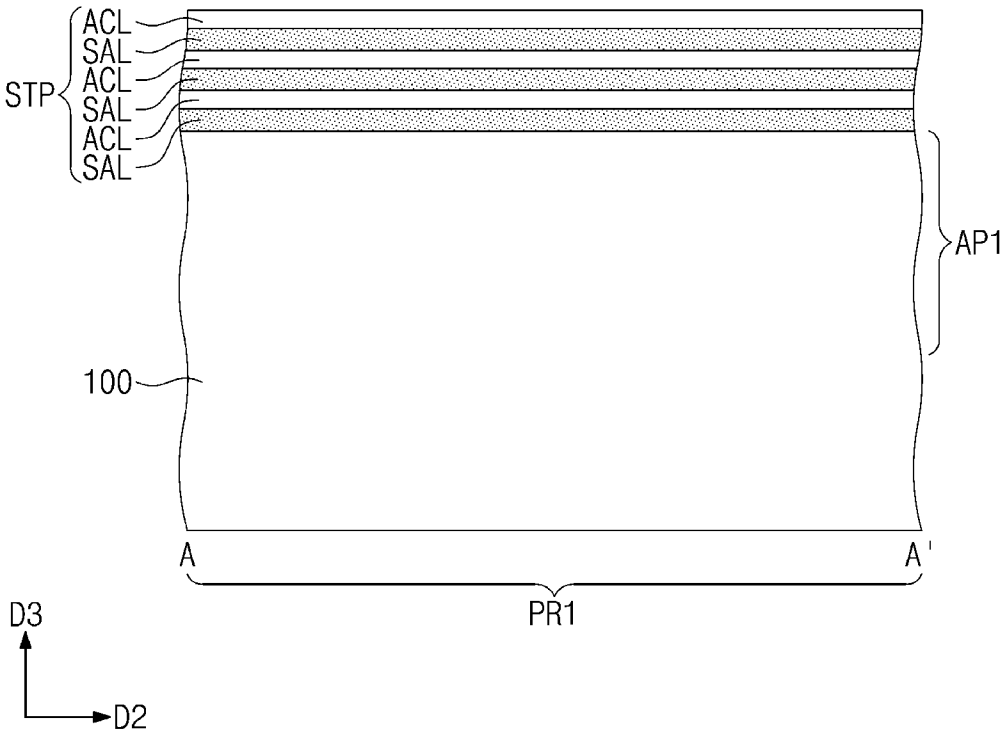
【圖5B】


M1_I
M2_I
VI2
M2
M1
140
130
120
110
AC
FM
BM
MSV
SC
SD1
MAL
BFL
SD2
AP1
ST
AP1
AP2
100
RS1
TR
RS2
BSSP
100b
BSPR
PDN
VPR1(VSS)
C
C'
VI_B
VPR2
(VDD)
BSPR_I
BSI
PR2
PR1
NR1
SHC2
SHC1
D3
D1

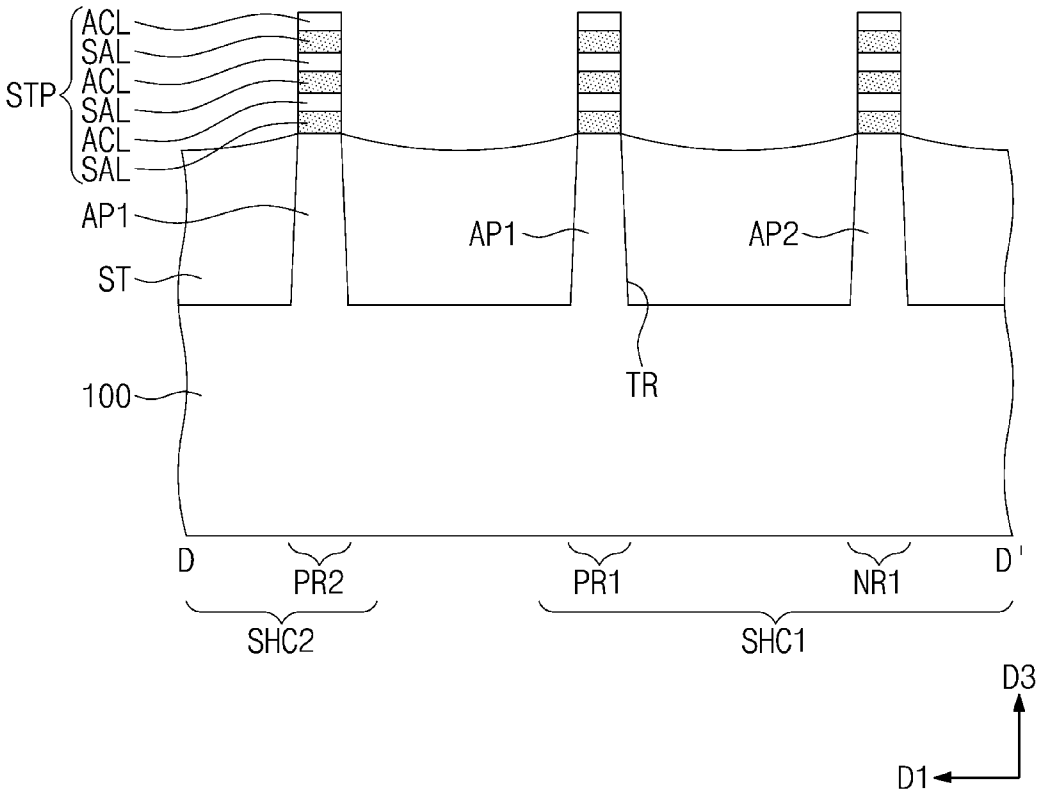
【圖5C】


M2_I
M1_I
VI1
VI2
M2
M1
140
130
120
GP
CT
GC
FM
BM
BS
SW
TS
SP3
SP2
SP1
CH2
GE
P04
P03
P02
P01
GI
AP1
SP2
SP1 SP3
CH1
ST
AP1
GI
SP1 SP2 SP3
CH1
AP2
TR
100
100b
BSPR
PDN
VPR1(VSS)
D
D'
VPR2(VDD)
PR2
PR1
NR1
SHC2
SHC1
D3
D1

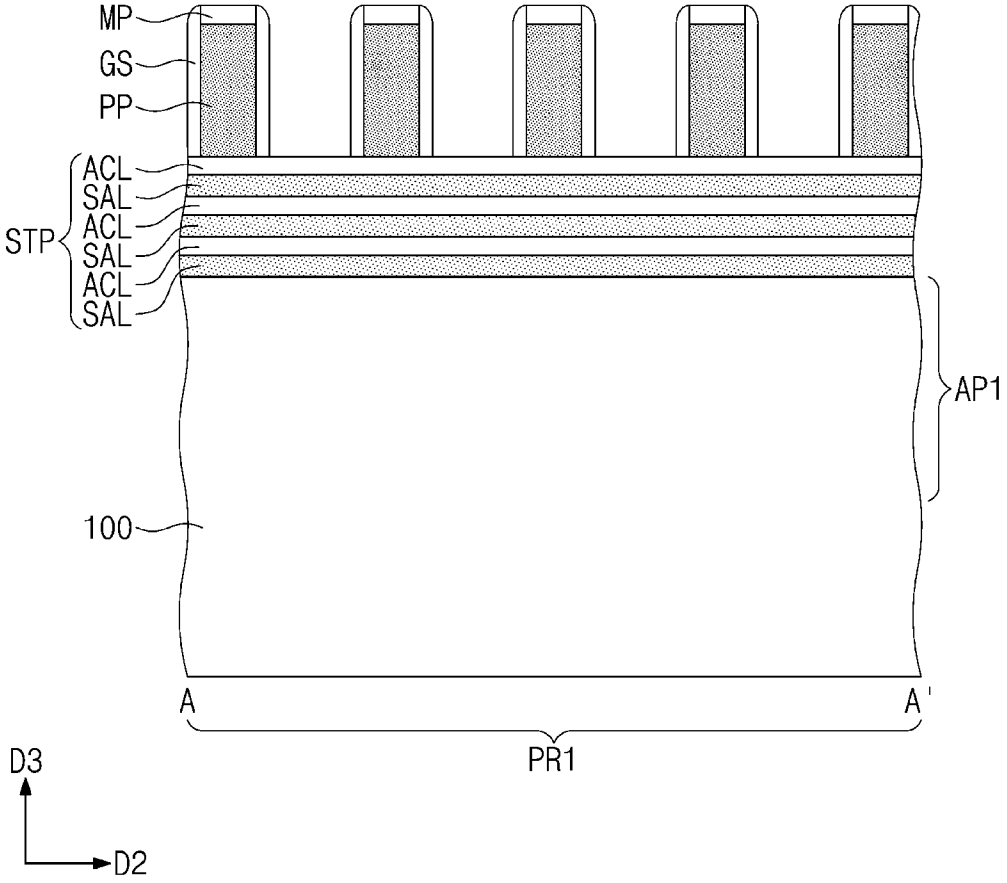
【圖5D】



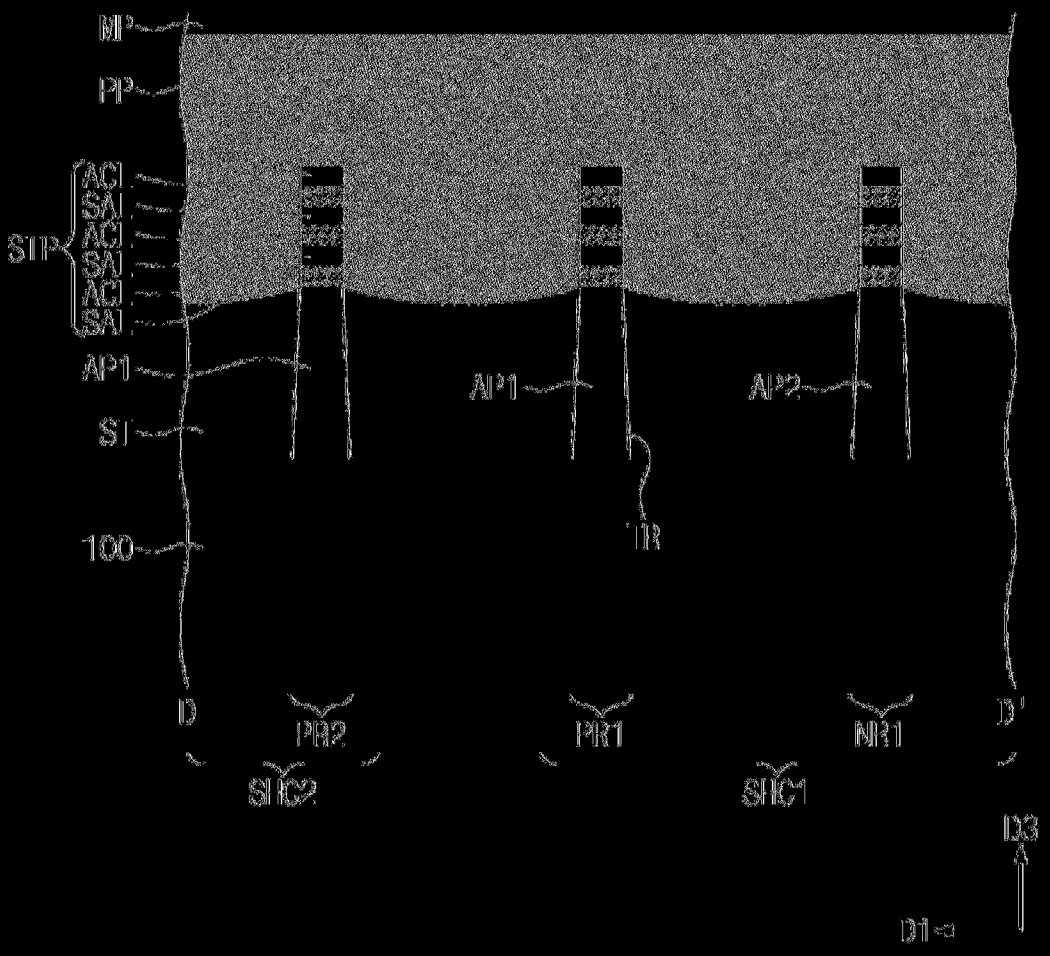
【圖6A】


ACL
SAL
ACL
SAL
ACL
SAL
STP
AP1
ST
100
AP1
AP2
TR
D
PR2
PR1
NR1
D'
SHC2
SHC1
D3
D1

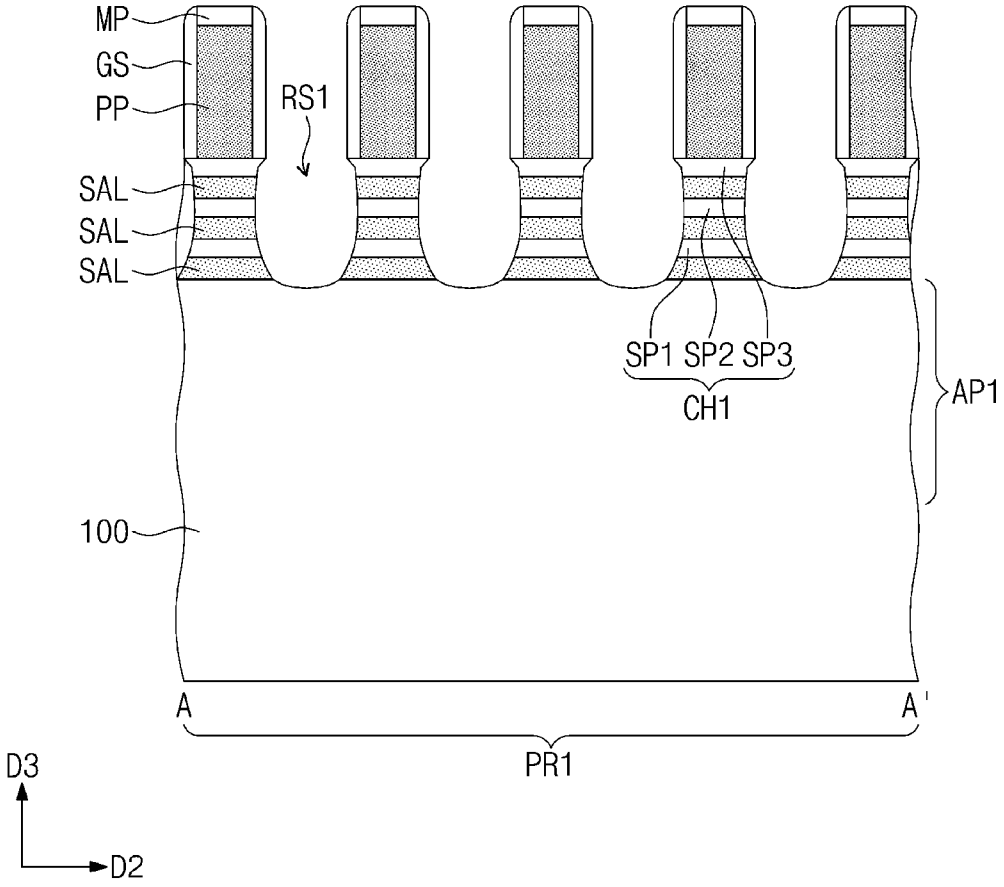
【圖6B】



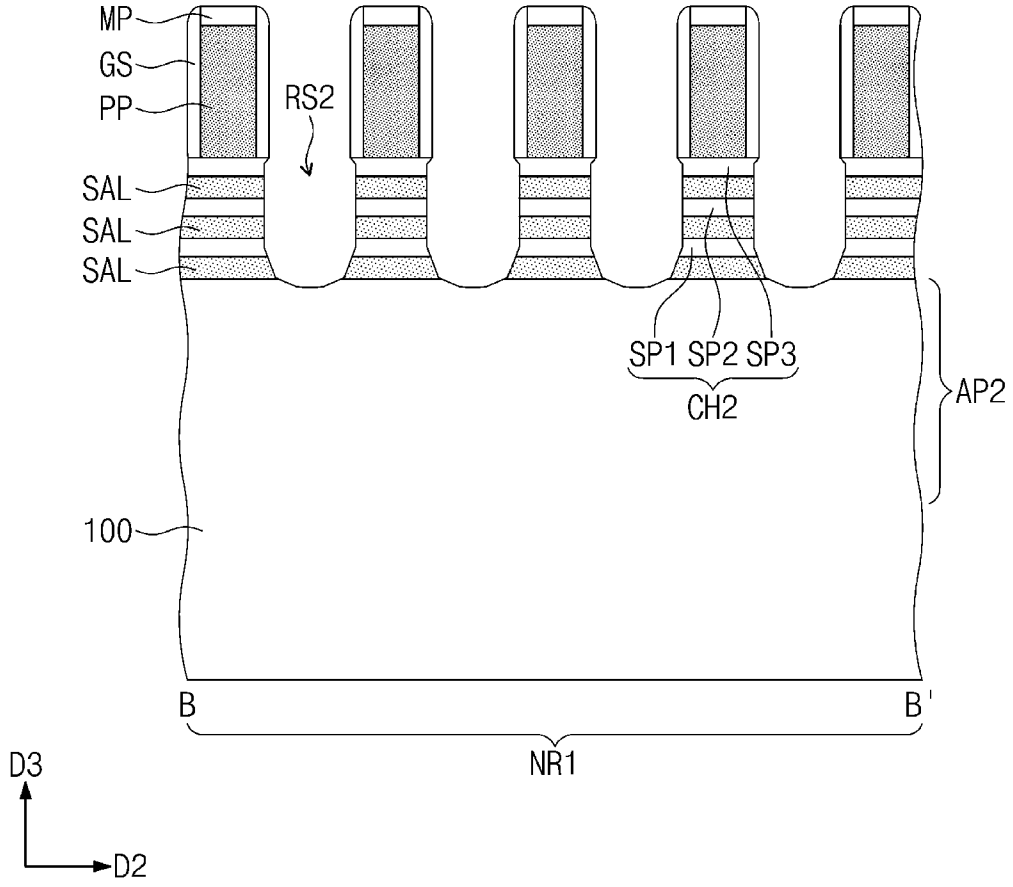
【圖7A】


MP
PP
AC
SA
AC
SA
AC
SA
SIP
AP1
AP1
AP2
S1
100
TR
D
PR2
PR1
NR1
D'
SHC2
SHC1
D3
D1

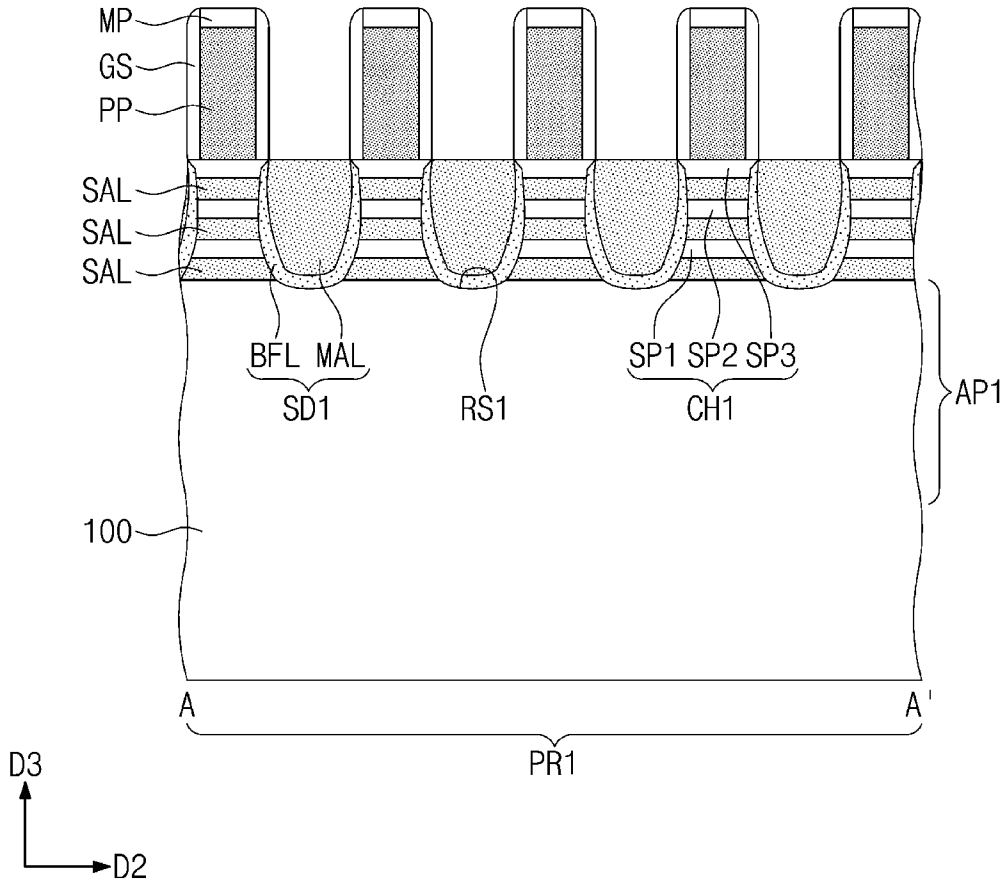
圖(圖/B)



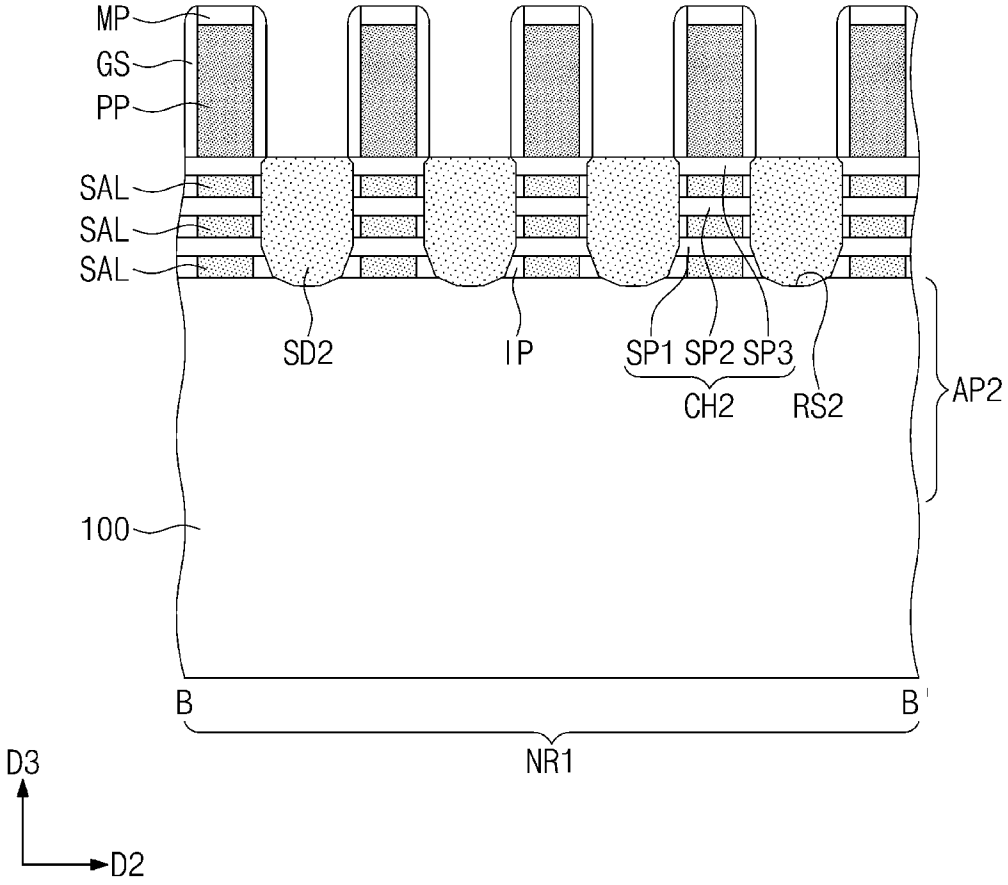
【圖8A】



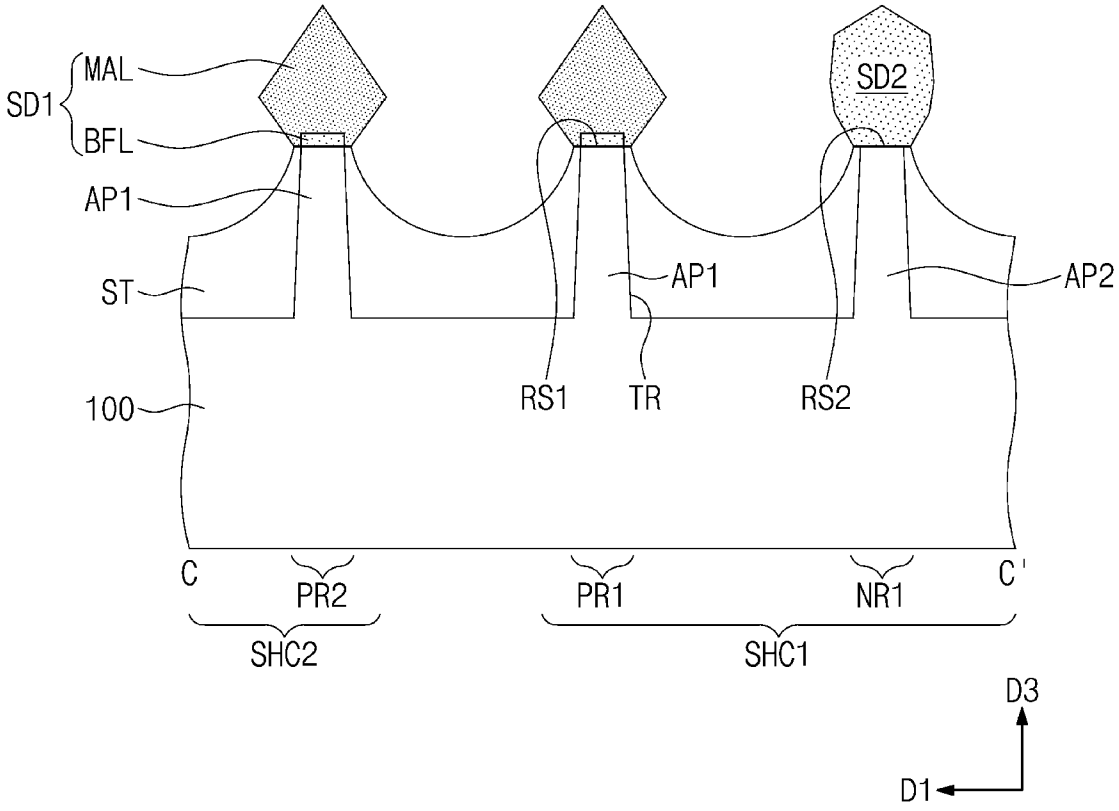
【圖8B】


MP
GS
PP
SAL
SAL
SAL
BFL
MAL
SD1
RS1
SP1
SP2
SP3
CH1
AP1
100
A
A'
PR1
D3
D2

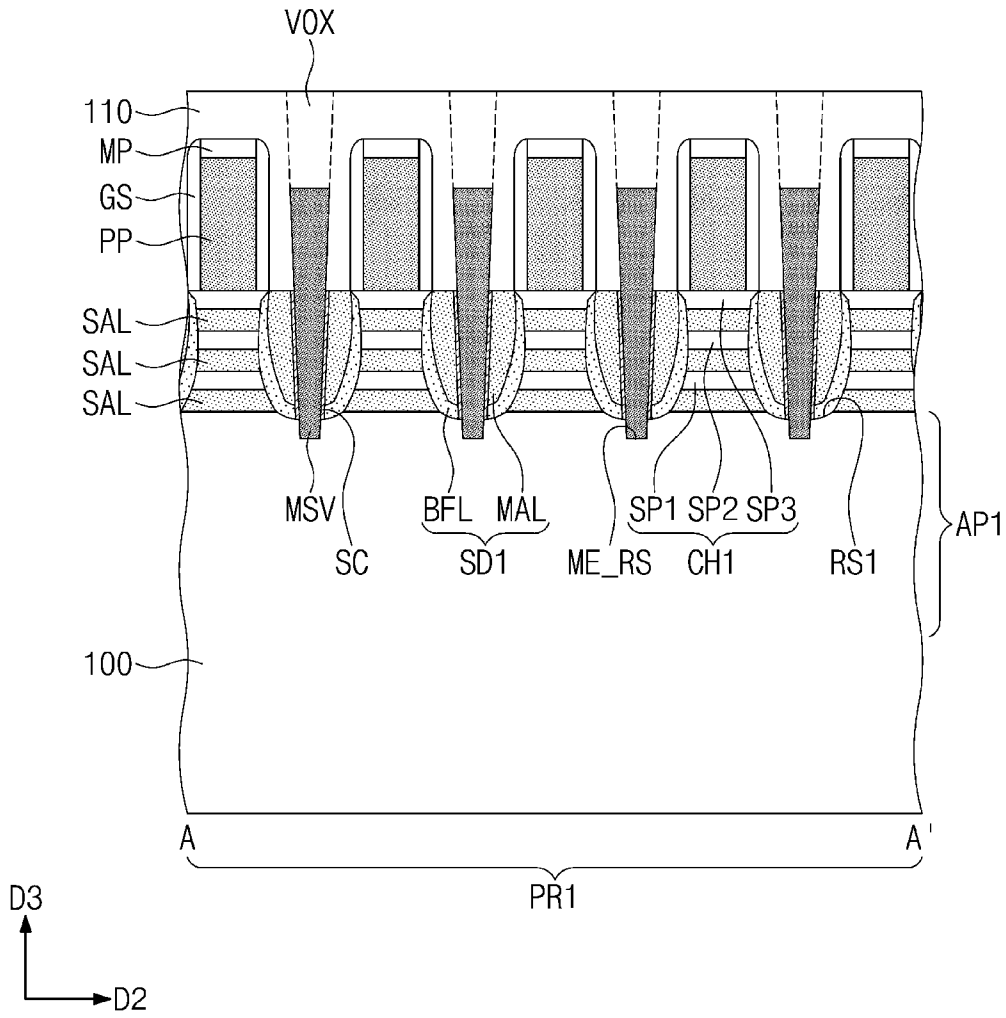
【圖9A】


MP
GS
PP
SAL
SAL
SAL
SD2
IP
SP1 SP2 SP3
CH2
RS2
AP2
100
B
B'
NR1
D3
D2

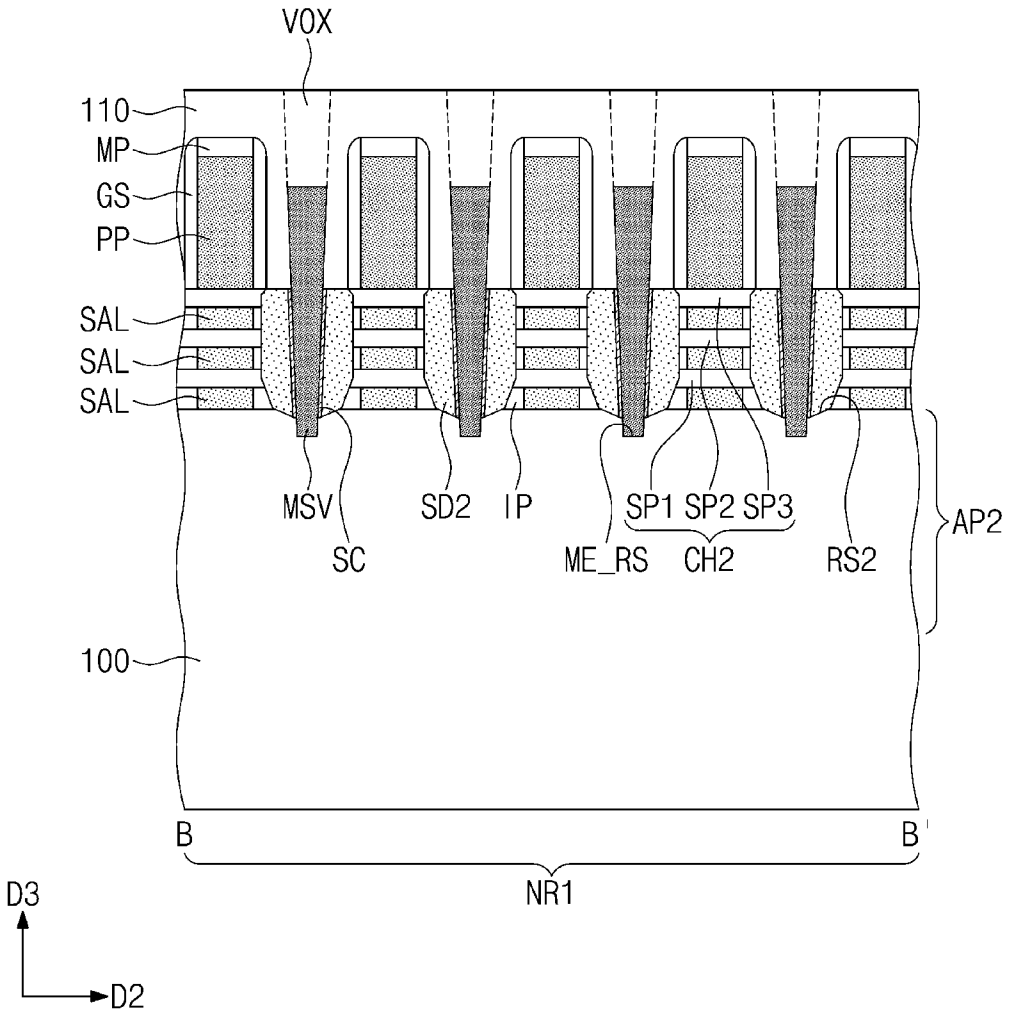
【圖9B】


SD1
MAL
BFL
AP1
ST
100
SD2
AP1
AP2
RS1
TR
RS2
C
PR2
PR1
NR1
C'
SHC2
SHC1
D3
D1

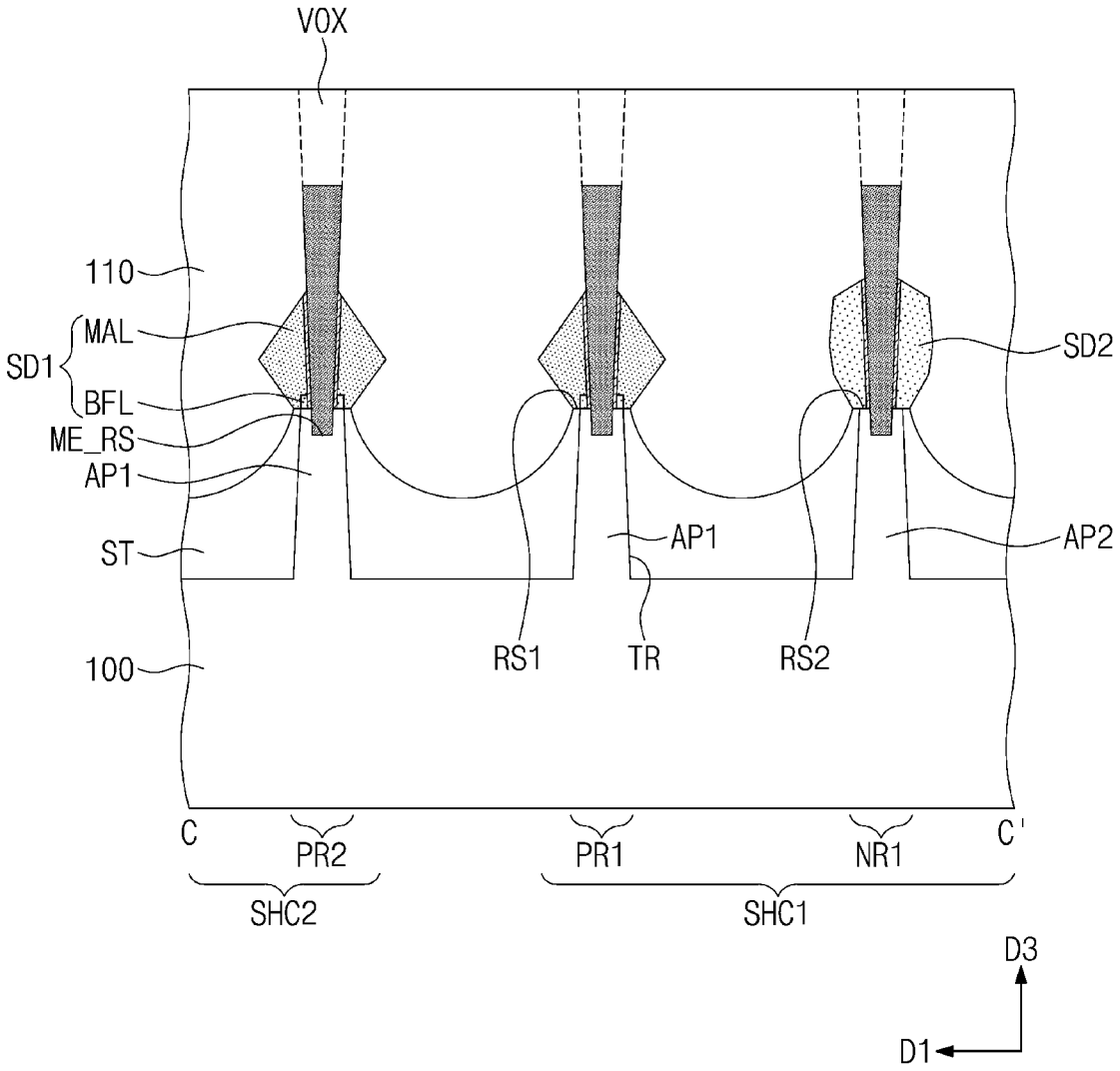
【圖9C】


VOX
110
MP
GS
PP
SAL
SAL
SAL
MSV
SC
BFL
MAL
SD1
SP1
SP2
SP3
ME_RS
CH1
RS1
AP1
100
A
A'
PR1
D3
D2

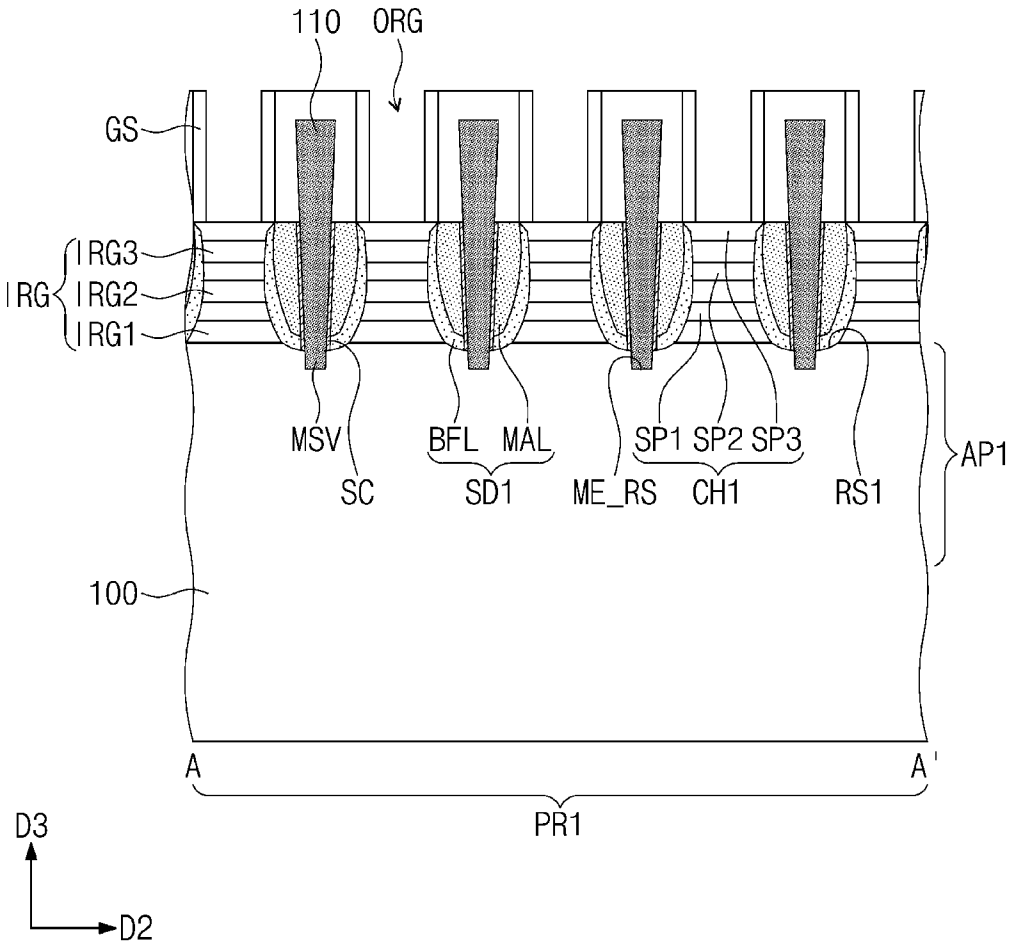
【圖10A】


VOX
110
MP
GS
PP
SAL
SAL
SAL
MSV
SC
SD2
IP
ME_RS
SP1 SP2 SP3
CH2
RS2
AP2
100
B
B'
NR1
D3
D2

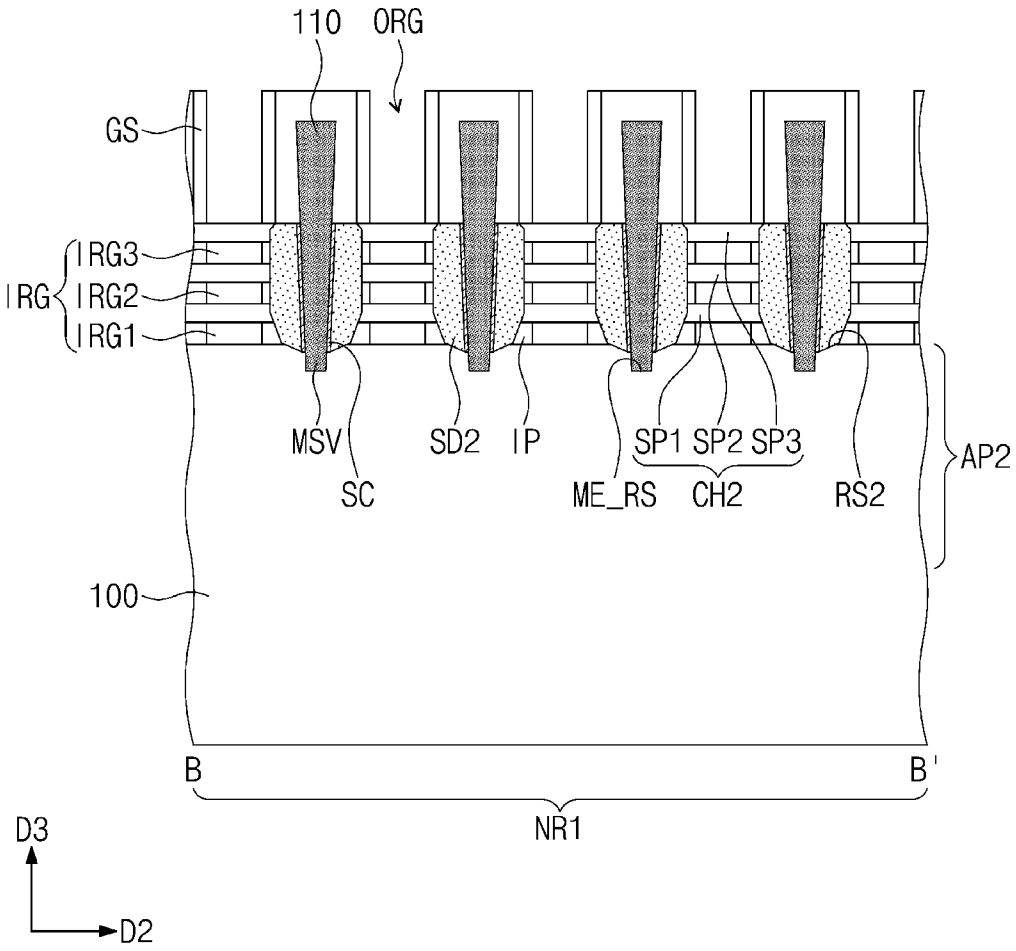
【圖10B】


VOX
110
SD1
MAL
BFL
ME_RS
AP1
ST
100
SD2
AP1
AP2
RS1
TR
RS2
C
PR2
PR1
NR1
C'
SHC2
SHC1
D3
D1

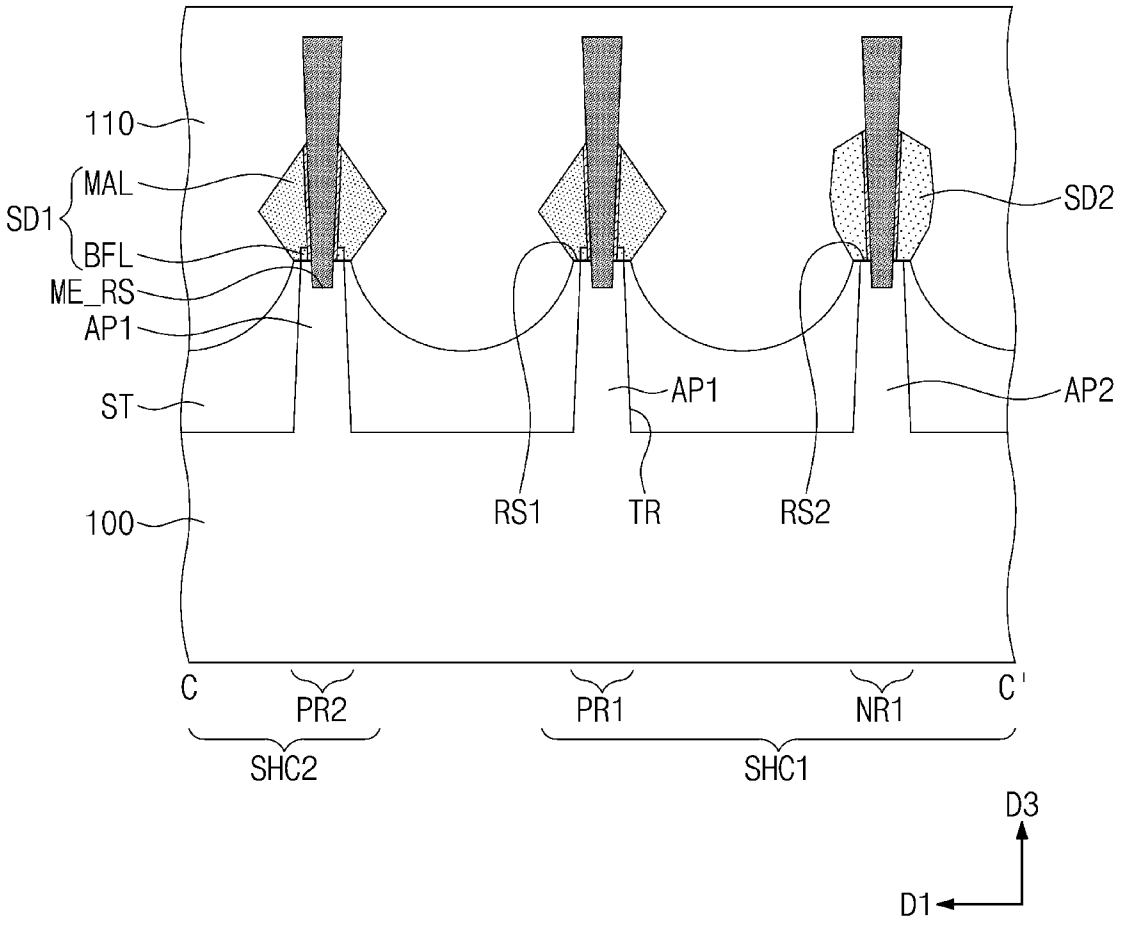
【圖10C】


110
ORG
GS
IRG
IRG3
IRG2
IRG1
MSV
SC
BFL
MAL
SD1
SP1
SP2
SP3
ME_RS
CH1
RS1
AP1
100
A
A'
PR1
D3
D2

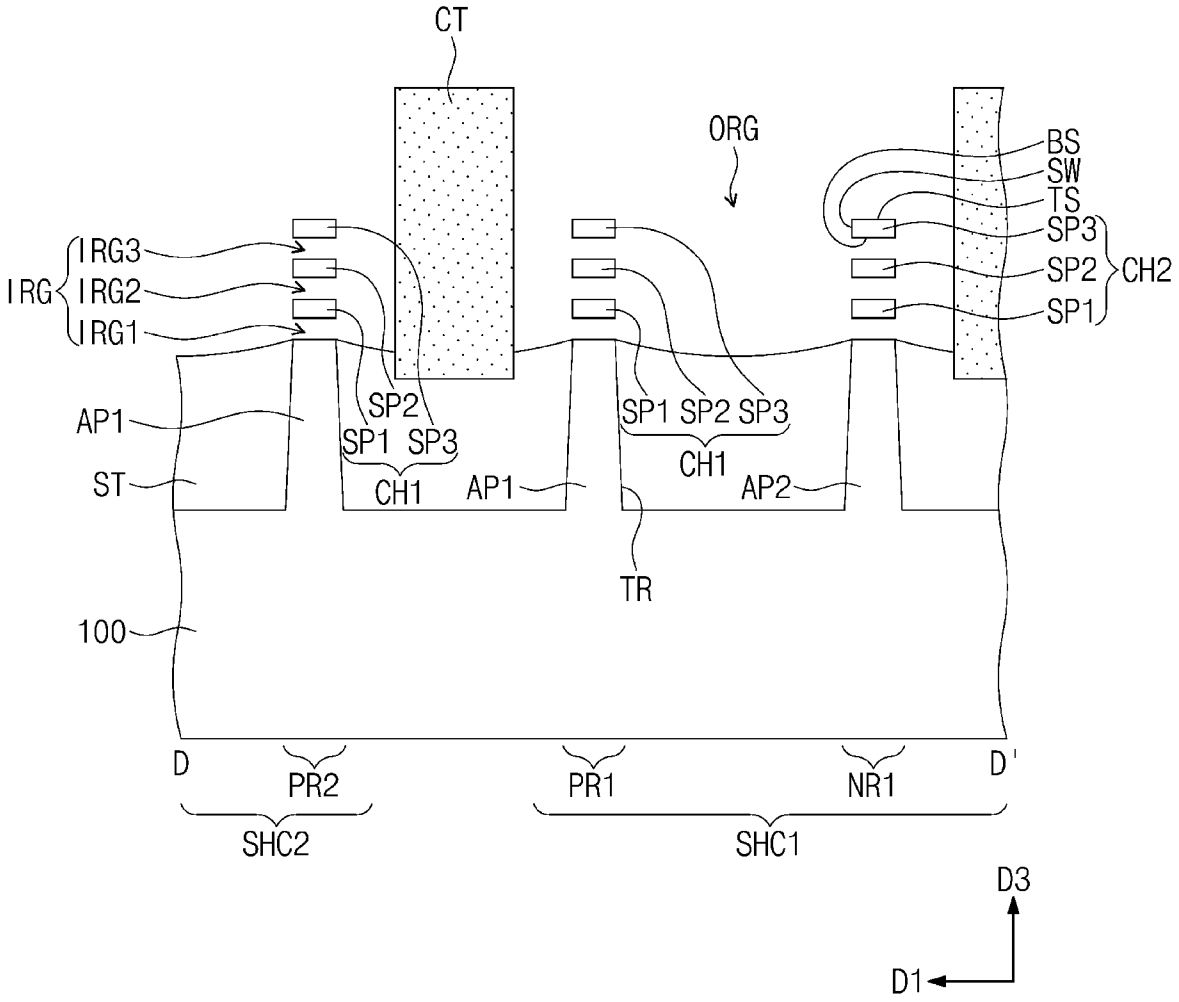
【圖11A】


110
ORG
GS
IRG
IRG3
IRG2
IRG1
MSV
SC
SD2
IP
ME_RS
SP1
SP2
SP3
CH2
RS2
AP2
100
B
B'
NR1
D3
D2

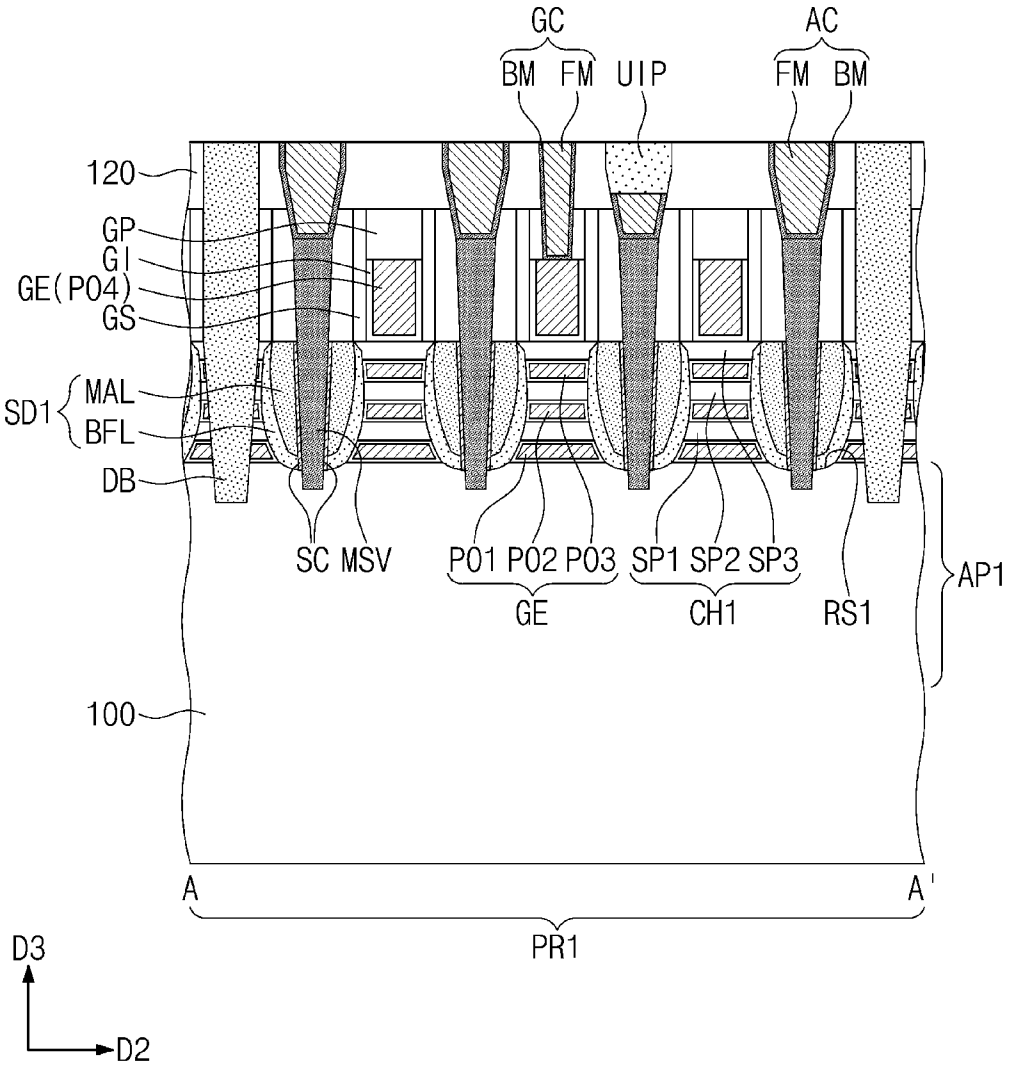
【圖11B】


110
SD1
MAL
BFL
ME_RS
AP1
ST
100
SD2
AP1
AP2
RS1
TR
RS2
C
PR2
PR1
NR1
C'
SHC2
SHC1
D3
D1

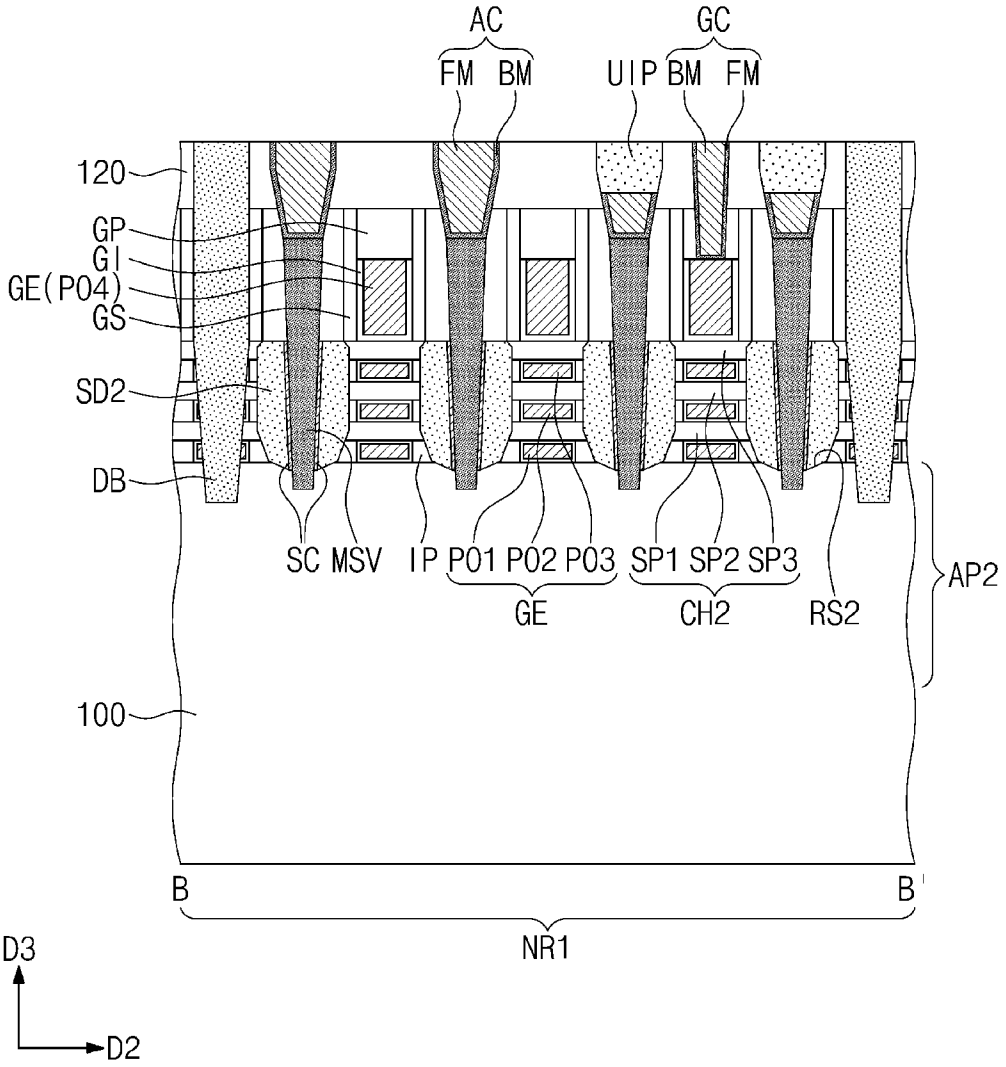
【圖11C】


CT
ORG
BS
SW
TS
SP3
SP2
SP1
CH2
IRG
IRG3
IRG2
IRG1
AP1
ST
SP2
SP1 SP3
CH1
AP1
SP1 SP2 SP3
CH1
AP2
TR
100
D
PR2
PR1
NR1
D'
SHC2
SHC1
D3
D1

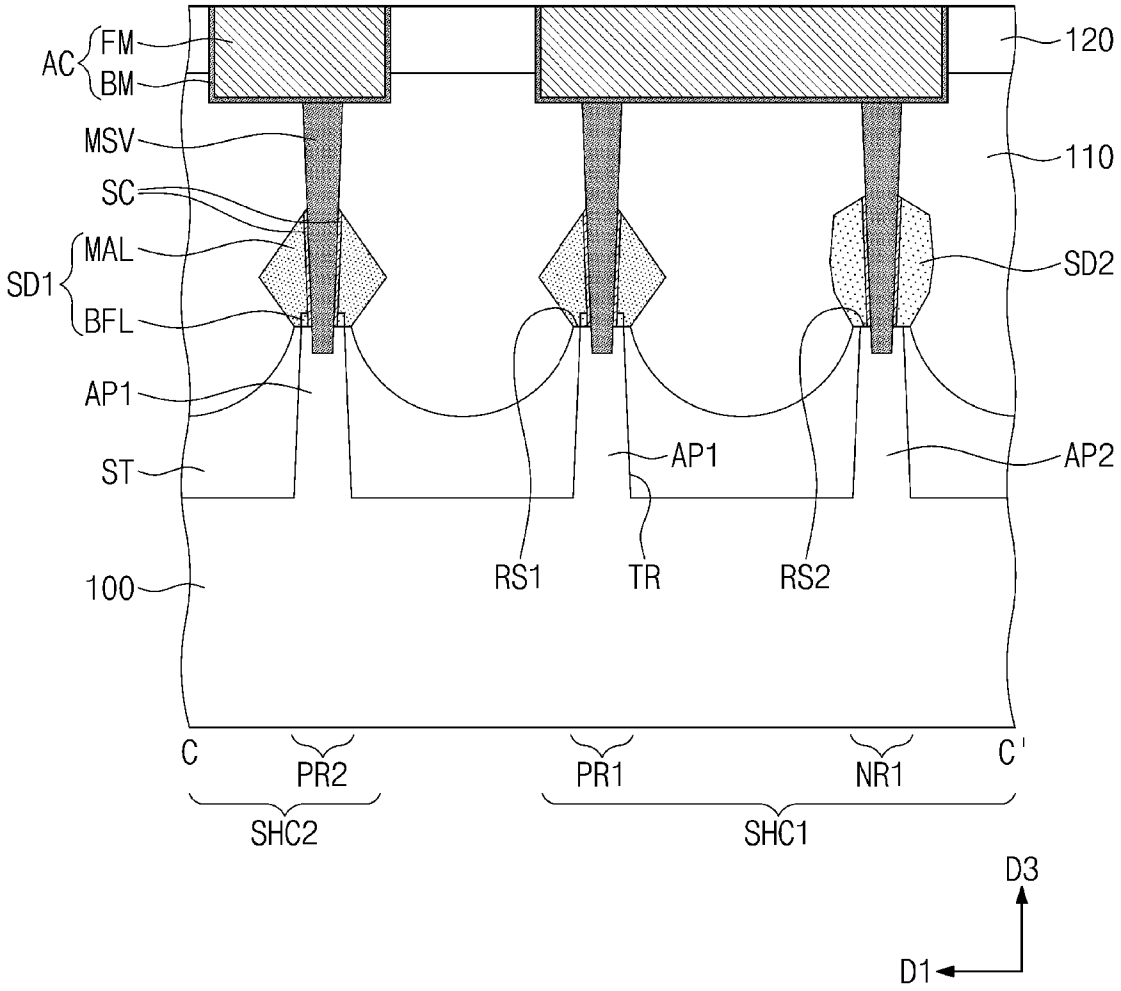
【圖11D】


GC
AC
BM FM UIP
FM BM
120
GP
GI
GE(P04)
GS
SD1
MAL
BFL
DB
SC MSV
P01 P02 P03
SP1 SP2 SP3
GE
CH1
RS1
AP1
100
A
A'
PR1
D3
D2

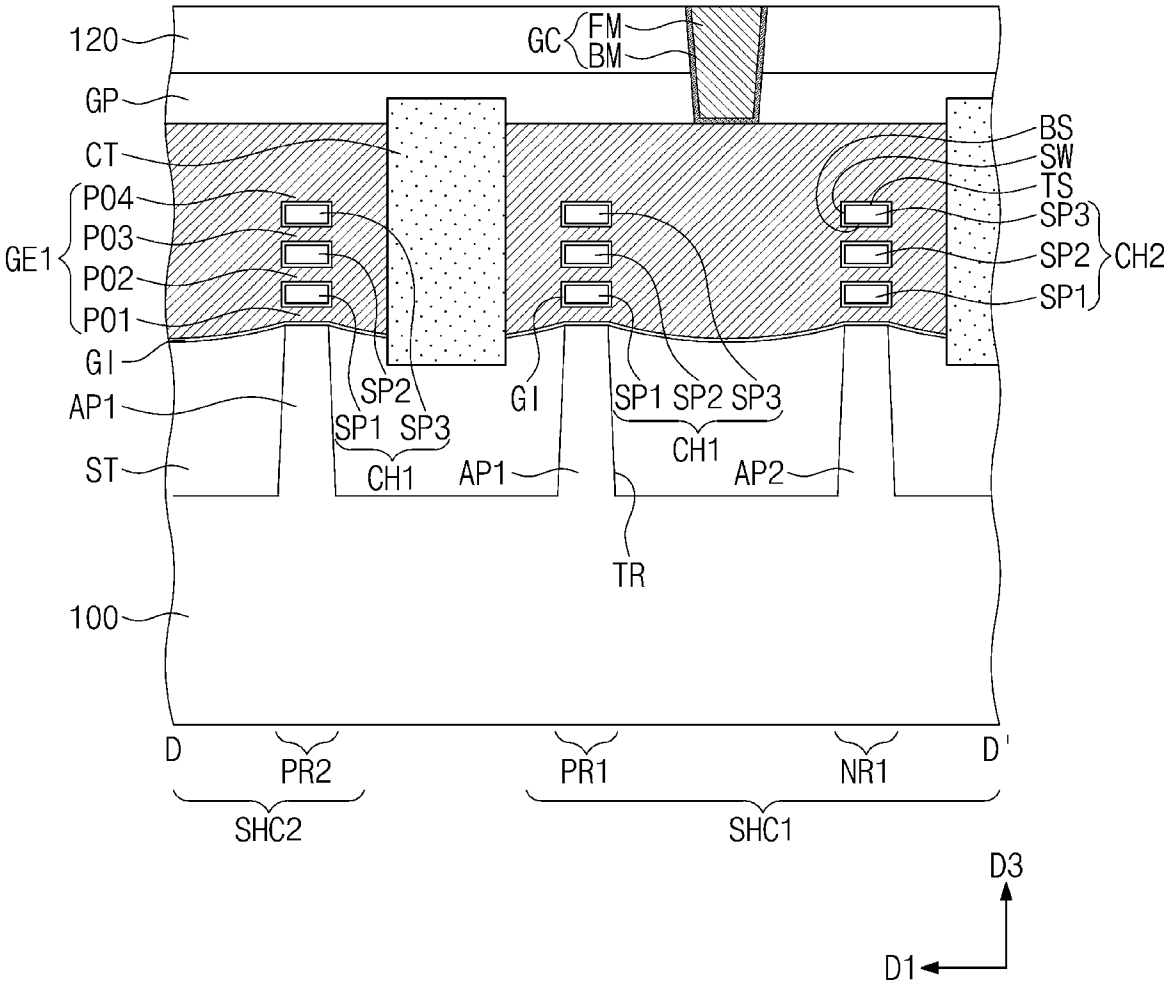
【圖12A】


AC
GC
FM
BM
UIP
BM
FM
120
GP
GI
GE(P04)
GS
SD2
DB
SC
MSV
IP
P01
P02
P03
SP1
SP2
SP3
GE
CH2
RS2
AP2
100
B
B'
NR1
D3
D2

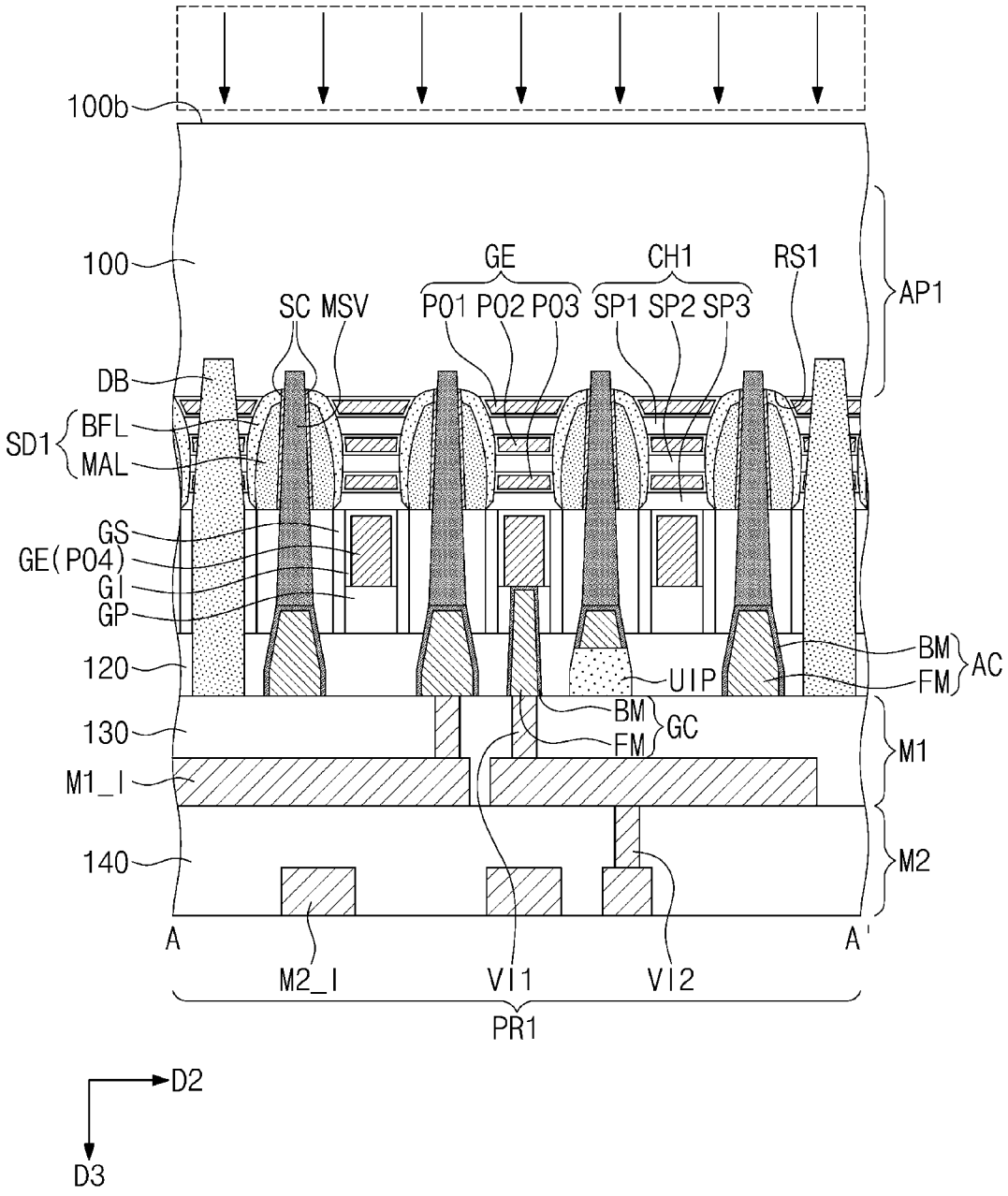
【圖12B】


AC
FM
BM
MSV
SC
SD1
MAL
BFL
AP1
ST
100
120
110
SD2
AP1
AP2
RS1
TR
RS2
C
PR2
PR1
NR1
C'
SHC2
SHC1
D3
D1

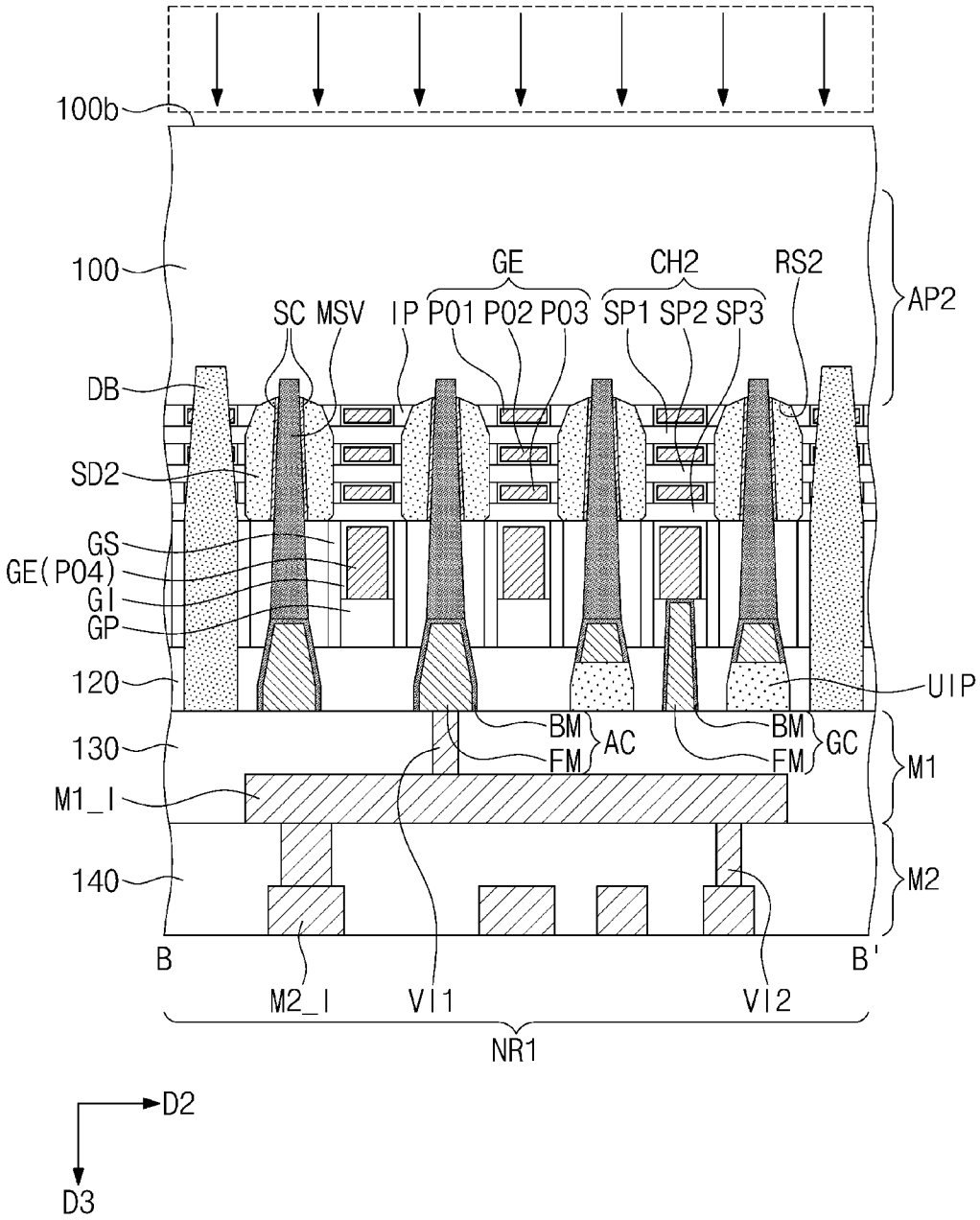
【圖12C】


120
GC
FM
BM
GP
CT
GE1
P04
P03
P02
P01
GI
AP1
ST
100
BS
SW
TS
SP3
SP2
SP1
CH2
SP2
SP1 SP3
CH1
GI
SP1 SP2 SP3
CH1
AP1
AP2
TR
D
PR2
PR1
NR1
D'
SHC2
SHC1
D3
D1

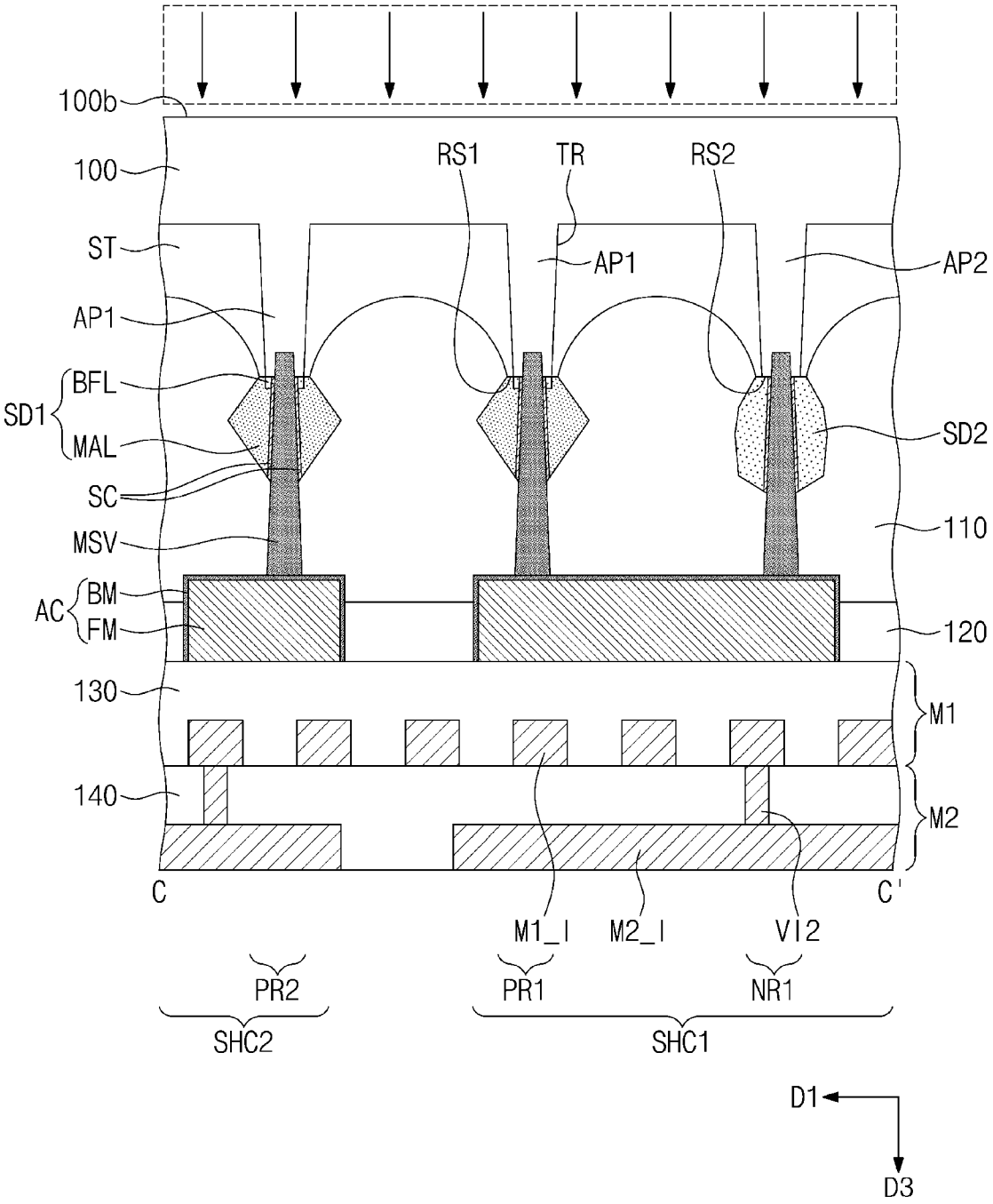
【圖12D】


100b
100
GE
CH1
RS1
AP1
SC MSV
P01 P02 P03
SP1 SP2 SP3
DB
SD1
BFL
MAL
GS
GE(P04)
GI
GP
120
BM
FM
AC
UIP
130
BM
FM
GC
M1
M1_I
140
M2
A
A'
M2_I
VI1
VI2
PR1
D2
D3

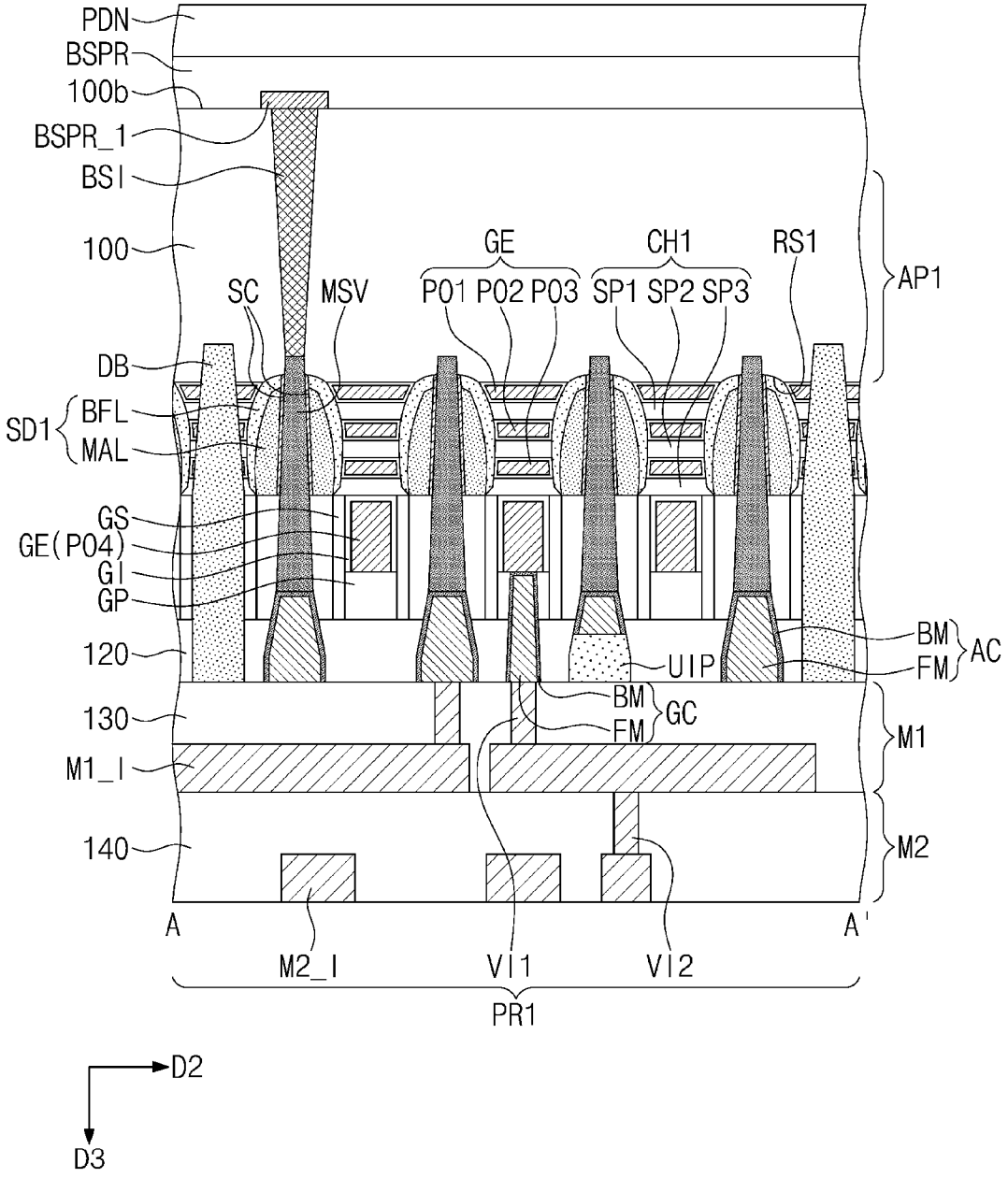
【圖13A】


100b
100
GE
CH2
RS2
AP2
SC MSV IP P01 P02 P03 SP1 SP2 SP3
DB
SD2
GS
GE(P04)
GI
GP
120
UIP
130
BM
AC
FM
BM
GC
FM
M1
M1_I
140
M2
B
B'
M2_I
VI1
VI2
NR1
D2
D3

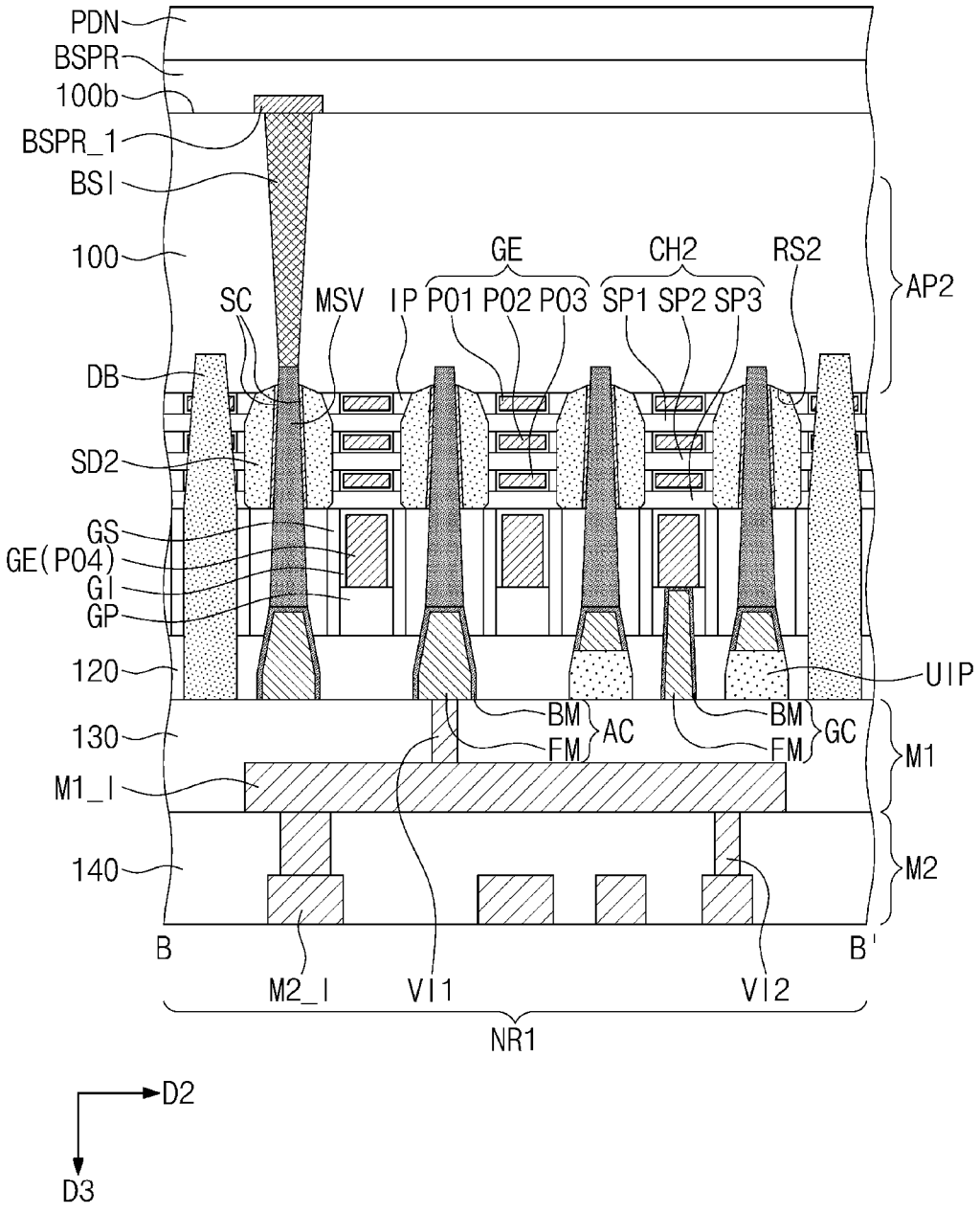
【圖13B】


100b
100
RS1
TR
RS2
ST
AP1
AP2
AP1
SD1
BFL
MAL
SD2
SC
MSV
110
AC
BM
FM
120
130
M1
140
M2
C
C'
M1_I
M2_I
VI2
PR2
PR1
NR1
SHC2
SHC1
D1
D3

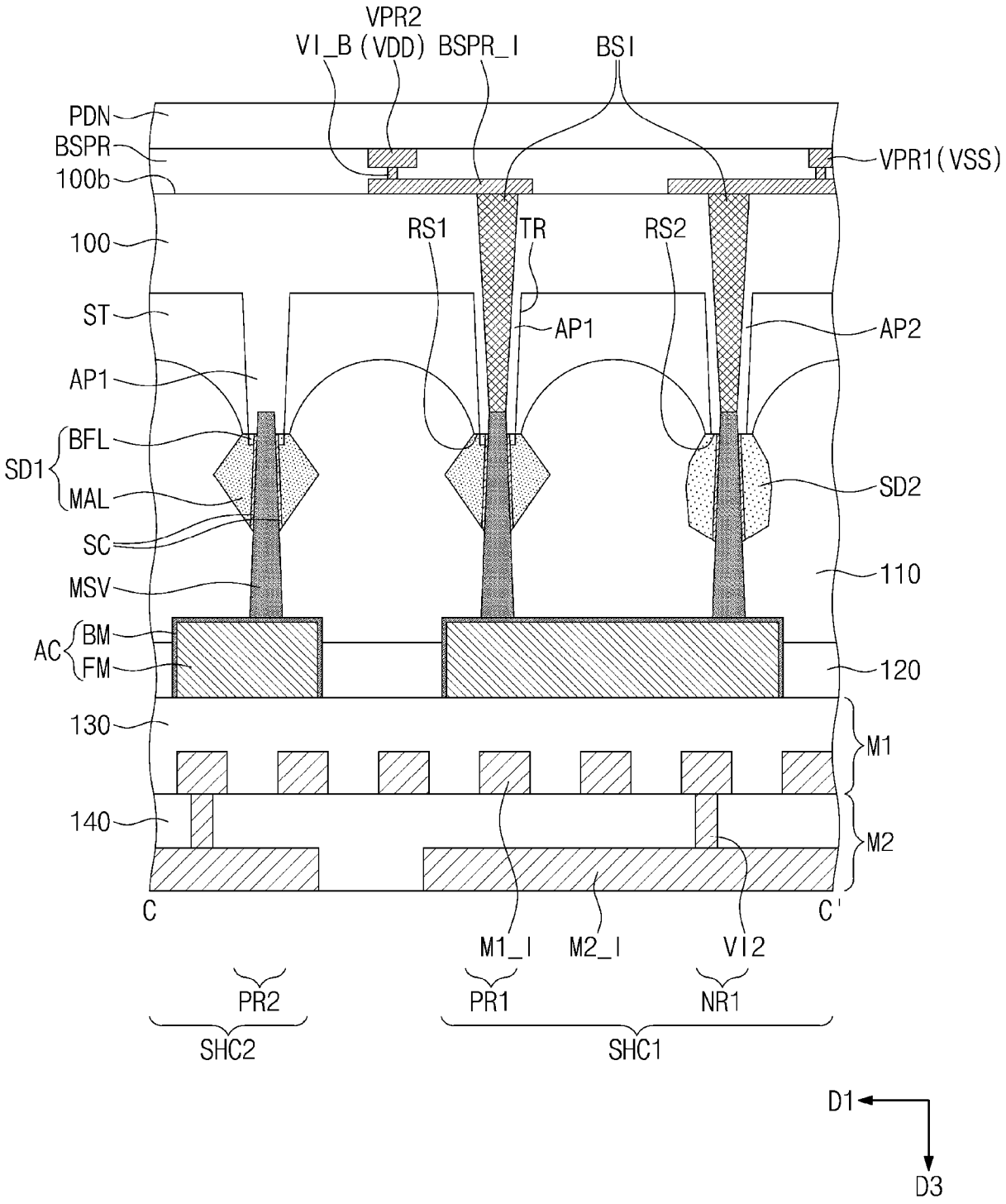
【圖13C】


PDN
BSPR
100b
BSPR_1
BSI
100
GE
CH1
RS1
AP1
SC
MSV
P01 P02 P03
SP1 SP2 SP3
DB
SD1
BFL
MAL
GS
GE(P04)
GI
GP
120
BM
AC
FM
UIP
130
BM
GC
FM
M1
M1_I
140
M2
A
A'
M2_I
VI1
VI2
PR1
D2
D3

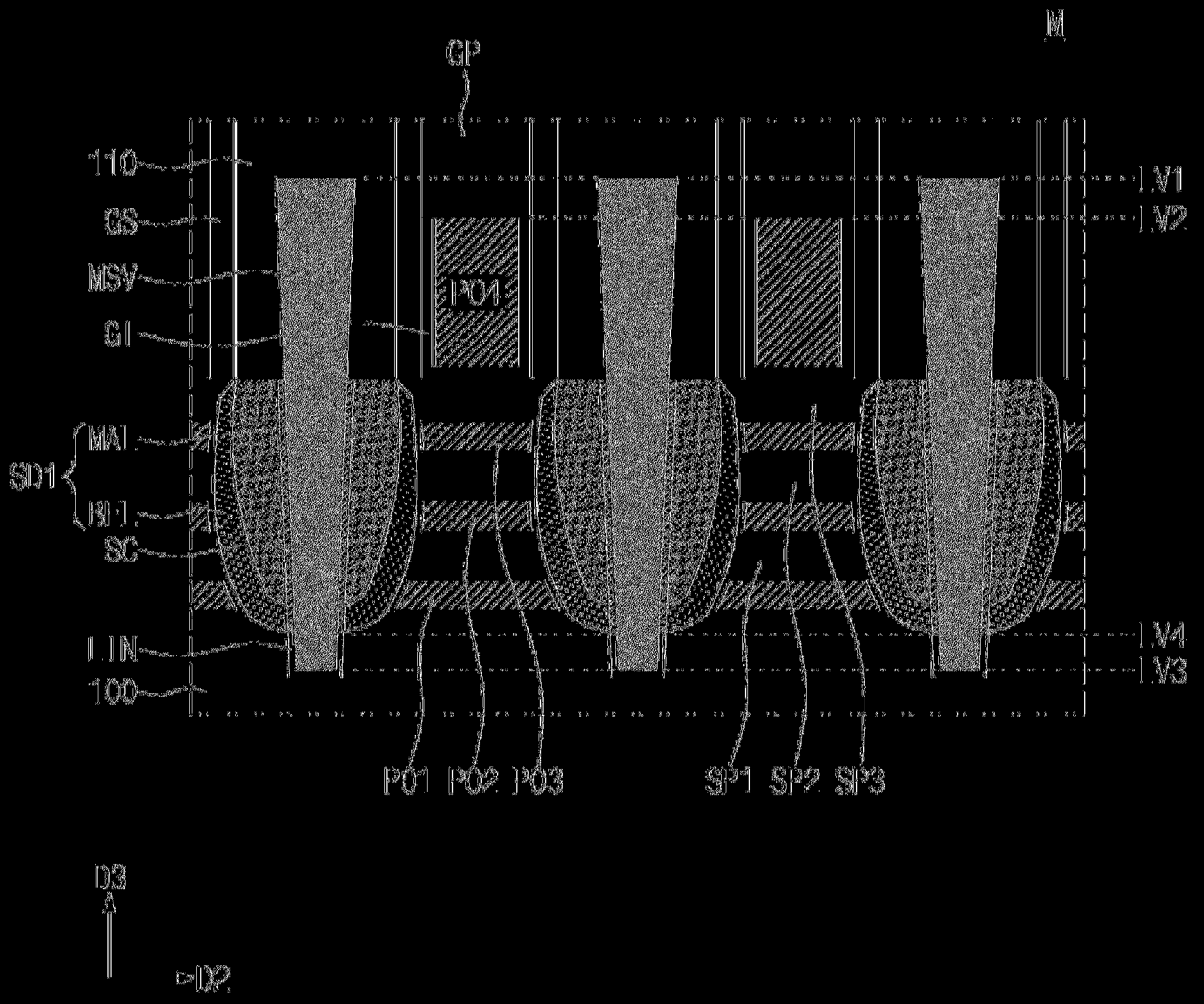
【圖14A】


PDN
BSPR
100b
BSPR_1
BSI
100
DB
SD2
GS
GE(P04)
GI
GP
120
130
M1_I
140
B
B'
M2_I
VI1
VI2
NR1
SC
MSV
IP
GE
P01 P02 P03
CH2
SP1 SP2 SP3
RS2
AP2
UIP
BM
FM
AC
GC
M1
M2
D2
D3

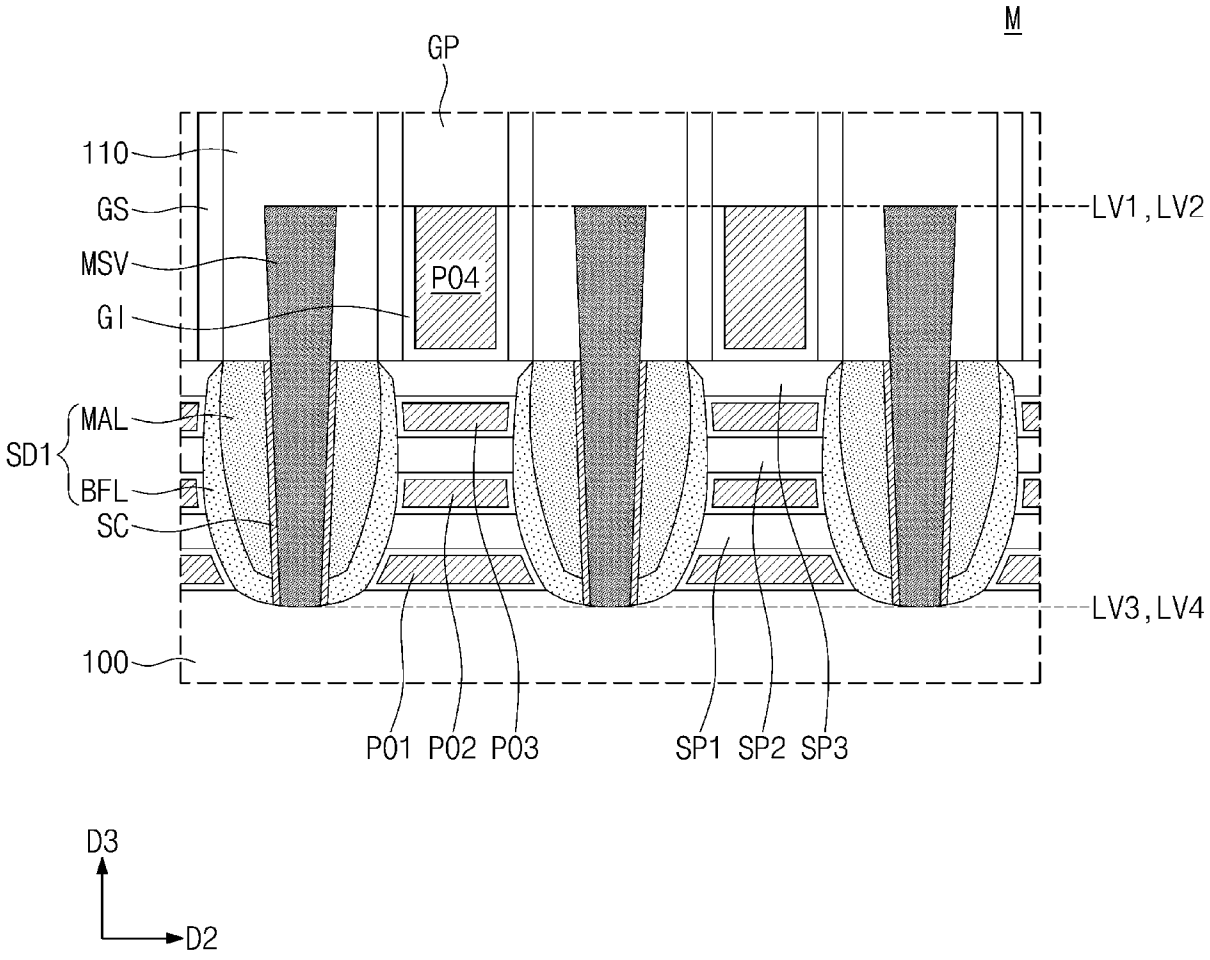
【圖14B】


VPR2
VI_B (VDD)
BSPR_I
BSI
PDN
BSPR
100b
VPR1(VSS)
100
RS1
TR
RS2
ST
AP1
AP2
AP1
SD1
BFL
MAL
SD2
SC
110
MSV
AC
BM
FM
120
130
M1
140
M2
C
C'
M1_I
M2_I
VI2
PR2
PR1
NR1
SHC2
SHC1
D1
D3

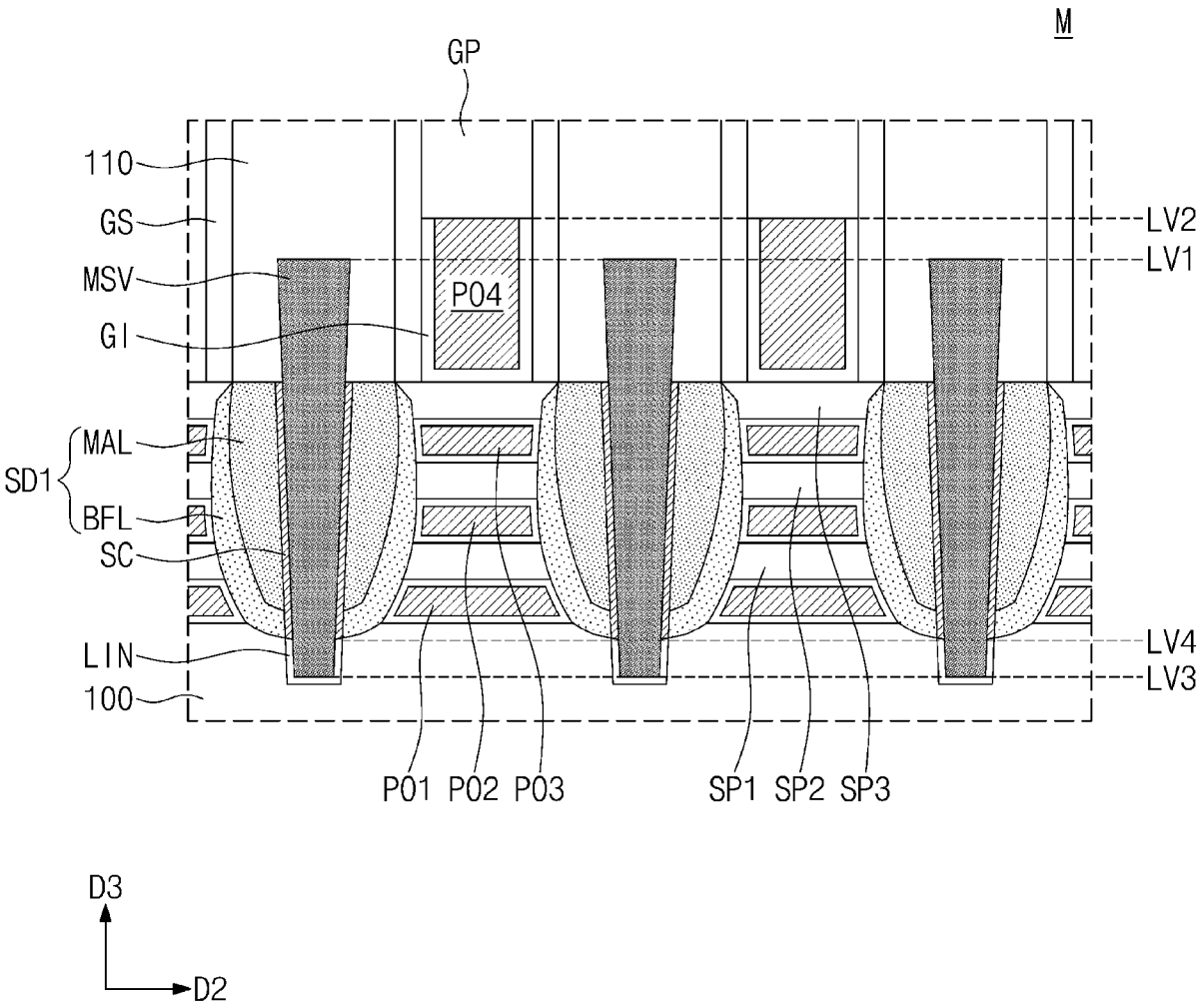
【圖14C】


GP
M
110
GS
MSV
GI
PO1
SD1
MA1
M1
SC
LIN
100
V1
V2
V4
V3
PO1 PO2 PO3
SP1 SP2 SP3
D3
D2

[圖15A]


M
GP
110
GS
MSV
GI
SD1
MAL
BFL
SC
100
P04
LV1,LV2
LV3,LV4
P01
P02
P03
SP1
SP2
SP3
D3
D2

【圖15B】


M
GP
110
GS
MSV
GI
SD1
MAL
BFL
SC
LIN
100
P04
LV2
LV1
LV4
LV3
P01 P02 P03
SP1 SP2 SP3
D3
D2

【圖15C】

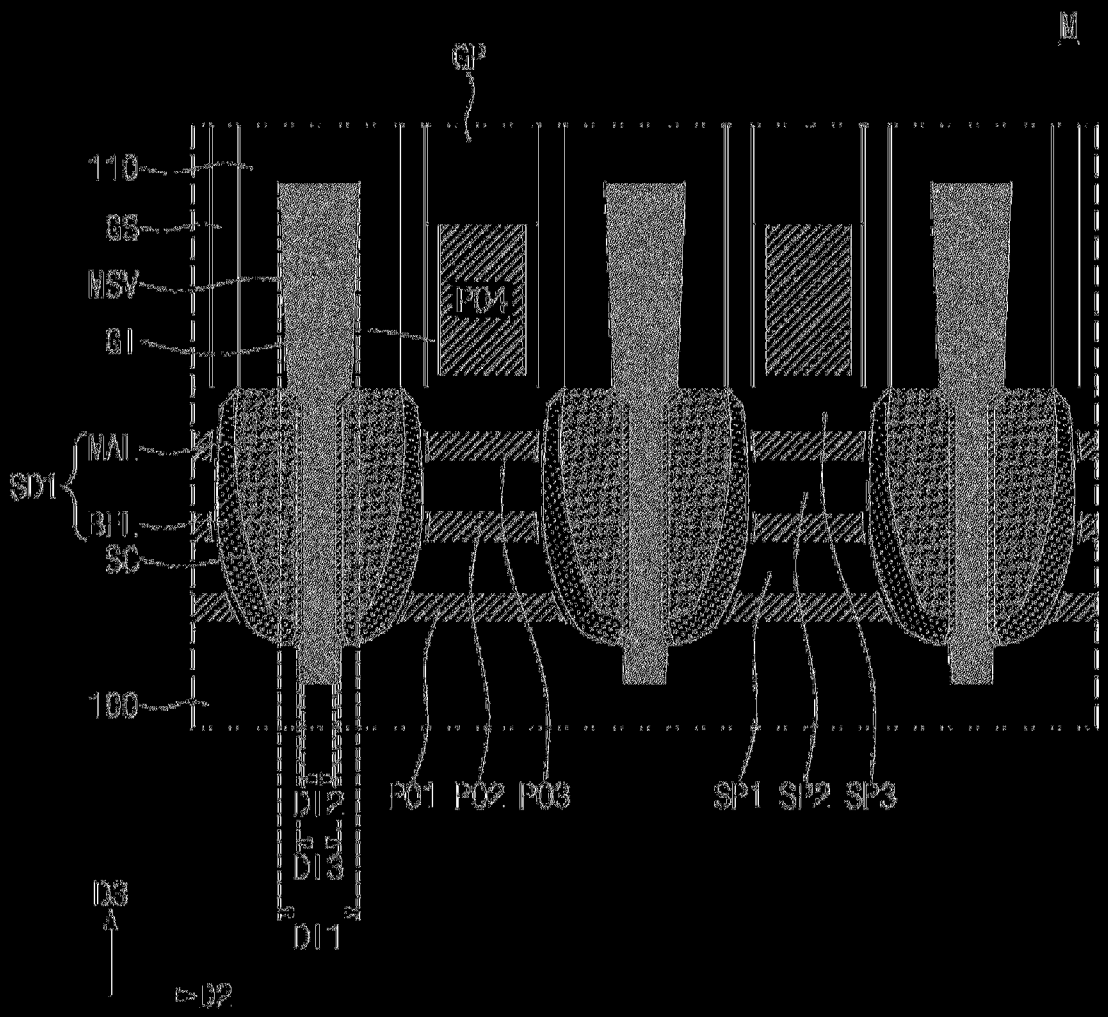

M
G'
110
BS
MSV
GI
SD1
MAI
BFI
SC
100
P01
P01 P02 P03
SP1 SP2 SP3
D12
D13
D11
D3
D2

圖16A

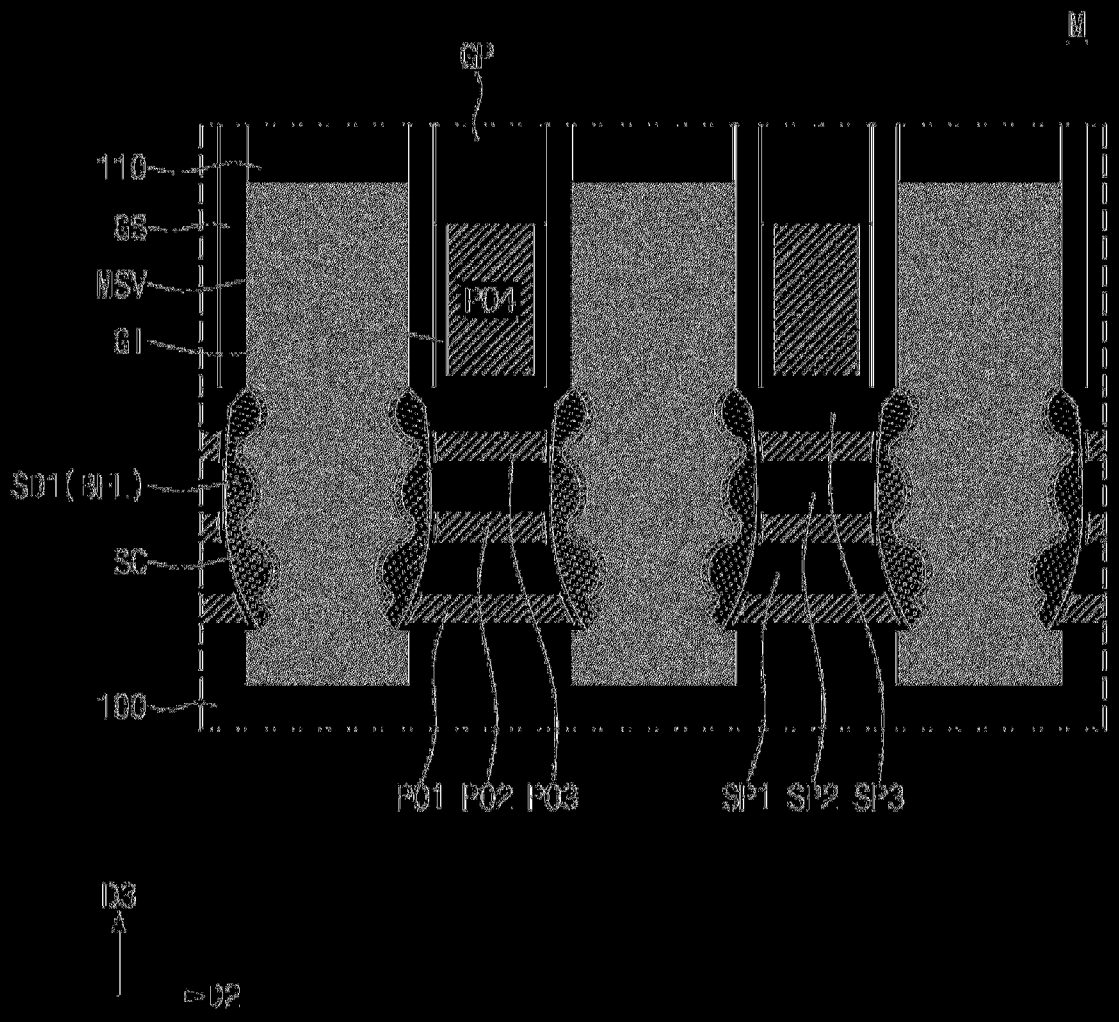
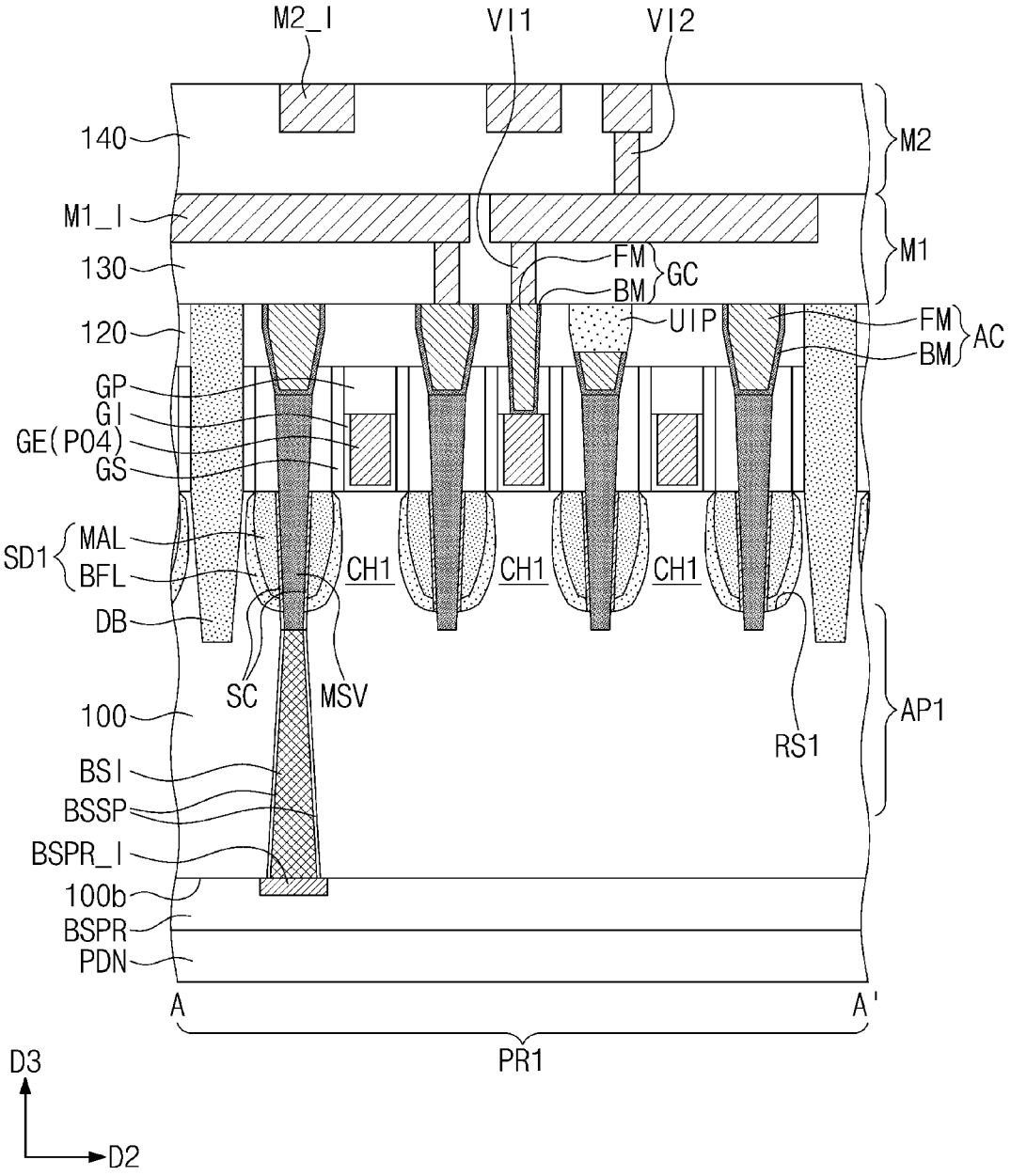
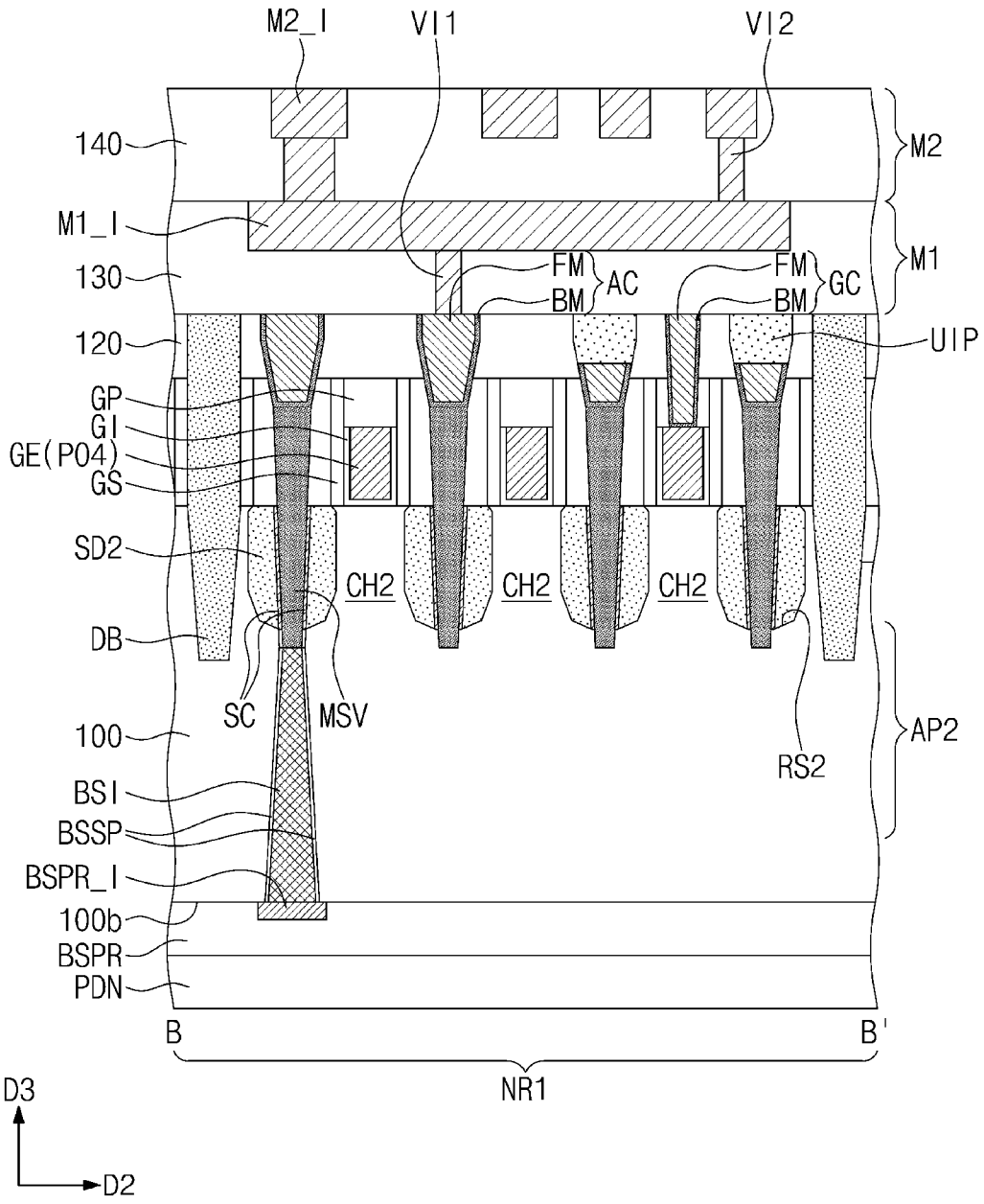


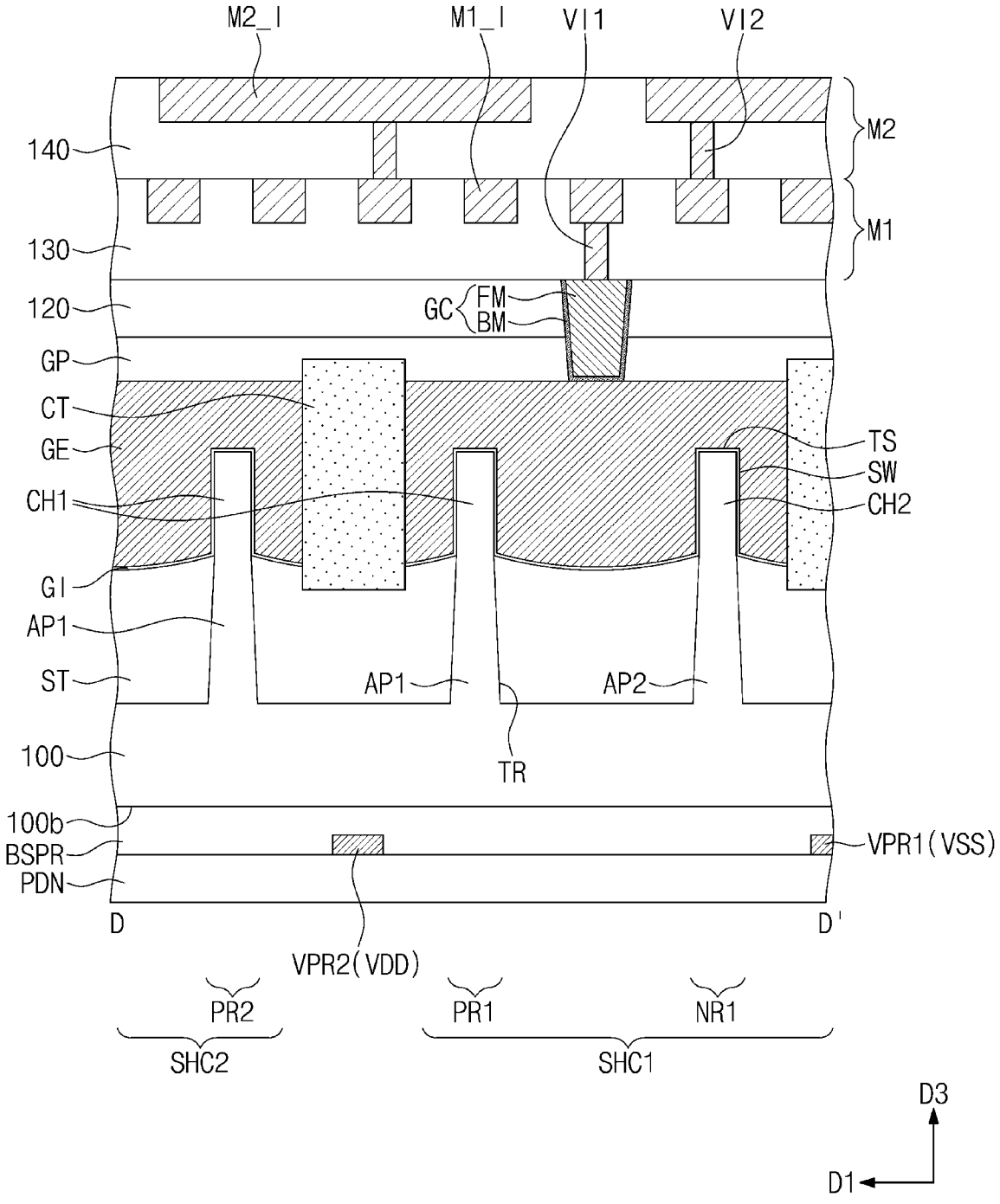
圖16B


M2_I
VI1
VI2
140
M2
M1_I
M1
130
FM
BM
GC
120
UIP
FM
BM
AC
GP
GI
GE(P04)
GS
SD1
MAL
BFL
CH1
CH1
CH1
DB
SC
MSV
100
RS1
AP1
BSI
BSSP
BSPR_I
100b
BSPR
PDN
A
A'
PR1
D3
D2

【圖17A】


M2_I
VI1
VI2
140
M2
M1_I
M1
130
FM
AC
BM
FM
GC
BM
120
UIP
GP
GI
GE(P04)
GS
SD2
CH2
CH2
CH2
DB
SC
MSV
RS2
AP2
100
BSI
BSSP
BSPR_I
100b
BSPR
PDN
B
B'
NR1
D3
D2

【圖17B】


M2_I
M1_I
VI1
VI2
M2
M1
140
130
120
GP
CT
GE
CH1
GI
AP1
ST
100
100b
BSPR
PDN
GC
FM
BM
TS
SW
CH2
AP1
AP2
TR
VPR1(VSS)
D
D'
VPR2(VDD)
PR2
PR1
NR1
SHC2
SHC1
D3
D1

【圖17C】

【發明說明書】

【中文發明名稱】包括對準標記的半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE COMPRISING ALIGNMENT KEY

【技術領域】

【0001】 本揭露的實例實施例是關於一種半導體裝置，且更尤其是關於一種包含場效電晶體的半導體裝置。

[相關申請案的交叉參考]

【0002】 本申請案是基於 2022 年 12 月 14 日在韓國智慧財產局申請的韓國專利申請案第 10-2022-0174700 號且主張所述申請案的優先權，所述韓國專利申請案的揭露內容以全文引用的方式併入本文中。

【先前技術】

【0003】 半導體裝置可包含積體電路，所述積體電路包含金屬氧化物半導體場效電晶體（metal-oxide-semiconductor field effect transistors；MOSFET）。由於半導體裝置的大小及設計規則已減少，故 MOSFET 的大小亦已按比例縮小。半導體裝置的操作特性可因 MOSFET 按比例縮小而劣化。因此，對於半導體裝置進行進一步研究以克服由高整合密度所引起的限制且改良性能。

【0004】 此背景技術部分中所揭露的資訊在達成本申請案的實施例的過程之前或期間已被本發明人知曉或得出，或為在達成實施例的過程中所獲取的技術資訊。因此，所述資訊可含有未形成已由

公眾知曉的先前技術的資訊。

【發明內容】

【0005】 本發明提供一種具有改良電特性且改良可靠性的半導體裝置。

【0006】 額外態樣將部分地闡述於以下描述中且部分地將自描述中顯而易見，或可藉由實踐所呈現的實施例來獲悉。

【0007】 根據實例實施例的態樣，半導體裝置可包含：基底，包含主動圖案；通道圖案，位於主動圖案上，通道圖案包含彼此間隔開且豎直堆疊的多個半導體圖案；源極/汲極圖案，連接至多個半導體圖案；貫穿圖案，穿透源極/汲極圖案；層間絕緣層，位於源極/汲極圖案上；金屬半導體化合物層，位於源極/汲極圖案與貫穿圖案之間；閘極電極，位於多個半導體圖案上，閘極電極包含多個半導體圖案中的相鄰半導體圖案之間的內部電極及位於多個半導體圖案的最上部半導體圖案上的外部電極；主動觸點，位於貫穿圖案上；以及第一金屬層，位於主動觸點上，所述第一金屬層包含連接至主動觸點的電力佈線及第一佈線，其中貫穿圖案的上部表面低於層間絕緣層的上部表面。

【0008】 根據實例實施例的態樣，半導體裝置可包含：基底，包含主動圖案；通道圖案，位於主動圖案上，通道圖案包含彼此間隔開且豎直堆疊的多個半導體圖案；源極/汲極圖案，連接至多個半導體圖案；貫穿圖案，穿透源極/汲極圖案；金屬半導體化合物層，位於源極/汲極圖案與貫穿圖案之間；主動觸點，位於貫穿圖案上；以及內埋連接件，位於基底中且連接至貫穿圖案，其中主動觸點可

與貫穿圖案對準且可連接至貫穿圖案的上部表面，且內埋連接件可與貫穿圖案對準且可連接至貫穿圖案的底部表面。

【0009】 根據實例實施例的態樣，半導體裝置可包含：基底，包含主動區；裝置隔離層，界定主動區上的主動圖案；源極/汲極圖案，位於主動圖案上；通道圖案，位於主動圖案上，通道圖案包含彼此間隔開且豎直堆疊的多個半導體圖案；閘極電極，位於多個半導體圖案上，閘極電極包含多個半導體圖案中的相鄰半導體圖案之間的內部電極及位於多個半導體圖案的最上部半導體圖案上的外部電極；閘極絕緣層；位於相鄰半導體圖案與閘極電極之間；閘極間隔件，位於閘極電極的側壁；閘極頂蓋圖案，位於閘極電極的上部表面上；閘極切割圖案，穿透閘極電極；貫穿圖案，穿透源極/汲極圖案且連接至源極/汲極圖案；金屬半導體化合物層，位於源極/汲極圖案與貫穿圖案之間；層間絕緣層，至少部分地覆蓋源極/汲極圖案、閘極頂蓋圖案以及貫穿圖案；主動觸點，穿透層間絕緣層以使得主動觸點連接至貫穿圖案；閘極觸點，穿透層間絕緣層及閘極頂蓋圖案以使得閘極觸點連接至閘極電極；第一金屬層，位於層間絕緣層上，第一金屬層包含分別連接至主動觸點及閘極觸點的電力佈線及第一佈線；第二金屬層，位於第一金屬層上，第二金屬層包含連接至第一金屬層的第二佈線；內埋連接件，自貫穿圖案朝向基底的底部表面延伸；內埋間隔件，位於內埋連接件的側面；背側互連層，位於基底的底部表面上，背側互連層連接至內埋連接件；以及電力傳輸網路層，位於背側互連層的底部表面上，其中主動觸點、貫穿圖案以及內埋連接件可與彼此在垂直於基底的表面的方向上對準。

【圖式簡單說明】

【0010】 本揭露內容的某些實例實施例的上述及其他態樣、特徵以及優勢將自結合隨附圖式所進行的以下描述而變得更加顯而易見，在隨附圖式中：

圖 1、圖 2 以及圖 3 為示出根據本揭露的實施例的半導體裝置的邏輯單元的圖式。

圖 4 為示出根據本揭露的實施例的半導體裝置的平面圖。

圖 5A、圖 5B、圖 5C 以及圖 5D 為根據本揭露的實施例的分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取的橫截面圖。

圖 6A、圖 6B、圖 7A、圖 7B、圖 8A、圖 8B、圖 9A、圖 9B、圖 9C、圖 10A、圖 10B、圖 10C、圖 11A、圖 11B、圖 11C、圖 11D、圖 12A、圖 12B、圖 12C、圖 12D、圖 13A、圖 13B、圖 13C、圖 14A、圖 14B 以及圖 14C 為示出根據本揭露的實施例的製造半導體裝置的方法的橫截面圖。

圖 15A、圖 15B 以及圖 15C 示出根據本揭露的實施例的圖 5A 的區『M』的實施例的放大圖。

圖 16A 及圖 16B 為示出根據本揭露的實施例的圖 15A 的其他實施例的放大圖。

圖 17A、圖 17B 以及圖 17C 為示出根據本揭露的實施例的半導體裝置的橫截面圖。

【實施方式】

【0011】 在下文中，將參考隨附圖式詳細地描述本發明的實例實施例。在圖式中針對相同組件使用相同附圖標號，且將省略對所述組件的冗餘描述。本文中所描述的實施例為實例實施例，且因此，本揭露不限於此且可以各種其他形式實現。

【0012】 如本文中所使用，諸如「...中的至少一者」的表述在位於元件清單之前時修飾整個元件清單，而並不修飾清單中的個別元件。舉例而言，表述「a、b 以及 c 中的至少一者」應理解為僅包含 a、僅包含 b、僅包含 c、包含 a 及 b 兩者、包含 a 及 c 兩者、包含 b 及 c 兩者或包含 a、b 以及 c 中的所有。

【0013】 圖 1、圖 2 以及圖 3 為示出根據本揭露的實施例的半導體裝置的邏輯單元的圖式。

【0014】 參考圖 1，可提供單高度單元 SHC。第一低電力佈線 VPR1 及第二低電力佈線 VPR2 可設置於基底 100 的下部部分上。第一低電力佈線 VPR1 可為通路，經由所述通路提供源極電壓 VSS（例如，接地電壓）。第二低電力佈線 VPR2 可為通路，經由所述通路提供汲極電壓 VDD（例如，電源電壓）。

【0015】 可在第一低電力佈線 VPR1 與第二低電力佈線 VPR2 之間界定單高度單元 SHC。單高度單元 SHC 可包含一個 p 型金屬氧化物半導體場效電晶體（MOSFET）（p-type metal-oxide-semiconductor field effect transistor；PMOSFET）區 PR 及一個 n 型 MOSFET（n-type MOSFET；NMOSFET）區 NR。亦即，單高度單元 SHC 可具有設置於第一低電力佈線 VPR1 與第二低電力佈線 VPR2 之間的互補金屬氧化物半導體（complementary metal-oxide semiconductor；CMOS）結構。

【0016】 PMOSFET 區 PR 及 NMOSFET 區 NR 中的各者可在第一方向 D1 上具有第一寬度。單高度單元 SHC 在第一方向 D1 上的長度可界定為第一高度 HE1。第一高度 HE1 可實質上等於第一低電力佈線 VPR1 與第二低電力佈線 VPR2 之間的距離（例如，節距）。

【0017】 單高度單元 SHC 可構成一個邏輯單元。邏輯單元可指執行特定功能的邏輯元件（例如，AND、OR、XOR、XNOR、反相器等）。亦即，邏輯單元可包含構成邏輯元件的電晶體及將電晶體彼此連接的佈線。

【0018】 參考圖 2，可提供雙倍高度單元 DHC。第一低電力佈線 VPR1、第二低電力佈線 VPR2，以及第三低電力佈線 VPR3 可設置於基底 100 上。第二低電力佈線 VPR2 可安置於第一低電力佈線 VPR1 與第三低電力佈線 VPR3 之間。第三低電力佈線 VPR3 可為通路，經由所述通路提供源極電壓 VSS。

【0019】 可在第一低電力佈線 VPR1 與第三低電力佈線 VPR3 之間界定雙倍高度單元 DHC。雙倍高度單元 DHC 可包含第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2。

【0020】 第一 NMOSFET 區 NR1 可鄰近於第一低電力佈線 VPR1。第二 NMOSFET 區 NR2 可鄰近於第三低電力佈線 VPR3。第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 可鄰近於第二低電力佈線 VPR2。在平面圖中，第二低電力佈線 VPR2 可安置於第一 PMOSFET 區 PR1 與第二 PMOSFET 區 PR2 之間。

【0021】 雙倍高度單元 DHC 在第一方向 D1 上的長度可界定為第

二高度 HE2。第二高度 HE2 可為圖 1 的第一高度 HE1 的約兩倍。雙倍高度單元 DHC 的第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 可分組在一起以作為一個 PMOSFET 區操作。因此，雙倍高度單元 DHC 的 PMOS 電晶體的通道大小可大於圖 1 的單高度單元 SHC 的 PMOS 電晶體的通道大小。

【0022】 舉例而言，雙倍高度單元 DHC 的 PMOS 電晶體的通道大小可為單高度單元 SHC 的 PMOS 電晶體的通道大小的約兩倍。因此，雙倍高度單元 DHC 可以比單高度單元 SHC（例如，圖 1 的 SHC）更高的速度操作。在本揭露中，圖 2 中所繪示的雙倍高度單元 DHC 可界定為多高度單元。多高度單元可包含具有單高度單元 SHC 的單元高度的約三倍的單元高度的三倍高度單元。

【0023】 參考圖 3，第一單高度單元 SHC1、第二單高度單元 SHC2 以及雙倍高度單元 DHC 可二維地安置於基底 100 上。第一單高度單元 SHC1 可安置於第一低電力佈線 VPR1 與第二低電力佈線 VPR2 之間。第二單高度單元 SHC2 可安置於第二下部電力佈線 VPR2 與第三下部電力佈線 VPR3 之間。第二單高度單元 SHC2 可在第一方向 D1 上鄰近於第一單高度單元 SHC1。

【0024】 雙高度單元 DHC 可安置於第一下部電力佈線 VPR1 與第三下部電力佈線 VPR3 之間。雙倍高度單元 DHC 可在第二方向 D2 上鄰近於第一單高度單元 SHC1 及第二單高度單元 SHC2。

【0025】 分離結構 DB 可設置於第一單高度單元 SHC1 與雙倍高度單元 DHC 之間及第二單高度單元 SHC2 與雙倍高度單元 DHC 之間。雙倍高度單元 DHC 的主動區可藉由分離結構 DB 而與第一單高度單元 SHC1 及第二單高度單元 SHC2 中的各者的主動區電

分離。

【0026】 圖 4 為示出根據本揭露的實施例的半導體裝置的平面圖。圖 5A、圖 5B、圖 5C 以及圖 5D 為根據本揭露的實施例的分別沿著圖 4 的線 A-A'、線 B-B'、線 C-C'以及線 D-D'截取的橫截面圖。圖 4 至圖 5D 中所示出的半導體裝置為圖 3 的第一單高度單元 SHC1 及第二單高度單元 SHC2 更詳細的實例。

【0027】 參考圖 4 及圖 5A 至圖 5D，第一單高度單元 SHC1 及第二單高度單元 SHC2 可設置於基底 100 上。構成邏輯電路的邏輯電晶體可安置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的各者上。基底 100 可為包含矽、鍺、矽鍺或類似者的半導體基底，或可為化合物半導體基底。舉例而言，基底 100 可為矽基底。

【0028】 基底 100 可具有第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2。第一 PMOSFET 區 PR1、第二 PMOSFET 區 PR2、第一 NMOSFET 區 NR1 以及第二 NMOSFET 區 NR2 中的各者可在第二方向 D2 上延伸。第一單高度單元 SHC1 可包含第一 NMOSFET 區 NR1 及第一 PMOSFET 區 PR1，且第二單高度單元 SHC2 可包含第二 PMOSFET 區 PR2 及第二 NMOSFET 區 NR2。

【0029】 第一主動圖案 AP1 及第二主動圖案 AP2 可由形成於基底 100 的上部表面上的溝槽 TR 界定。第一主動圖案 AP1 可設置於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的各者上。第二主動圖案 AP2 可設置於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的各者上。第一主動圖案 AP1 及第二主動圖案 AP2 可在第二方向 D2 上延伸。第一主動圖案 AP1 及第二主動圖案 AP2

可為基底 100 的部分且可為豎直突出部分。

【0030】 裝置隔離層 ST 可填充溝槽 TR。裝置隔離層 ST 可包含氧化矽層。裝置隔離層 ST 可不覆蓋第一通道圖案 CH1 及第二通道圖案 CH2。

【0031】 第一通道圖案 CH1 可設置於第一主動圖案 AP1 上。第二通道圖案 CH2 可設置於第二主動圖案 AP2 上。第一通道圖案 CH1 及第二通道圖案 CH2 中的各者可包含依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可在豎直方向（亦即，第三方向 D3）上彼此間隔開。

【0032】 第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的各者可包含矽（Si）、鍺（Ge）或矽鍺（SiGe）。舉例而言，第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的各者可包含結晶矽。第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可為奈米薄片。

【0033】 多個第一源極/汲極圖案 SD1 可設置於第一主動圖案 AP1 上。多個第一凹部 RS1 可形成於第一主動圖案 AP1 上。第一源極/汲極圖案 SD1 可分別設置於第一凹部 RS1 中。第一源極/汲極圖案 SD1 可為第一導電類型（例如，p 型）的雜質區。第一通道圖案 CH1 可插入於一對第一源極/汲極圖案 SD1 之間。亦即，堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可將一對第一源極/汲極圖案 SD1 彼此連接。

【0034】 多個第二源極/汲極圖案 SD2 可設置於第二主動圖案 AP2 上。多個第二凹部 RS2 可形成於第二主動圖案 AP2 上。第二源極

/汲極圖案 SD2 可分別設置於第二凹部 RS2 中。第二源極/汲極圖案 SD2 可為第二導電類型（例如，n 型）的雜質區。第二通道圖案 CH2 可插入於一對第二源極/汲極圖案 SD2 之間。亦即，堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可將一對第二源極/汲極圖案 SD2 彼此連接。

【0035】 第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 可為經由選擇性磊晶成長（selective epitaxial growth；SEG）製程形成的磊晶圖案。舉例而言，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的各者的上部表面可定位於與第三半導體圖案 SP3 的上部表面實質上相同的層級處。作為另一實例，第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的各者的上部表面可高於第三半導體圖案 SP3 的上部表面。

【0036】 第一源極/汲極圖案 SD1 可包含具有大於基底 100 的半導體元件的晶格常數的晶格常數的半導體元件（例如，SiGe）。因此，一對第一源極/汲極圖案 SD1 可為其間的第一通道圖案 CH1 提供壓縮應力。第二源極/汲極圖案 SD2 可包含與基底 100 相同的半導體元件（例如，Si）。

【0037】 第一源極/汲極圖案 SD1 中的各者可包含緩衝層 BFL 及緩衝層 BFL 上的主層 MAL。參考圖 5A，緩衝層 BFL 可覆蓋第一凹部 RS1 的內壁。在一個實施例中，緩衝層 BFL 可具有實質上保形的厚度。舉例而言，第一凹部 RS1 的底部上的緩衝層 BFL 在第三方向 D3 上的厚度可實質上等於第一凹部 RS1 的上部部分上的緩衝層 BFL 在第二方向 D2 上的厚度。

【0038】 在另一實施例中，緩衝層 BFL 的厚度可自下部部分至上

部部分減少。舉例而言，第一凹部 RS1 的底部上的緩衝層 BFL 在第三方向 D3 上的厚度可大於第一凹部 RS1 的上部部分上的緩衝層 BFL 在第二方向 D2 上的厚度。緩衝層 BFL 可沿著第一凹部 RS1 的輪廓具有 U 形。

【0039】 主層 MAL 可填充除了緩衝層 BFL 的第一凹部 RS1 的剩餘區的大部分。主層 MAL 的體積可大於緩衝層 BFL 的體積。緩衝層 BFL 及主層 MAL 中的各者可包含矽鍺（SiGe）。緩衝層 BFL 可含有濃度相對較低的鍺（Ge）。在本揭露的另一實施例中，緩衝層 BFL 可僅含有矽（Si）而不包含鍺（Ge）。緩衝層 BFL 中鍺（Ge）的濃度可為約 0 原子%（atomic%；at%）至約 10 原子%。

【0040】 主層 MAL 可含有濃度相對較高的鍺（Ge）。舉例而言，主層 MAL 中鍺（Ge）的濃度可為約 30 原子%至約 70 原子%。主層 MAL 中的鍺（Ge）濃度可在第三方向 D3 上增加。舉例而言，鄰近於緩衝層 BFL 的主層 MAL 可具有約 40 原子%的鍺（Ge）濃度，而主層 MAL 的上部部分可具有約 60 原子%的鍺（Ge）濃度。

【0041】 緩衝層 BFL 及主層 MAL 中的各者可包含使第一源極/汲極圖案 SD1 具有 p 型的雜質（例如，硼、鎵或銦）。緩衝層 BFL 及主層 MAL 中的各者的雜質濃度可為約 $1x10^{18}$ 原子/立方公分至約 $5x10^{22}$ 原子/立方公分。主層 MAL 的雜質濃度可大於緩衝層 BFL 的雜質濃度。

【0042】 緩衝層 BFL 可避免基底 100（亦即，第一主動圖案 AP1）與主層 MAL 之間及第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 與主層 MAL 之間的堆疊缺陷。在堆疊缺陷產生時，可提高通道電阻。緩衝層 BFL 可在用如下文將描述的閘

極電極 GE 的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3 替換第二半導體層 SAL 的製程期間保護主層 MAL。亦即，緩衝層 BFL 可避免移除第二半導體層 SAL 的蝕刻材料穿透至主層 MAL 中且蝕刻主層 MAL。

【0043】 第二源極/汲極圖案 SD2 中的各者可包含矽（Si）。第二源極/汲極圖案 SD2 可更包含使第二源極/汲極圖案 SD2 具有 n 型的雜質（例如，磷、砷或銻）。第二源極/汲極圖案 SD2 的雜質濃度可為約 $1x10^{18}$ 原子/立方公分至約 $5x10^{22}$ 原子/立方公分。

【0044】 半導體裝置可包含多閘極電極 GE。閘極電極 GE 可設置成跨越第一通道圖案 CH1 及第二通道圖案 CH2 且在第一方向 D1 上延伸。閘極電極 GE 可在第二方向 D2 上以第一節距配置。閘極電極 GE 可與第一通道圖案 CH1 及第二通道圖案 CH2 豎直地重疊。

【0045】 閘極電極 GE 中的各者可包含插入於主動圖案 AP1 或主動圖案 AP2 與第一半導體圖案 SP1 之間的第一內部電極 PO1、插入於第一半導體圖案 SP1 與第二半導體圖案 SP2 之間的第二內部電極 PO2、插入於第二半導體圖案 SP2 與第三半導體圖案 SP3 之間的第三內部電極 PO3 以及位於第三半導體圖案 SP3 上的外部電極 PO4。

【0046】 參考圖 5D，閘極電極 GE 中的各者（亦即，各閘極電極 GE 的 PO1 至 PO4）可共同地設置於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的各者的上部表面 TS、底部表面 BS 以及的兩個側壁 SW 上。亦即，根據本實施例的電晶體可為三維場效電晶體（field effect transistor；FET）（例如，多重

橋接通道 FET（multi-bridge channel FET；MBCFET）、全繞式閘極 FET（gate-all-around FET；GAAFET）等），其中所述閘極電極以三維方式包圍通道。

【0047】 第一單高度單元 SHC1 可具有在第二方向 D2 上彼此面對的第一邊界 BD1 及第二邊界 BD2。第一邊界 BD1 及第二邊界 BD2 可在第一方向 D1 上延伸。第一單高度單元 SHC1 可具有在第一方向 D1 上彼此面對的第三邊界 BD3 及第四邊界 BD4。第三邊界 BD3 及第四邊界 BD4 可在第二方向 D2 上延伸。

【0048】 閘極切割圖案 CT 可在第二方向 D2 上安置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的各者的邊界上。舉例而言，閘極切割圖案 CT 可安置於第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上。閘極切割圖案 CT 可沿著第三邊界 BD3 以第一節距配置。閘極切割圖案 CT 可沿著第四邊界 BD4 一第一節距配置。在平面圖中，第三邊界 BD3 及第四邊界 BD4 上的閘極切割圖案 CT 可經安置以在閘極電極 GE 上彼此重疊。閘極切割圖案 CT 可包含諸如氧化矽層、氮化矽層或其組合的絕緣材料。

【0049】 第一單高度單元 SHC1 上的閘極電極 GE 可藉由閘極切割圖案 CT 與第二單高度單元 SHC2 上的閘極電極 GE 分離。閘極切割圖案 CT 可插入於在第一方向 D1 上對準的第一單高度單元 SHC1 上的閘極電極 GE 與第二單高度單元 SHC2 上的閘極電極 GE 之間。亦即，可藉由閘極切割圖案 CT 將在第一方向 D1 上延伸的閘極電極分離成多個閘極電極 GE。

【0050】 一對閘極間隔件 GS 可分別安置於外部電極 PO4 的兩個側壁上。閘極間隔件 GS 可在第一方向 D1 上沿著閘極電極 GE 延

伸。閘極間隔件 GS 的上部表面可高於閘極電極 GE 的上部表面。閘極間隔件 GS 的上部表面可與稍後將描述的第一層間絕緣層 110 的上部表面共面。閘極間隔件 GS 可包含 SiCN、SiCON 以及 SiN 中的至少一者。作為另一實例，閘極間隔件 GS 可包含由 SiCN、SiCON 以及 SiN 中的至少兩者構成的多層。

【0051】 閘極頂蓋圖案 GP 可設置於閘極電極 GE 上（例如，位於閘極電極 GE 的外部電極 PO4 上）。閘極頂蓋圖案 GP 可沿著閘極電極 GE 在第一方向 D1 上延伸。閘極頂蓋圖案 GP 可包含相對於第一層間絕緣層 110 及第二層間絕緣層 120 具有蝕刻選擇性的材料。閘極頂蓋圖案 GP 可包含 SiON、SiCN、SiCON 以及 SiN 中的至少一者。

【0052】 閘極絕緣層 GI 可插入於閘極電極 GE 與第一通道圖案 CH1 之間以及閘極電極 GE 與第二通道圖案 CH2 之間。亦即，閘極絕緣層 GI 可包含對應於閘極電極 GE 的各種組件的各種部分。舉例而言，閘極絕緣層 GI 可包含對應於各閘極電極 GE 的內部電極及外部電極（PO1 至 PO4）中的各者的部分。閘極絕緣層 GI 可覆蓋第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 中的各者的上部表面 TS、底部表面 BS 以及兩側壁 SW。閘極絕緣層 GI 可覆蓋閘極電極 GE 下方的裝置隔離層 ST 的上部表面。

【0053】 在本揭露的實施例中，閘極絕緣層 GI 可包含氧化矽層、氮氧化矽層及/或高 k 介電層。高 k 層可包含具有高於氧化矽層的介電常數的介電常數的高 k 材料。舉例而言，高 k 材料可包含以下中的至少一者：氧化鉿、氧化鉿矽、氧化鉿鋯、氧化鉿鉭、氧化

鑭、氧化鋯、氧化鋯矽、氧化鉭、氧化鈦、氧化鋇鍶鈦、氧化鋇鈦、氧化鍶鈦、氧化鋰、氧化鋁、氧化鉛鈧鉭以及鈮酸鉛鋅。

【0054】 在另一實施例中，本揭露的半導體裝置可包含使用負電容器的負電容（negative capacitance；NC）FET。舉例而言，閘極絕緣層GI可包含具有鐵電特性的鐵電材料層及具有順電特性的順電材料層。

【0055】 鐵電材料層可具有負電容，且順電材料層可具有正電容。舉例而言，當兩個或大於兩個電容器串聯連接且各電容器的電容具有正值時，總電容小於各個別電容器的電容。另一方面，當串聯連接的兩個或大於兩個電容器的電容中的至少一者具有負值時，總電容可具有正值且可大於各個別電容的絕對值。

【0056】 當具有負電容的鐵電材料層與具有正電容的順電材料層串聯連接時，串聯連接的鐵電材料層及順電材料層的總電容值可增加。使用總電容值的增加，包含鐵電材料層的電晶體可在室溫下具有小於60毫伏/十倍（mV/decade）的次臨界擺幅（subthreshold swing；SS）。

【0057】 鐵電材料層可具有鐵電特性。鐵電材料層可包含例如氧化鉿、氧化鉿鋯、氧化鋇鍶鈦、氧化鋇鈦以及氧化鉛鋯鈦中的至少一者。此處，作為實例，氧化鉿鋯可為其中鋯（Zr）摻雜有氧化鉿的材料。作為另一實例，氧化鉿鋯可為鉿（Hf）、鋯（Zr）以及氧（O）的化合物。

【0058】 鐵電材料層可更包含經摻雜的摻雜劑。舉例而言，摻雜劑可包含鋁（Al）、鈦（Ti）、鈮（Nb）、鑭（La）、釔（Y）、鎂（Mg）、矽（Si）、鈣（Ca）、鈰（Ce）、鏑（Dy）、鉺（Er）、釓（Gd）、鍺

（Ge）、鈧（Sc）、鍶（Sr）以及錫（Sn）中的至少一者。取決於包含於鐵電材料層中的鐵電材料的類型，包含於鐵電材料層中的摻雜劑的類型可為不同的。

【0059】 當鐵電材料層包含氧化鉿時，包含於鐵電材料層中的摻雜劑可包含例如釓（Gd）、矽（Si）、鋯（Zr）、鋁（Al）以及釔（Y）中的至少一者。

【0060】 當摻雜劑為鋁（Al）時，鐵電材料層可包含約 3 原子%至約 8 原子%的鋁。此處，摻雜劑的比率可為鋁與鉿及鋁的總和的比率。

【0061】 當摻雜劑為矽（Si）時，鐵電材料層可包含約 2 原子%至約 10 原子%的矽。當摻雜劑為釔（Y）時，鐵電材料層可包含約 2 原子%至約 10 原子%的釔。當摻雜劑為釓（Gd）時，鐵電材料層可包含約 1 原子%至約 7 原子%的釓。當摻雜劑為鋯（Zr）時，鐵電材料層可包含約 50 原子%至約 80 原子%的鋯。

【0062】 順電材料層可具有順電特性。順電材料層可包含例如氧化矽及具有高介電常數的金屬氧化物中的至少一者。包含於順電材料層中的金屬氧化物可包含例如氧化鉿、氧化鋯或氧化鋁中的至少一者，但不限於此。

【0063】 鐵電材料層及順電材料層可包含相同材料。鐵電材料層可具有鐵電特性，但順電材料層可不具有鐵電特性。舉例而言，當鐵電材料層及順電材料層包含氧化鉿時，包含於鐵電材料層中的氧化鉿的晶體結構不同於包含於順電材料層中的氧化鉿的晶體結構。

【0064】 鐵電材料層可具有帶鐵電特性的厚度。鐵電材料層的厚

度可為例如約 0.5 奈米至約 10 奈米，但不限於此。表示鐵電特性的臨界厚度可針對各鐵電材料而不同，且因此鐵電材料層的厚度可取決於鐵電材料而不同。

【0065】 舉例而言，閘極絕緣層 GI 可包含一個鐵電材料層。作為另一實例，閘極絕緣層 GI 可包含彼此間隔開的多個鐵電材料層。閘極絕緣層 GI 可具有多層結構，其中多個鐵電材料層及多個順電材料層交替堆疊。

【0066】 閘極電極 GE 中的各者可包含第一金屬圖案及位於第一金屬圖案上的第二金屬圖案。第一金屬圖案可設置於閘極絕緣層 GI 上且可鄰近於第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一金屬圖案可包含用於調節電晶體的臨限電壓的功函數金屬。電晶體的特定臨限電壓可藉由調節第一金屬圖案的厚度及組成而達到。舉例而言，閘極電極 GE 的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3 可由為功函數金屬的第一金屬圖案形成。

【0067】 第一金屬圖案可包含金屬氮化物層。舉例而言，第一金屬圖案可包含氮（N）及自由鈦（Ti）、鉭（Ta）、鋁（Al）、鎢（W）以及鉬（Mo）組成的群組中選出的至少一種金屬。另外，第一金屬圖案可更包含碳（C）。第一金屬圖案可包含多個堆疊的功函數金屬層。

【0068】 第二金屬圖案可包含具有低於第一金屬圖案的電阻的電阻的金屬。舉例而言，第二金屬圖案可包含自由鎢（W）、鋁（Al）、鈦（Ti）以及鉭（Ta）組成的群組中選出的至少一種金屬。在實施例中，閘極電極 GE 的外部電極 PO4 可包含第一金屬圖案及位於

第一金屬圖案上的第二金屬圖案。

【0069】 參考圖 5B，內部間隔件 IP 可設置於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上。亦即，內部間隔件 IP 可設置於第二主動圖案 AP2 上。內部間隔件 IP 可分別插入於閘極電極 GE 的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3 與第二源極/汲極圖案 SD2 之間。內部間隔件 IP 可直接接觸第二源極/汲極圖案 SD2。閘極電極 GE 中的各者的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3 中的各者可藉由內部間隔件 IP 與第二源極/汲極圖案 SD2 間隔開。

【0070】 第一層間絕緣層 110 可設置於基底 100 上。第一層間絕緣層 110 可覆蓋閘極間隔件 GS 以及第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。第一層間絕緣層 110 的上部表面可與閘極頂蓋圖案 GP 的上部表面及閘極間隔件 GS 的上部表面實質上共面。覆蓋閘極頂蓋圖案 GP 的第二層間絕緣層 120 可安置於第一層間絕緣層 110 上。第三層間絕緣層 130 可設置於第二層間絕緣層 120 上。第四層間絕緣層 140 可設置於第三層間絕緣層 130 上。舉例而言，第一層間絕緣層 110 至第四層間絕緣層 140 可包含氧化矽層。

【0071】 在第二方向 D2 上彼此面對的一對分離結構 DB 可設置於第一單高度單元 SHC1 及第二單高度單元 SHC2 中的各者的兩側上。舉例而言，一對分離結構 DB 可分別設置於第一單高度單元 SHC1 的第一邊界 BD1 及第二邊界 BD2 上。分離結構 DB 可在第一方向 D1 上平行於閘極電極 GE 延伸。分離結構 DB 與鄰近於其的閘極電極 GE 之間的節距可與第一節距相同。

【0072】 分離結構 DB 可穿過第一層間絕緣層 110 及第二層間絕緣層 120 且可延伸至第一主動圖案 AP1 及第二主動圖案 AP2 中。分離結構 DB 可穿過第一主動圖案 AP1 及第二主動圖案 AP2 中的各者的上部部分。分離結構 DB 可將第一單高度單元 SHC1 及第二單高度單元 SHC2 的主動區與相鄰單元的主動區電分離。

【0073】 參考圖 5A 至圖 5C，可提供穿過第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的貫穿圖案 MSV。貫穿圖案 MSV 可穿過第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的各者且可在第三方向 D3 上延伸。亦即，貫穿圖案 MSV 可在第三方向 D3 上向上延伸至第一層間絕緣層 110 且向下延伸至基底 100（亦即，第一主動圖案 AP1 及第二主動圖案 AP2）。貫穿圖案 MSV 可減小與第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的接觸電阻。根據本揭露的貫穿圖案 MSV 的更詳細描述將稍後參考圖 15A 至圖 16B 描述。

【0074】 金屬半導體化合物層 SC（例如，矽化物層）可分別安置於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 之間以及貫穿圖案 MSV 與第二源極/汲極圖案 SD2 之間。亦即，金屬半導體化合物層 SC 可形成於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 中的各者接觸的表面上。貫穿圖案 MSV 可經由金屬半導體化合物層 SC 電連接至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2。舉例而言，金屬半導體化合物層 SC 可包含矽化鈦、矽化鉭、矽化鎢、矽化鎳以及矽化鈷中的至少一者。

【0075】 可提供穿透第二層間絕緣層 120 且電連接至第一層間絕緣層 110 內部的貫穿圖案 MSV 的主動觸點 AC。亦即，主動觸點

AC 的下部表面可連接至貫穿圖案 MSV 的上部表面。一對主動觸點 AC 可分別設置於閘極頂蓋圖案 GP 的兩側上。在平面圖中，主動觸點 AC 可具有在第一方向 D1 上延伸的條形狀。

【0076】 主動觸點 AC 可為自對準觸點。亦即，主動觸點 AC 可使用閘極頂蓋圖案 GP、閘極間隔件 GS 以及貫穿圖案 MSV 以自對準方式形成。舉例而言，主動觸點 AC 可覆蓋閘極間隔件 GS 的側壁的至少一部分。主動觸點 AC 可覆蓋貫穿圖案 MSV 的上部表面。主動觸點 AC 可覆蓋閘極頂蓋圖案 GP 的上部表面的一部分。主動觸點 AC 可電連接至包含金屬材料的貫穿圖案 MSV。

【0077】 電連接至閘極電極 GE 的閘極觸點 GC 可設置成穿過第二層間絕緣層 120 及閘極頂蓋圖案 GP。在平面圖中，位於第一單高度單元 SHC1 上的一個閘極觸點 GC 可經安置以與第一 PMOSFET 區 PR1 重疊。亦即，位於第一單高度單元 SHC1 上的一個閘極觸點 GC 可設置於第一主動圖案 AP1 上（參考圖 5A）。在平面圖中，位於第一單高度單元 SHC1 上的一個閘極觸點 GC 可經安置以與第一 NMOSFET 區 NR1 重疊。亦即，位於第一單高度單元 SHC1 上的一個閘極觸點 GC 可設置於第二主動圖案 AP2 上（參考圖 5B）。

【0078】 閘極觸點 GC 可自由安置於閘極電極 GE 上而無需限制閘極觸點 GC 的定位。舉例而言，第二單高度單元 SHC2 上的閘極觸點 GC 可分別配置於第二 PMOSFET 區 PR2、第二 NMOSFET 區 NR2 以及填充溝槽 TR 的裝置隔離層 ST 上（參考圖 4）。

【0079】 作為本揭露的實施例，參考圖 5A 及圖 5B，主動觸點 AC 的鄰近於閘極觸點 GC 的上部部分可藉由上部絕緣圖案 UIP 填充。

上部絕緣圖案 UIP 可避免由閘極觸點 GC 與相鄰主動觸點 AC 之間的接觸所導致的短路。

【0080】 主動觸點 AC 及閘極觸點 GC 中的各者可包含導電圖案 FM 及包圍或至少部分地包圍導電圖案 FM 的障壁圖案 BM。舉例而言，導電圖案 FM 可包含鋁、銅、鎢、鉭或鈷中的至少一者。障壁圖案 BM 可覆蓋導電圖案 FM 的側壁及底部表面。障壁圖案 BM 可包含金屬層/金屬氮化物層。金屬層可包含鈦、鉭、鎢、鎳、鈷或鉑中的至少一者。金屬氮化物層可包含氮化鈦層（TiN）、氮化鉭層（TaN）、氮化鎢層（WN）、氮化鎳層（NiN）、氮化鈷層（CoN）以及氮化鉑層（PtN）中的至少一者。

【0081】 第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 可設置於基底 100 的底部表面 100b 上。第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 可具有在第二方向 D2 上延伸的條形狀。

【0082】 背側互連層 BSPR 可設置於基底 100 的底部表面 100b 上。背側互連層 BSPR 可包含第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 以及電連接至所述下部電力佈線的多個金屬佈線 BSPR_I。背側互連層 BSPR 可更包含後通孔 VI_B。儘管未繪示，但 BSPR 可包含用於單元之間路由的佈線。

【0083】 第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 可在第二方向 D2 上彼此平行延伸。第一下部電力佈線 VPR1 可安置於第一單高度單元 SHC1 的第四邊界 BD4 上。第二下部電力佈線 VPR2 可安置於第一單高度單元 SHC1

的第三邊界 BD3 上。亦即，可在第一下部電力佈線 VPR1 與第二下部電力佈線 VPR2 之間界定第一單高度單元 SHC1。可在第二下部電力佈線 VPR2 與第三下部電力佈線 VPR3 之間界定第二單高度單元 SHC2。

【0084】 參考圖 5A 至圖 5C，背側互連層 BSPR 可電連接至至少一個貫穿圖案 MSV。舉例而言，背側互連層 BSPR 可電連接至第一 PMOSFET 區 PR1 上的貫穿圖案 MSV 且電連接至第一 NMOSFET 區 NR1 的貫穿圖案 MSV。背側互連層 BSPR 可經由內埋連接件 BSI 電連接至貫穿圖案 MSV。作為另一實例，內埋連接件 BSI 及背側互連層 BSPR 可整體彼此連接以形成一個電力佈線。

【0085】 內埋連接件 BSI 可穿過基底 100 且連接至貫穿圖案 MSV 的下部表面。在此情況下，內埋連接件 BSI 的上部表面可直接連接至貫穿圖案 MSV 的下部表面。內埋連接件 BSI 及貫穿圖案 MSV 中的各者可包含相同或不同的金屬材料。因此，金屬半導體化合物層可不插入於內埋連接件 BSI 與貫穿圖案 MSV 之間。

【0086】 內埋連接件 BSI 可包含導電圖案。舉例而言，內埋連接件 BSI 可包含銅、鉭或釕。在本揭露的一個實施例中，內埋連接件 BSI 可與貫穿圖案 MSV 自對準。亦即，內埋連接件 BSI 的中心線與貫穿圖案 MSV 的中心線可共線對準。

【0087】 內埋間隔件 BSSP 可設置於內埋連接件 BSI 的兩側上。內埋間隔件 BSSP 可在內埋連接件 BSI 的兩側保形地沈積。內埋間隔件 BSSP 可包含絕緣材料。絕緣材料可包含氧化矽、氮化矽、氮氧化矽或其組合。內埋間隔件 BSSP 可將基底 100 與內埋連接件 BSI 隔離。因此，在根據本揭露的半導體裝置中可避免漏電流。

【0088】 電力傳輸網路層 PDN 可設置於背側互連層 BSPR 的底部表面上。電力傳輸網路層 PDN 可包含電連接至第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 的多個下部佈線。舉例而言，電力傳輸網路層 PDN 可包含用於將源極電壓 VSS 施加至第一下部電力佈線 VPR1 及第三下部電力佈線 VPR3 的佈線網路。電力傳輸網路層 PDN 可包含用於將汲極電壓 VDD 施加至第二下部電力佈線 VPR2 的佈線網路。

【0089】 第一金屬層 M1 可設置於第三層間絕緣層 130 中。第一金屬層 M1 可包含第一佈線 M1_I。第一金屬層 M1 的第一佈線 M1_I 可在第二方向 D2 上彼此平行延伸。

【0090】 根據本揭露的實施例，用於將電力供應至單高度單元 SHC 的電力佈線可以下部電力佈線 VPR1 至下部電力佈線 VPR3 的形式安置於基底 100 下方。因此，在第一金屬層 M1 中可省略電力佈線。用於信號傳輸的第一佈線 M1_I 可安置於第一金屬層 M1 中。第一佈線 M1_I 可在第一方向 D1 上以第二節距配置。第二節距可小於第一節距。

【0091】 第一金屬層 M1 可更包含第一通孔 VI1。第一通孔 VI1 可分別設置於第一金屬層 M1 的第一佈線 M1_I 下方。主動觸點 AC 及第一金屬層 M1 的第一佈線 M1_I 可經由第一通孔 VI1 電連接。閘極觸點 GC 及第一金屬層 M1 的第一佈線 M1_I 可經由第一通孔 VI1 電連接。

【0092】 第一金屬層 M1 的第一佈線 M1_I 及其下方的第一通孔 VI1 可經由分離製程形成。亦即，第一金屬層 M1 的第一佈線 M1_I 及第一通孔 VI1 中的各者可經由單一鑲嵌製程形成。根據實例實

施例的半導體裝置可使用小於 20 奈米的製程形成。

【0093】 第二金屬層 M2 可設置於第四層間絕緣層 140 中。第二金屬層 M2 可包含多個第二佈線 M2_I。第二金屬層 M2 的第二佈線 M2_I 中的各者可具有在第一方向 D1 上延伸的線形狀或條形狀。亦即，第二佈線 M2_I 可在第一方向 D1 上彼此平行延伸。

【0094】 第二金屬層 M2 可更包含設置於第二佈線 M2_I 下方的第二通孔 VI2。第一金屬層 M1 的第一佈線 M1_I 及第二金屬層 M2 的第二佈線 M2_I 可經由第二通孔 VI2 電連接。舉例而言，第二金屬層 M2 的第二佈線 M2_I 及其下的第二通孔 VI2 可經由雙鑲嵌製程一起形成。

【0095】 第一金屬層 M1 的第一佈線 M1_I 及第二金屬層 M2 的第二佈線 M2_I 可包含相同或不同的導電材料。舉例而言，第一金屬層 M1 的第一佈線 M1_I 及第二金屬層 M2 的第二佈線 M2_I 可包含鋁、銅、鎢、鉭、釕或鈷中的至少一種金屬材料。堆疊於第四層間絕緣層 140 上的金屬層可另外安置。堆疊金屬層中的各者可包含用於在單元之間路由的佈線。

【0096】 圖 6A、圖 6B、圖 7A、圖 7B、圖 8A、圖 8B、圖 9A、圖 9B、圖 9C、圖 10A、圖 10B、圖 10C、圖 11A、圖 11B、圖 11C、圖 11D、圖 12A、圖 12B、圖 12C、圖 12D、圖 13A、圖 13B、圖 13C、圖 14A、圖 14B 以及圖 14C 為示出根據本揭露的實施例的製造半導體裝置的方法的橫截面圖。圖 6A、圖 7A、圖 8A、圖 9A、圖 10A、圖 11A、圖 12A、圖 13A 以及圖 14A 為對應於圖 4 的線 A-A'的橫截面圖。圖 8B、圖 9B、圖 10B、圖 11B、圖 12B、圖 13B 以及圖 14B 為對應於圖 4 的線 B-B'的橫截面圖。圖 9C、圖 10C、

圖 11C、圖 12C、圖 13C 以及圖 14C 為對應於圖 4 的線 C-C'的橫截面圖。圖 6B、圖 7B、圖 11D 以及圖 12D 為對應於圖 4 的線 D-D'的橫截面圖。

【0097】 參考圖 6A 及圖 6B，可提供包含第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 的基底 100。第一半導體層 ACL 及第二半導體層 SAL 可交替堆疊於基底 100 上。第一半導體層 ACL 可包含矽（Si）、鍺（Ge）以及矽鍺（SiGe）中的一者，且第二半導體層 SAL 可包含矽（Si）、鍺（Ge）以及矽鍺（SiGe）。

【0098】 第二半導體層 SAL 可包含相對於第一半導體層 ACL 具有蝕刻選擇性的材料。舉例而言，第一半導體層 ACL 可包含矽（Si），且第二半導體層 SAL 可包含矽鍺（SiGe）。第二半導體層 SAL 中的各者中的鍺（Ge）濃度可為約 10 原子%至約 30 原子%。

【0099】 遮罩圖案可分別形成於基底 100 的第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上。遮罩圖案可具有在第二方向 D2 上延伸的線形狀或條形狀。

【0100】 可使用遮罩圖案作為蝕刻遮罩執行圖案化製程以形成界定第一主動圖案 AP1 及第二主動圖案 AP2 的溝槽 TR。第一主動圖案 AP1 可形成於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的各者上。第二主動圖案 AP2 可形成於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的各者上。在平面圖中，第一主動圖案 AP1 及第二主動圖案 AP2 可具有在第二方向 D2 上彼此平行延伸的線形狀。

【0101】 堆疊圖案 STP 可形成於第一主動圖案 AP1 及第二主動圖案 AP2 中的各者上。堆疊圖案 STP 可包含彼此交替堆疊的第一半導體層 ACL 及第二半導體層 SAL。在圖案化製程期間，堆疊圖案 STP 可與第一主動圖案 AP1 及第二主動圖案 AP2 一起形成。

【0102】 裝置隔離層 ST 可形成以填充溝槽 TR。絕緣層可形成於基底 100 的整個表面上以覆蓋第一主動圖案 AP1 及第二主動圖案 AP2 以及堆疊圖案 STP。可藉由使絕緣層凹陷直至暴露堆疊圖案 STP 而形成裝置隔離層 ST。

【0103】 裝置隔離層 ST 可包含諸如氧化矽層的絕緣材料。堆疊圖案 STP 可在裝置隔離層 ST 上暴露。亦即，堆疊圖案 STP 可自裝置隔離層 ST 豎直突出。

【0104】 參考圖 7A 及圖 7B，可在基底 100 上形成與堆疊圖案 STP 交叉的犧牲圖案 PP。犧牲圖案 PP 中的各者可以在第一方向 D1 上延伸的線形狀或條形狀形成。犧牲圖案 PP 可在第二方向 D2 上以第一節距配置。

【0105】 形成犧牲圖案 PP 可包含在基底 100 的整個表面上形成犧牲層，在犧牲層上形成硬遮罩圖案 MP，以及使用硬遮罩圖案 MP 作為蝕刻遮罩圖案化犧牲層。犧牲層可包含多晶矽。

【0106】 一對閘極間隔件 GS 可形成於犧牲圖案 PP 中的各者的兩個側壁上。形成閘極間隔件 GS 可包含在基底 100 的整個表面上保形地形成閘極間隔件層及非等向性地蝕刻閘極間隔件層。閘極間隔件層可包含 SiCN、SiCON 以及 SiN 中的至少一者。作為另一實例，閘極間隔件層可為包含 SiCN、SiCON 以及 SiN 中的至少兩者的多層。

【0107】 參考圖 8A 及圖 8B，第一凹部 RS1 可形成於第一主動圖案 AP1 上的堆疊圖案 STP 中。第二凹部 RS2 可形成於第二主動圖案 AP2 上的堆疊圖案 STP 中。當形成第一凹部 RS1 及第二凹部 RS2 時，第一主動圖案 AP1 及第二主動圖案 AP2 中的各者的兩側上的裝置隔離層 ST 可進一步凹陷。

【0108】 可使用硬遮罩圖案 MP 及閘極間隔件 GS 作為蝕刻遮罩蝕刻第一主動圖案 AP1 上的堆疊圖案 STP，藉此形成第一凹部 RS1。第一凹部 RS1 可形成於一對犧牲圖案 PP 之間。第二主動圖案 AP2 上的堆疊圖案 STP 中的第二凹部 RS2 可以與形成第一凹部 RS1 相同的方法形成。

【0109】 在相鄰第一凹部 RS1 之間依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可分別由第一半導體層 ACL 形成。在相鄰第二凹部 RS2 之間依序堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可分別由第一半導體層 ACL 形成。相鄰第一凹部 RS1 之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可構成第一通道圖案 CH1。相鄰第二凹部 RS2 之間的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 可構成第二通道圖案 CH2。

【0110】 參考圖 9A 至圖 9C，第一源極/汲極圖案 SD1 可分別形成於第一凹部 RS1 中。可使用第一凹部 RS1 的內壁作為晶種層執行第一 SEG 製程以形成緩衝層 BFL。緩衝層 BFL 可使用基底 100 及藉由第一凹部 RS1 暴露的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 作為晶種進行生長。舉例而言，第

一 SEG 製程可包含化學氣相沈積(chemical vapor deposition；CVD）製程或分子束磊晶法（ molecular beam epitaxy ； MBE）製程。

【0111】 緩衝層 BFL 可包含具有大於基底 100 的半導體元件的晶格常數的晶格常數的半導體元件（例如，SiGe）。緩衝層 BFL 可含有濃度相對較低的鍺(Ge)。在本揭露的另一實施例中，緩衝層 BFL 可僅含有矽（ Si ）而不包含鍺（ Ge)。緩衝層 BFL 中鍺（ Ge ）的濃度可為約 0 原子%至約 10 原子%。

【0112】 可在緩衝層 BFL 上執行第二 SEG 製程以形成主層 MAL。主層 MAL 可形成以完全地或幾乎完全地填充第一凹部 RS1。主層 MAL 可含有濃度相對較高的鍺（ Ge)。舉例而言，主層 MAL 中鍺（ Ge ）的濃度可為 30 原子%至 70 原子%。

【0113】 在本揭露的一個實施例中，可在主層 MAL 上執行第三 SEG 製程以形成頂蓋層。頂蓋層可包含矽（ Si)。頂蓋層中矽的濃度可為 98 原子%至 100 原子%。

【0114】 當形成緩衝層 BFL 及主層 MAL 時，可原位注入導致第一源極/汲極圖案 SD1 具有 p 型的雜質（例如，硼、鎵或銦）。作為另一實例，雜質可在第一源極/汲極圖案 SD1 形成之後植入至第一源極/汲極圖案 SD1 中。

【0115】 第二源極/汲極圖案 SD2 可分別形成於第二凹部 RS2 中。可使用第二凹部 RS2 的內壁作為晶種層執行 SEG 製程以形成第二源極/汲極圖案 SD2。舉例而言，第二源極/汲極圖案 SD2 可包含與基底 100 相同的半導體元件（例如，Si)。

【0116】 當形成第二源極/汲極圖案 SD2 時，可原位注入導致第二源極/汲極圖案 SD2 具有 n 型的雜質（例如，磷、砷或銻）。作為

另一實例，雜質可在第二源極/汲極圖案 SD2 形成之後植入至第二源極/汲極圖案 SD2 中。

【0117】 在本揭露的一個實施例中，在形成第二源極/汲極圖案 SD2 之前，可使用絕緣材料替換經由第二凹部 RS2 暴露的第二半導體層 SAL 的部分以形成內部間隔件 IP。因此，內部間隔件 IP 可分別形成於第二源極/汲極圖案 SD2 與第二半導體層 SAL 之間。

【0118】 參考圖 10A 至圖 10C，可形成覆蓋第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2、硬遮罩圖案 MP 以及閘極間隔件 GS 的第一層間絕緣層 110。舉例而言，第一層間絕緣層 110 可包含氧化矽層。

【0119】 可在第一層間絕緣層 110 上形成硬遮罩圖案且使用硬遮罩圖案作為蝕刻遮罩蝕刻第一層間絕緣層 110，藉此形成通孔凹部 ME_RS。通孔凹部 ME_RS 可形成於一對犧牲圖案 PP 之間。通孔凹部 ME_RS 可穿過第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的中心。此外，通孔凹部 ME_RS 可延伸至第一主動圖案 AP1 及第二主動圖案 AP2 的上部部分。亦即，通孔凹部 ME_RS 的底部表面可低於第一主動圖案 AP1 及第二主動圖案 AP2 的上部表面。

【0120】 可自通孔凹部 ME_RS 的底部表面至第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 形成襯裡層。亦即，襯裡層可保形地形成以覆蓋通孔凹部 ME_RS 的下部部分。襯裡層可包含氧化矽、氮化矽或氮氧化矽。

【0121】 貫穿圖案 MSV 可形成於通孔凹部 ME_RS 中的各者中。形成貫穿圖案 MSV 可包含藉由金屬材料保形地填充通孔凹部 ME_RS 以形成金屬貫穿圖案、蝕刻金屬貫穿圖案的上部部分以及

在經蝕刻的金屬貫穿圖案上形成通孔絕緣圖案 VOX。通孔絕緣圖案 VOX 的上部表面可與第一層間絕緣層 110 的上部表面共面。通孔絕緣圖案 VOX 可包含氮化矽、氧化矽以及氮氧化矽中的至少一者。通孔絕緣圖案 VOX 可包含與第一層間絕緣層 110 相同的材料。

【0122】 貫穿圖案 MSV 可經由犧牲圖案 PP 及閘極間隔件 GS 以自對準的方式形成。貫穿圖案 MSV 的上部表面可低於犧牲圖案 PP 的上部表面。貫穿圖案 MSV 的底部表面可低於第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 的下部表面。矽化物層 SC 可形成於貫穿圖案 MSV 的兩側上。亦即，矽化物層 SC 可插入於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 及第二源極/汲極圖案 SD2 之間。

【0123】 參考圖 11A 至圖 11D，第一層間絕緣層 110 可經平坦化直至暴露犧牲圖案 PP 的上部表面為止。第一層間絕緣層 110 的平坦化可使用回蝕或化學機械研磨（chemical mechanical polishing；CMP）製程執行。在平坦化製程期間，可移除所有硬遮罩圖案 MP。因此，第一層間絕緣層 110 的上部表面可與犧牲圖案 PP 的上部表面及閘極間隔件 GS 的上部表面共面。

【0124】 可使用光微影選擇性地打開犧牲圖案 PP 的區。舉例而言，可選擇性地打開犧牲圖案 PP 在第一單高度單元 SHC1 的第三邊界 BD3 及第四邊界 BD4 上的區。可選擇性地蝕刻及移除犧牲圖案 PP 的打開區。絕緣材料可填充移除犧牲圖案 PP 的空間以形成閘極切割圖案 CT（參考圖 11D）。

【0125】 可選擇性地移除經暴露的犧牲圖案 PP。藉由移除犧牲圖

案 PP，可形成暴露第一通道圖案 CH1 及第二通道圖案 CH2 的外部區 ORG（參考圖 11D）。移除犧牲圖案 PP 可包含使用選擇性地蝕刻多晶矽的蝕刻劑的濕式蝕刻。

【0126】 可選擇性地移除經由外部區 ORG 暴露的第二半導體層 SAL 以形成內部區 IRG（參考圖 11D）。可執行用於選擇性地蝕刻第二半導體層 SAL 的蝕刻製程以僅移除第二半導體層 SAL，同時保持第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 的完整。針對具有相對較高鍺濃度的矽鍺，蝕刻製程可具有高蝕刻速率。舉例而言，針對具有大於約 10 原子%的鍺濃度的矽鍺，蝕刻製程可具有高蝕刻速率。

【0127】 在蝕刻製程期間，可完全移除第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 以及第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 上的第二半導體層 SAL。蝕刻製程可為濕式蝕刻。用於蝕刻製程中的蝕刻材料可快速移除具有相對較高鍺濃度的第二半導體層 SAL。歸因於緩衝層 BFL 具有相對較低鍺濃度，在蝕刻製程期間，可保護第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 上的第一源極/汲極圖案 SD1。

【0128】 返回參考圖 11D，可選擇性地移除第二半導體層 SAL，且因此可分別保留堆疊於第一主動圖案 AP1 及第二主動圖案 AP2 上的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一內部區 IRG1、第二內部區 IRG2 以及第三內部區 IRG3 可經由移除第二半導體層 SAL 的區分別形成。

【0129】 第一內部區 IRG1 可形成於主動圖案 AP1 或主動圖案 AP2 與第一半導體圖案 SP1 之間，第二內部區 IRG2 可形成於第一半

導體圖案 SP1 與第二半導體圖案 SP2 之間，且第三內部區 IRG3 可形成於第二半導體圖案 SP2 與第三半導體圖案 SP3 之間。

【0130】 參考圖 12A 至圖 12D，閘極絕緣層 GI 可保形地形成於經暴露的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3 上。閘極電極 GE 可形成於閘極絕緣層 GI 上。閘極電極 GE 可包含分別形成於第一內部區 IRG1、第二內部區 IRG2 以及第三內部區 IRG3 中的第一內部電極 PO1、第二內部電極 PO2 以及第三內部電極 PO3，以及形成於外部區 ORG 中的外部電極 PO4。

【0131】 隨著閘極電極 GE 凹陷，可降低其高度。在閘極電極 GE 凹陷的同時，亦可使第一閘極切割圖案及第二閘極切割圖案的上部部分略微地凹陷。閘極頂蓋圖案 GP 可形成於凹陷的閘極電極 GE 上。

【0132】 第二層間絕緣層 120 可形成於第一層間絕緣層 110 上。第二層間絕緣層 120 可包含氧化矽層。可形成穿透第二層間絕緣層 120 且延伸至第一層間絕緣層 110 以電連接至貫穿圖案 MSV 的主動觸點 AC。主動觸點 AC 與貫穿圖案 MSV 可自對準。電連接至閘極電極 GE 的閘極觸點 GC 可形成穿過第二層間絕緣層 120 及閘極頂蓋圖案 GP。

【0133】 形成主動觸點 AC 及閘極觸點 GC 中的各者的可包含形成障壁圖案 BM 及在障壁圖案 BM 上形成導電圖案 FM。障壁圖案 BM 可保形地形成且可包含金屬層/金屬氮化物層。導電圖案 FM 可包含低電阻金屬。

【0134】 一對分離結構 DB 可形成於第一單高度單元 SHC1 及第

二單高度單元 SHC2 中的各者的兩側上。分離結構 DB 可經由閘極電極 GE 自第二層間介電層 120 延伸至主動圖案 AP1 或主動圖案 AP2 中。分離結構 DB 可包含諸如氧化矽層或氮化矽層的絕緣材料。

【0135】 參考圖 13A 至圖 13C，第三層間絕緣層 130 可形成於主動觸點 AC 及閘極觸點 GC 上。第一金屬層 M1 可形成於第三層間絕緣層 130 中。第四層間絕緣層 140 可形成於第三層間絕緣層 130 上。第二金屬層 M2 可形成於第四層間絕緣層 140 中。

【0136】 在完成後段（back-end of line；BEOL）製程之後，可翻轉基底 100 以暴露基底 100 的底部表面 100b。可在基底 100 的底部表面 100b 上執行平坦化製程以減小基底 100 的厚度。

【0137】 參考圖 14A 至圖 14C，遮罩圖案可形成於基底 100 的底部表面 100b 上，且可使用遮罩圖案作為蝕刻遮罩蝕刻基底 100（亦即，第一主動圖案 AP1 及第二主動圖案 AP2）以形成內埋連接件 BSI。內埋連接件 BSI 可經形成以接觸貫穿圖案 MSV 的底部表面。亦即，內埋連接件 BSI 可經由貫穿圖案 MSV 自對準。

【0138】 內埋連接件 BSI 及貫穿圖案 MSV 可經由不同製程個別地形成。內埋連接件 BSI 與貫穿圖案 MSV 可自對準。內埋連接件 BSI 及貫穿圖案 MSV 可包含金屬材料，且因此可降低其間的介面處的接觸電阻。因此，根據本揭露的製造方法的半導體裝置可同時改良可靠性及電特性。

【0139】 形成內埋連接件 BSI 可包含藉由蝕刻基底 100 形成溝槽區，在溝槽區的兩個側壁上均勻沈積絕緣材料，及在溝槽區中及在絕緣材料上保形地填充金屬材料。

【0140】 形成溝槽區可包含蝕刻覆蓋基底 100 的下部部分及貫穿圖案 MSV 的襯裡層 LIN（圖 15A 中）。因此，內埋連接件 BSI 可接觸貫穿圖案 MSV 的底部表面且電連接。均勻沈積隔熱材料是為了形成設置在內埋連接件 BSI 的兩個側壁上的內埋間隔件 BSSP（圖 5A 中）。絕緣材料可為氧化矽、氮化矽或氮氧化矽。內埋連接件 BSI 可包含金屬材料。舉例而言，內埋連接件 BSI 可包含銅、鉭或釕。內埋連接件 BSI 及貫穿圖案 MSV 可包含相同或不同的金屬材料。

【0141】 內埋連接件 BSI 及基底 100 的底部表面 100b 可與彼此共面。背側互連層 BSPR 可形成於共面表面上。背側互連層 BSPR 可藉由執行圖案化製程形成。背側互連層 BSPR 可包含第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3（圖 4 中）以及電連接至所述下部電力佈線的多個金屬佈線 BSPR_I。背側互連層 BSPR 可更包含連接第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3（圖 4 中）與金屬佈線 BSPR_I 的後通孔 VI_B。BSPR 可包含用於單元之間路由的佈線。

【0142】 電力傳輸網路層 PDN 可形成於背側互連層 BSPR 上。電力傳輸網路層 PDN 可施加源極電壓或汲極電壓至下部電力佈線 VPR1、下部電力佈線 VPR2 以及下部電力佈線 VPR3（圖 4 中）。

【0143】 圖 15A、圖 15B 以及圖 15C 為示出根據本揭露的實施例的圖 5A 的『M』區的實施例的放大圖。圖 16A 及圖 16B 為示出根據本揭露的實施例的圖 15A 的其他實施例的放大圖。

【0144】 參考圖 15A 至圖 16B，將更詳細地描述貫穿圖案 MSV、

金屬化合物半導體層 SC 以及第一源極/汲極圖案 SD1。參考圖 15A，貫穿圖案 MSV 可穿過第一源極/汲極圖案 SD1。貫穿圖案 MSV 可穿過第一源極/汲極圖案 SD1 的中心線。貫穿圖案 MSV 的中心線與第一源極/汲極圖案 SD1 的中心線可共線。

【0145】 貫穿圖案 MSV 可在第三方向 D3 上自第一源極/汲極圖案 SD1 延伸。亦即，貫穿圖案 MSV 可在第三方向 D3 上向上延伸至第一層間絕緣層 110 且向下延伸至基底 100（亦即，圖 5A 中的第一主動圖案 AP1）。貫穿圖案 MSV 的上部表面在第三方向 D3 上的高度層級可界定為第一層級 LV1。貫穿圖案 MSV 的上部表面在第三方向 D3 上的高度層級可界定為第三層級 LV3。

【0146】 閘極電極 GE 的外部電極 PO4 的上部表面在第三方向上的高度層級可界定為第二層級 LV2。外部電極 PO4 的上部表面可與包圍外部電極 PO4 的閘極絕緣層 GI 的上部表面共面。共面表面可接觸閘極頂蓋圖案 GP 的下部表面。第一層級 LV1 可高於第二層級 LV2。

【0147】 第一源極/汲極圖案 SD1 的下部表面在第三方向 D3 上的高度層級可界定為第四層級 LV4。第一源極/汲極圖案 SD1 的下部表面可為緩衝層 BFL 的下部表面。亦即，第四層級 LV4 可為緩衝層 BFL 的下部表面在第三方向 D3 上的高度層級。第四層級 LV4 可低於第一半導體圖案 SP1 的下部表面。第四層級 LV4 可低於閘極電極 GE 當中的第一內部電極 PO1 的下部表面。第三層級 LV3 可低於第四層級 LV4。亦即，貫穿圖案 MSV 的上部表面可高於外部電極 PO4 的上部表面，且貫穿圖案 MSV 的下部表面可低於第一源極/汲極圖案 SD1 的下部表面。

【0148】 金屬化合物半導體層 SC 可設置於貫穿圖案 MSV 的兩側上。金屬化合物半導體層 SC 可為矽化物層 SC。矽化物層 SC 可插入於貫穿圖案 MSV 的側表面與第一源極/汲極圖案 SD1 之間。詳細地說，矽化物層 SC 可插入於貫穿圖案 MSV 的側表面與主層 MAL 及緩衝層 BFL 的部分之間。矽化物層 SC 可包含矽化鈦、矽化鉭、矽化鎢、矽化鎳以及矽化鈷中的至少一者。矽化物層 SC 的厚度可為約 5 埃至約 20 埃。

【0149】 貫穿圖案 MSV 可包含金屬材料。舉例而言，貫穿圖案 FM 可包含鋁、銅、鎢、鉭以及鈷中的至少一種金屬。貫穿圖案 MSV 可包含鈦、鉭、鎳，以及鉑中的至少一者。

【0150】 襯裡層 LIN 可經設置以包圍貫穿圖案 MSV 的下部部分。襯裡層 LIN 可保形地覆蓋貫穿圖案 MSV 的底部表面及側表面的部分。襯裡層 LIN 可覆蓋貫穿圖案 MSV 的下部部分且可延伸至第一源極/汲極圖案 SD1 的下部表面。襯裡層 LIN 可包含氧化矽、氮化矽或氮氧化矽。襯裡層 LIN 的厚度可為約 5 埃至約 20 埃。襯裡層的厚度可與矽化物層的厚度相同。襯裡層 LIN 可將使貫穿圖案 MSV 的下部部分與基底 100（亦即，圖 5A 中的第一主動圖案 AP1）絕緣。當貫穿圖案 MSV 與內埋連接件 BSI（圖 5A 中）電連接時，襯裡層 LIN 可不插入於其間。

【0151】 貫穿圖案 MSV 的平面形狀可為圓形、橢圓形或多邊形。舉例而言，貫穿圖案 MSV 的平面形狀可具有圓形形狀，且貫穿圖案 MSV 可具有柱形或柱狀形狀。因此，可增加插入於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 之間的矽化物層 SC 的橫截面積。可減小貫穿圖案 MSV 的接觸電阻，且可改良半導體裝置的電特

性。

【0152】 參考圖 5A 及圖 15A，根據實施例的貫穿圖案 MSV 及內埋連接件 BSI 可經由不同製程個別地形成。貫穿圖案 MSV 可經由閘極電極 GE 及閘極間隔件 GS 自對準。內埋連接件 BSI 可經由貫穿圖案 MSV 自對準。因此，可避免貫穿圖案 MSV 與內埋連接件 BSI 之間的未對準，且可改良半導體裝置的可靠性。

【0153】 貫穿圖案 MSV 及內埋連接件 BSI 可包含相同或不同的金屬材料。金屬化合物半導體層可不插入於具有金屬材料的貫穿圖案 MSV 與內埋連接件 BSI 之間。此外，可最大化貫穿圖案 MSV 與內埋連接件 BSI 之間的接觸面積，藉此降低其間的接觸電阻。因此，本揭露的實施例可同時改良半導體裝置的可靠性及電特性。

【0154】 參考圖 15B，第一層級 LV1 可與第二層級 LV2 相同。第三層級 LV3 可與第四層級 LV4 相同。亦即，貫穿圖案 MSV 的上部表面及外部電極 PO4 的上部表面在第三方向 D3 上可具有相同高度層級，且貫穿圖案 MSV 的下部表面及第一源極/汲極圖案 SD1 的下部表面在第三方向 D3 上可具有相同高度層級。因為貫穿圖案 MSV 的部分可設置於第一源極/汲極圖案 SD1 的內部，所以可不存在襯裡層 LIN。

【0155】 參考圖 15C，第一層級 LV1 可為低於第二層級 LV2 的層級。第三層級 LV3 可為低於第四層級 LV4 的層級。亦即，貫穿圖案 MSV 的上部表面可低於外部電極 PO4 的上部表面，且貫穿圖案 MSV 的下部表面可低於第一源極/汲極圖案 SD1 的下部表面。襯裡層 LIN 可覆蓋貫穿圖案 MSV 的下部部分。

【0156】 參考圖 16A，當主層 MAL 的 SEG 製程停止時，可形成

貫穿圖案 MSV。亦即，貫穿圖案 MSV 可在主層 MAL 未完全合併的狀態下形成。貫穿圖案 MSV 在第二方向 D2 上的平面形狀可為圓形、橢圓形或多邊形。舉例而言，貫穿圖案 MSV 在第二方向 D2 上的平面形狀可具有圓形形狀，且貫穿圖案 MSV 可具有啞鈴形狀。矽化物層 SC 可插入於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 之間。

【0157】 第一直徑 DI1 可界定為在第二方向 D2 上設置於第一層間絕緣層 110 中的貫穿圖案 MSV 的橫截面的直徑。第二直徑 DI2 可界定為在第二方向 D2 上設置於第一源極/汲極圖案 SD1 中的貫穿圖案 MSV 的橫截面的直徑。第三直徑 DI3 可界定為在第二方向 D2 上設置於基底 100 中的貫穿圖案 MSV 的橫截面的直徑。

【0158】 第一直徑 DI1 及第三直徑 DI3 可大於第二直徑 DI2。第一直徑 DI1 可與第三直徑 DI3 相同。在第二方向 D2 上在第一層間絕緣層 110 與第一源極/汲極圖案 SD1 之間的貫穿圖案 MSV 的橫截面的直徑可朝向基底 100 減小。在第二方向 D2 上在第一源極/汲極圖案 SD1 與基底 100 之間的貫穿圖案 MSV 的橫截面的直徑可朝向第一層間絕緣層 110 減小。因此，貫穿圖案 MSV 可具有啞鈴形狀。

【0159】 參考圖 16B，貫穿圖案可在緩衝層 BFL 的 SEG 製程未充分執行的狀態下形成。亦即，貫穿圖案 MSV 可在緩衝層 BFL 尚未充分生長的狀態下使用第一半導體圖案 SP1 至第三半導體圖案 SP3 作為晶種層形成。矽化物層 SC 可插入於貫穿圖案 MSV 與第一源極/汲極圖案 SD1 之間。貫穿圖案 MSV 的內部表面可具有波狀輪廓，且因此，矽化物層 SC 亦可具有波狀輪廓。

【0160】 貫穿圖案 MSV 在第二方向 D2 上的部分的平面形狀可為圓形、橢圓形或多邊形。在此情況下，貫穿圖案 MSV 的部分的直徑可大於第一直徑 DI1、第二直徑 DI2 以及第三直徑 DI3（圖 16A 中）。此為了允許貫穿圖案 MSV 與未充分生長的緩衝層 BFL 接觸。

【0161】 圖 17A、圖 17B 以及圖 17C 為示出根據本揭露的實施例的半導體裝置的橫截面圖。圖 17A 至圖 17C 為沿著線圖 4 的 A-A'、B-B'以及 D-D'截取的橫截面圖以示出根據本揭露的另一實施例的半導體裝置。參考圖 4 及圖 17A 至圖 17C，裝置隔離層 ST 可界定在基底 100 上的第一主動圖案 AP1 及第二主動圖案 AP2。第一主動圖案 AP1 可界定於第一 PMOSFET 區 PR1 及第二 PMOSFET 區 PR2 中的各者上，且第二主動圖案 AP2 可界定於第一 NMOSFET 區 NR1 及第二 NMOSFET 區 NR2 中的各者上。

【0162】 裝置隔離層 ST 可覆蓋第一主動圖案 AP1 及第二主動圖案 AP2 中的各者的下部側壁。第一主動圖案 AP1 及第二主動圖案 AP2 中的各者的上部部分可在裝置隔離層 ST 上方突出（參考圖 17C）。

【0163】 第一主動圖案 AP1 可包含第一源極/汲極圖案 SD1 及其間的第一通道圖案 CH1。第二主動圖案 AP2 可包含第二源極/汲極圖案 SD2 及其間的第二通道圖案 CH2。

【0164】 參考圖 17C，第一通道圖案 CH1 及第二通道圖案 CH2 中的各者可不包含先前參考圖 5A 至圖 5D 所描述的堆疊的第一半導體圖案 SP1、第二半導體圖案 SP2 以及第三半導體圖案 SP3。第一通道圖案 CH1 及第二通道圖案 CH2 中的各者可具有在裝置隔離層 ST 上方突出的半導體支柱形狀。

【0165】 閘極電極 GE 可設置於第一通道圖案 CH1 及第二通道圖案 CH2 中的各者的上部表面 TS 及兩個側壁 SW 上。亦即，根據本實施例的電晶體可為三維場效電晶體（例如，FinFET），其中閘極電極 GE 以三維方式包圍通道。

【0166】 第一層間絕緣層 110 及第二層間絕緣層 120 可設置於基底 100 的整個表面上。主動觸點 AC 可穿透第二層間絕緣層 120 以分別連接至第一層間絕緣層 110 中的貫穿圖案 MSV。閘極觸點 GC 可穿透第二層間絕緣層 120 及閘極頂蓋圖案 GP 以連接至閘極電極 GE。主動觸點 AC 及閘極觸點 GC 的詳細描述可與先前參考圖 4 及圖 5A 至圖 5D 描述的內容實質上相同，且可省略重複描述。

【0167】 第三層間絕緣層 130 可設置於第二層間絕緣層 120 上。第四層間絕緣層 140 可設置於第三層間絕緣層 130 上。第一金屬層 M1 可設置於第三層間絕緣層 130 中。第二金屬層 M2 可設置於第四層間絕緣層 140 中。第一金屬層 M1 及第二金屬層 M2 的詳細描述可與先前參考圖 4 及圖 5A 至圖 5D 描述的內容實質上相同。

【0168】 第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 可設置於基底 100 的下部部分上。背側互連層 BSPR 可設置於基底 100 的底部表面 100b 上。電力傳輸網路層 PDN 可設置於背側互連層 BSPR 的底部表面上。第一下部電力佈線 VPR1、第二下部電力佈線 VPR2 以及第三下部電力佈線 VPR3 及電力傳輸網路層 PDN 的詳細描述可與上文參考圖 4 及圖 5A 至圖 5D 描述的內容實質上相同。

【0169】 在根據本揭露的三維場效電晶體中，貫穿圖案可插入至源極/汲極圖案中，藉此減小源極/汲極圖案與貫穿圖案之間的接觸

電阻。內埋連接件可形成於貫穿圖案的下部表面上，藉此降低內埋連接件與貫穿圖案之間的接觸電阻。此外，主動觸點可在貫穿圖案上自對準，且因此可提高製造半導體裝置的方法的效率。根據本揭露，可減小貫穿圖案與源極/汲極圖案之間以及貫穿圖案與內埋連接件之間的接觸電阻且可提供自對準的主動觸點，藉此改良半導體裝置的電特性及可靠性。

【0170】 以上描述中所提供的實施例中的各者不排除與本文中亦提供或本文中未提供但與本揭露一致的另一實例或另一實施例的一或多個特徵相關聯。

【0171】 雖然本揭露已參考其實施例進行具體繪示及描述，但應理解，可在不脫離以下申請專利範圍的精神及範疇的情況下進行形式及細節的各種改變。

【符號說明】

【0172】

100:基底

100b:底部表面

110:第一層間絕緣層

120:第二層間絕緣層

130:第三層間絕緣層

140:第四層間絕緣層

A-A'、B-B'、C-C'、D-D':線

AC:主動觸點

ACL:第一半導體層

AP1:第一主動圖案

AP2:第二主動圖案

BD1:第一邊界

BD2:第二邊界

BD3:第三邊界

BD4:第四邊界

BFL:緩衝層

BM:障壁圖案

BS:底部表面

BSI:內埋連接件

BSPR:背側互連層

BSPR_I:金屬佈線

BSSP:內埋間隔件

CH1:第一通道圖案

CH2:第二通道圖案

CT:閘極切割圖案

D1:第一方向

D2:第二方向

D3:第三方向

DB:分離結構

DHC:雙倍高度單元

DI1:第一直徑

DI2:第二直徑

DI3:第三直徑

FM:導電圖案

GC:閘極觸點

GE:閘極電極

GI:閘極絕緣層

GP:閘極頂蓋圖案

GS:閘極間隔件

HE1:第一高度

HE2:第二高度

IP:內部間隔件

IRG:內部區

IRG1:第一內部區

IRG2:第二內部區

IRG3:第三內部區

LIN:襯裡層

LV1:第一層級

LV2:第二層級

LV3:第三層級

LV4:第四層級

M:區

M1:第一金屬層

M1_I:第一佈線

M2:第二金屬層

M2_I:第二佈線

MAL:主層

ME_RS:通孔凹部

MP:硬遮罩圖案

MSV:貫穿圖案

NR: NMOSFET 區

NR1:第一 NMOSFET 區

NR2:第二 NMOSFET 區

ORG:外部區

PDN:電力傳輸網路層

PO1:第一內部電極

PO2:第二內部電極

PO3:第三內部電極

PO4:外部電極

PP:犧牲圖案

PR: PMOSFET 區

PR1:第一 PMOSFET 區

PR2:第二 PMOSFET 區

RS1:第一凹部

RS2:第二凹部

SAL:第二半導體層

SC:金屬半導體化合物層/矽化物層

SD1:第一源極/汲極圖案

SD2:第二源極/汲極圖案

SHC:單高度單元

SHC1:第一單高度單元

SHC2:第二單高度單元

SP1:第一半導體圖案

SP2:第二半導體圖案

SP3:第三半導體圖案

STP:堆疊圖案

ST:裝置隔離層

SW:側壁

TR:溝槽

TS:上部表面

UIP:上部絕緣圖案

VDD:汲極電壓

VI1:第一通孔

VI2:第二通孔

VI_B:後通孔

VOX:通孔絕緣圖案

VPR1:第一下部電力佈線

VPR2:第二下部電力佈線

VPR3:第三下部電力佈線

VSS:源極電壓

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基底，包括主動圖案；

通道圖案，位於所述主動圖案上，所述通道圖案包括彼此間隔開且豎直堆疊的多個半導體圖案；

源極/汲極圖案，連接至所述多個半導體圖案；

貫穿圖案，穿透所述源極/汲極圖案；

層間絕緣層，位於所述源極/汲極圖案上；

金屬半導體化合物層，位於所述源極/汲極圖案與所述貫穿圖案之間；

閘極電極，位於所述多個半導體圖案上，所述閘極電極包括：

內部電極，位於所述多個半導體圖案中的相鄰的半導體圖案之間；以及

外部電極，位於所述多個半導體圖案的最上部半導體圖案上；

主動觸點，位於所述貫穿圖案上；以及

第一金屬層，位於所述主動觸點上，所述第一金屬層包括連接至所述主動觸點的電力佈線及第一佈線，

其中所述貫穿圖案的上部表面低於所述層間絕緣層的上部表面。

【請求項2】 如請求項 1 所述的半導體裝置，更包括：

內埋連接件，連接至所述貫穿圖案的底部表面；

內埋間隔件，位於所述內埋連接件的側面上；

背側互連層，位於所述內埋連接件的下部表面及所述基底的

底部表面上；以及

電力傳輸網路層，位於所述背側互連層的底部表面上。

【請求項3】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案的上部表面的第一層級在第一方向上與所述外部電極的上部表面的第二層級相同，以及

其中所述貫穿圖案的底部表面的第三層級在所述第一方向上與所述源極/汲極圖案的下部表面的第四層級相同。

【請求項4】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案的上部表面的第一層級低於所述外部電極的上部表面的第二層級，以及

其中所述貫穿圖案的底部表面的第三層級低於所述源極/汲極圖案的下部表面的第四層級。

【請求項5】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案包括第一部分、第二部分以及第三部分，以及

其中所述第一部分的第一直徑及所述第三部分的第三直徑大於所述第二部分的第二直徑。

【請求項6】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案的內部表面包括波狀輪廓，以及

其中所述金屬半導體化合物層包括波狀輪廓。

【請求項7】 如請求項 1 所述的半導體裝置，其中所述貫穿圖案包括金屬材料，以及

其中所述金屬材料包括鋁、銅、鎢、鉬、鈷、鈦、鉭、鎳、鉑，或其組合。

【請求項8】 如請求項 1 所述的半導體裝置，其中所述金屬半導

體化合物層包括矽化物層，以及

其中所述矽化物層包括矽化鈦、矽化鉭、矽化鎢、矽化鎳、矽化鈷，或其組合。

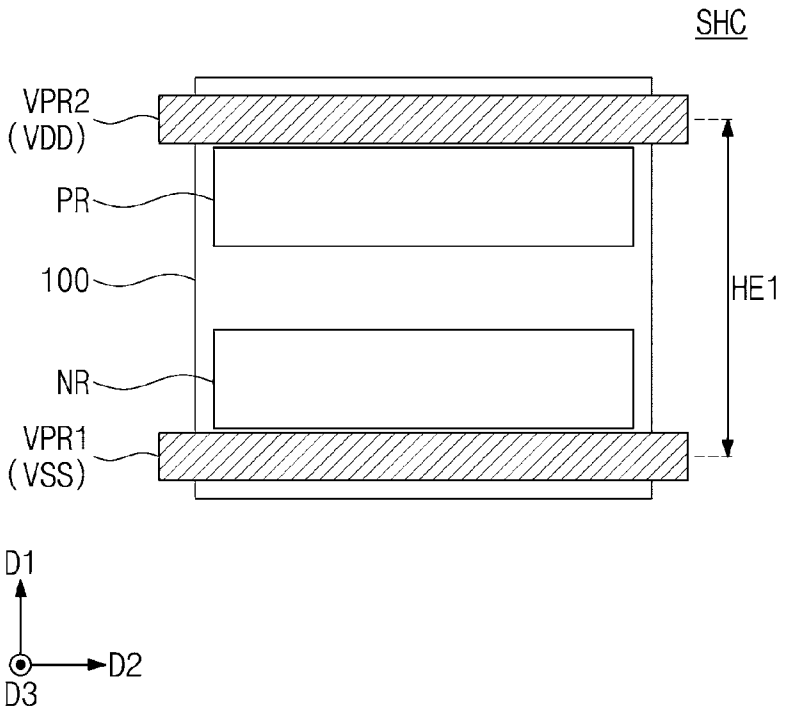
【請求項9】 如請求項 1 所述的半導體裝置，其中所述金屬半導體化合物層具有 5 埃至 20 埃的厚度。

【請求項10】如請求項 1 所述的半導體裝置，更包括至少部分地包圍所述貫穿圖案的下部部分的襯裡層，

其中所述襯裡層至少部分地覆蓋所述貫穿圖案的底部表面及所述貫穿圖案的側表面，以及

其中所述襯裡層延伸至所述源極/汲極圖案的下部層。

【發明圖式】



【圖1】

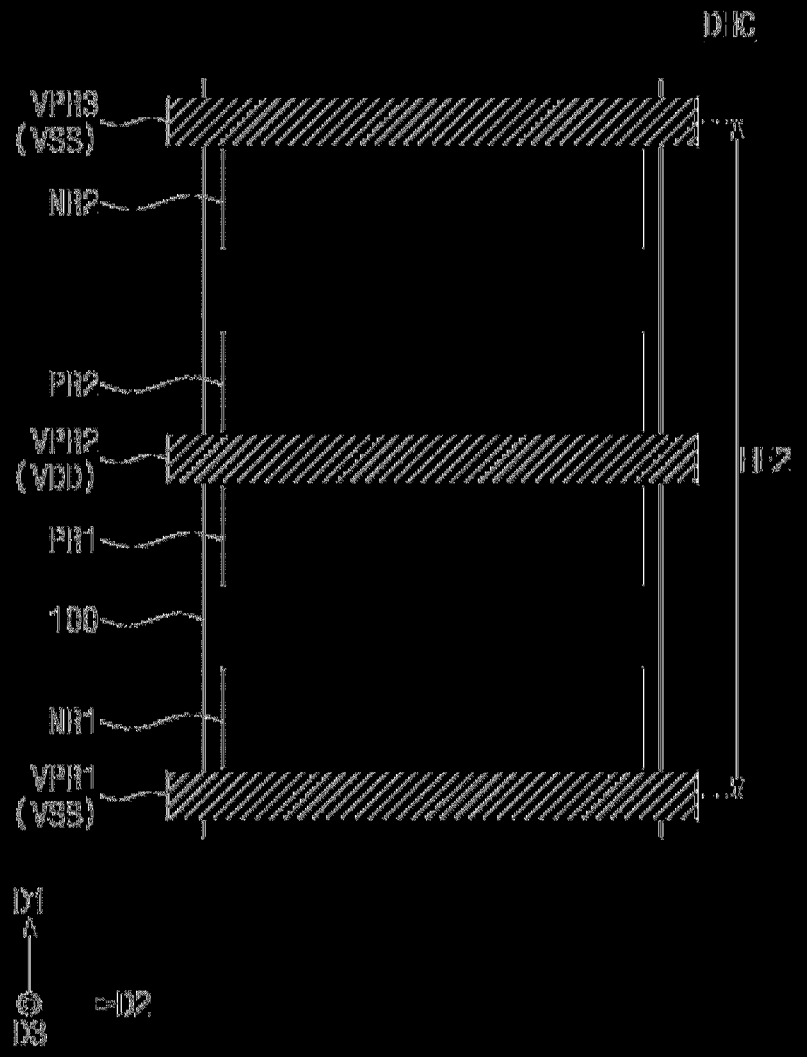


圖2

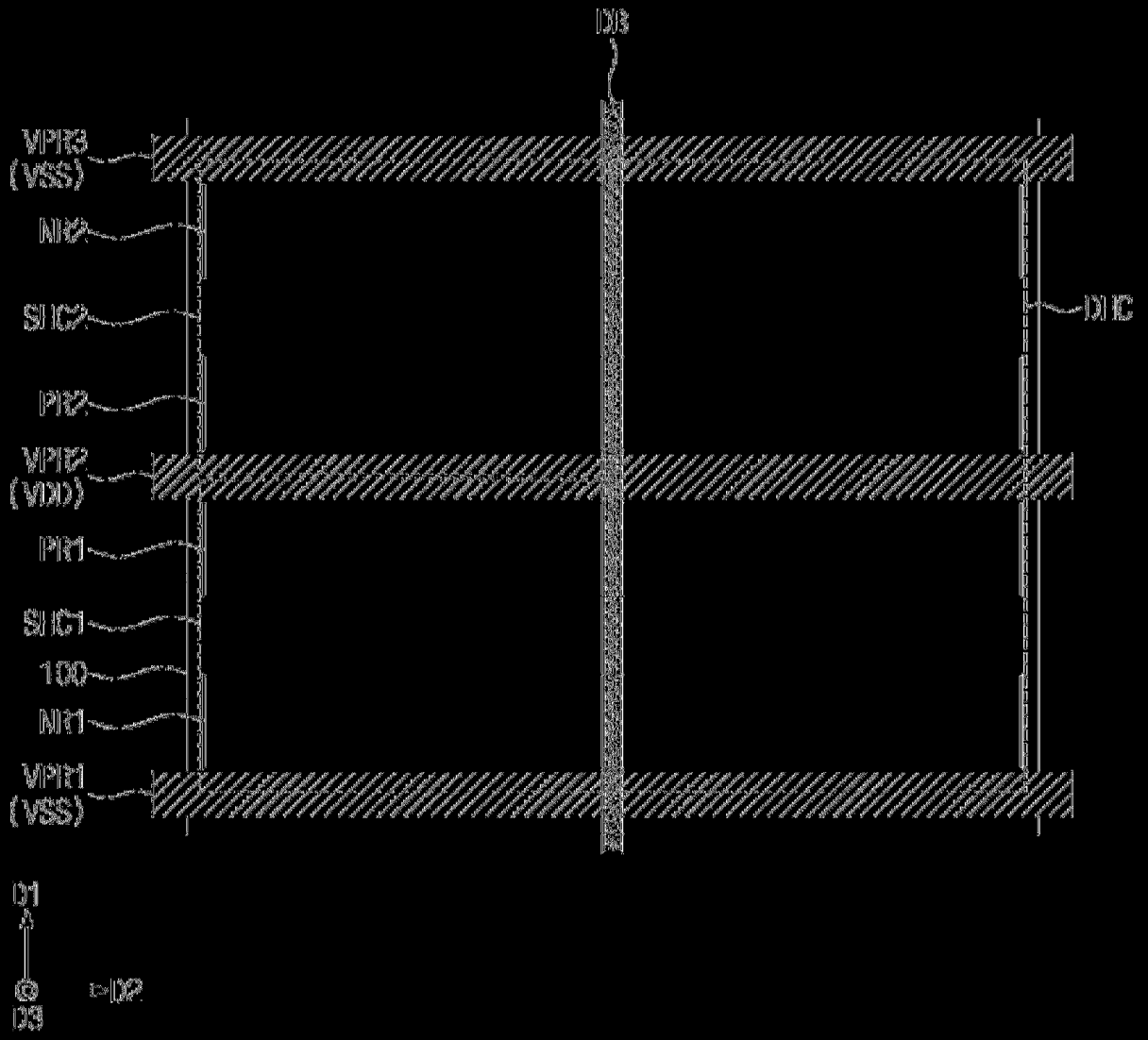
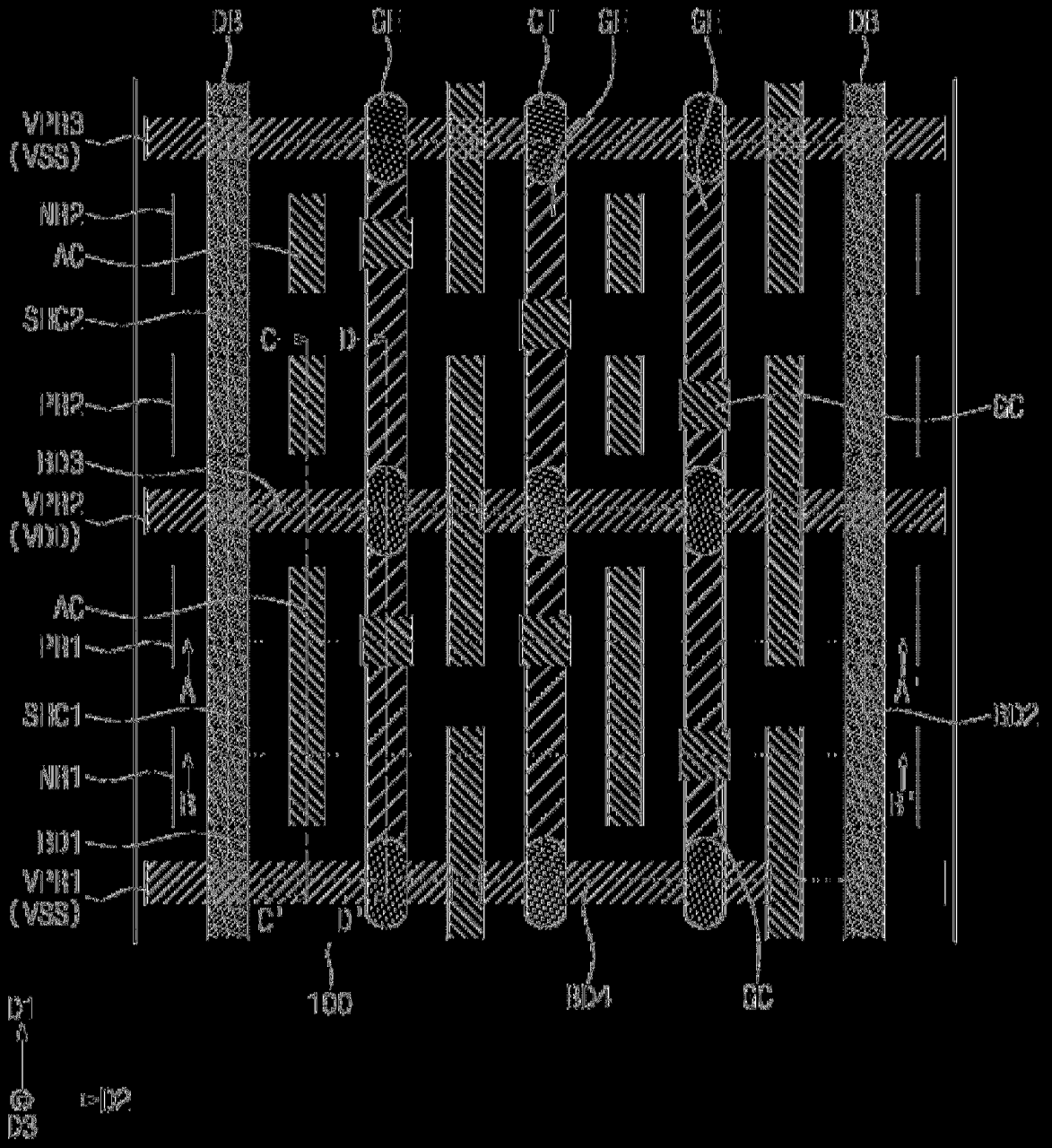

D3
VPR3
(VSS)
NR2
SIC2
PR2
VPR2
(VDD)
PR1
SIC1
100
NR1
VPR1
(VSS)
D1C
D1
D2
D3

圖3


DB
GE
CT
GE
GE
DB
VPR3
(VSS)
NR2
AC
SIC2
C
D
PR2
GC
BD3
VPR2
(VDD)
AC
PR1
A
A'
SIC1
BD2
NR1
B
B'
BD1
VPR1
(VSS)
C'
D'
100
BD4
GC
D1
D2
D3

|(圖4)|

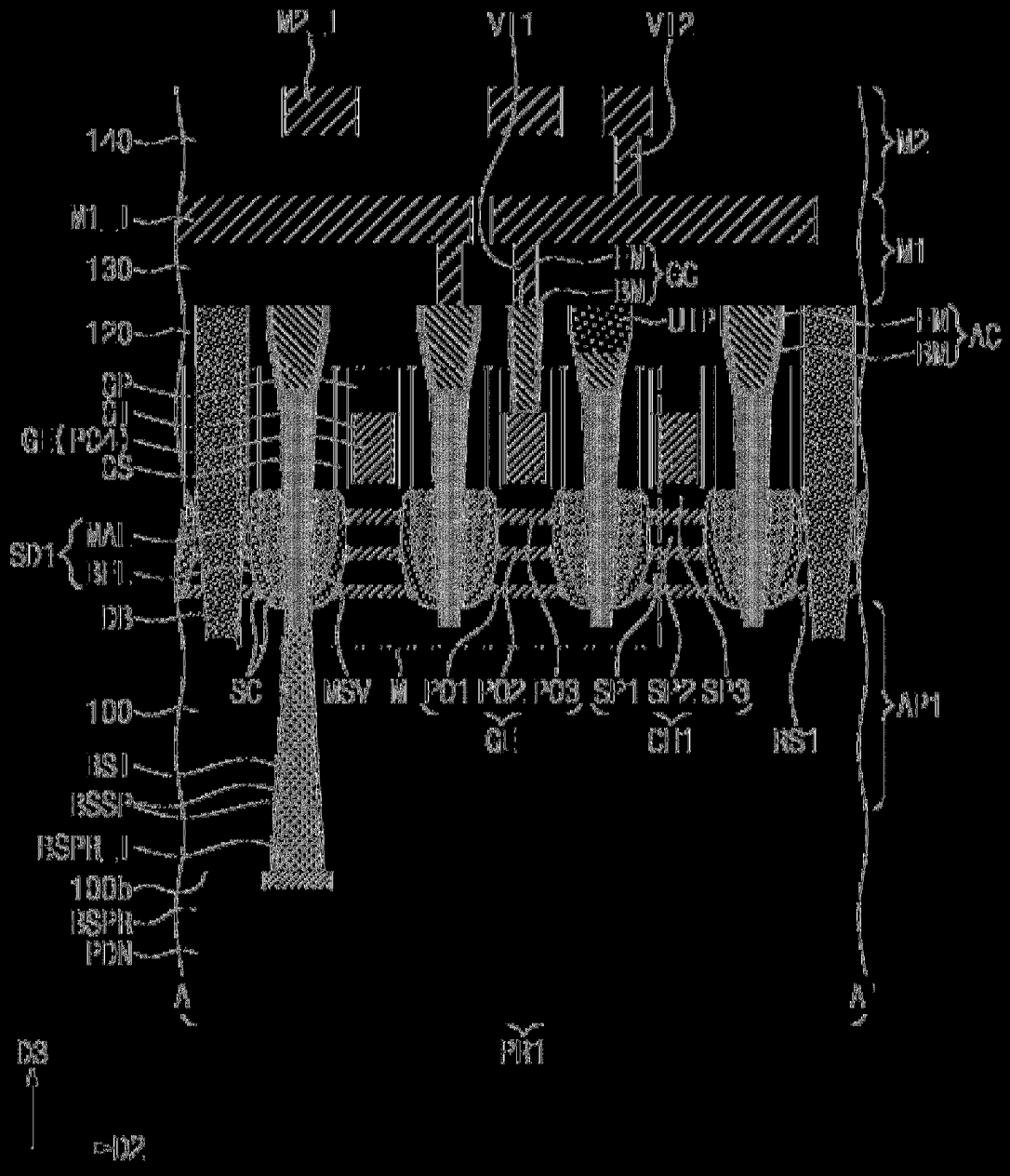

MP_1
V1_1
V1_2
140
M2
M1_1
M1
130
IM
BM
GC
120
UIP
IM
BM
AC
GP
GI
GE(PO4)
DS
SD1
MA
BF1
DB
SC
MSV
M
PO1
PO2
PO3
SP1
SP2
SP3
100
GE
CH1
NS1
AIM
BSI
BSSP
BSPH_1
100b
BSPH
PDN
A
A'
PIR1
D3
D2

圖5A

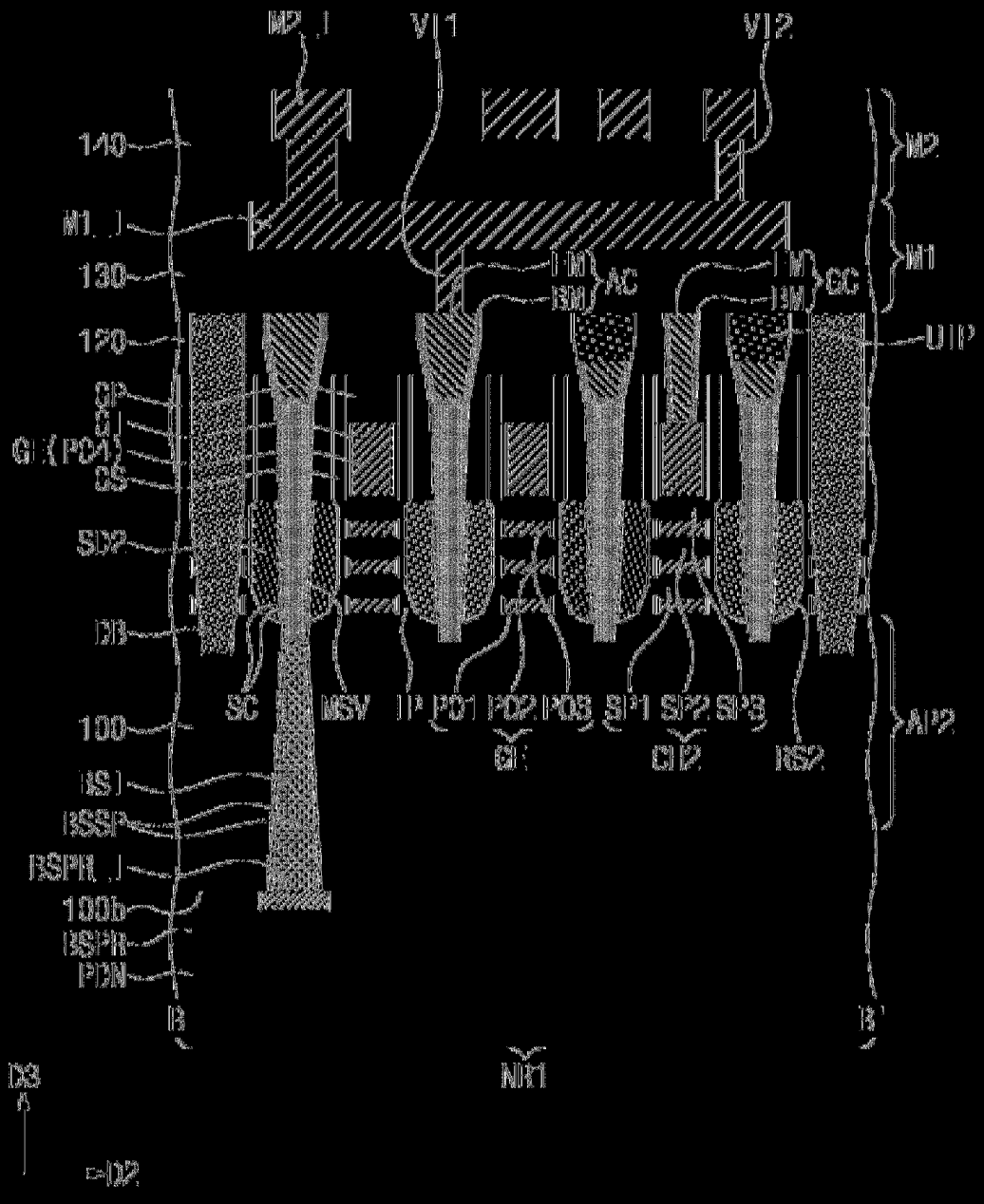
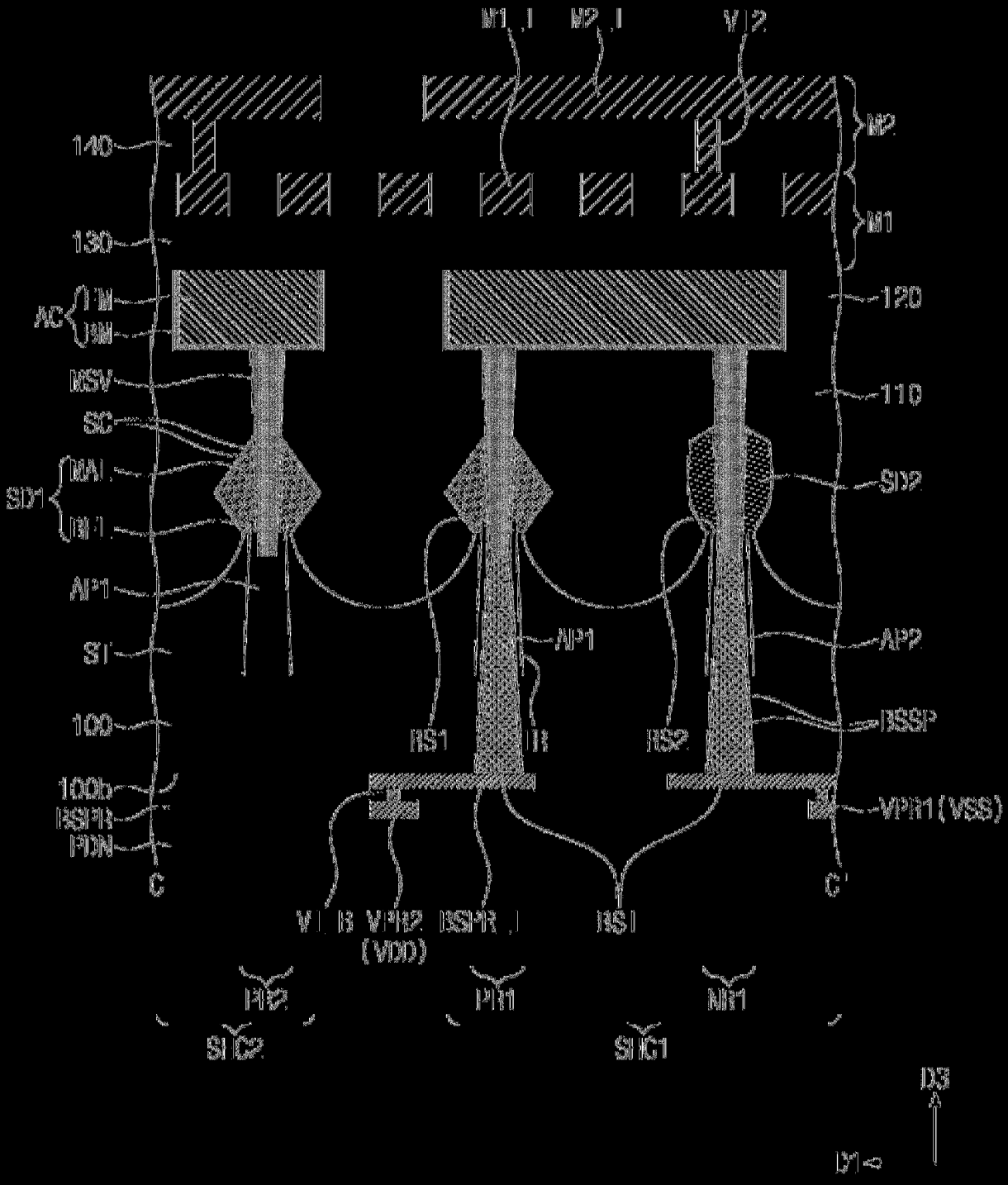

MP1
V11
V12
140
M1
130
120
CP
CI
GE(PD4)
CS
SD2
DB
100
BS1
BSSP
BSPH1
100b
BSPB
PDN
B
B'
IM
AC
CC
UTP
MP2
M1
AP2
SC
MSV
TP
PD1
PD2
PD3
SP1
SP2
SP3
GE2
CH2
RS2
D3
D2
NR1

圖5B


M1_1
M2_1
V12
M2
M1
140
130
AC
IM
UM
120
MSV
110
SC
SD1
MA1
MI1
SD2
AP1
AP1
AP2
ST
100
RS1
IL
RS2
BSSP
100b
BSPR
PDN
VPR1 (VSS)
C
C'
V1
VPR2 (VDD)
BSPR_1
RS1
PI2
PI1
NI1
SIC2
SIC1
D3
D1

[圖5C]

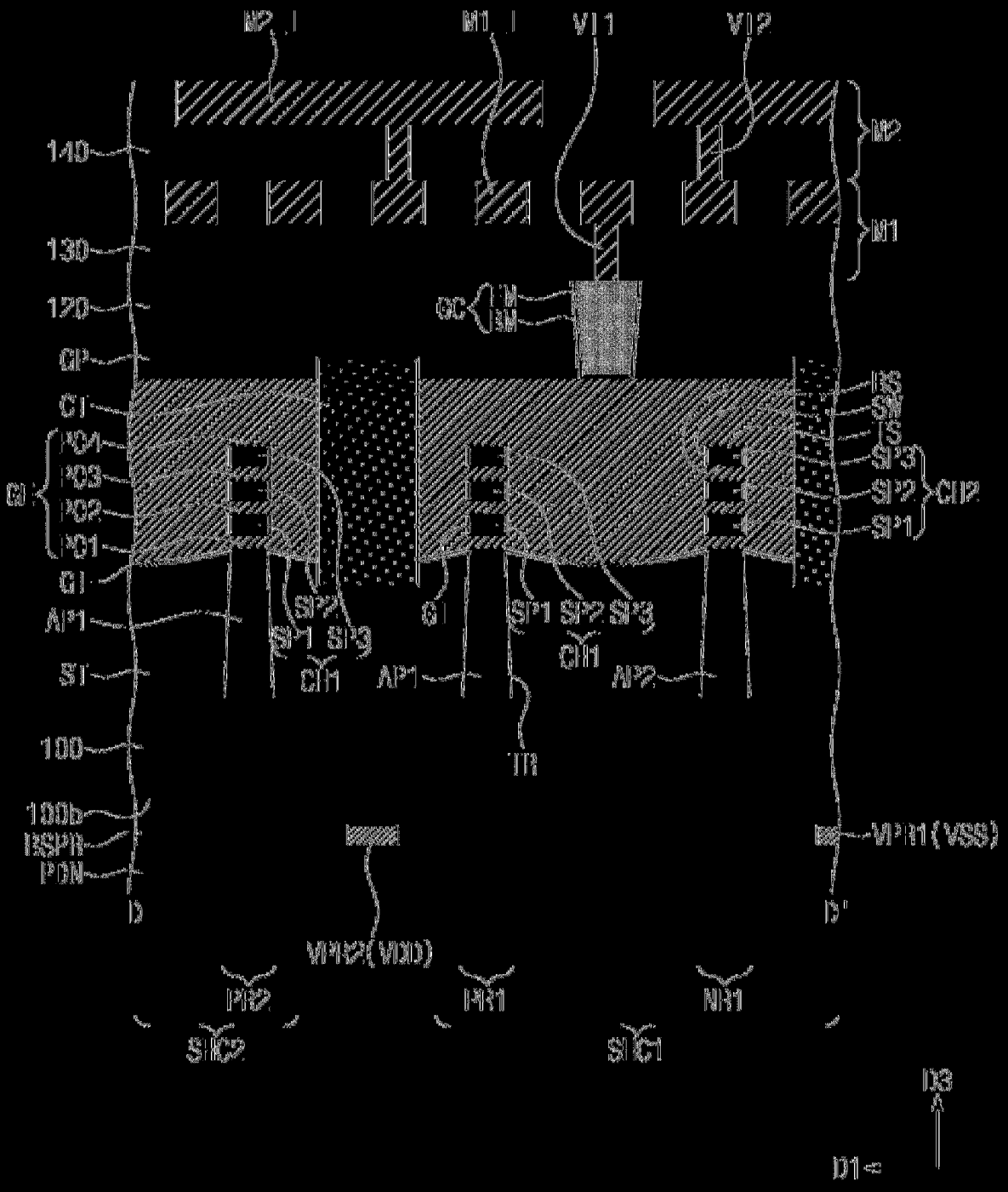
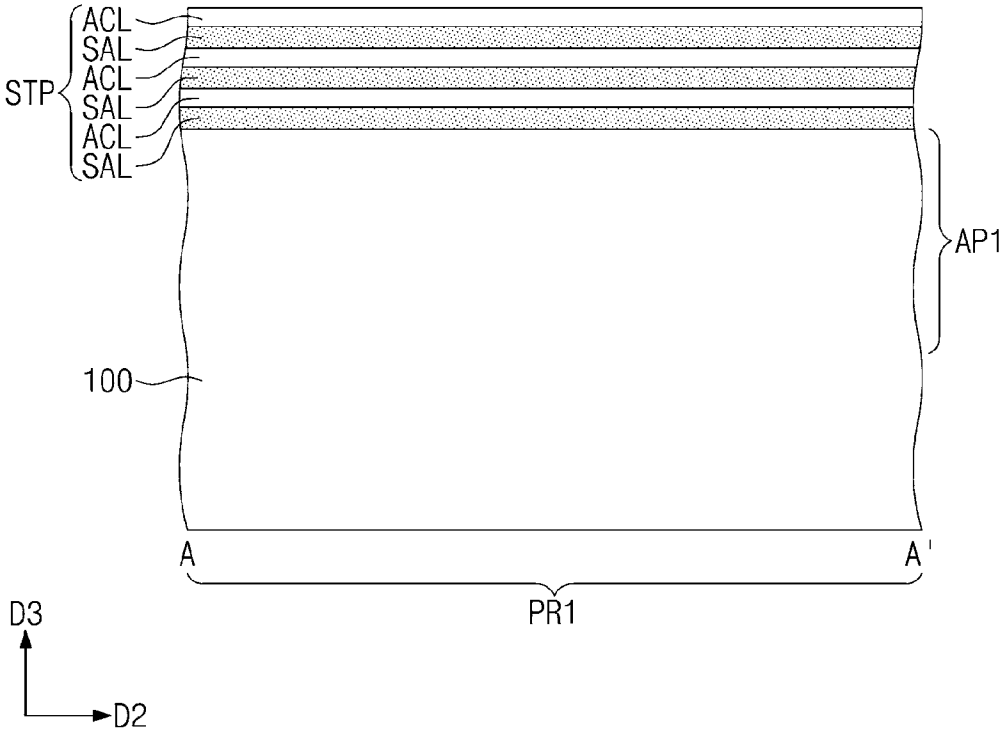
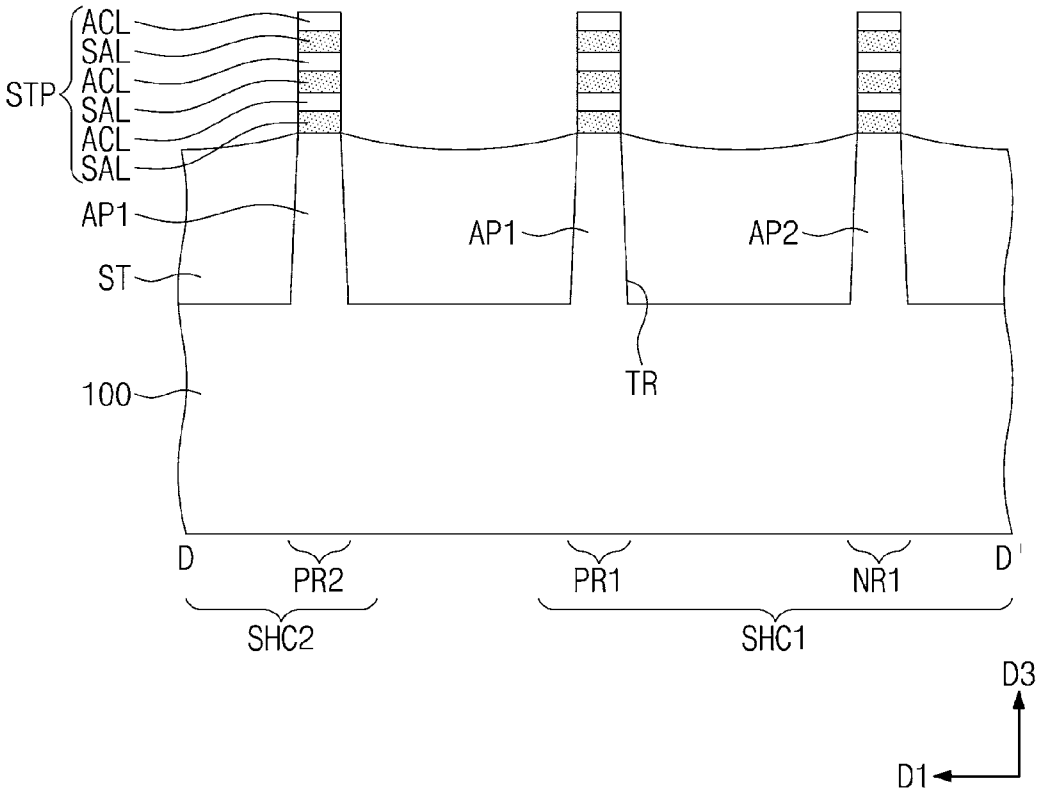

M2
M1
V11
V12
140
130
120
GP
CI
PC4
PC3
PC2
PC1
GI
AP1
ST
100
100b
BSPR
PDN
D
SI2
SI1 SI3
CH1
GI
SI1 SI2 SI3
CH1
AP1
AP2
TR
GC
TM
BM
IS
SW
IS
SI3
SI2
SI1
CH2
MP
M1
MP11 (VSS)
D'
VP12 (VDD)
PR2
PR1
NR1
SIC2
SIC1
D3
D1

圖5D



【圖6A】


ACL
SAL
ACL
SAL
ACL
SAL
STP
AP1
ST
100
AP1
AP2
TR
D
PR2
PR1
NR1
D'
SHC2
SHC1
D3
D1

【圖6B】

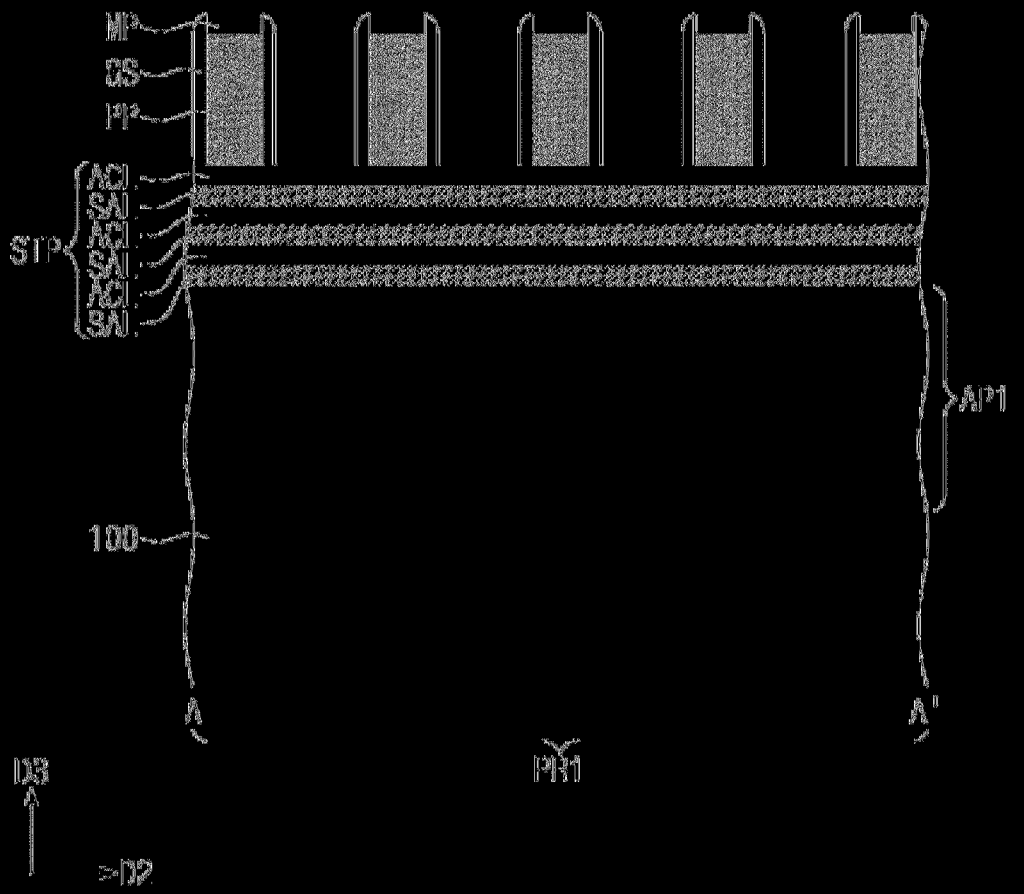
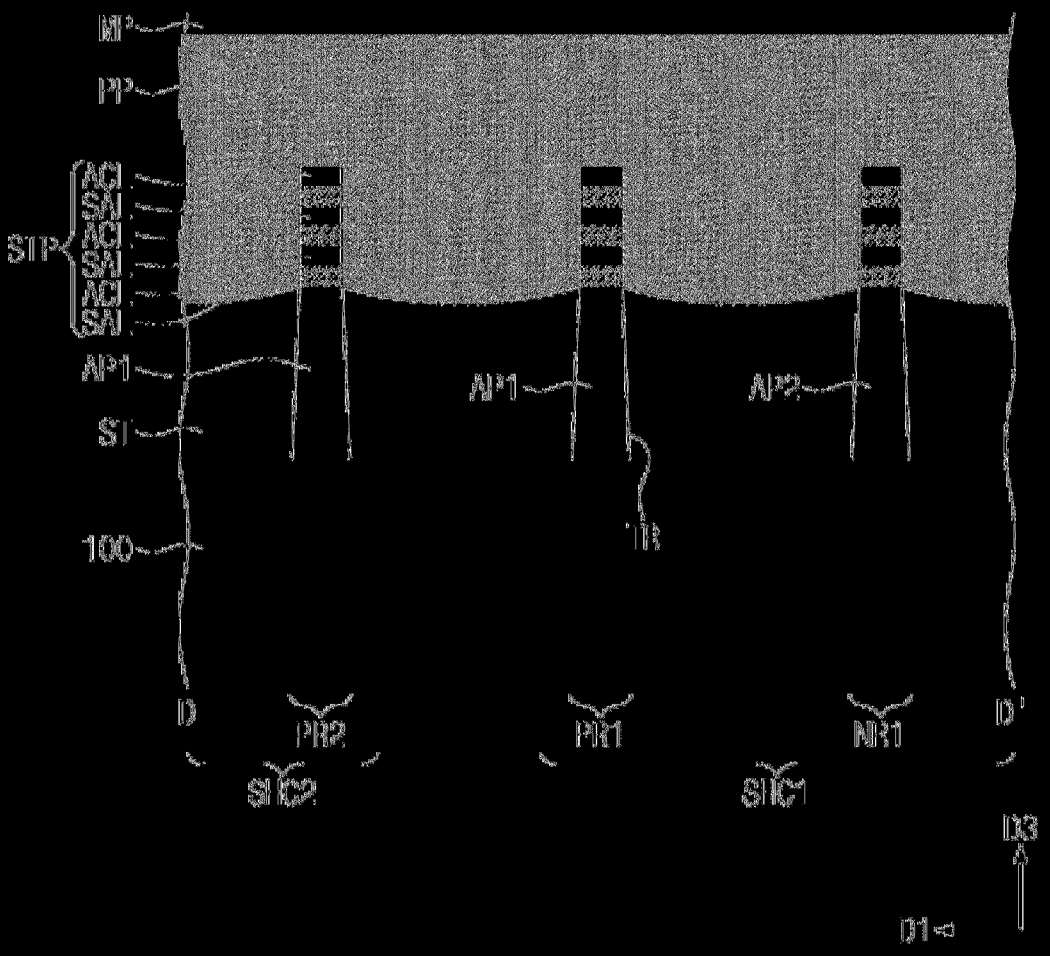


圖7A


M1
PP1
AC1
SA1
AC1
SA1
AC1
SA1
SIP
AP1
AP1
AP2
SI1
100
Th
D
PR2
PR1
NR1
D'
SIC2
SIC1
D3
D1

圖(圖/B)

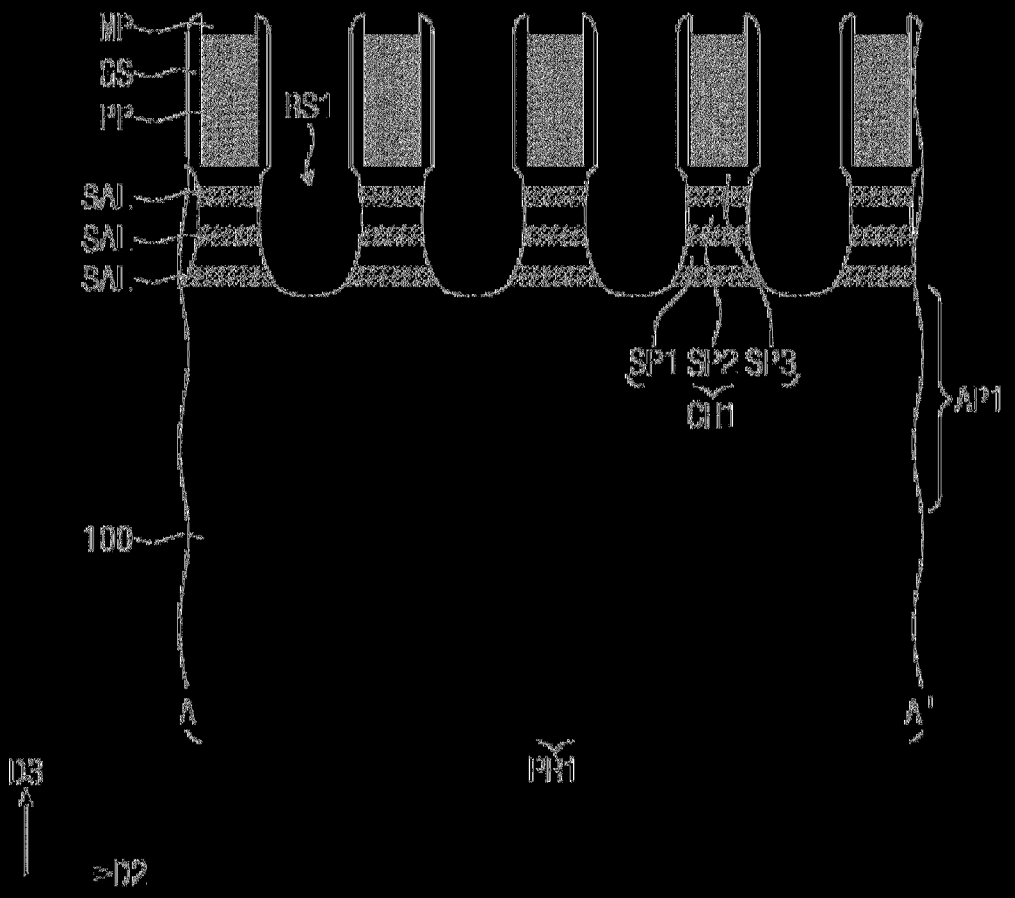


圖8A

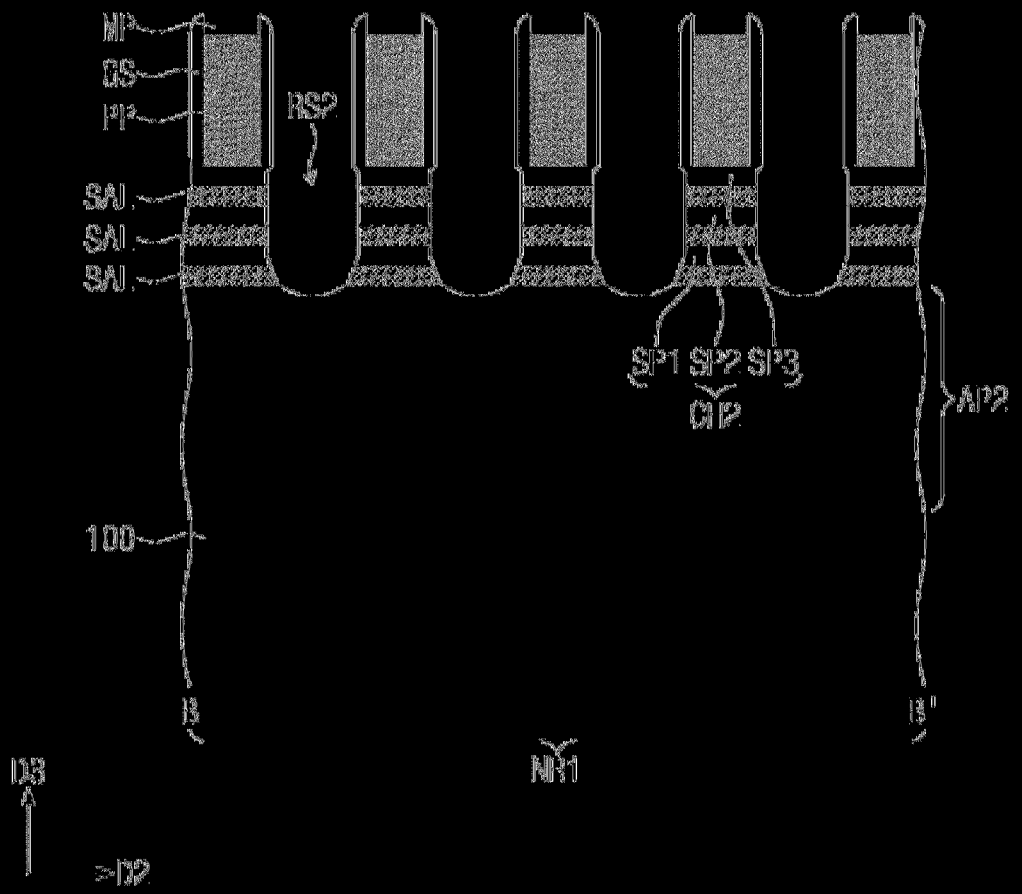


圖8B

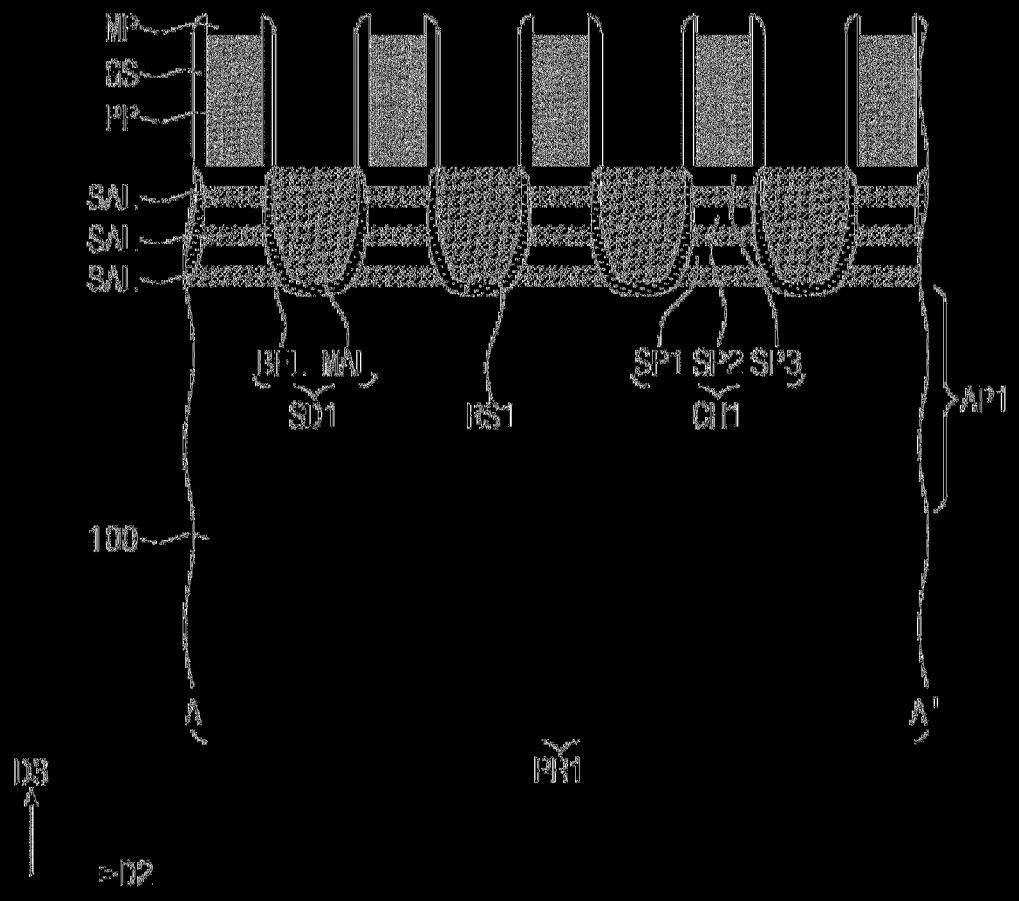
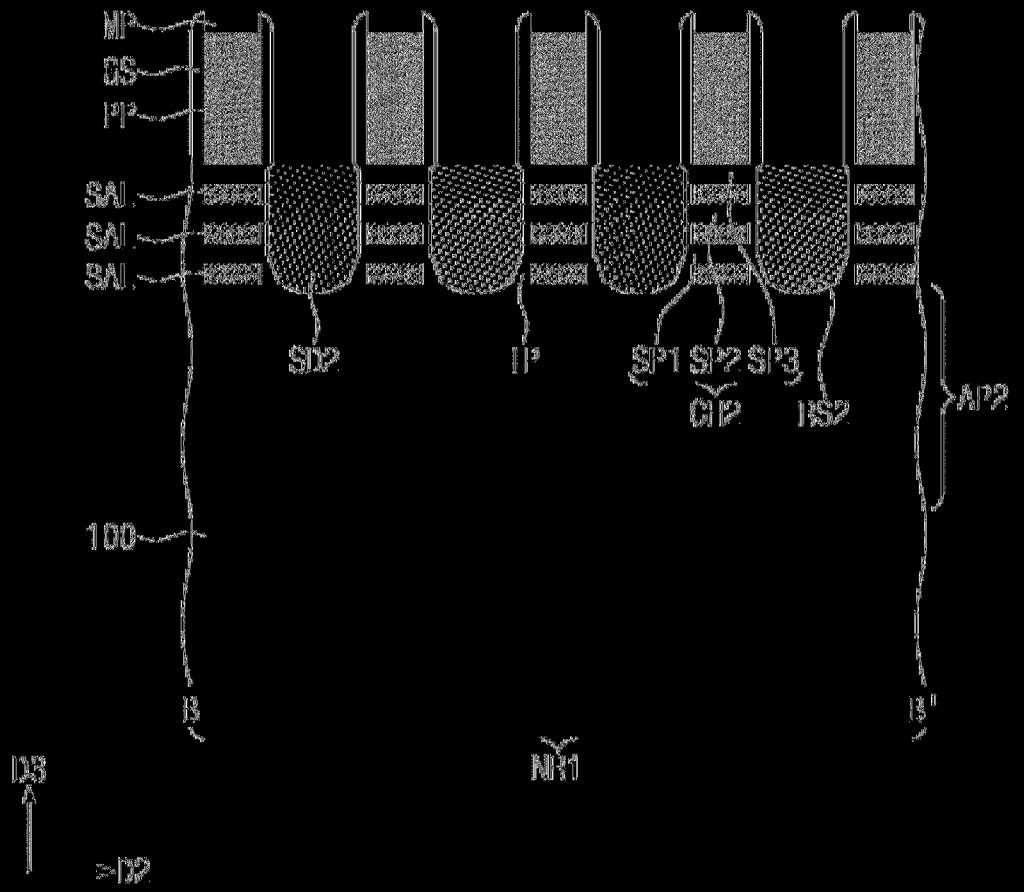
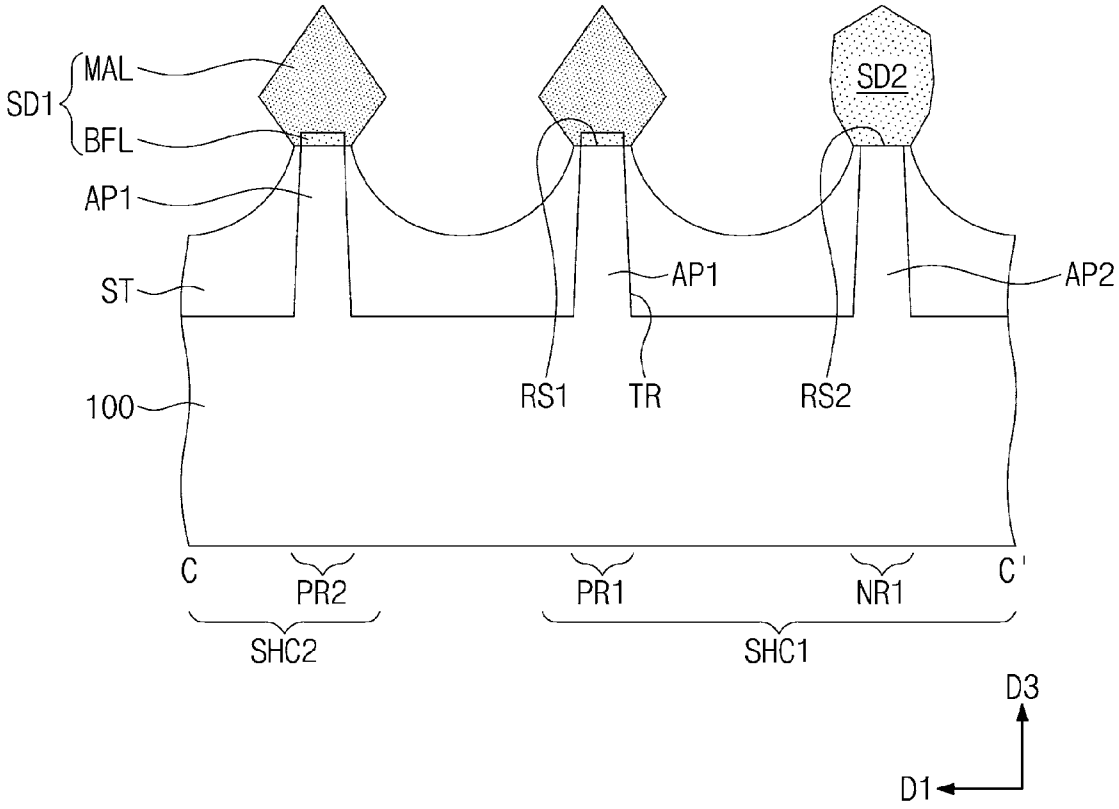

MP
GS
PP
SAI
SAI
SAI
BP1
MA1
SD1
IS1
SP1
SP2
SP3
CH1
AP1
100
A
A'
D3
PR1
D2

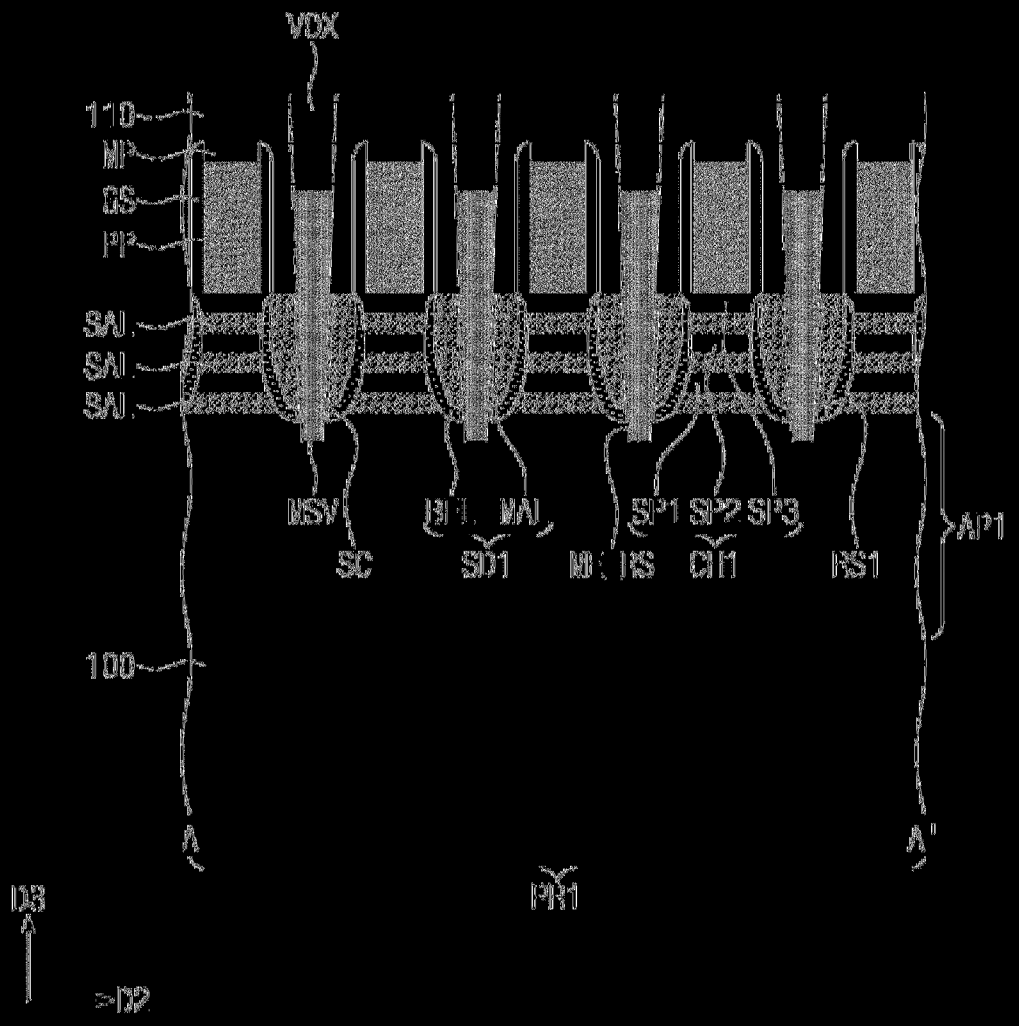
圖9A


MP
CS
PP2
SA1
SA1
SA1
SD2
IP'
SP1
SP2
SP3
CP2
DS2
AP2
100
B
B'
D3
D2
NM1

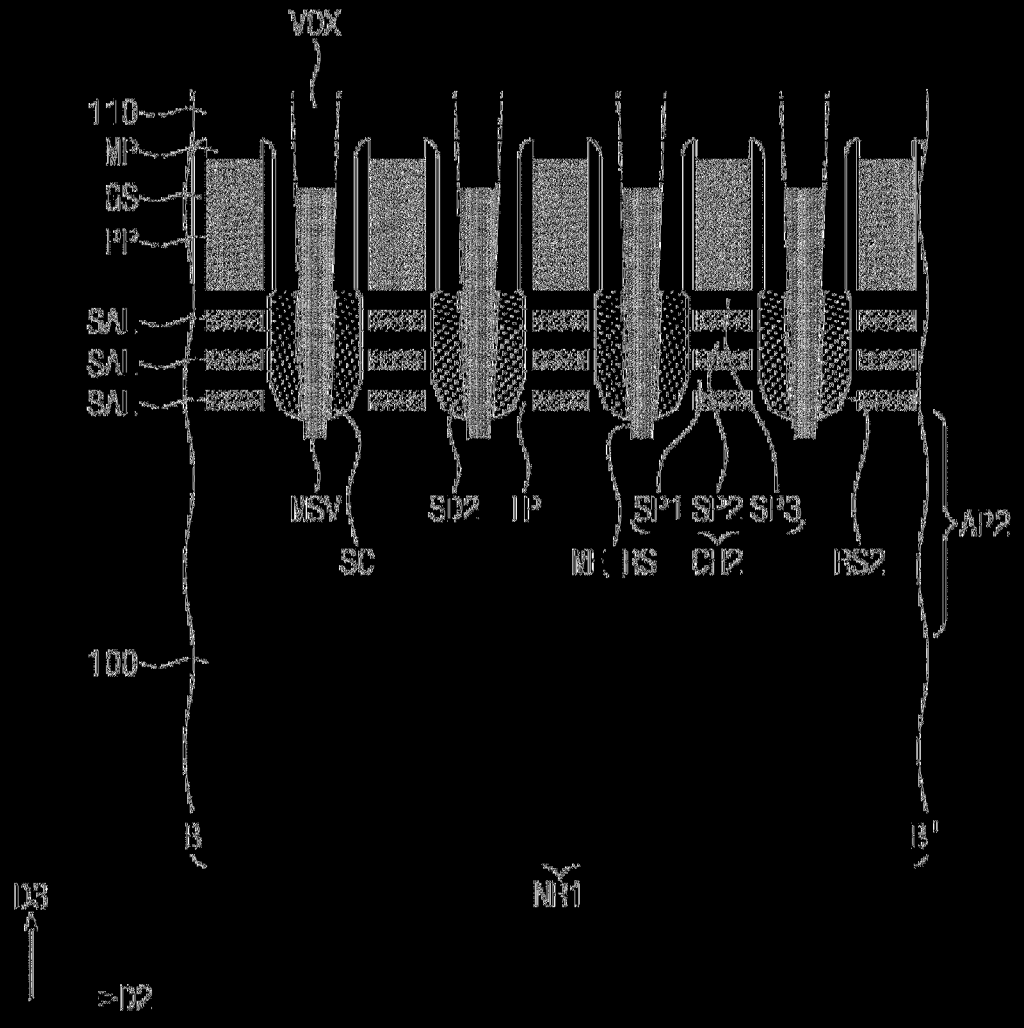
[圖9B]


SD1
MAL
BFL
AP1
ST
100
RS1
TR
RS2
SD2
AP1
AP2
C
PR2
PR1
NR1
C'
SHC2
SHC1
D3
D1

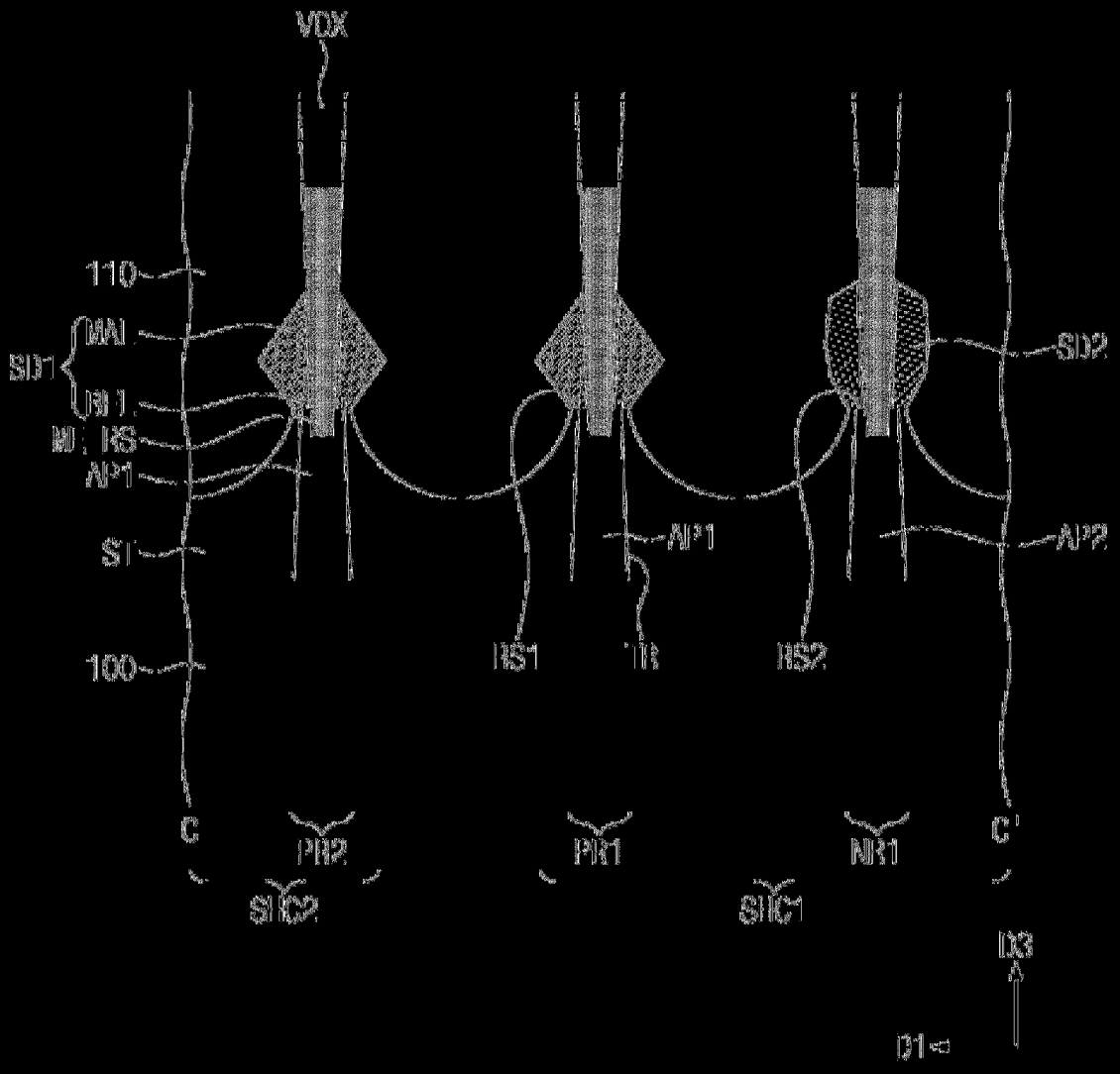
【圖9C】


VDX
110
MP
GS
PP
SAL
SAL
SAL
DSV
SC
SD1
MA
SP1
SP2
SP3
CH1
DS1
AP1
100
A
A'
PR1
D3
D2

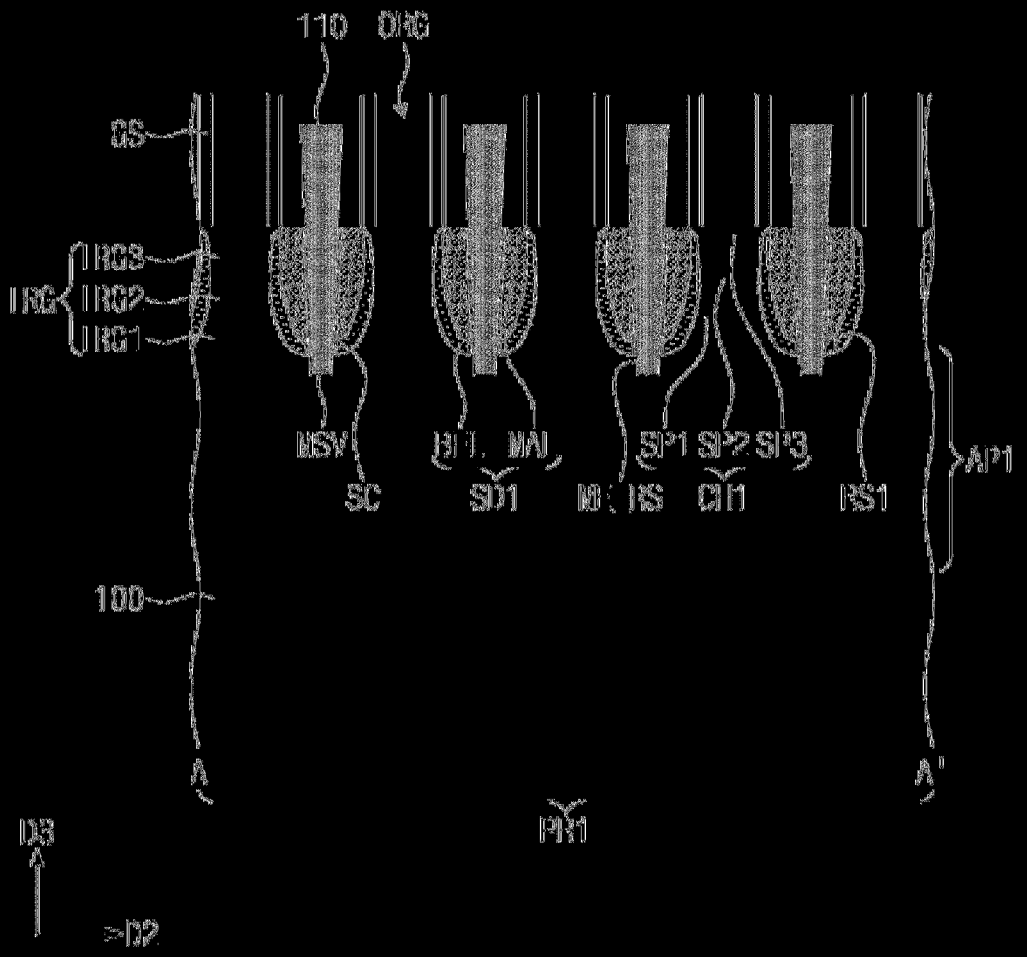
[圖10A]


VDX
110
MP
GS
PP
SAI
SAI
SAI
NSW
SD2
IP
SP1
SP2
SP3
AP2
SC
ID
IS
CT2
RS2
100
B
B'
NR1
D3
D2

[圖10B]


VDX
110
SD1
M1
D1
M1, IS
AP1
S1
100
SD2
AP1
AP2
IS1
IR
IS2
C
PR2
PR1
NR1
C'
SIC2
SIC1
D3
D1

[圖10C]


110
DNG
OS
IRG
IRG3
IRG2
IRG1
BSV
SC
EP1, MA1
SD1
SP1
SP2
SP3
M1
IS
CH1
PS1
AP1
100
A
A'
D3
D2
PX1

[圖11A]

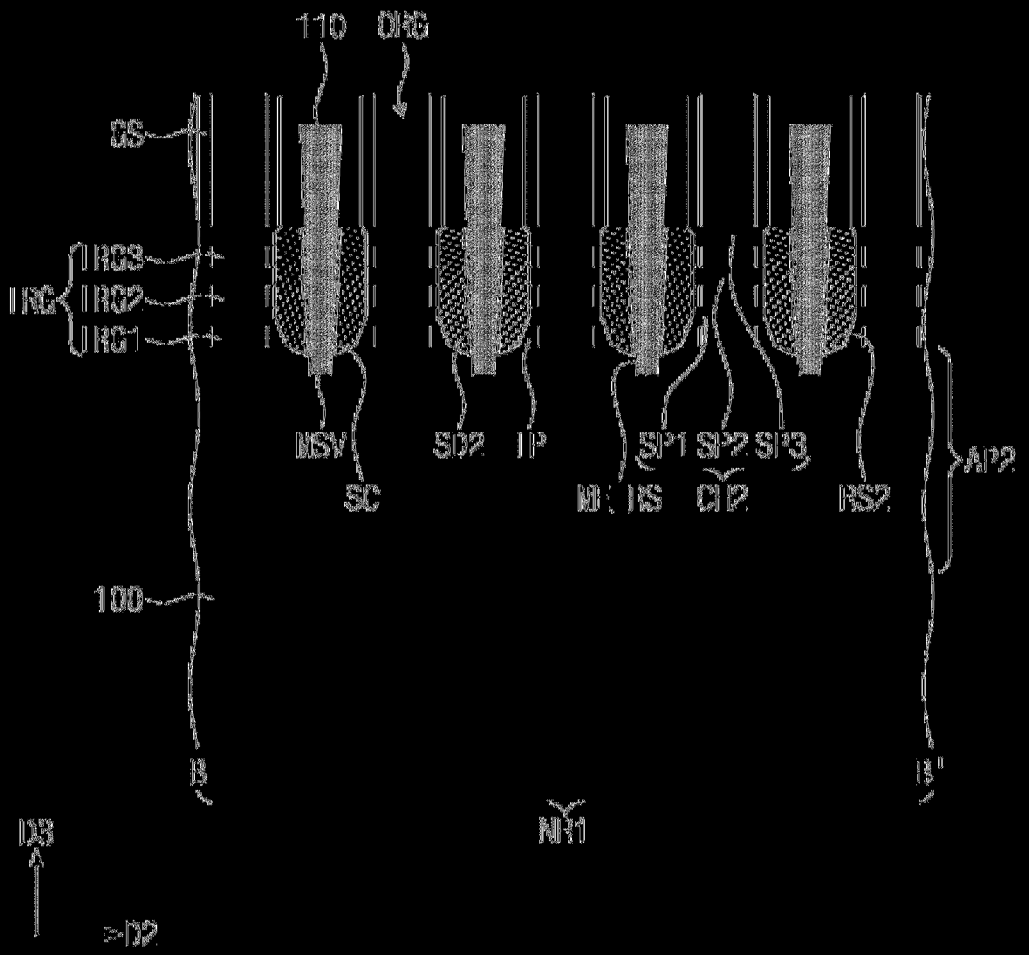

110
DRG
CS
RG3
RG
RG2
RG1
MSV
SC
SD2
IP
SP1
SP2
SP3
MS
IS
CP2
DS2
AP2
100
B
B'
D3
D2
D1

圖11B

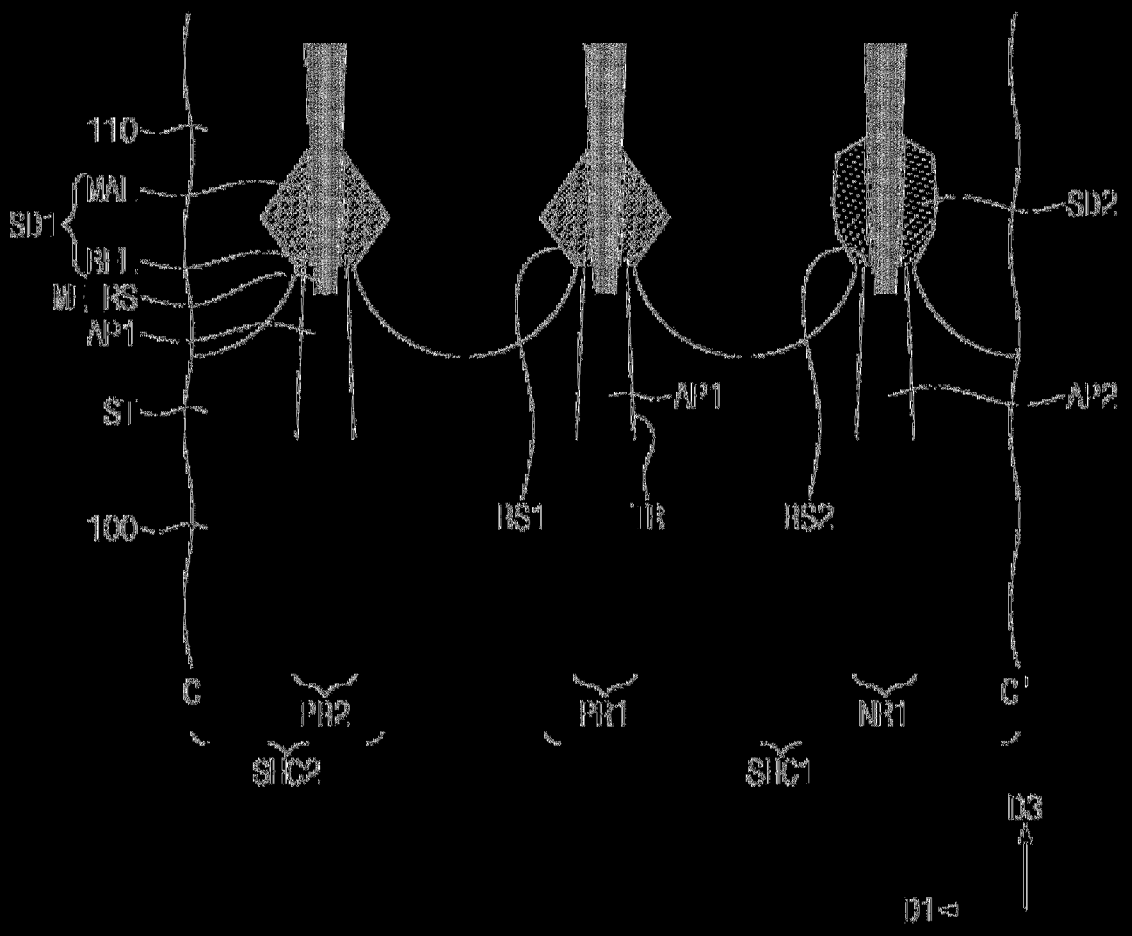
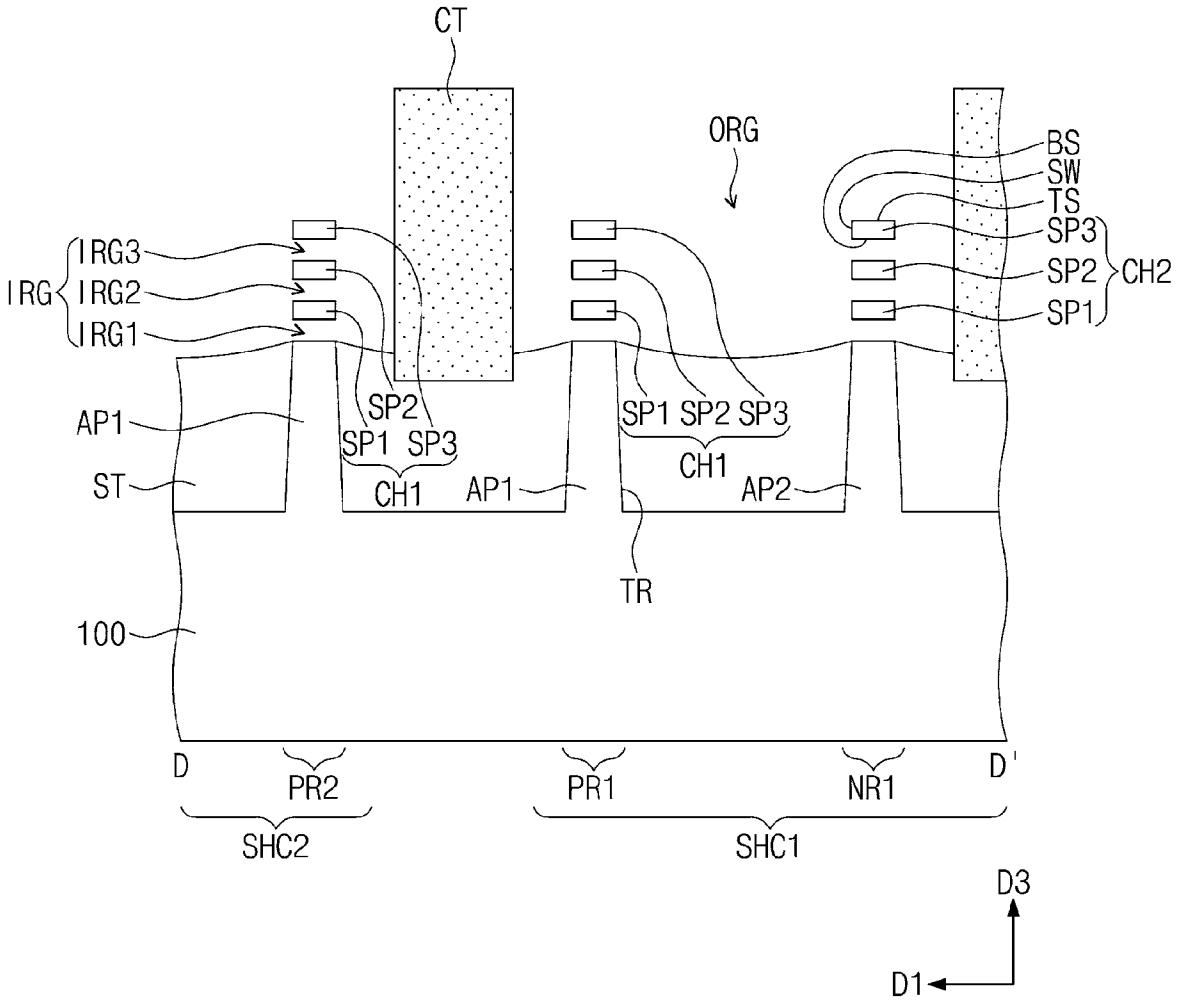
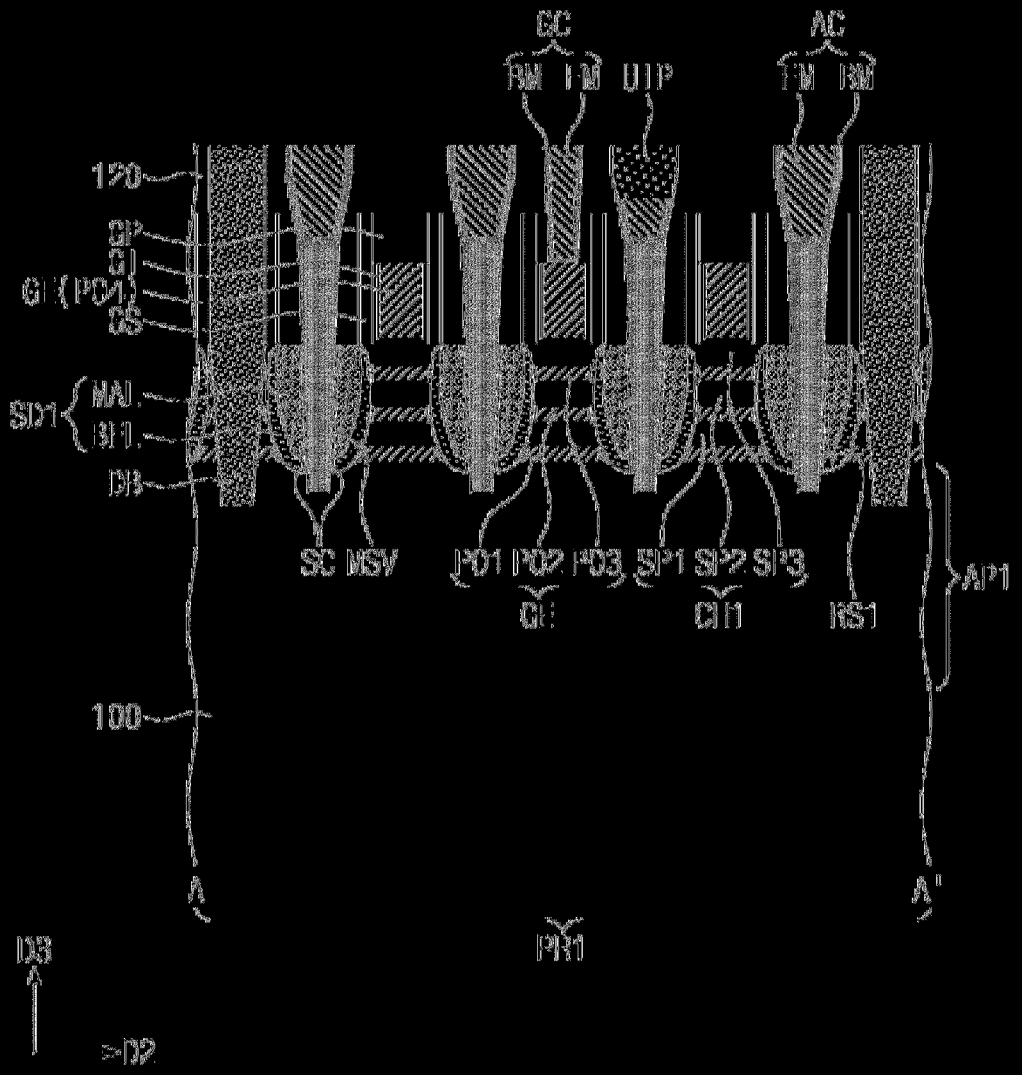

110
MA1
SD1
RI1
MI
RS
AP1
ST
100
SD2
AP1
AP2
RS1
IR
RS2
C
PR2
PR1
NR1
C'
SIC2
SIC1
D3
D1

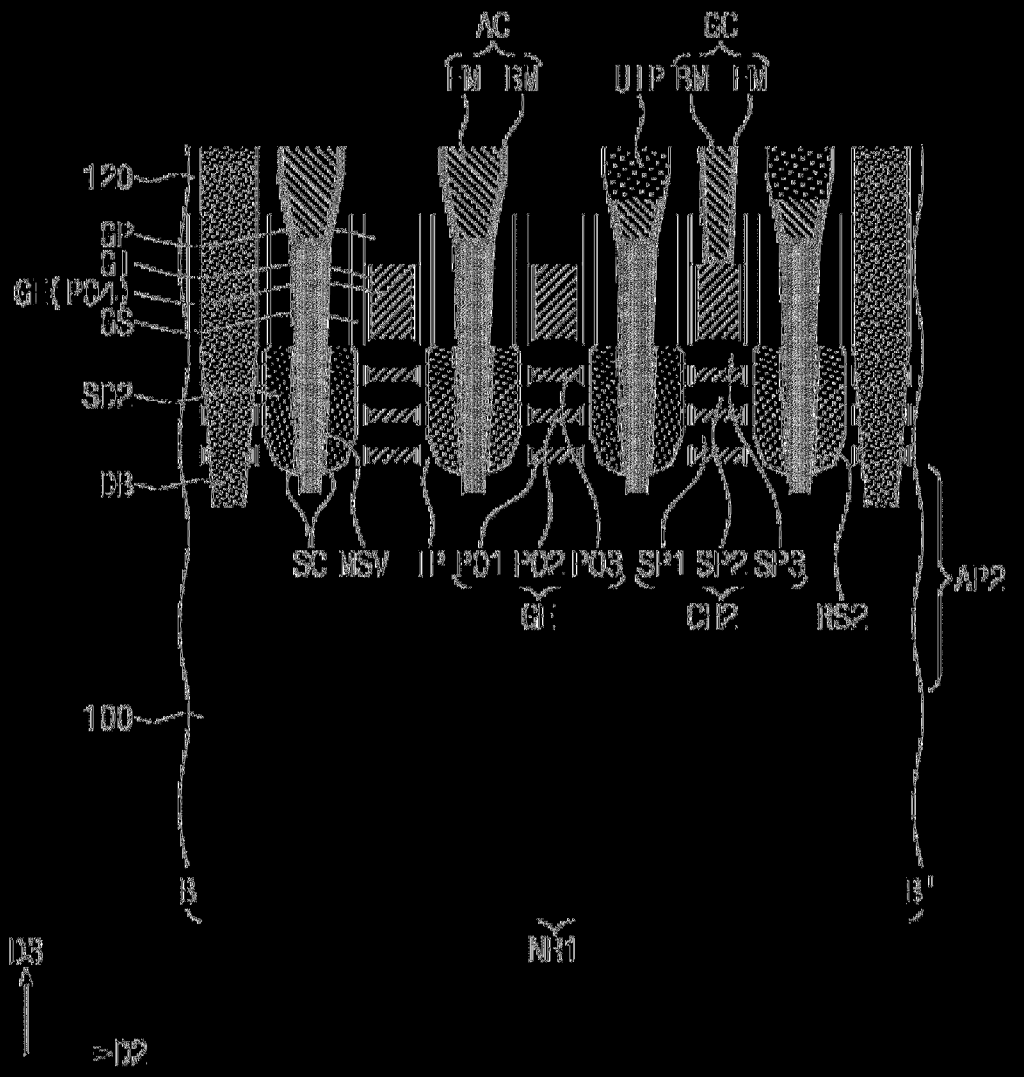
圖11C


CT
ORG
BS
SW
TS
SP3
SP2
SP1
CH2
IRG
IRG3
IRG2
IRG1
AP1
SP2
SP1 SP3
CH1
SP1 SP2 SP3
CH1
ST
AP1
AP2
TR
100
D
PR2
PR1
NR1
D'
SHC2
SHC1
D3
D1

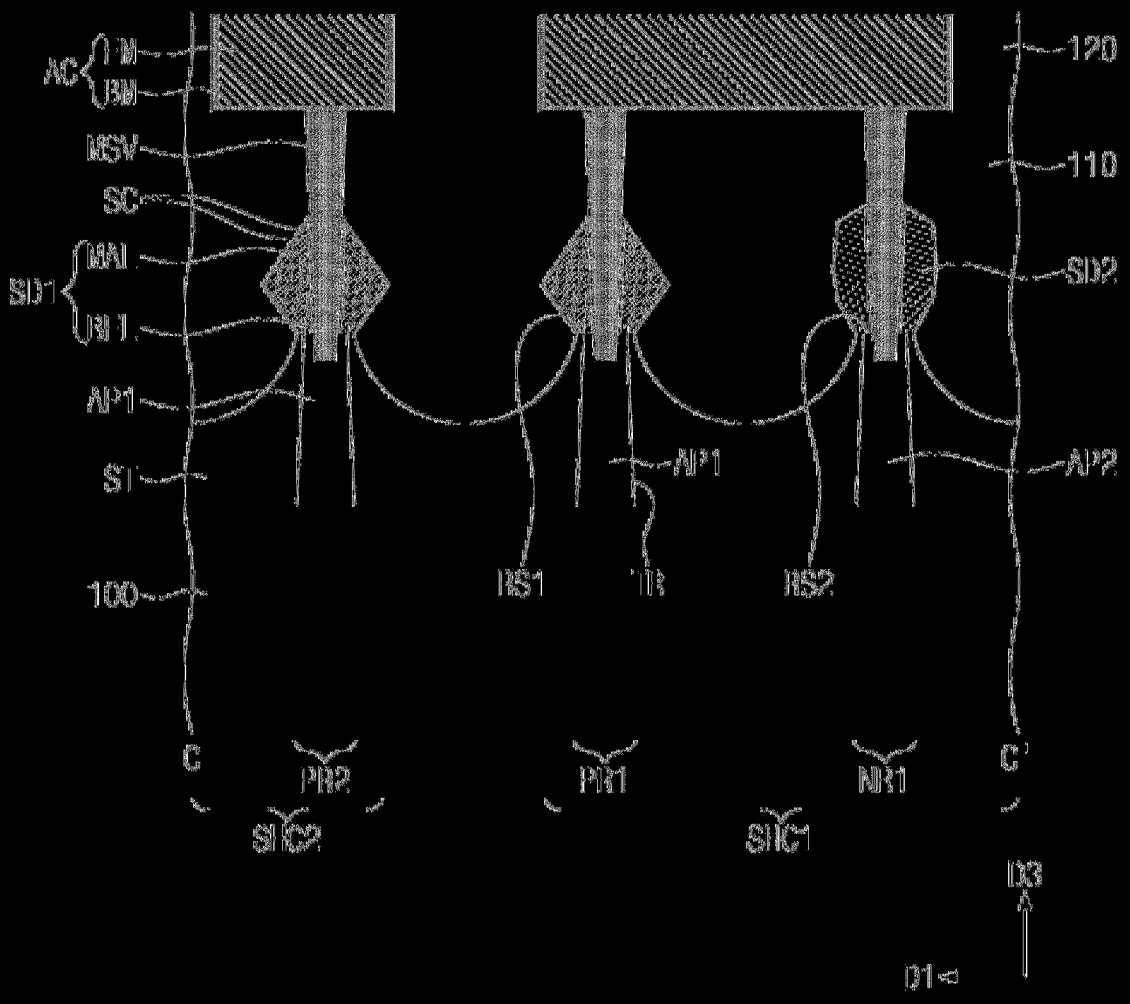
【圖11D】


CC
AC
RM FM UTP FM RM
120
CP
CI
GE (PO1)
CS
SD1
MAJ
BF1
DB
SC MSV PD1 PO2 PO3 SP1 SP2 SP3
CE
CH1
RS1
AP1
100
A
A'
D3
D2
PR1

[圖12A]


AC
GC
FM
RM
UIP
RM
FM
120
GP
CT
GE(PC4)
GS
SP2
DR
SC
MSV
IP
PO1
PO2
PO3
SP1
SP2
SP3
GE
CP
MS2
AP2
100
B
B'
NR1
D3
D2

[圖12B]


AC
BW
MSV
SC
SD1
MA1
MI1
AP1
S1
100
C
PR2
SIC2
IRS1
IR
NP1
PR1
SIC1
IRS2
NR1
C'
120
110
SD2
AP2
D3
D1

[圖12C]

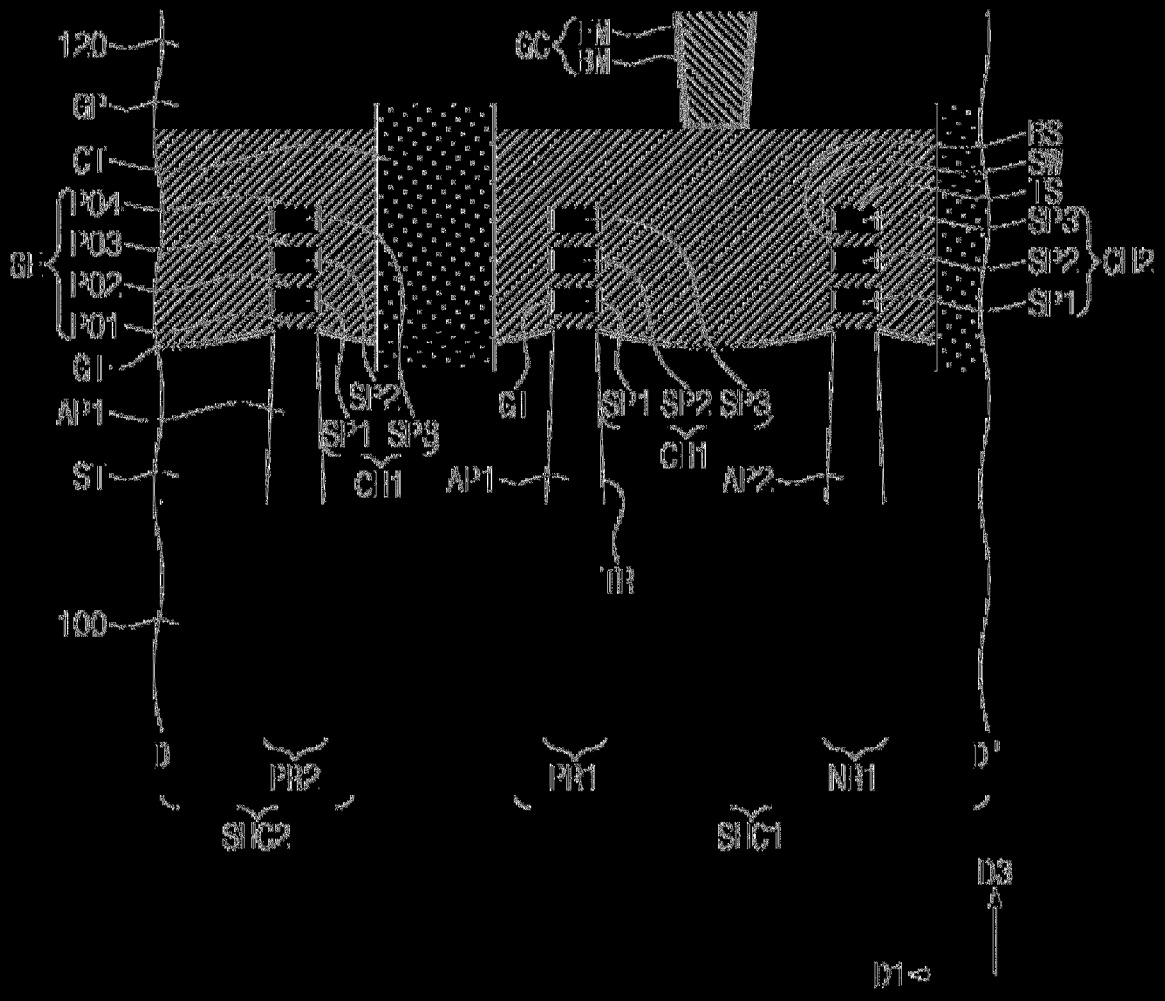
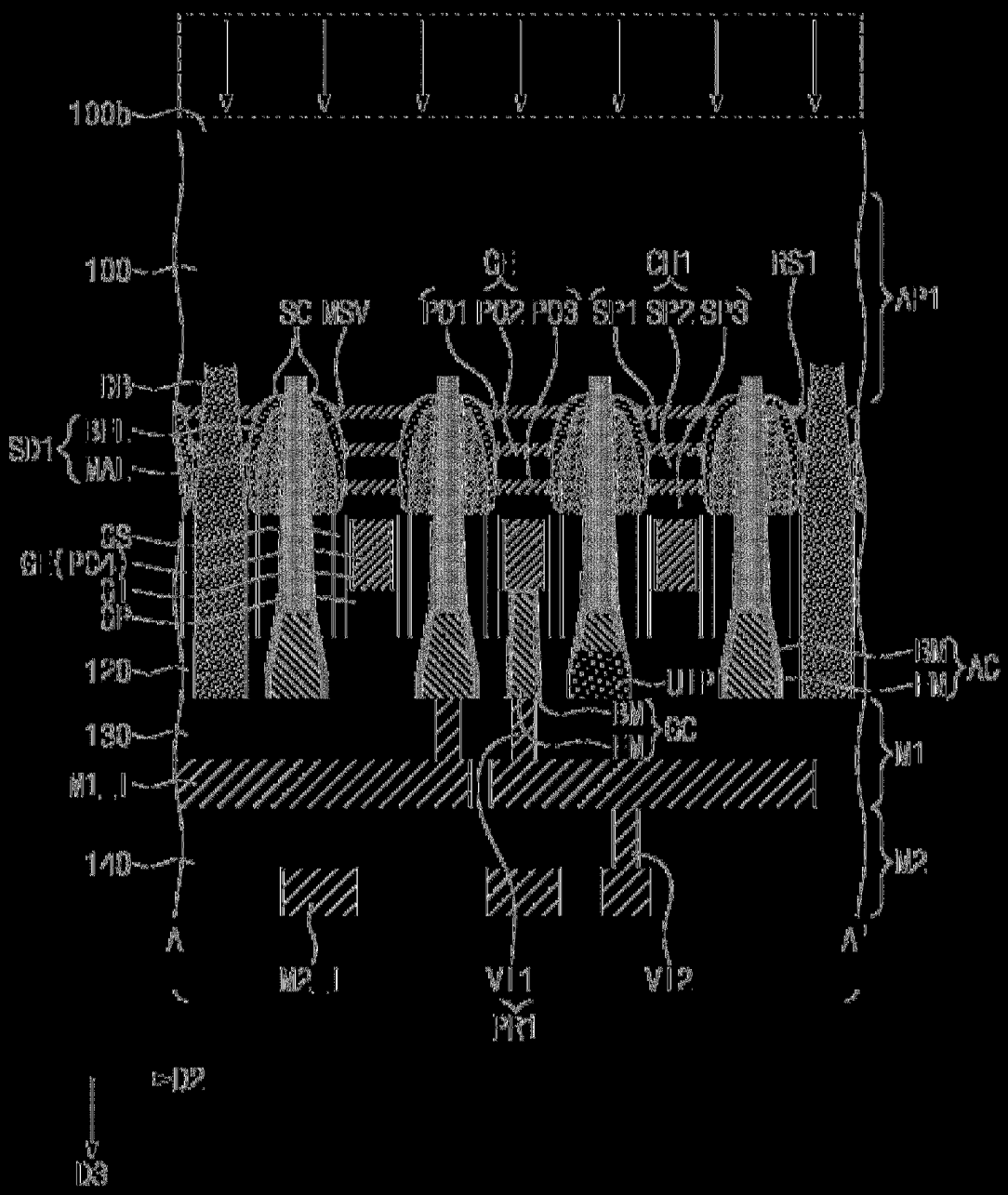
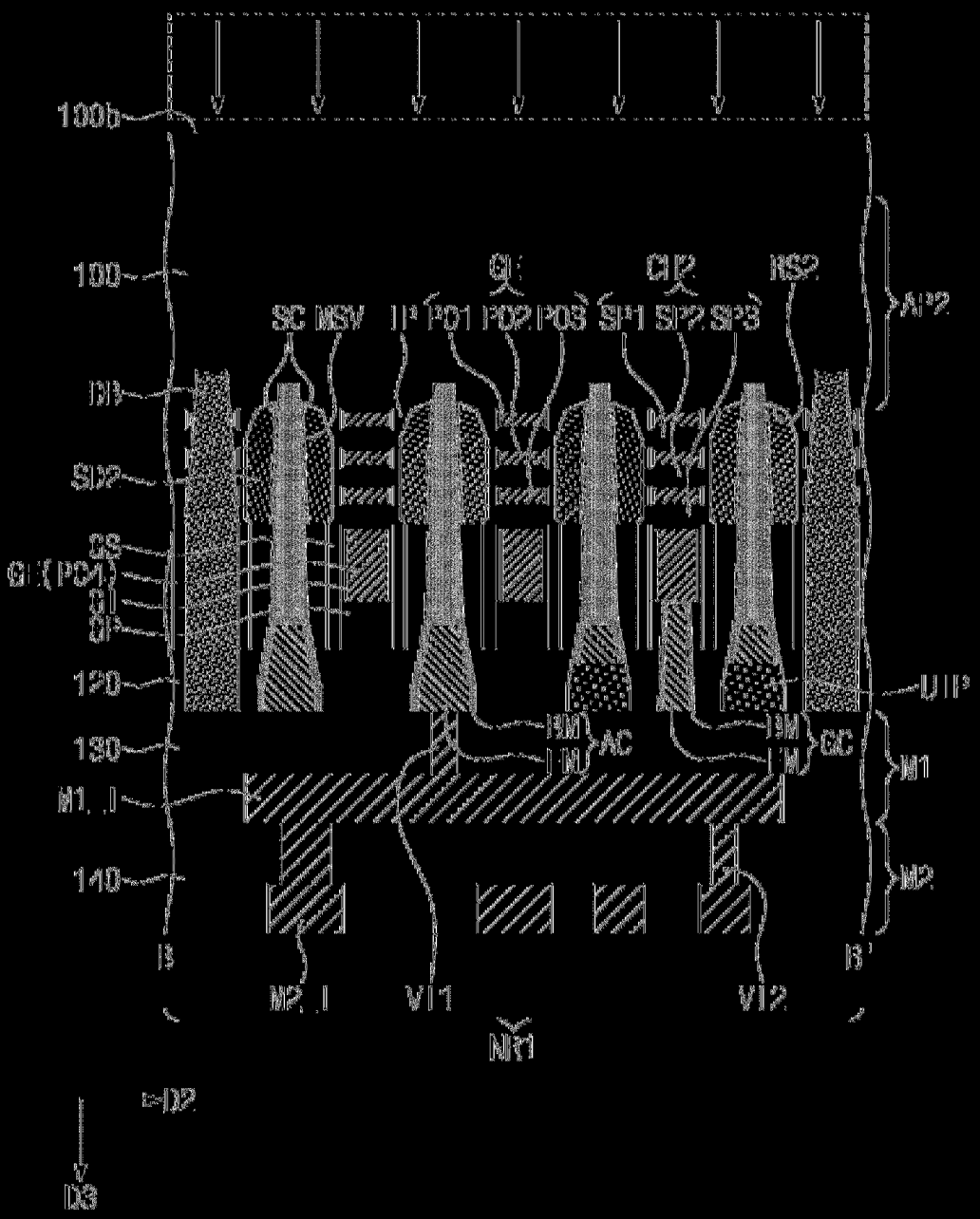

120
GI'
CI
PO4
PO3
PO2
PO1
GI
AP1
S1
100
GC
IM
BM
GI
SP2
SP1 SP3
CH1
AP1
IR
SP1 SP2 SP3
CH1
AP2
IS
SW
IS
SP3
SP2
SP1
GI
D
D'
PR2
PR1
NH1
SIC2
SIC1
D3
D1

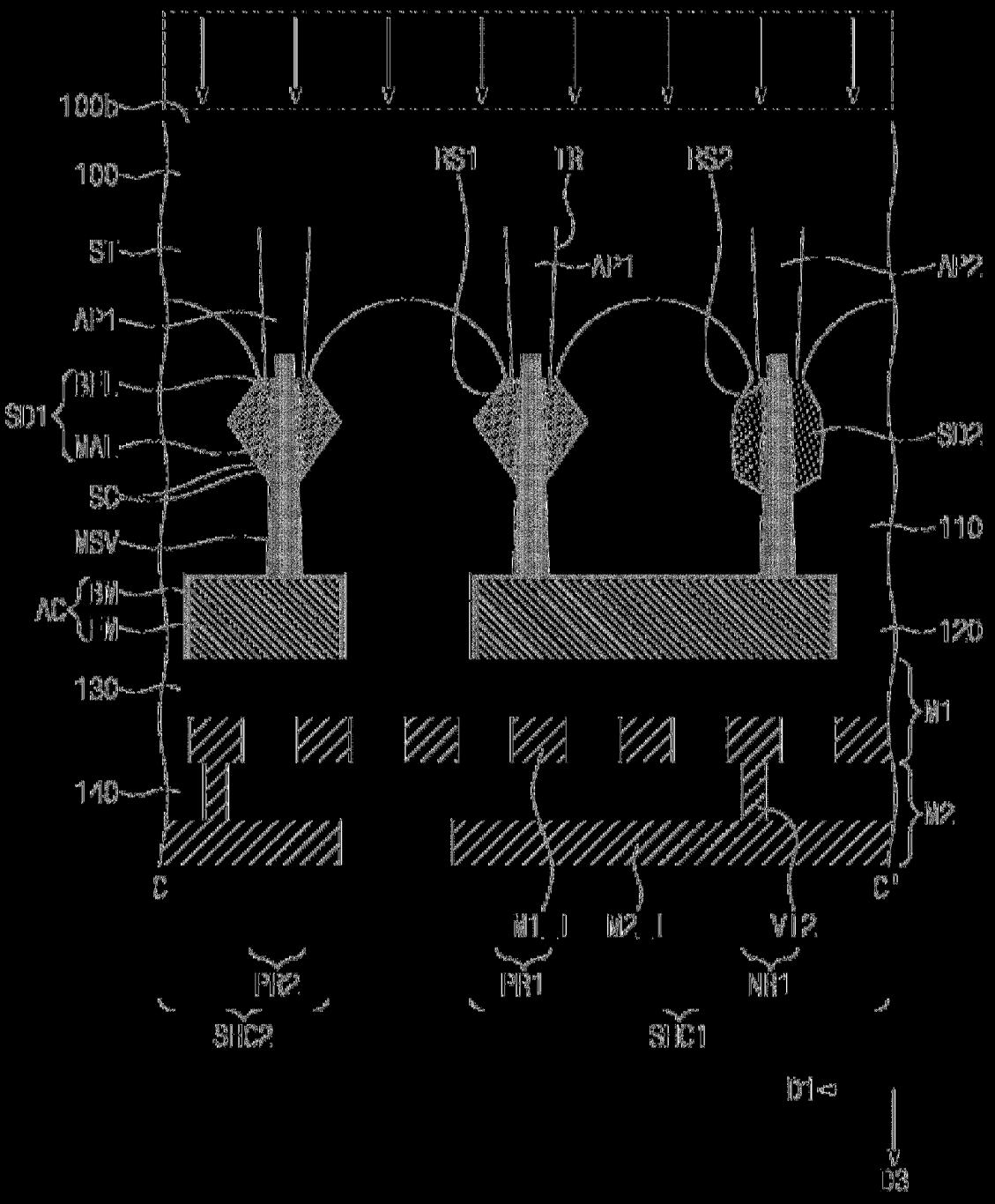
圖12D


100b
100
CE
CH1
RS1
AP1
SC MSV
PD1 PD2 PD3 SP1 SP2 SP3
BH
SD1
BF1
HA1
CS
GI(PD)
CI
CP
120
UI P
BM
HM
AC
GC
130
M1
M1_1
110
M2
A
A'
M2_1
VI1
VI2
PR1
D2
D3

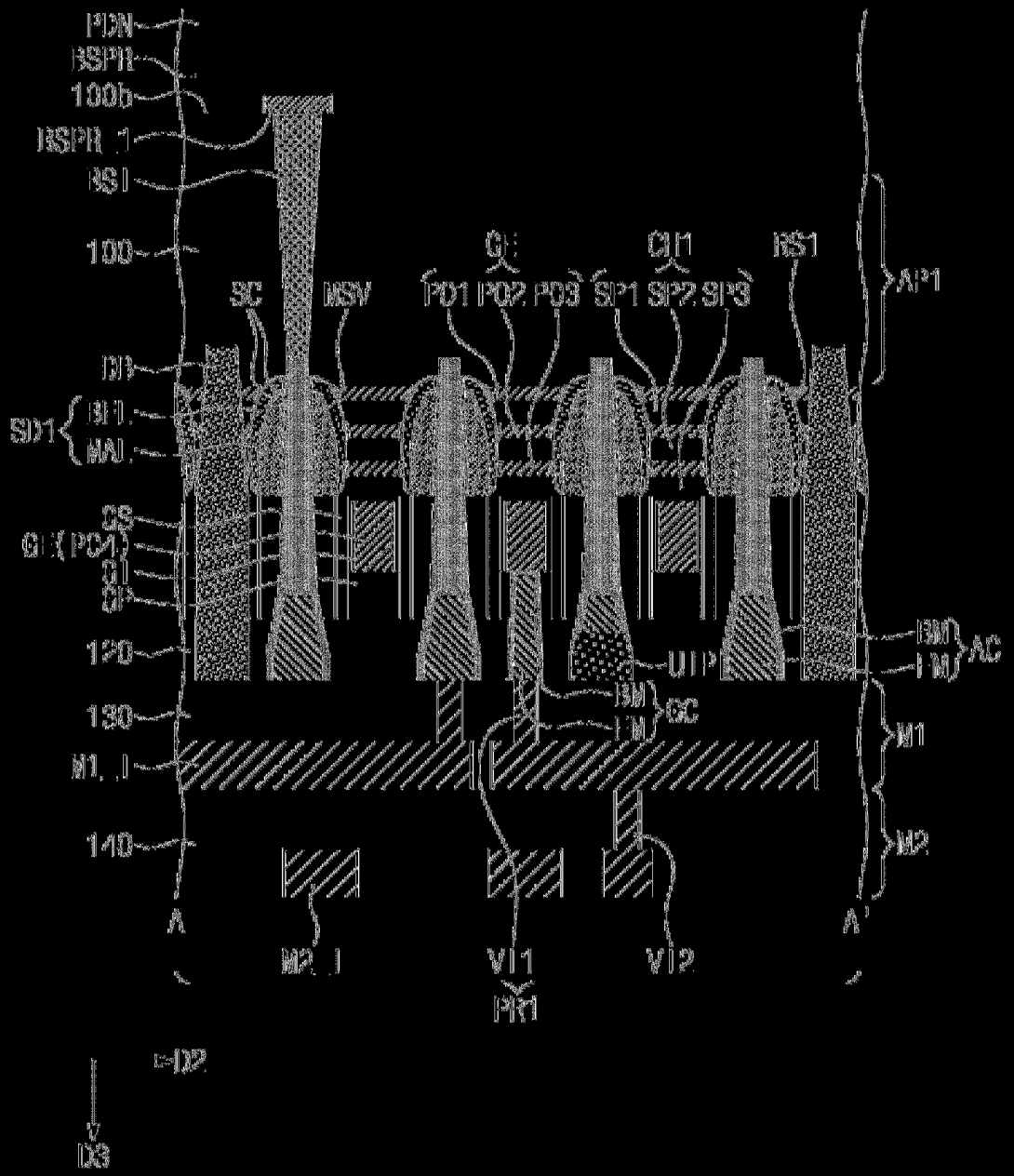
[圖13A]


100b
100
CH
CH2
RS2
SC MSV II' PD1 PD2 PD3 SP1 SP2 SP3
AP2
BH
SD2
GI
GE(PD4)
GL
GS
120
UII'
130
BM
AC
BM
GC
M1
M1_I
110
M2
B
B'
M2_I
V11
V12
NR1
D2
D3

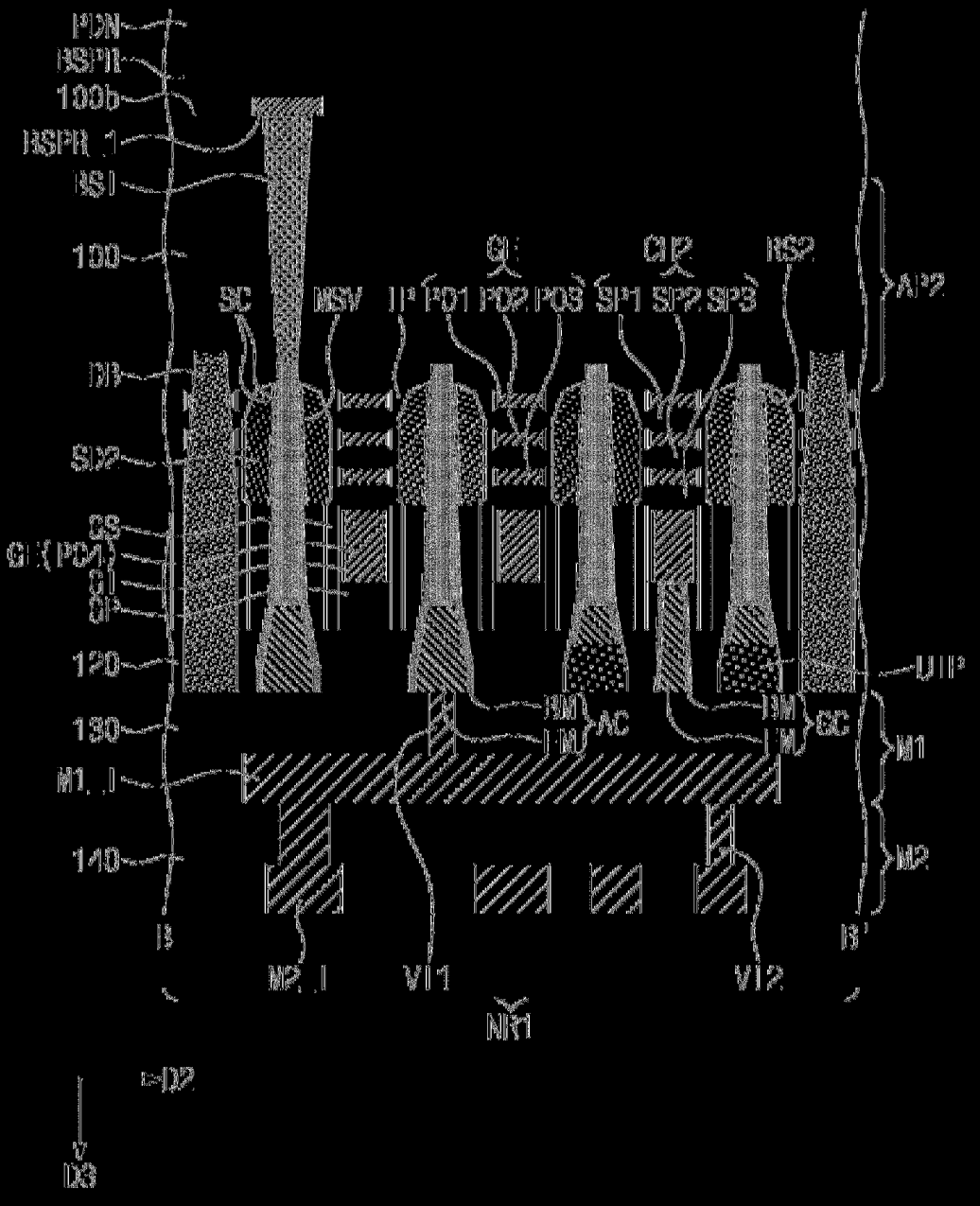
[圖13B]


100b
100
ST
AP1
BM1
SD1
MA1
SC
MSV
AC
BM
TM
130
140
C
PR2
SIC2
RS1
TR
RS2
AP1
AP2
SD2
110
120
M1
M2
C'
M1_1
M2_1
VI2
PR1
NR1
SIC1
D1
D3

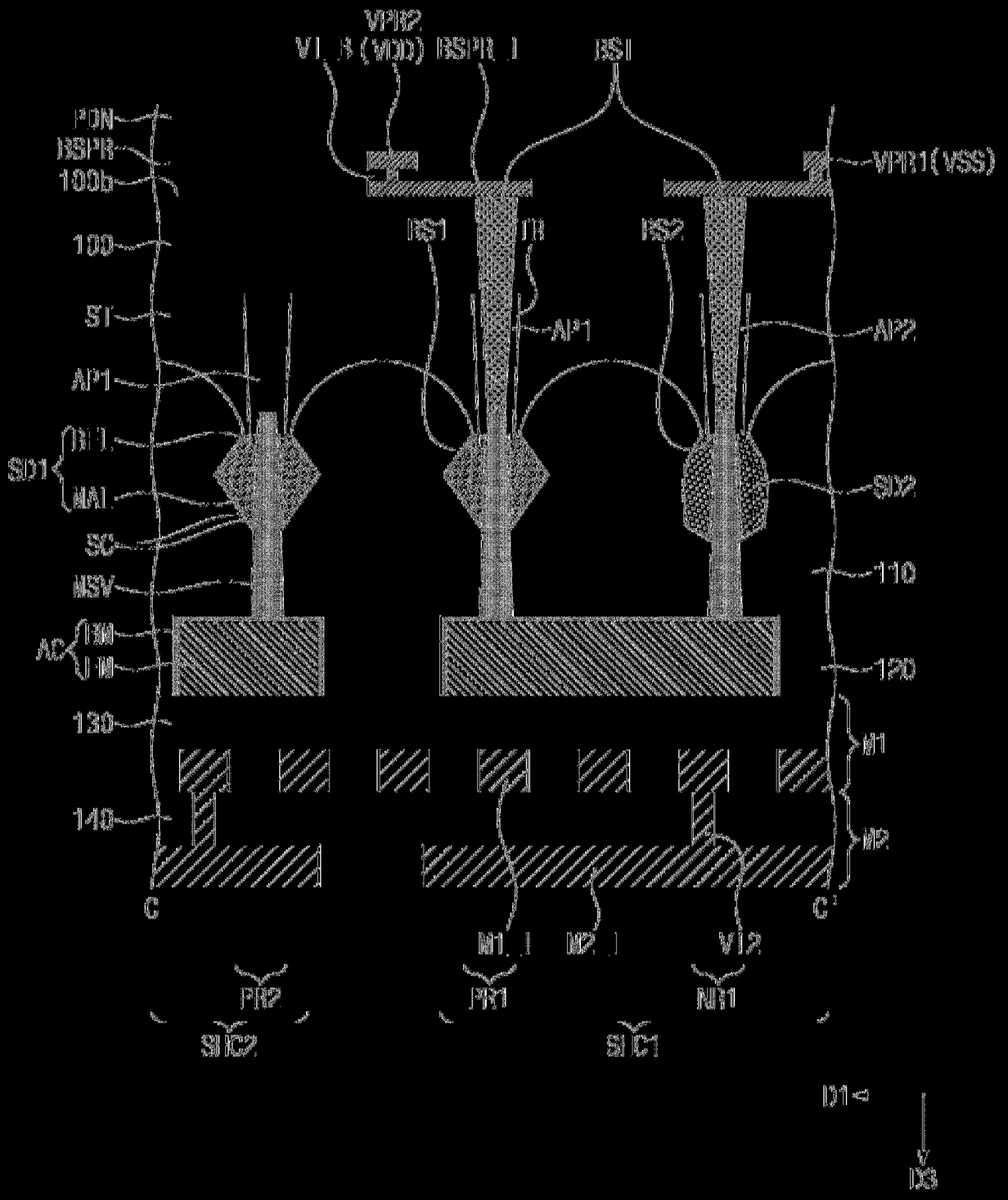
[圖13C]


PDN
BSPR
100b
BSPR_1
BS1
100
GE
CH1
BS1
AP1
SC
MSV
PO1 PO2 PO3
SP1 SP2 SP3
DR
SD1
SPC
MAC
GS
GE(PC1)
CI
CP
120
130
M1_I
140
UTP
BM
IM
AC
GC
M1
M2
A
A'
MP_I
VI1
VI2
PR1
D2
D3

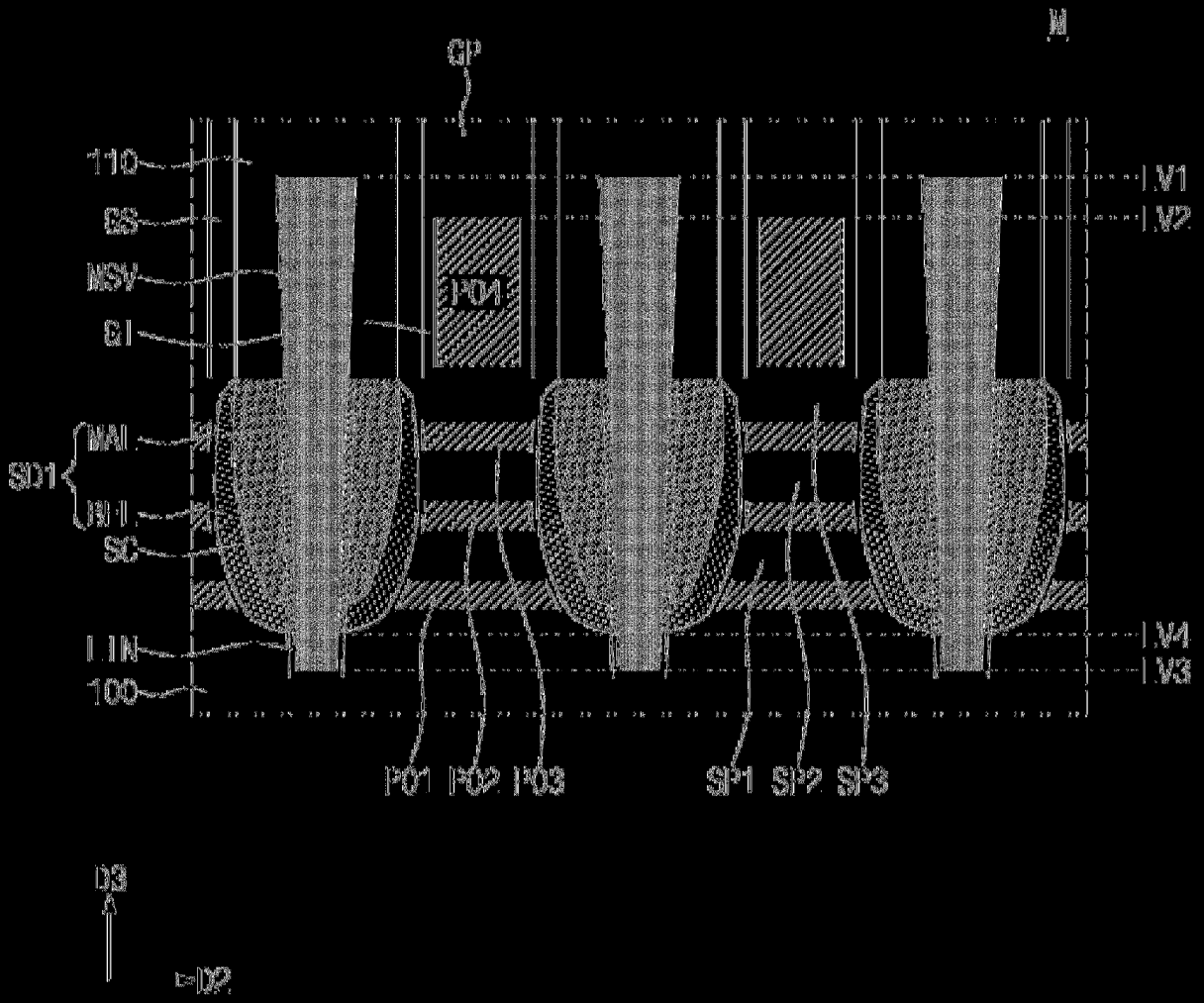
[圖14A]


PDN
BSPR1
100b
BSPR2
BSI
100
GE
CIP
RS2
AP2
SC
MSV
UIP
PO1
PO2
PO3
SP1
SP2
SP3
DR
SD2
GS
GE(PO2)
GI
GP
120
UIP
130
NM1
NM
AC
NM
GC
M1
M1_1
M2
110
B
B'
M2_1
VI1
VI2
NR1
D2
D3

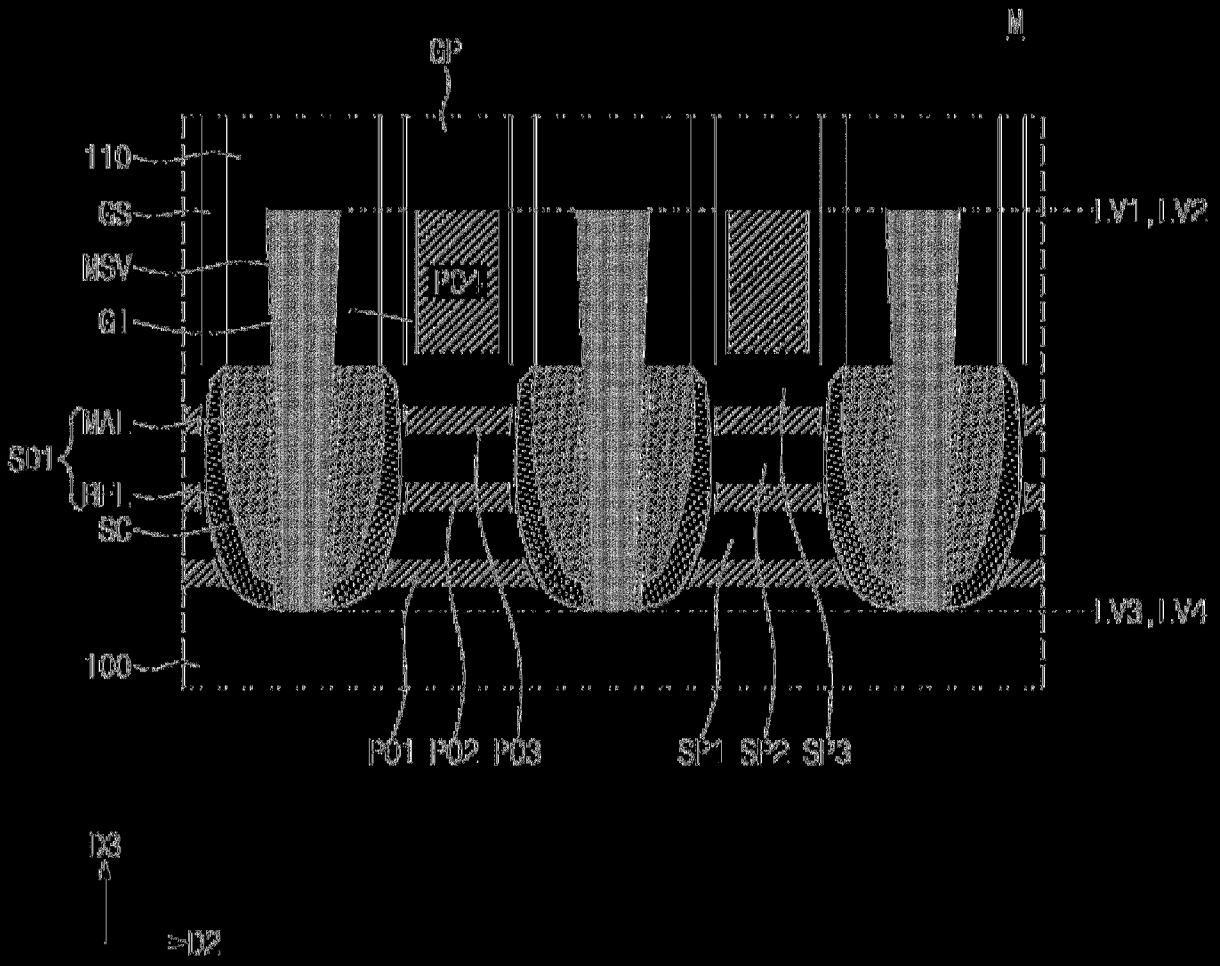
[圖14B]


VPR2
VDD (VDD)
BSPR
BS1
PDN
BSPR
100b
100
S1
AP1
BE1
SD1
MA1
SC
MSV
AC
130
140
VPR1(VSS)
RS1
TR
RS2
AP1
AP2
SD2
110
120
M1
M2
C
C'
M1_1
M2_1
V12
PR2
PR1
NR1
SHC2
SHC1
D1
D3

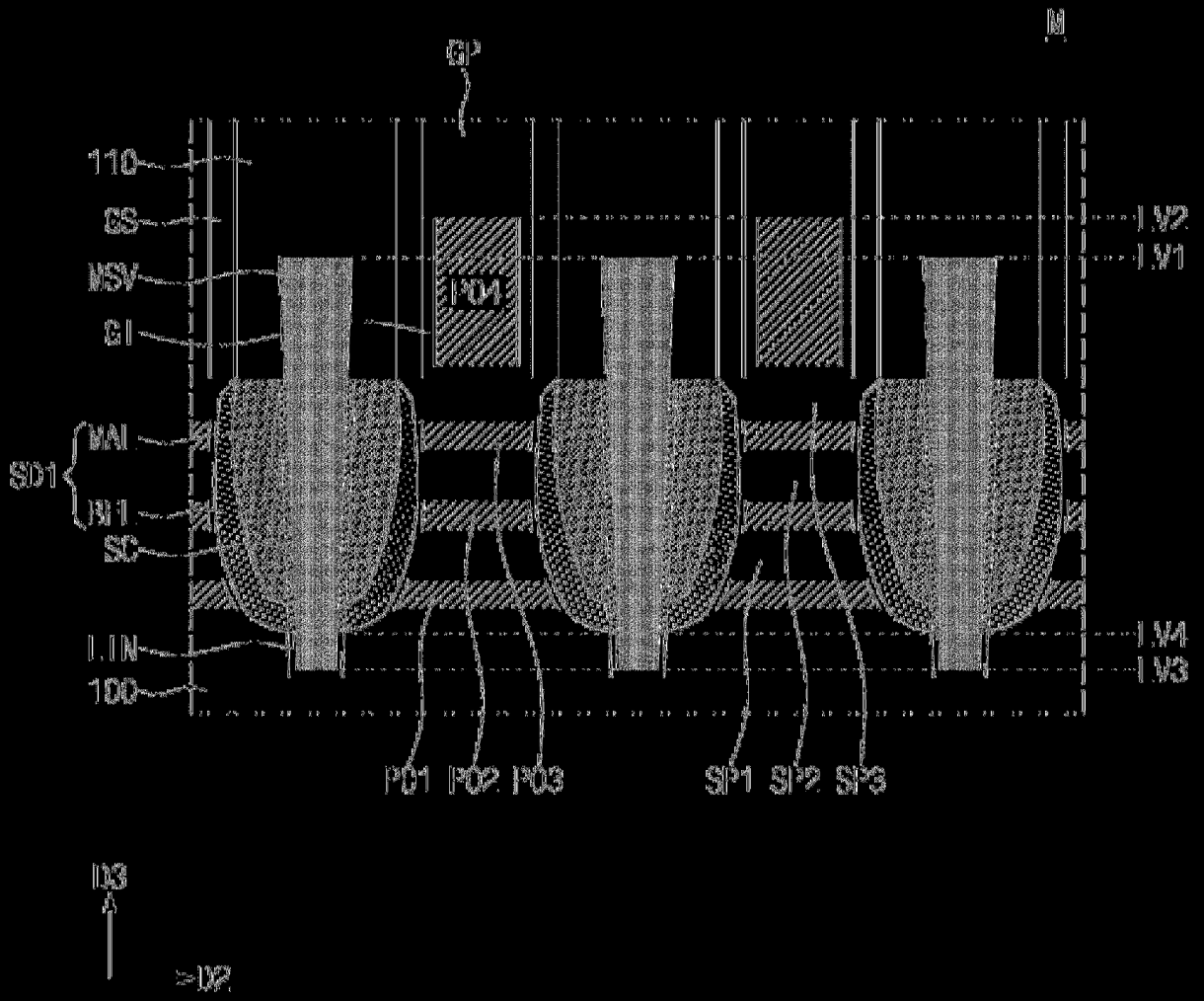
[圖14C]


M
GP
110
GS
MSV
GI
MAI
SD1
INT
SC
LIN
100
PD1
V1
V2
V4
V3
P01
P02
P03
SP1
SP2
SP3
D3
D2

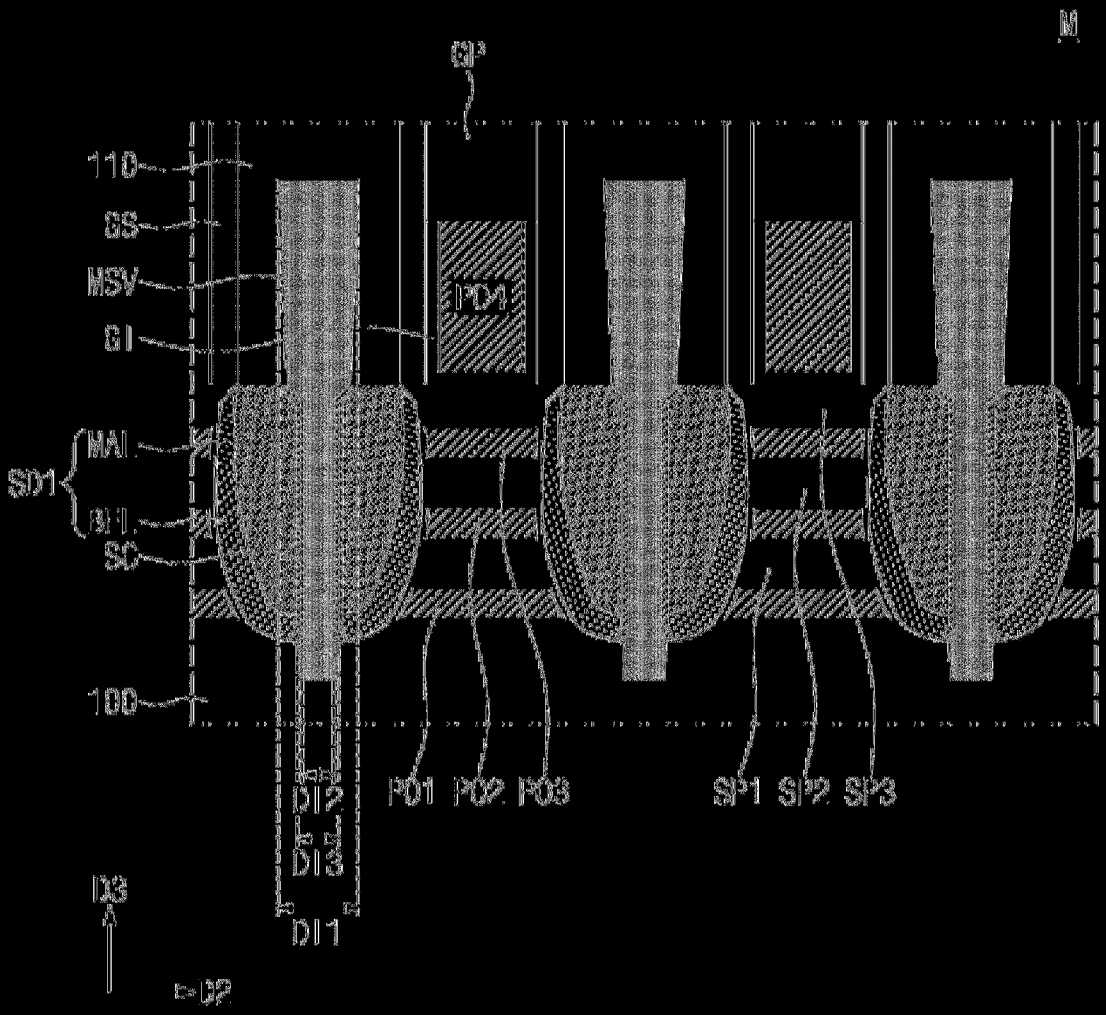
[圖15A]


CP
M
110
GS
MSV
G1
MA
SD1
MF
SC
100
PO1
LV1 ,LV2
LV3 ,LV4
PO2
PO3
SP1
SP2
SP3
D3
D2

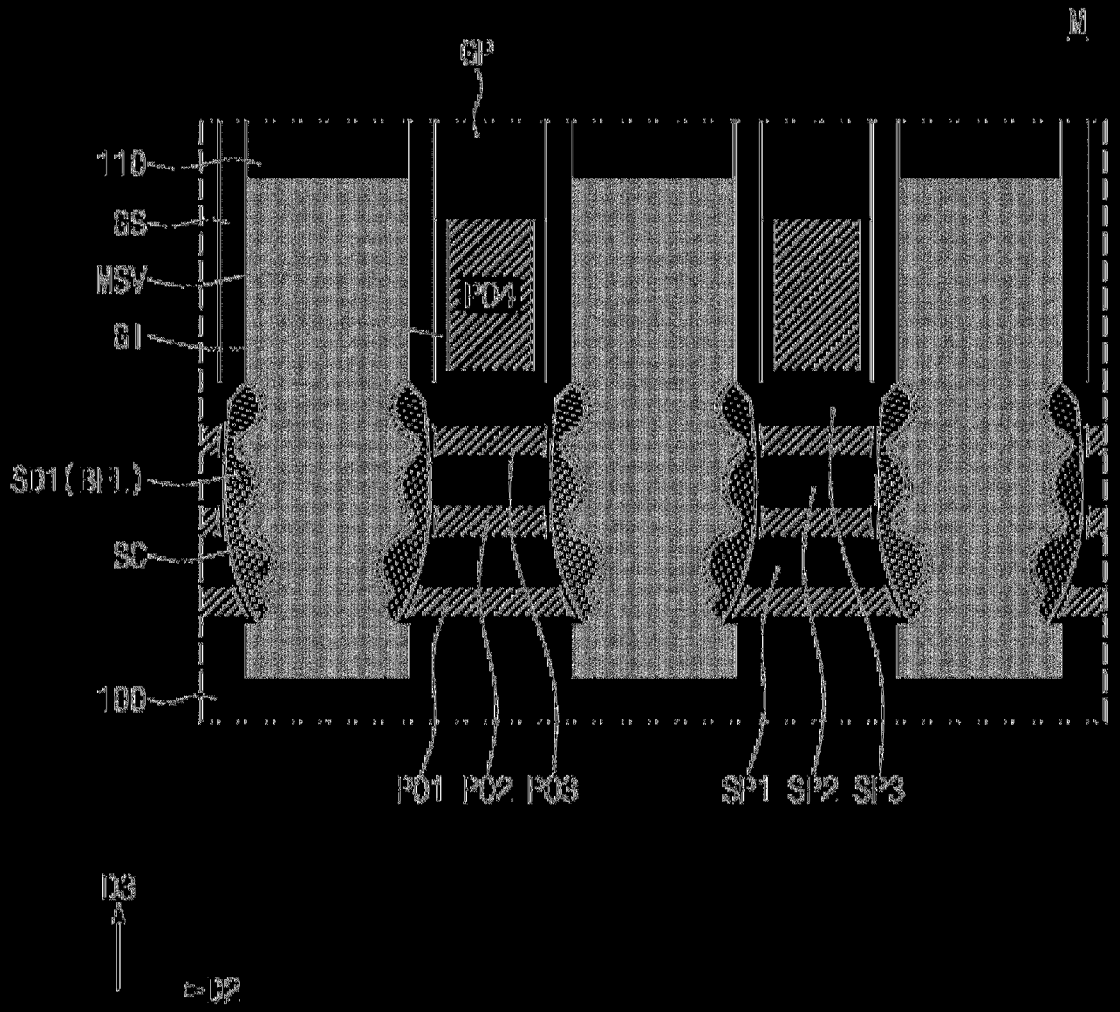
[圖15B]


GP
M
110
GS
MSV
GI
SD1
MAI
M1
SC
LIN
100
PO1
LV2
LV1
LV4
LV3
PO1 PO2 PO3
SP1 SP2 SP3
D3
D2

(圖15C)


M
GP
110
GS
MSV
GI
SD1
MAI
SC
100
FD1
D12
D13
D11
D3
D2
P01
P02
P03
SP1
SP2
SP3

[圖16A]



[圖16B]

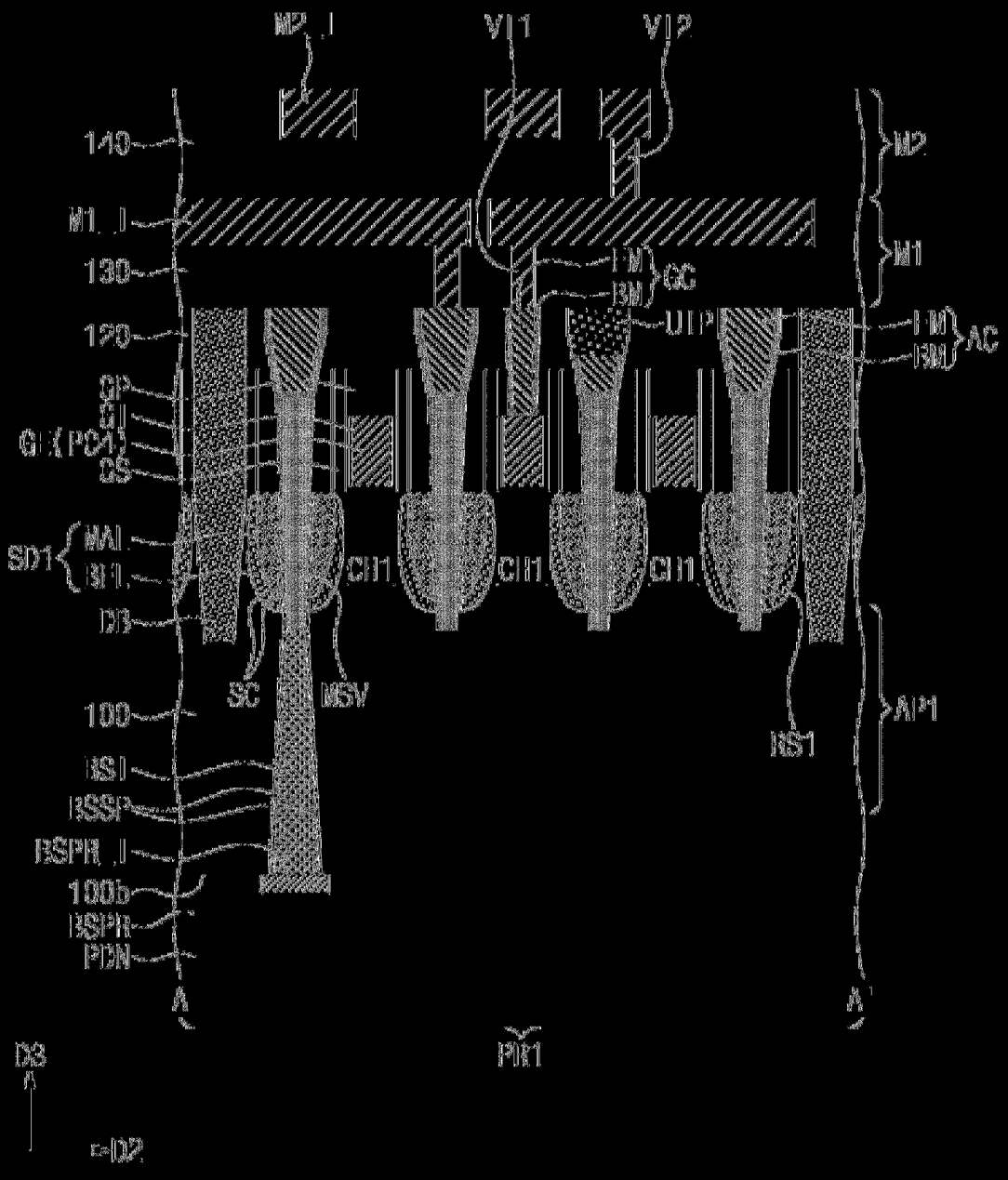
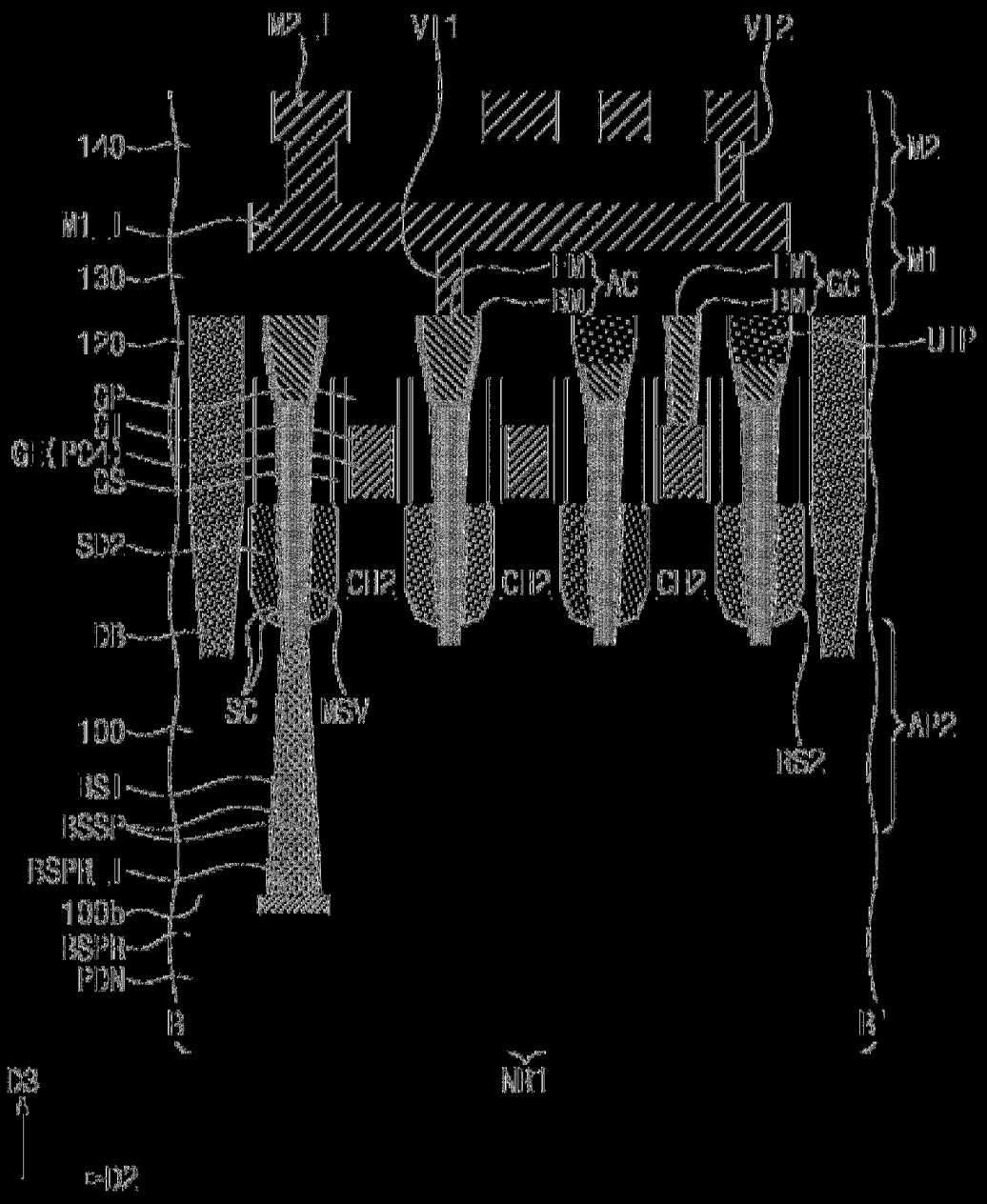

MP1
V11
V12
110
M1_1
130
120
GP
GI
GE(PC1)
GS
SD1
MA1
BF1
DB
100
BS1
BSSP
BSPR_1
100b
BSPR
PDN
A
A'
CH1
CH1
CH1
SC
MSV
NS1
AP1
M2
M1
BM
GC
UIP
IM
RM
AC
D3
D2
PR1

圖17A


M2_1
V1_1
V1_2
140
M1_1
130
120
GP
GI
GE(PD4)
DS
SD2
DB
100
BSI
BSSP
BSPR_1
100b
BSPR
PDN
B
B'
AC
GC
M2
M1
UIP
CH2
SC
MSV
RS2
AI2
D3
D2
NR1

(圖17B)

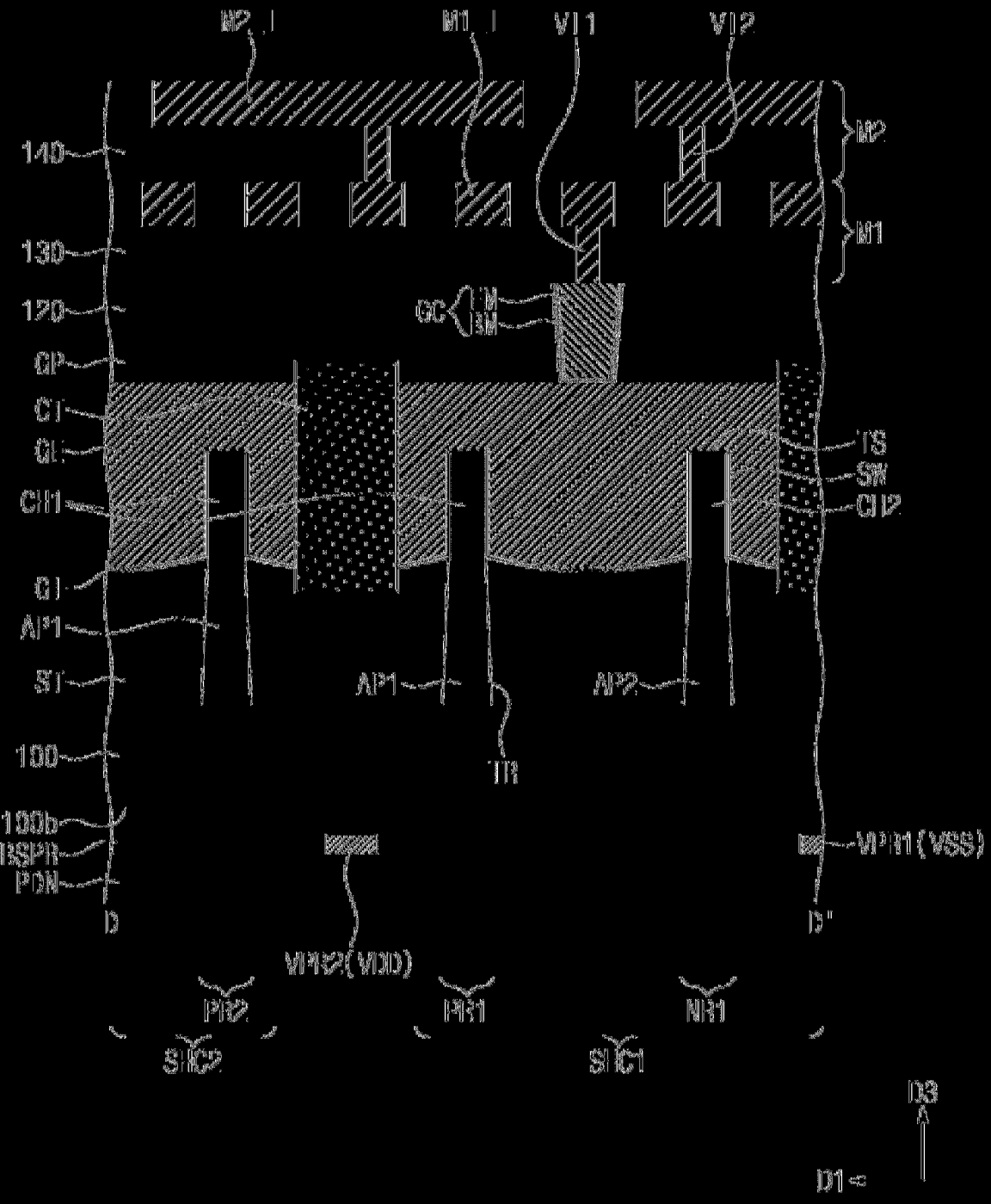

M2
M1
V11
V12
140
130
120
CP
C1
GI
CH1
G1
AP1
S1
100
100b
BSPR
PDN
D
GC
TS
SW
CH2
AP1
AP2
TR
VPR1(VSS)
D'
VPR2(VDD)
PR2
PR1
NR1
SIC2
SIC1
D3
D1

圖17C